



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월20일
(11) 등록번호 10-2809552
(24) 등록일자 2025년05월14일

- (51) 국제특허분류(Int. Cl.)
H10B 43/35 (2023.01) H10B 43/27 (2023.01)
H10B 43/50 (2023.01)
- (52) CPC특허분류
H10B 43/35 (2023.02)
H10B 43/27 (2023.02)
- (21) 출원번호 10-2021-7038174
- (22) 출원일자(국제) 2019년08월13일
심사청구일자 2021년11월23일
- (85) 번역문제출일자 2021년11월23일
- (65) 공개번호 10-2022-0002438
- (43) 공개일자 2022년01월06일
- (86) 국제출원번호 PCT/CN2019/100349
- (87) 국제공개번호 WO 2021/026755
국제공개일자 2021년02월18일
- (56) 선행기술조사문헌
KR1020150116995 A
US20160240548 A1*
US20170047334 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
양쯔 메모리 테크놀로지스 씨오., 엘티디.
중국, 후베이, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 웨이라이 씨드 로드, 넘버 88
- (72) 발명자
황, 판
중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018
쉬, 웨이
중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018
(뒷면에 계속)
- (74) 대리인
양영준, 임규빈, 백만기

전체 청구항 수 : 총 20 항

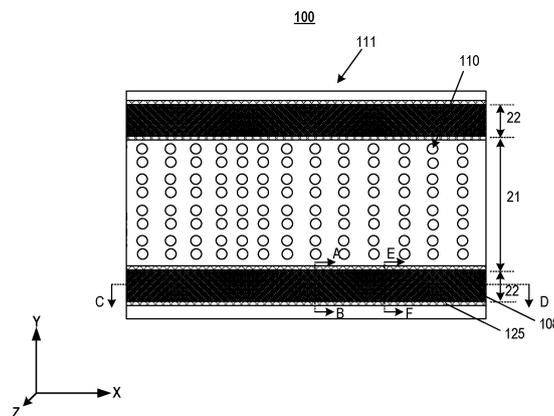
심사관 : 고연화

(54) 발명의 명칭 소스 구조를 갖는 3차원 메모리 디바이스 및 그 형성 방법

(57) 요약

3차원(3D) 메모리 디바이스(100)를 형성하기 위한 구조 및 방법이 제공된다. 3D 메모리 디바이스(100)는 기판(102) 위의 메모리 스택, 복수의 채널 구조(110) 및 소스 구조를 포함한다. 메모리 스택은 인터리빙된 복수의 전도체 층들(123) 및 복수의 절연 층들(124)을 포함한다. 복수의 채널 구조(110)는 메모리 스택에서 수직으로 연장된다. 소스 구조는 메모리 스택에서 연장된다. 소스 구조는 각각이 각각의 절연 구조 내에 있는 복수의 소스 접점(104)을 포함한다. 복수의 소스 접점(104) 중 적어도 2개는 서로 접촉하며 전도성 연결된다.

대표도 - 도1a



(52) CPC특허분류

H10B 43/50 (2023.02)

(72) 발명자

옌, 핑

중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

쉬, 원상

중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

휘, 종량

중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

저우, 원빈

중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

샤, 지

중국 430074 후베이 우한 이스트 레이크 하이-테크 디벨롭먼트 존 관둥 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

명세서

청구범위

청구항 1

3차원(3D) 메모리 디바이스로서,

기관 위의 메모리 스택- 상기 메모리 스택은 인터리빙된 복수의 전도체 층들 및 복수의 절연 층들을 포함함 -;

상기 메모리 스택에서 수직으로 연장되는 복수의 채널 구조; 및

상기 메모리 스택에서 측방향을 따라 연장되는 소스 구조- 상기 소스 구조는 복수의 소스 접점을 포함하고, 상기 복수의 소스 접점 각각은 각각의 절연 구조에 의해 상기 복수의 전도체 층들로부터 절연되고, 및 상기 복수의 소스 접점 중 적어도 2개는 서로 접촉하며 전도성 연결됨 -를 포함하는, 3D 메모리 디바이스.

청구항 2

제1항에 있어서, 상기 복수의 소스 접점 중 상기 적어도 2개는 접속 층과 접촉하고 접속 층에 의해 서로 전도성 연결되며, 상기 접속 층은 전도성 층이고 상기 복수의 소스 접점 중 상기 적어도 2개 각각과 접촉하는, 3D 메모리 디바이스.

청구항 3

제2항에 있어서, 상기 접속 층은 텅스텐, 코발트, 알루미늄, 구리, 실리사이드들, 또는 폴리실리콘 중 적어도 하나를 포함하는, 3D 메모리 디바이스.

청구항 4

제3항에 있어서, 상기 접속 층은 상기 복수의 소스 접점 중 상기 적어도 2개의 소스 접점 각각 위에 위치되는, 3D 메모리 디바이스.

청구항 5

제4항에 있어서, 상기 소스 구조 위에 캡 층을 더 포함하고, 상기 접속 층은 상기 캡 층 내에 있고, 상기 캡 층은 인접한 메모리 블록들에서 상기 접속 층을 상기 복수의 전도체 층으로부터 절연시키는, 3D 메모리 디바이스.

청구항 6

제5항에 있어서, 상기 접속 층은 상기 복수의 소스 접점 각각 위에 있으며 상기 복수의 소스 접점 각각과 접촉하는, 3D 메모리 디바이스.

청구항 7

제6항에 있어서, 상기 소스 구조가 연장되는 상기 측방향에 수직인 다른 측방향을 따라, 상기 접속 층의 폭은 상기 소스 구조의 폭 이상인, 3D 메모리 디바이스.

청구항 8

제1항에 있어서, 상기 복수의 소스 접점은 코발트, 알루미늄, 구리, 실리사이드, 또는 폴리실리콘 중 적어도 하나를 포함하는, 3D 메모리 디바이스.

청구항 9

제2항에 있어서, 상기 소스 구조는 각각이 한 쌍의 인접한 소스 접점들 사이에 있는 적어도 하나의 지지 구조를 더 포함하고, 상기 적어도 하나의 지지 구조는:

상기 소스 구조에 인접한 메모리 블록들과 접촉하고,

각각 인터리빙된 복수의 전도체 부분들 및 복수의 절연 부분들 위의 컷 구조를 포함하고, 상기 복수의 전도체

부분들 각각은 상기 소스 구조에 인접한 상기 메모리 블록들 내의 대응하는 전도체 층들과 접촉하고, 상기 복수의 절연 부분들 각각은 상기 소스 구조에 인접한 상기 메모리 블록들 내의 대응하는 절연 층들과 접촉하고, 상기 컷 구조는 실리콘 산화물을 포함하는, 3D 메모리 디바이스.

청구항 10

제9항에 있어서, 상기 복수의 소스 접점 중 상기 적어도 2개의 절연 구조들과 상기 지지 구조 사이에, 그리고 상기 복수의 소스 접점 중 상기 적어도 2개와 상기 접속 층 사이에 접촉 층을 더 포함하고, 상기 접촉 층은 티타늄 질화물을 포함하는, 3D 메모리 디바이스.

청구항 11

3차원(3D) 메모리 디바이스로서,

기관 위의 메모리 스택- 상기 메모리 스택은 인터리빙된 복수의 전도체 층들 및 복수의 절연 층들을 포함함 -;

상기 메모리 스택에서 수직으로 연장되는 복수의 채널 구조; 및

상기 메모리 스택에서 측방향을 따라 평행하게 연장되는 복수의 소스 구조를 포함하고, 상기 복수의 소스 구조 각각은:

복수의 소스 접점 - 상기 복수의 소스 접점 각각은 각각의 절연 구조에 의해 상기 복수의 전도체 층들로부터 절연됨 -,

상기 측방향 방향을 따라 인접한 절연 구조들과 각각 접촉하는 복수의 지지 구조, 및

상기 복수의 소스 접점 중 적어도 2개와 접촉하고 그에 전도성 연결되는 접속 층을 포함하는, 3D 메모리 디바이스.

청구항 12

제11항에 있어서, 상기 접속 층은 텅스텐, 코발트, 알루미늄, 구리, 실리사이드들, 또는 폴리실리콘 중 적어도 하나를 포함하고, 상기 복수의 소스 접점은 코발트, 알루미늄, 구리, 실리사이드 또는 폴리실리콘 중 적어도 하나를 포함하는, 3D 메모리 디바이스.

청구항 13

제12항에 있어서, 상기 복수의 소스 접점 중 상기 적어도 2개 위에 캡 층을 더 포함하고, 상기 각각의 접속 층은 상기 캡 층에 있고, 상기 캡 층은 상기 각각의 접속 층을 인접한 메모리 블록들 내의 상기 복수의 전도체 층으로부터 절연시키는, 3D 메모리 디바이스.

청구항 14

제13항에 있어서, 상기 각각의 접속 층은 상기 복수의 각각의 소스 접점 각각 위에 있고 그와 접촉하고,

상기 측방향 방향에 수직인 다른 측방향 방향을 따라, 상기 접속 층의 폭은 상기 소스 구조의 폭 이상인, 3D 메모리 디바이스.

청구항 15

3차원(3D) 메모리 디바이스를 형성하는 방법으로서,

스택 구조 내에 컷 구조를 형성하는 단계- 상기 스택 구조는 인터리빙된 복수의 초기 희생 층 및 복수의 초기 절연 층을 포함함 -;

슬릿 구조 및 초기 지지 구조를 형성하기 위해 상기 컷 구조에 인접한 상기 스택 구조의 부분들을 제거하는 단계- 상기 초기 지지 구조는 상기 슬릿 구조를 복수의 슬릿 개구들로 분할함 -;

지지 구조를 형성하기 위해 상기 복수의 슬릿 개구들을 통해 복수의 전도체 부분들을 형성하는 단계;

상기 복수의 슬릿 개구 각각에 소스 접점을 형성하는 단계;

상기 소스 접점 위에 캡 층을 형성하는 단계; 및

상기 캡 층 내에 접속 층을 형성하는 단계- 상기 접속 층은 적어도 2개의 슬릿 개구 내의 소스 접점들과 접촉하고 그에 전도성 연결됨 -를 포함하는, 방법.

청구항 16

제15항에 있어서, 상기 컷 구조를 형성하는 단계는

상기 스택 구조 내에 컷 개구를 형성하는 단계; 및

상기 컷 개구를 채우기 위해 유전체 재료를 퇴적하는 단계를 포함하는, 방법.

청구항 17

제16항에 있어서, 상기 컷 구조에 인접한 상기 스택 구조의 부분들을 제거하여 슬릿 구조 및 초기 지지 구조를 형성하는 단계는

기판을 노출시키는 상기 슬릿 구조를 형성하기 위해 측방향을 따라 상기 컷 구조에 인접한 상기 스택 구조의 부분들을 제거하여, 상기 컷 구조 및 인터리빙된 복수의 희생 부분 및 복수의 절연 부분이 상기 초기 지지 구조를 형성하도록 하는 단계를 포함하는, 방법.

청구항 18

제17항에 있어서, 상기 복수의 전도체 부분을 형성하는 단계는

상기 복수의 슬릿 개구들을 통해, 상기 초기 지지 구조 내의 상기 복수의 희생 부분들을 제거하여 복수의 리세스 부분들을 형성하는 단계; 및

상기 복수의 전도체 부분들을 형성하기 위해 상기 복수의 리세스 부분들을 채우도록 전도체 재료를 퇴적하는 단계- 상기 초기 지지 구조는 지지 구조를 형성함 -를 포함하는, 방법.

청구항 19

제18항에 있어서, 상기 소스 접점을 형성하는 단계는 코발트, 알루미늄, 구리, 실리사이드 또는 폴리실리콘 중 적어도 하나를 퇴적하여 상기 각각의 슬릿 개구를 채우는 단계를 포함하는, 방법.

청구항 20

제19항에 있어서, 상기 캡 층을 형성하는 단계는 상기 적어도 2개의 슬릿 개구 내의 상기 소스 접점들을 덮도록 캡 재료 층을 퇴적하는 단계; 및 상기 캡 재료 층의 부분들을 제거하여 상기 적어도 2개의 슬릿 개구 내의 상기 소스 접점들을 노출시키는 단계를 포함하고, 상기 접속 층을 형성하는 단계는 상기 캡 층의 제거된 부분들 내로 전도성 재료를 퇴적하는 단계를 포함하는, 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

- 청구항 26
- 삭제
- 청구항 27
- 삭제
- 청구항 28
- 삭제
- 청구항 29
- 삭제
- 청구항 30
- 삭제
- 청구항 31
- 삭제
- 청구항 32
- 삭제
- 청구항 33
- 삭제
- 청구항 34
- 삭제
- 청구항 35
- 삭제
- 청구항 36
- 삭제
- 청구항 37
- 삭제
- 청구항 38
- 삭제
- 청구항 39
- 삭제
- 청구항 40
- 삭제
- 청구항 41
- 삭제

청구항 42

삭제

발명의 설명

기술 분야

[0001] 본 개시내용의 실시예들은 저항이 감소된 소스 구조들을 갖는 3차원(3D) 메모리 디바이스들 및 3D 메모리 디바이스들을 형성하는 방법들에 관한 것이다.

배경 기술

[0002] 평면 메모리 셀들은 공정 기술, 회로 설계, 프로그래밍 알고리즘 및 제조 공정을 개선함으로써 더 작은 크기들로 스케일링된다. 그러나, 메모리 셀들의 피치 크기들이 하한에 접근함에 따라, 평면 공정 및 제조 기법들은 어려워지고 비용이 많이 든다. 결과적으로, 평면 메모리 셀들에 대한 메모리 밀도는 상한에 접근하고 있다.

[0003] 3D 메모리 아키텍처는 평면 메모리 셀들에서의 밀도 제한을 해결할 수 있다. 3D 메모리 아키텍처는 메모리 어레이 및 메모리 어레이로의 그리고 그로부터의 신호들을 제어하기 위한 주변 디바이스들을 포함한다.

발명의 내용

과제의 해결 수단

[0004] 3D 메모리 디바이스들 및 3D 메모리 디바이스들을 형성하기 위한 방법들의 실시예들이 제공된다.

[0005] 일 예에서, 3D 메모리 디바이스는 기관 위의 메모리 스택, 복수의 채널 구조 및 소스 구조를 포함한다. 메모리 스택은 인터리빙된 복수의 전도체 층들 및 복수의 절연 층들을 포함한다. 복수의 채널 구조는 메모리 스택에서 수직으로 연장된다. 소스 구조는 메모리 스택에서 연장된다. 소스 구조는 각각이 각각의 절연 구조에 있는 복수의 소스 접점을 포함한다. 복수의 소스 접점 중 적어도 2개는 서로 접촉하며 전도성 연결된다.

[0006] 다른 예에서, 3D 메모리 디바이스는 기관 위의 메모리 스택, 복수의 채널 구조 및 복수의 소스 구조를 포함한다. 메모리 스택은 인터리빙된 복수의 전도체 층들 및 복수의 절연 층들을 포함할 수 있다. 복수의 채널 구조는 메모리 스택에서 수직으로 연장될 수 있고, 복수의 소스 구조는 메모리 스택에서 측방향을 따라 평행하게 연장될 수 있다. 복수의 소스 구조는, 각각이 각각의 절연 구조에 있는 복수의 소스 접점, 측방향을 따라 인접한 절연 구조들과 각각 접촉하는 복수의 지지 구조 및 복수의 소스 접점 중 적어도 2개와 접촉하며 전도성 연결되는 접속 층을 각각 포함할 수 있다.

[0007] 추가의 예에서, 3D 메모리 디바이스를 형성하는 방법은 다음의 동작들을 포함한다. 먼저, 컷 구조가 스택 구조 내에 형성되고, 스택 구조는 인터리빙된 복수의 초기 희생 층 및 복수의 초기 절연 층을 포함한다. 컷 구조에 인접한 스택 구조의 부분들을 제거하여 슬릿 구조 및 초기 지지 구조를 형성한다. 초기 지지 구조는 슬릿 구조를 복수의 슬릿 개구로 분할할 수 있다. 복수의 전도체 부분들이 지지 구조를 형성하기 위해 복수의 슬릿 개구들을 통해 형성된다. 소스 접점은 복수의 슬릿 개구들 각각에 형성된다. 소스 구조 위에 캡 층이 형성된다. 접속 층이 캡 층에 추가로 형성된다. 접속 층은 적어도 2개의 슬릿 개구 내의 소스 접점들과 접촉하고 그에 전도성 연결될 수 있다.

도면의 간단한 설명

[0008] 본 명세서에 포함되고 본 명세서의 일부를 형성하는 첨부 도면들은 본 개시내용의 실시예들을 예시하고, 추가로 설명과 함께, 본 개시내용의 원리들을 설명하고 관련 기술분야의 통상의 기술자가 본 개시내용을 제조하고 사용할 수 있게 하는 역할을 한다.

도 1a는 본 개시내용의 일부 실시예들에 따른, 저항이 감소된 소스 구조들을 갖는 예시적인 3D 메모리 디바이스의 평면도를 예시한다.

도 1b는 본 개시내용의 일부 실시예들에 따른, C-D 방향을 따른 도 1a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 1c는 본 개시내용의 일부 실시예들에 따른, A-B 방향을 따른 도 1a에 예시된 3D 메모리 디바이스의 단면도를

예시한다.

도 1d는 본 개시내용의 일부 실시예들에 따른, E-F 방향을 따른 도 1a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 2a는 본 개시내용의 일부 실시예들에 따른, 제조 공정의 한 단계에서의 예시적인 3D 메모리 디바이스의 평면도를 예시한다.

도 2b는 본 개시내용의 일부 실시예들에 따른, C-D 방향을 따른 도 2a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 3a는 본 개시내용의 일부 실시예들에 따른, 제조 공정의 다른 단계에서의 예시적인 3D 메모리 디바이스의 평면도를 예시한다.

도 3b는 본 개시내용의 일부 실시예들에 따른, C-D 방향을 따른 도 3a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 4a는 본 개시내용의 일부 실시예들에 따른, 제조 공정의 다른 단계에서의 예시적인 3D 메모리 디바이스의 평면도를 예시한다.

도 4b는 본 개시내용의 일부 실시예들에 따른, C-D 방향을 따른 도 4a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 5a는 본 개시내용의 일부 실시예들에 따른, 제조 공정의 다른 단계에서의 예시적인 3D 메모리 디바이스의 평면도를 예시한다.

도 5b는 본 개시내용의 일부 실시예들에 따른, C-D 방향을 따른 도 5a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 6a는 본 개시내용의 일부 실시예들에 따른, 제조 공정의 다른 단계에서의 예시적인 3D 메모리 디바이스의 평면도를 예시한다.

도 6b는 본 개시내용의 일부 실시예들에 따른, C-D 방향을 따른 도 6a에 예시된 3D 메모리 디바이스의 단면도를 예시한다.

도 7a는 본 개시내용의 일부 실시예들에 따른, 3D 메모리 디바이스를 형성하기 위한 제조 공정에서 다양한 구조들을 형성하기 위한 예시적인 패턴 세트의 평면도를 예시한다.

도 7b는 본 개시내용의 일부 실시예에 따른 도 7a에 예시된 패턴 세트의 일부의 확대도를 나타낸다.

도 8은 변형된 게이트 라인 슬릿(GLS)들을 갖는 기존의 3D 메모리 디바이스의 단면도를 예시한다.

도 9는 본 개시내용의 일부 실시예들에 따른, 저항이 감소된 소스 구조들을 갖는 3D 메모리 디바이스를 형성하기 위한 예시적인 제조 공정의 흐름도를 예시한다.

본 개시내용의 실시예들은 첨부 도면들을 참조하여 설명될 것이다.

발명을 실시하기 위한 구체적인 내용

[0009] 특정 구성들 및 배열들이 논의되지만, 이는 단지 예시의 목적으로 이루어진다는 것을 이해해야 한다. 관련 기술분야의 통상의 기술자는 본 개시내용의 사상 및 범위를 벗어나지 않고 다른 구성들 및 배열들이 사용될 수 있다는 것을 인식할 것이다. 관련 기술분야의 통상의 기술자는 본 개시내용이 또한 다양한 다른 응용들에서 채용될 수 있다는 것을 명백히 알 수 있을 것이다.

[0010] 본 명세서에서 "하나의 실시예", "실시예", "예시적인 실시예", "일부 실시예들" 등에 대한 언급들은 설명되는 실시예가 특정 특징, 구조 또는 특성을 포함할 수 있지만, 모든 실시예가 반드시 특정 특징, 구조 또는 특성을 포함할 필요는 없다는 것을 나타낸다는 점에 유의한다. 또한, 이러한 문구들이 반드시 동일한 실시예를 지칭하는 것은 아니다. 또한, 특정 특징, 구조 또는 특성이 일 실시예와 관련하여 설명될 때, 명시적으로 설명되어 있든 그렇지 않든 간에 관련 기술분야의 통상의 기술자의 지식 범위 내에서 다른 실시예들과 관련하여 이러한 특징, 구조 또는 특성을 적용할 수 있을 것이다.

[0011] 일반적으로, 용어는 적어도 부분적으로 맥락에 따른 용법으로부터 이해될 수 있다. 예를 들어, 본 명세서에서

사용되는 바와 같은 "하나 이상"이라는 용어는 적어도 부분적으로 상황에 따라 단수의 의미의 임의의 특징, 구조 또는 특성을 설명하는 데 사용될 수 있거나, 복수의 의미의 특징들, 구조들 또는 특성들의 조합들을 설명하는 데 사용될 수 있다. 유사하게, 관사("a", "an" 또는 "the") 같은 용어는, 역시, 적어도 부분적으로 맥락에 따라, 단수 용법을 전달하거나 복수 용법을 전달하는 것으로 이해될 수 있다. 또한, "기초하여"이라는 용어는 반드시 배타적인 인자들의 집합을 전달하는 것을 의도하지는 않는 것으로 이해될 수 있으며, 대신에 적어도 부분적으로는 맥락에 따라 역시 반드시 명확히 설명되지 않는 추가적인 인자들의 존재를 허용할 수 있다.

[0012] 본 명세서에서 사용되는 바와 같이, "공칭/공칭적으로"라는 용어는, 원하는 값을 초과하는 값 및/또는 그 미만의 값의 범위와 함께, 제품 또는 공정의 설계 단계 동안 설정된, 컴포넌트 또는 공정 동작에 대한 특성 또는 파라미터의 원하는 값 또는 목표 값을 지칭한다. 이러한 값들의 범위는 제조 공정들 또는 허용오차들에서의 약간의 변동들로 인한 것일 수 있다. 본 명세서에서 사용될 때, 용어 "약"은 대상 반도체 디바이스와 연관된 특정 기술 노트에 기초하여 변할 수 있는 주어진 양의 값을 나타낸다. 특정 기술 노트에 기초하여, 용어 "약"은 예를 들어, 값의 10-30%(예를 들어, 값의 $\pm 10\%$, $\pm 20\%$, 또는 $\pm 30\%$) 내에서 변화하는 주어진 양의 값을 표시할 수 있다.

[0013] 본 명세서에서 사용되는 바와 같이, 계단 구조는, 각각의 수평 표면이 수평 표면의 제1 에지로부터 상향으로 연장되는 제1 수직 표면에 인접하고, 수평 표면의 제2 에지로부터 하향으로 연장되는 제2 수직 표면에 인접하도록 (예를 들어, x-y 평면을 따르는) 적어도 2개의 수평 표면 및 (예를 들어, z-축을 따르는) 적어도 2개의(예를 들어, 제1 및 제2) 수직 표면을 포함하는 표면들의 세트를 지칭한다. "단차(step)" 또는 "계단(staircase)"은 한 세트의 인접한 표면들의 높이의 수직 이동을 지칭한다. 본 개시내용에서, 용어 "계단" 및 용어 "단차"는 계단 구조의 한 레벨을 지칭하고 상호교환가능하게 사용된다. 본 개시내용에서, 수평 방향은 기관(예를 들어, 그 위에 구조들의 형성을 위한 제조 플랫폼을 제공하는 기관)의 상단 표면과 평행한 방향(예를 들어, x-축 또는 y-축)을 지칭할 수 있고, 수직 방향은 구조의 상단 표면에 수직인 방향(예를 들어, z-축)을 지칭할 수 있다.

[0014] 다양한 전자 제품들에서 널리 사용되는 NAND 플래시 메모리 디바이스들은 비휘발성이고, 경량이며, 낮은 전력 소비 및 양호한 성능을 갖는다. 현재, 평면 NAND 플래시 메모리 디바이스들은 그의 저장 한계에 도달하였다. 저장 용량을 더 증가시키고 비트 당 저장 비용을 감소시키기 위해, 3D NAND 메모리 디바이스들이 제안되었다. 기존의 3D NAND 메모리 디바이스는 종종 복수의 메모리 블록을 포함한다. 인접하는 메모리 블록들은 종종 어레이 공통 소스(ACS)가 형성되는 GLS에 의해 분리된다. 기존의 3D NAND 메모리 디바이스를 형성하기 위한 제조 방법에서, 증가된 수의 레벨들(또는 전도체/절연체 쌍들)로 인해, GLS들을 형성하기 위한 에칭 공정이 어려워지고 있다. 예를 들어, GLS들은 변형, 예를 들어, 피처 크기의 변동에 더 민감하여, GLS들에 이웃하는 메모리 블록들이 변형되거나 심지어 붕괴되게 할 수 있다. 3D NAND 메모리 디바이스의 성능이 영향을 받을 수 있다.

[0015] 도 8은 변형된 GLS들 및 변형된 메모리 블록을 갖는 기존의 3D 메모리 디바이스(800)를 예시한다. 도 8에 도시된 바와 같이, 메모리 스택(811)이 기관(802) 위에 형성된다. 복수의 GLS(예를 들어, 806-1 및 806-2)가 메모리 스택(811)을 통해 연장되어 기관(802)을 노출시킨다. 복수의 채널 구조(804)가 GLS들(806-1 및 806-2) 사이의 메모리 블록에 배열된다. 변형으로 인해, GLS(예를 들어, 806-1 또는 806-2)의 측방향 치수, 예를 들어, 직경 D는 수직 방향(예를 들어, z-방향)을 따라 변하여, 메모리 블록 및 채널 구조들(804)로 하여금 그들의 원하는 위치/배향으로부터 이동하게 한다. 이러한 변형들은 GLS들 내에 ACS들을 형성하는 후속 제조 공정들에서 포토리소그래피 오정렬 및 전기적 누설로 이어질 수 있다.

[0016] 본 개시내용은 감소된 저항을 갖는 소스 구조들을 갖는 3D 메모리 디바이스들(예를 들어, 3D NAND 메모리 디바이스들) 및 3D 메모리 디바이스들을 형성하는 방법들을 제공한다. 3D 메모리 디바이스는 하나 이상의 지지 구조를 이용하여 슬릿 구조를 복수의 소스 접점들이 형성되는 슬릿 개구로 분할한다. 지지 구조들은 각각 인접한 메모리 블록들과 접촉하여, 전도체 층들/부분들 및 소스 접점들의 형성 동안 3D 메모리 디바이스의 전체 구조에 대한 지지를 제공한다. 3D 메모리 디바이스는 이후 제조 공정 동안 변형 또는 손상에 덜 민감하다.

[0017] 3D 메모리 디바이스에서, 소스 접점들 중 적어도 2개는 접속 층과 접촉하고 전도성 연결되고, 접속 층은 텅스텐과 같은 전도성 재료를 포함한다. 각각의 접점 플러그를 사용하여 복수의 소스 접점들 각각에 소스 전압을 인가하는 대신에, 소스 전압이 접속 층을 통해 소스 접점들(예를 들어, 접속 층과 접촉하는 소스 접점들)에 인가된다. 소스 전압을 인가하기 위해 더 적은 수의 접점 플러그가 필요하여, 소스 구조의 저항을 감소시킨다. 접속 층과 소스 접점 사이의 접점 영역은 소스 구조의 저항을 더 감소시키기에 충분히 클 수 있다. 일부 실시예들에서, 접속 층은 소스 구조 내의 모든 소스 접점들과 접촉하고 전도성 연결되어, 소스 구조의 저항을 더 감소시킨다.

- [0018] 도 1a는 일부 실시예들에 따른 예시적인 3D 메모리 디바이스(100)의 평면도를 예시한다. 도 1b는 도 1a에 도시된 3D 메모리 디바이스(100)의 C-D 방향을 따른 단면도를 예시한다. 도 1c는 A-B 방향을 따라 도 1a에 도시된 3D 메모리 디바이스(100)의 단면도를 예시한다. 도 1d는 E-F 방향을 따라 도 1a에 도시된 3D 메모리 디바이스(100)의 단면도를 예시한다. 도 1a에 도시된 바와 같이, 3D 메모리 디바이스(100)는 하나 이상의, 예를 들어, 한 쌍의 소스 영역(22)이 x-방향을 따라 연장되는 코어 영역을 포함할 수 있다. 소스 구조는 각각의 소스 영역(22)에 형성될 수 있다. 복수의 메모리 셀이 형성되는 하나 이상의 블록 영역(21)은 한 쌍의 소스 영역(22) 사이에 있을 수 있다. 메모리 블록은 각각의 블록 영역(21)에 형성될 수 있다.
- [0019] 도 1a 내지 도 1d에 도시된 바와 같이, 3D 메모리 디바이스(100)는 기판(102) 및 기판(102) 위의 스택 구조(111)를 포함할 수 있다. 블록 영역들(21)에서, 스택 구조(111)는 기판(102) 위에 인터리빙된 복수의 전도체 층들(123) 및 복수의 절연 층들(124)을 포함할 수도 있다. 스택 구조(111)는 복수의 전도체 층들(123) 및 절연 층들(124)을 덮는 유전체 캡 층(125)을 또한 포함할 수 있다. 블록 영역들(21)에서, 스택 구조(111)는 또한 유전체 캡 층(125)으로부터 수직 방향(예를 들어, z-방향)을 따라 기판(102) 내로 연장되는 복수의 채널 구조(110)를 포함할 수 있다. 각각의 채널 구조(110)는 하단 부분에서의 에피택셜 부분, 상단 부분에서의 드레인 구조 및 에피택셜 부분과 드레인 구조 사이의 반도체 채널을 포함할 수 있다. 반도체 채널은 메모리 필름, 반도체 층 및 유전체 코어를 포함할 수 있다. 에피택셜 부분은 기판(102)과 접촉하고 그에 전도성 연결될 수 있다. 반도체 채널은 드레인 구조 및 에피택셜 부분과 접촉하고 그에 전도성 연결될 수 있다. 반도체 채널들 및 제어 전도체 층들에 의해 복수의 메모리 셀들이 형성될 수 있다.
- [0020] 소스 구조는 x-방향을 따라 연장되도록 소스 영역(22)에 형성될 수 있다. 소스 구조는 각각이 각각의 절연 구조(도시되지 않음)에 있는 복수의 소스 접점(104)을 포함할 수 있다. 하나의 소스 영역(22)에(예를 들어, 동일한 소스 구조 내에) 형성된 소스 접점들(104) 및 각각의 절연 구조들은 x-방향을 따라 정렬될 수 있다. 소스 구조들은 각각 스택 구조(111)를 관통하여 수직으로 연장되고 기판(102)과 접촉할 수 있다. 소스 전압은 소스 구조 및 기판(102)을 통해 메모리 셀들에 인가될 수 있다. 3D 메모리 디바이스(100)는, x-방향을 따라 정렬되고 소스 구조를 각각이 각각의 절연 구조에 있는 복수의 소스 접점(104)으로 분할하는 하나 이상의 지지 구조(220)를 포함할 수 있다. 일부 실시예들에서, 지지 구조(220)는 컷 구조(114) 및 컷 구조(114)와 기판(102) 사이의 부분 스택(221)을 포함한다. 부분 스택(221)은 기판(102) 위에 인터리빙된 복수의 전도체 부분들(223) 및 절연 부분들(224)을 포함할 수 있다. 각각의 지지 구조(220)는 y-방향을 따라 인접한 메모리 블록들(또는 블록 영역들(21))과 접촉할 수 있고, x-방향을 따라 각각의 소스 구조의 인접한 절연 구조들과 접촉할 수 있다. 지지 구조(220)는 소스 구조들 및 전도체 층들(123)의 형성 동안 3D 메모리 디바이스(100)에 대한 지지를 제공할 수 있다. 3D 메모리 디바이스(100)는 적어도 2개의 소스 접점(104)과 접촉하고 그에 전도성 연결되는 접속 층(108)을 더 포함할 수 있다. 접속 층(108)은 유전체 캡 층(125) 내에 그리고 그것이 연결되는 각각의 소스 접점(104) 위에 있을 수 있다. 일부 실시예들에서, 접속 층(108)은 소스 전압이 접속 층(108)을 통해 소스 구조의 모든 소스 접점들(104) 상에 인가될 수 있도록 소스 구조 내의 모든 소스 접점들(104) 위에 있고 그와 접촉한다. 소스 구조의 저항은 각각의 접점 플러그를 이용하여 각각의 소스 접점(104) 상에 소스 전압을 인가하는 것에 비해 감소될 수 있다. 도 1a 내지 도 1d에 예시된 각각의 구조의 상세들이 아래에 설명된다.
- [0021] 기판(102)은 실리콘(예를 들어, 단결정 실리콘), 실리콘 게르마늄(SiGe), 갈륨 비소(GaAs), 게르마늄(Ge), SOI(silicon on insulator), GOI(germanium on insulator), 또는 임의의 다른 적절한 재료들을 포함할 수 있다. 일부 실시예들에서, 기판(102)은 연삭, 에칭, 화학 기계적 연마(CMP), 또는 이들의 임의의 조합에 의해 박형화되는, 박형화된 기판(예를 들어, 반도체 층)이다. 일부 실시예들에서, 기판(102)은 실리콘을 포함한다.
- [0022] 채널 구조들(110)은 어레이를 형성할 수 있고 기판(102) 위에 수직으로 각각 연장될 수 있다. 채널 구조(110)는 전도체 층(123) 및 절연 층(124)을 각각 포함하는 복수의 쌍들(본 명세서에서 "전도체/절연 층 쌍들"로 지칭됨)을 통해 연장될 수 있다. 수평 방향(예를 들어, x-방향 및/또는 y-방향)을 따르는 적어도 하나의 측면 상에서, 스택 구조(111)는 계단 구조(도시되지 않음)를 포함할 수 있다. 스택 구조(111)에서의 전도체/절연 층 쌍들의 수(예를 들어, 32, 64, 96, 또는 128)는 3D 메모리 디바이스(100)에서의 메모리 셀들의 수를 결정한다. 일부 실시예들에서, 스택 구조(111) 내의 전도체 층들(123) 및 절연 층들(124)은 블록 영역들(21)에서 수직 방향을 따라 교대로 배열된다. 전도체 층들(123)은 텅스텐(W), 코발트(Co), 구리(Cu), 알루미늄(Al), 폴리실리콘, 도핑된 실리콘, 실리콘사이드들, 또는 이들의 임의의 조합을 포함하지만, 이것으로 제한되지 않는 전도성 재료들을 포함할 수 있다. 절연 층들(124)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함하지만, 이들로 제한되지 않는 유전체 재료들을 포함할 수 있다. 일부 실시예들에서, 전도체 층들(123)은 복수의 상단 선택 전도체 층들을 가지는 상단 전도체 층 및 복수의 하단 선택 전도체 층들을

가지는 하단 전도체 층을 포함할 수도 있다. 상단 선택 전도체 층들은 상단 선택 게이트 전극들로서 기능할 수 있고, 하단 선택 전도체 층들은 하단 선택 게이트 전극들로서 기능할 수 있다. 상단 및 하단 전도체 층들 사이의 전도체 층들(123)은 선택 게이트 전극들로서 기능할 수도 있고, 교차하는 채널 구조들(110)을 갖는 메모리 셀들을 형성할 수 있다. 상단 선택 게이트 전극들 및 하단 선택 게이트 전극들에는 원하는 메모리 블록/핑거/페이지를 선택하기 위해 원하는 전압들이 각각 인가될 수 있다.

[0023] 채널 구조(110)는 스택 구조(111)를 통해 수직으로 연장되는 반도체 채널을 포함할 수 있다. 반도체 채널은 채널 형성 구조, 예를 들어, (예를 들어, 반도체 층으로서의) 반도체 재료들 및 (예를 들어, 메모리 필름으로서의) 유전체 재료들로 채워진 채널 홀을 포함할 수 있다. 일부 실시예들에서, 반도체 층은 비정질 실리콘, 폴리실리콘, 또는 단결정 실리콘과 같은 실리콘을 포함한다. 일부 실시예들에서, 메모리 필름은 터널링 층, 메모리 층("전하 트랩 층"이라고도 알려짐) 및 차단 층을 포함하는 복합 층이다. 반도체 채널의 채널 홀의 나머지 공간은, 실리콘 산화물과 같은, 유전체 재료들을 포함하는 유전체 코어로 부분적으로 또는 완전히 채워질 수 있다. 반도체 채널은 원통 형상(예를 들어, 기둥 형상)을 가질 수 있다. 일부 실시예들에 따르면, 유전체 코어, 반도체 층, 터널링 층, 메모리 층 및 차단 층은 필러의 중심으로부터 외부 표면을 향해 이 순서로 방사상으로 배열된다. 터널링 층은 실리콘 산화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함할 수 있다. 메모리 층은 실리콘 질화물, 실리콘 산질화물, 실리콘, 또는 이들의 임의의 조합을 포함할 수 있다. 차단 층은 실리콘 산화물, 실리콘 산질화물, 높은 유전 상수(하이-k) 유전체들, 또는 이들의 임의의 조합을 포함할 수 있다. 일 예에서, 메모리 층은 실리콘 산화물/실리콘 산질화물(또는 실리콘 질화물)/실리콘 산화물(ONO)의 복합 층을 포함할 수 있다.

[0024] 일부 실시예들에서, 채널 구조(110)는 채널 구조(110)의 하부 부분(예를 들어, 하단의 하부 단부)에 에피택셜 부분(예를 들어, 반도체 플러그)을 더 포함한다. 본 명세서에서 사용되는 바와 같이, 컴포넌트(예를 들어, 채널 구조(110))의 "상부 단부"는 수직 방향에서 기관(102)으로부터 더 멀리 떨어진 단부이고, 컴포넌트(예를 들어, 채널 구조(110))의 "하부 단부"는 기관(102)이 3D 메모리 디바이스(100)의 최저 평면에 위치될 때 수직 방향에서 기관(102)에 더 가까운 단부이다. 에피택셜 부분은 임의의 적절한 방향으로 기관(102)으로부터 에피택셜 성장되는 실리콘과 같은 반도체 재료를 포함할 수 있다. 일부 실시예들에서, 에피택셜 부분은 기관(102)과 동일한 재료인 단결정질 실리콘을 포함한다는 점이 이해된다. 즉, 에피택셜 부분은 기관(102)으로부터 성장된 에피택셜-성장 반도체 층을 포함할 수 있다. 에피택셜 부분은 또한 기관(102)과 상이한 재료를 포함할 수 있다. 일부 실시예들에서, 에피택셜 부분은 실리콘, 게르마늄 및 실리콘 게르마늄 중 적어도 하나를 포함한다. 일부 실시예들에서, 에피택셜 부분의 일부는 기관(102)의 상단 표면 위에 있고 반도체 채널과 접촉한다. 에피택셜 부분은 반도체 채널에 전도성 연결될 수 있다. 일부 실시예들에서, 에피택셜 부분의 상단 표면은 하단 절연 층(124)(예를 들어, 스택 구조(111)의 하단에 있는 절연 층)의 상단 표면과 하단 표면 사이에 위치된다.

[0025] 일부 실시예들에서, 채널 구조(110)는 채널 구조(110)의 상부 부분에(예를 들어, 상부 단부에) 드레인 구조(예를 들어, 채널 플러그)를 더 포함한다. 드레인 구조는 반도체 채널의 상부 단부와 접촉할 수 있고 반도체 채널에 전도성 연결될 수 있다. 드레인 구조는 반도체 재료들(예를 들어, 폴리실리콘) 또는 전도성 재료들(예를 들어, 금속들)을 포함할 수 있다. 일부 실시예들에서, 드레인 구조는 접촉 층으로서의 Ti/TiN 또는 Ta/TaN 및 전도체 재료로서의 텅스텐으로 채워진 개구를 포함한다. 3D 메모리 디바이스(100)의 제조 동안 반도체 채널의 상부 단부를 덮는 것에 의해, 드레인 구조는, 실리콘 산화물 및 실리콘 질화물과 같은, 반도체 채널에 채워진 유전체들의 에칭을 방지하기 위한 에칭 정지 층으로서 기능할 수 있다.

[0026] 도 1a 내지 도 1d에 도시된 바와 같이, 소스 구조는 소스 영역(22)에 형성될 수 있다. x-방향을 따라 정렬된 소스 구조는 각각이 각각의 절연 구조(도시되지 않음) 내에 있는 복수의 소스 접점(104)을 포함할 수 있다. 각각의 소스 접점(104)은 기관(102)에 접촉하며 전도성 연결될 수 있다. 절연 구조는 인접한 블록 영역들(21) 내의 전도체 층들(123)로부터 각각의 소스 접점(104)을 절연시킬 수 있다. 일부 실시예들에서, 소스 접점(104)은 폴리실리콘, 알루미늄, 코발트, 구리 및 실리사이드 중 적어도 하나를 포함한다. 절연 구조는 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 하나 이상과 같은 적절한 유전체 재료를 포함할 수 있다.

[0027] 소스 구조들은 또한 x-방향을 따라 분포된 하나 이상의 지지 구조(220)를 포함할 수 있다. 일부 실시예들에서, 각각의 소스 구조는 각각의 소스 구조를 복수의 소스 접점(104)으로 분할하는 적어도 하나의 지지 구조(220)를 포함하고, 각각의 소스 접점은 그 각각의 절연 구조 내에 있다. 일부 실시예들에서, 각각의 소스 접점(104) 및 그 각각의 절연 구조는 지지 구조(220)에 의해 다른 소스 접점(104) 및 그 각각의 절연 구조로부터 분리된다. 인접 블록 영역들(21) 내의 스택 구조(111)의 부분들과 접촉하는 지지 구조(220)는 컷 구조(114) 및 컷 구조(114) 아래의 부분 스택(221)을 포함할 수 있다. 일부 실시예들에서, 부분 스택(221)은 인터리빙된 복수의 전

도체 부분들(223) 및 복수의 절연 부분들(224)을 포함한다. 일부 실시예들에서, y-방향을 따른 컷 구조(114)의 폭 d1은 소스 접점(104) 및 그 각각의 절연 구조의 전체 폭 d2(예를 들어, 소스 구조의 폭 d2)보다 크거나, 같거나, 더 작을 수 있다. 일부 실시예들에서, z-방향을 따른 컷 구조(114)의 두께 t는 2개의 전도체/절연 쌍(즉, 인터리빙된 2개의 전도체 층(123) 및 2개의 절연 층(124))과 4개의 전도체/절연 쌍(즉, 인터리빙된 4개의 전도체 층(123) 및 4개의 절연 층(124)) 사이에 있을 수 있다. 컷 구조(114)의 폭(d1), 두께(t)의 상체는 다음과 같이 3D 메모리 디바이스(100)의 제조에서 상세히 설명될 수 있다. 컷 구조(114)는 인접한 블록 영역들(21)에서의 복수의 인터리빙된 전도체 층들(123) 및 절연 층들(124)과 접촉할 수 있다. 전도체 부분들(223) 및 절연 부분들(224)은 인접한 블록 영역들(21)에서 동일한 레벨의 대응하는 전도체 층들(123) 및 절연 층들(124)과 각각 접촉할 수 있다. 일부 실시예들에서, 지지 구조(220)는 컷 구조(114) 및 주변 부분 스택(221) 아래에 스페이서 층(225)을 포함한다. 스페이서 층(225)은 부분 스택(221)과 인접한 소스 접점들(104) 사이에 추가의 절연을 제공할 수 있다.

[0028] 소스 구조는 적어도 2개의 소스 접점(104) 위에 그와 접촉하는 접속 층(108)을 더 포함할 수 있다. 접속 층(108)은 그것이 접촉하는 소스 접점들(104)에 전도성 연결될 수 있다. 적어도 2개의 소스 접점(104)은 x-방향을 따라 연속적으로 배열되거나 x-방향을 따라 개별적으로 분포될 수 있다. 예를 들어, 적어도 2개의 소스 접점(104)은 접속 층(108)과 접촉하지 않는 하나 이상의 소스 접점(104)에 의해 분리될 수 있다. 일부 실시예들에서, 접속 층(108)은 각각의 소스 구조 내의 모든 소스 접점들(104) 위에 있고 그와 접촉할 수 있다. 일부 실시예들에서, 접속 층(108)은 각각이 소스 구조의 하나 이상의 소스 접점(104) 위에 있고 그와 접촉하는 하나보다 많은 부분을 포함할 수 있다. 하나 이상의 소스 접점(104)은 접속 층(108)의 각각의 부분을 통해 소스 전압이 인가될 수 있다. 접속 층(108) 내의 부분들의 특정 수는 3D 메모리 디바이스(100)의 설계 및/또는 제조에 기초하여 결정되어야 하며, 본 개시내용의 실시예들에 의해 제한되지 않아야 한다.

[0029] 일부 실시예들에서, y-방향을 따른 접속 층(108)(또는 존재하는 경우, 그 부분들)의 폭 d3은 3D 메모리 디바이스(100)의 설계 및/또는 제조 공정에 따라, 변화할 수 있다. 일부 실시예들에서, 도 1d에 도시된 바와 같이, 접속 층(108)은 아래의 소스 접점들(104)을 덮을 수 있다. 즉, y-방향을 따른 접속 층(108)의 폭 d3은 y-방향을 따른 소스 구조의 폭 d2 이상이다. 일부 실시예들에서, 유전체 캡 층(125)은 인접한 블록 영역들(21) 내의 전도체 층들(123)로부터 접속 층(108)을 절연시키기 위해 접속 층(108)의 하단 상에서 부분적으로 접속 층(108)을 둘러싸고 그와 접촉한다. 유전체 캡 층(125)은 또한 접속 층(108)을 측방면들을 따라 다른 구조들로부터 절연시키기 위해 접속 층(108)의 측벽 상의 접속 층(108)을 둘러싸고 그와 접촉할 수 있다. 일부 실시예들에서, 유전체 캡 층(125)은 블록 영역들(21)에 부분적으로 위치할 수 있다.

[0030] 일부 실시예들에서, 컷 구조(114)는 희생 층들과 다른 적절한 재료를 포함한다. 전도체 층들(123) 및 전도체 부분들(223)을 형성하기 위한 게이트 대체 공정 동안, 컷 구조(114)는 희생 층들의 에칭으로부터 유지될 수 있다. 일부 실시예들에서, 컷 구조(114)는 실리콘 산화물, 실리콘 질화물 및/또는 실리콘 산질화물 중 하나 이상을 포함한다. 일부 실시예들에서, 전도체 부분들(223)은 인접한 블록 영역들(21) 내의 전도체 층들(123)과 동일한 재료를 포함할 수 있고, 및 절연 부분들(224)은 인접한 블록 영역들(21) 내의 절연 층들(124)과 동일한 재료를 포함할 수 있다. 예를 들어, 전도체 부분들(223)은 텅스텐, 알루미늄, 코발트, 구리, 폴리실리콘 및 실리콘 사이드들 중의 하나 이상을 포함할 수 있고, 절연 부분들(224)은 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중의 하나 이상을 포함할 수 있다. 일부 실시예들에서, 접속 층(108)은 텅스텐, 알루미늄, 코발트, 구리, 폴리실리콘 및 실리콘 사이드들 중 하나 이상을 포함한다. 일부 실시예들에서, 소스 접점(104)은 폴리실리콘을 포함하고, 접속 층(108)은 텅스텐을 포함한다. 일부 실시예들에서, 유전체 캡 층(125)은 실리콘 산화물을 포함한다. 일부 실시예에서, 3D 메모리 디바이스(100)는 소스 접점(104)과 접속 층(108) 사이의 접착 및/또는 전도성을 개선시키기 위해 소스 접점(104)과 접속 층(108) 사이에 접착 층, 예를 들어, TiN을 포함한다. 일부 실시예에서, 3D 메모리 디바이스(100)는 절연 구조와 지지 구조(220) 사이의 접착을 개선시키기 위해 소스 접점(104)의 각각의 절연 구조와 지지 구조(220) 사이에 다른 접착 층, 예를 들어, TiN을 포함한다.

[0031] 3D 메모리 디바이스(100)는 모놀리식 3D 메모리 디바이스의 일부일 수 있다. 용어 "모놀리식"은 3D 메모리 디바이스의 컴포넌트들(예를 들어, 주변 디바이스 및 메모리 어레이 디바이스)이 단일 기판 상에 형성되는 것을 의미한다. 모놀리식 3D 메모리 디바이스들의 경우, 주변 디바이스 처리 및 메모리 어레이 디바이스 처리의 어려움으로 인해 제조시 추가적인 제약들에 직면한다. 예를 들어, 메모리 어레이 디바이스(예를 들어, NAND 채널 구조들)의 제조는 동일한 기판 상에 형성되었거나 형성될 주변 디바이스들과 연관된 열 예산에 의해 제약된다.

[0032] 대안적으로, 3D 메모리 디바이스(100)는, 컴포넌트들(예를 들어, 주변 디바이스 및 메모리 어레이 디바이스)이 상이한 기판들 상에 개별적으로 형성되고 이어서, 예를 들어, 대면 방식으로 본딩될 수 있는, 비모놀리식 3D 메

모리 디바이스의 일부일 수 있다. 일부 실시예들에서, 메모리 어레이 디바이스 기관(예를 들어, 기관(102))은 본딩된 비모놀리식 3D 메모리 디바이스의 기관으로서 남아 있고, 주변 디바이스(예를 들어, 페이지 버퍼들, 디코더들 및 래치들과 같은, 3D 메모리 디바이스(100)의 동작을 용이하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 주변 회로들을 포함함; 도시되지 않음)는 하이브리드 본딩을 위해 뒤집혀서 메모리 어레이 디바이스(예를 들어, NAND 메모리 스트링들)를 향해 아래로 향한다. 일부 실시예들에서, 메모리 어레이 디바이스 기관(예를 들어, 기관(102))은 하이브리드 본딩을 위해 주변 디바이스(도시되지 않음)를 향해 뒤집혀서 아래로 향하며, 따라서 본딩된 비모놀리식 3D 메모리 디바이스에서, 메모리 어레이 디바이스는 주변 디바이스 위에 있게 되는 것을 이해할 수 있다. 메모리 어레이 디바이스 기관(예를 들어, 기관(102))은 (본딩된 비모놀리식 3D 메모리 디바이스의 기관이 아닌) 박형화된 기관일 수 있고, 그리고 비모놀리식 3D 메모리 디바이스의 BEOL(back-end-of-line) 상호접속부들이 박형화된 메모리 어레이 디바이스 기관의 배면 상에 형성될 수 있다.

[0033] 도 7a는 제조 공정에서 이용되는 에칭 마스크들을 형성하기 위한 예시적인 패턴 세트(700)를 예시한다. 도 7b는 패턴 세트의 유닛(750)의 확대도를 예시한다. 패턴 세트(700) 내의 패턴들은 3D 메모리 디바이스(100)를 형성하기 위해 제조 공정의 상이한 스테이지들에서 사용될 수 있다. 다양한 실시예들에서, 패터닝 공정들에서 이용되는 포토레지스트의 타입들에 따라, 패턴 세트(700) 내의 패턴들은 각각 에칭 마스크의 일부 또는 에칭 마스크를 결정하기 위한 패턴일 수 있다. 예를 들어, 네거티브 포토레지스트가 패터닝을 위해 사용되는 경우, 패턴 세트(700) 내의 패턴들은 에칭 마스크들의 일부로서 사용될 수 있고; 포지티브 포토레지스트가 패터닝을 위해 사용되면, 패턴 세트(700) 내의 패턴들은 에칭 마스크들을 결정하기 위한 상보적인 패턴들일 수 있다. 도 7a 및 도 7b에 도시된 형상들, 치수들 및 비율들은 예시의 목적들을 위한 것이고 축척에 따르지 않는다는 것에 유의하여야 한다.

[0034] 도 7a에 도시된 바와 같이, 패턴 세트(700)는 패턴들(702, 704, 706, 708)을 포함한다. 구체적으로, 패턴(702)은 슬릿 구조의 슬릿 개구들을 패터닝하기 위해 사용될 수 있고, 패턴(704)은 접속 층(108)을 패터닝하는 데 사용될 수 있고, 패턴(706)은 컷 구조(114)를 패터닝하기 위해 사용될 수 있고, 패턴(708)은 접속 층(108)과 주변 회로를 접속시키는 접점 플러그들을 형성하기 위해 이용될 수 있다. 패턴 세트(700)는 컷 구조(114), 슬릿 개구들 및 접속 층(108)의 형성을 위한 복수의 반복 유닛을 포함할 수 있다. 도 7b는 각 패턴의 상세, 예를 들어 커버리지를 나타내는 반복 유닛(750)을 예시한다. 도 7b에 도시된 바와 같이, x-방향을 따라, (컷 구조(114)를 형성하기 위한) 패턴(706)의 길이 D1은 (슬릿 개구들을 형성하기 위한) 패턴(702)의 길이 D2보다 작거나, 같거나, 더 클 수 있다. 예를 들어, 슬릿 개구들을 형성하기 위해 에칭 마스크로서 컷 구조(114)가 채용되는 경우, 길이 D1은 길이 D2보다 작거나, 더 크거나, 같을 수 있고, 패턴(706)의 폭 W1은 패턴(702)의 폭 W2보다 클 수 있고; 슬릿 개구들을 형성하기 위해 별도의 에칭 마스크(예를 들어, 패턴(702))가 에칭 마스크로서 채용되는 경우, 길이 D1은 길이 D2 이상일 수 있고, 폭 W1은 폭 W2보다 작거나, 같거나, 더 클 수 있다. 일부 실시예들에서, D1>D2이고 W1<W2이다. 패턴들(706 및 702) 내의 D1, D2, W1 및 W2의 조합은 컷 구조(114)(또는 지지 구조(220))가 인접한 블록 영역들(21)과 접촉하고 x-y 평면에서 따라 원하는 치수들을 갖는 것을 보장할 수 있고, 본 개시내용의 실시예들에 의해 제한되지 않아야 한다. 일부 실시예들에서, y-방향을 따라, (접속 층(108)을 형성하기 위한) 패턴(704)의 폭(W)은 패턴(702)의 폭 이상일 수 있다. 패턴들을 적용하는 시퀀스는 아래에서 3D 메모리 디바이스(100)를 형성하는 제조 공정에서 설명될 수 있다.

[0035] 일부 실시예들에 따르면, 도 2 내지 도 6은 3D 메모리 디바이스(100)를 형성하기 위한 제조 공정을 예시하고, 도 9는 제조 공정의 흐름도(900)를 예시한다. 예시의 편의를 위해, 제조 공정을 설명하기 위해 도 7a 및 도 7b가 도 2 내지 도 6과 함께 예시된다.

[0036] 공정의 시작에서, 적어도 하나의 컷 구조가 스택 구조 내에 형성된다(동작 902). 도 2a 및 도 2b는 대응하는 구조(200)를 예시한다.

[0037] 도 2a 및 도 2b에 도시된 바와 같이, 컷 구조(114)가 스택 구조(111) 내에 형성된다. 스택 구조(111)는 기관(102) 위에 형성된 인터리빙된 초기 희생 층들(133i) 및 초기 절연 층들(134i)의 유전체 스택을 가질 수 있다. 초기 희생 층들(133i)은 전도체 층들(123)의 후속 형성을 위해 사용될 수 있다. 초기 절연 층들(134i)은 절연 층들(124)의 후속 형성에 사용될 수 있다. 일부 실시예들에서, 스택 구조(111)는 스택 구조(111)의 상단 표면에 제1 유전체 캡 층을 포함한다. 3D 메모리 디바이스(100)는 채널 구조들(110)을 형성하기 위한 채널 영역을 포함할 수 있다. 채널 영역은 복수의 소스 영역(22) 및 인접한 소스 영역들(22) 사이의 블록 영역(21)을 포함할 수 있다.

[0038] 스택 구조(111)는 계단 구조를 가질 수 있다. 계단 구조는, 복수의 인터리빙된 희생 재료 층 및 절연 재료 층을 포함하는 재료 스택을 에칭 마스크, 예를 들어, 재료 스택 위의 패터닝된 PR 층을 이용하여 반복적으로 에칭함으로써 형성될 수 있다. 인터리빙된 희생 재료 층들 및 절연 재료 층들은 원하는 수의 층들에 도달할 때까지 희생 재료의 층들 및 절연 재료의 층들을 기판(102) 위에 교대로 퇴적함으로써 형성될 수 있다. 희생 재료 층들 및 절연 재료 층들은 동일하거나 상이한 두께들을 가질 수 있다. 일부 실시예들에서, 희생 재료 층 및 하위 절연 재료 층은 유전체 쌍이라고 지칭된다. 일부 실시예들에서, 하나 이상의 유전체 쌍은 하나의 레벨/계단을 형성할 수 있다. 계단 구조의 형성 동안, PR 층은 트리밍되고(예를 들어, 재료 스택의 경계로부터, 종종 모든 방향들로부터 충분히 그리고 내측으로 에칭됨), 재료 스택의 노출된 부분을 에칭하기 위한 에칭 마스크로서 이용된다. 트리밍된 PR의 양은 계단들의 치수들에 직접 관련될 수 있다(예를 들어, 결정요인일 수 있다). PR 층의 트리밍은 적절한 에칭, 예를 들어 습식 에칭과 같은 등방성 건식 에칭을 이용하여 획득될 수 있다. 하나 이상의 PR 층은 계단 구조의 형성을 위해 연속적으로 형성되고 트리밍될 수 있다. 각각의 유전체 쌍은, PR 층의 트리밍 후에, 희생 재료 층 및 하위 절연 재료 층 양자 모두의 부분을 제거하기 위해 적절한 에칭체들을 사용하여 에칭될 수 있다. 에칭된 희생 재료 층들 및 절연 재료 층들은 초기 희생 층들(133i) 및 초기 절연 층들(134i)을 형성할 수 있다. PR 층은 이후 제거될 수 있다.

[0039] 절연 재료 층들 및 희생 재료 층들은 후속 게이트-대체 공정 동안 상이한 에칭 선택성들을 가질 수 있다. 일부 실시예들에서, 절연 재료 층들 및 희생 재료 층들은 상이한 재료들을 포함한다. 일부 실시예들에서, 절연 재료 층들은 실리콘 산화물을 포함하고, 절연 재료 층들의 퇴적은 화학 기상 증착(CVD), 원자 층 증착(ALD), 물리 기상 증착(PVD) 및 스퍼터링 중 하나 이상을 포함한다. 일부 실시예들에서, 희생 재료 층들은 실리콘 질화물을 포함하고, 절연 재료 층들의 퇴적은 CVD, PVD, ALD 및 스퍼터링 중 하나 이상을 포함한다. 일부 실시예들에서, 희생 재료 층들 및 절연 재료 층들의 에칭은 하나 이상의 적절한 이방성 에칭 공정, 예를 들어, 건식 에칭을 포함한다.

[0040] 복수의 채널 구조(110)는 컷 구조(114)의 형성 전 또는 후에 블록 영역(21)에 형성될 수 있다. 채널 구조들(110)은 전도체 층들(123)의 형성 이전에 형성될 수 있다. 예로서, 채널 구조들(110)은 컷 구조(114)의 형성 전에 형성된다. 채널 구조들(110)을 형성하기 위해, 스택 구조(111)를 통해 수직으로 연장하는 복수의 채널 홀이 형성될 수 있다. 일부 실시예들에서, 복수의 채널 홀들은 인터리빙된 초기 희생 층들(133i) 및 초기 절연 층들(134i)을 통해 형성된다. 복수의 채널 홀은 스택 구조(111)의 부분들을 제거하고 기판(102)을 노출시키기 위해, 패터닝된 PR 층과 같은 에칭 마스크를 사용하여, 이방성 에칭 공정을 수행함으로써 형성될 수 있다. 일부 실시예들에서, 적어도 하나의 채널 홀은 y-방향을 따라 컷 구조(114)의 각각의 측면 상에 형성된다. 일부 실시예들에서, 복수의 채널 홀이 각각의 블록 영역(21)에 형성된다. 기판(102) 위에 채널 홀을 형성하는 동일한 에칭 공정에 의해 및/또는 별도의 리세스 에칭 공정에 의해 기판(102)의 상단 부분을 노출시키기 위해 각각의 채널 홀의 하단에 리세스 영역이 형성될 수 있다. 일부 실시예들에서, 반도체 플러그가 각각의 채널 홀의 하단에, 예를 들어, 리세스 영역 위에 형성된다. 반도체 플러그는 에피택셜 성장 공정 및/또는 퇴적 공정에 의해 형성될 수 있다. 일부 실시예들에서, 반도체 플러그는 에피택셜 성장에 의해 형성되고 에피택셜 부분이라고 지칭된다. 선택적으로, 리세스 에칭(예를 들어, 건식 에칭 및/또는 습식 에칭)이 수행되어 채널 홀의 측면 상의 과잉 반도체 재료를 제거하고/하거나 원하는 위치에서 에피택셜 부분의 상단 표면을 제어할 수 있다. 일부 실시예들에서, 에피택셜 부분의 상단 표면은 하단 초기 절연 층(134i)의 상단 및 하단 표면 사이에 위치된다.

[0041] 일부 실시예들에서, 채널 홀들은 적절한 에칭 공정, 예를 들어, 이방성 에칭 공정(예를 들어, 건식 에칭) 및/또는 등방성 에칭 공정(습식 에칭)을 수행함으로써 형성된다. 일부 실시예들에서, 에피택셜 부분은 기판(102)으로부터 에피택셜 성장되는 것에 의해 형성되는 단결정질 실리콘을 포함한다. 일부 실시예들에서, 에피택셜 부분은 퇴적 공정에 의해 형성된 폴리실리콘을 포함한다. 에피택셜-성장된 에피택셜 부분의 형성은 기상 에피택시(vapor-phase epitaxy)(VPE), 액상 에피택시(liquid-phase epitaxy)(LPE), 분자-빔 에피택시(molecular-beam epitaxy)(MBE), 또는 이들의 임의의 조합들을 포함할 수 있지만, 이에 제한되지 않는다. 퇴적된 에피택셜 부분의 형성은 CVD, PVD 및/또는 ALD를 포함할 수 있지만, 이에 제한되지 않는다.

[0042] 일부 실시예들에서, 반도체 채널이 채널 홀 내의 에피택셜 부분 위에 형성되고 에피택셜 부분과 접촉한다. 반도체 채널은 메모리 필름(예를 들어, 차단 층, 메모리 층 및 터널링 층을 포함함), 에피택셜 부분 위에 형성되고 에피택셜 부분을 연결시키는 반도체 층 및 채널 홀의 나머지를 채우는 유전체 코어를 갖는 채널 형성 구조를 포함할 수 있다. 일부 실시예에서, 채널 홀의 측면 및 에피택셜 부분의 상단 표면을 덮도록 메모리 필름이 먼저 퇴적되고, 그 다음, 반도체 층이 메모리 필름 위에 및 에피택셜 부분 위에 퇴적된다. 차단 층, 메모리 층 및 터널링 층이 메모리 필름을 형성하기 위하여, ALD, CVD, PVD, 임의의 다른 적절한 공정들, 또는 이들의 임의

의 조합과 같은 하나 이상의 박막 퇴적 공정들을 이용하여 이 순서로 후속하여 퇴적될 수 있다. 이어서, 반도체 층이 ALD, CVD, PVD, 임의의 다른 적절한 공정들 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 공정을 이용하여 터널링 층 상에 퇴적될 수 있다. 일부 실시예들에서, 실리콘 산화물과 같은 반도체 층의 퇴적 후에 유전체 재료들을 퇴적함으로써 유전체 코어가 채널 홀의 나머지 공간에 채워진다.

[0043] 일부 실시예들에서, 드레인 구조는 각각의 채널 홀의 상부 부분에 형성된다. 일부 실시예들에서, 스택 구조(111)의 상단 표면 상의 그리고 각각의 채널 홀의 상부 부분 내의 메모리 필름, 반도체 층 및 유전체 코어의 부분들은 반도체 채널의 상단 표면이 제1 유전체 캡 층의 상단 표면과 하단 표면 사이에 있을 수 있도록 채널 홀의 상부 부분에 리세스를 형성하기 위해 CMP, 연삭, 습식 에칭 및/또는 건식 에칭에 의해 제거될 수 있다. 이어서, CVD, PVD, ALD, 전기도금, 무전해 도금, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 공정에 의해 리세스 내에 금속들과 같은 전도성 재료들을 퇴적함으로써 드레인 구조가 형성될 수 있다. 채널 구조(110)가 이에 의해 형성된다. 반도체 채널들과 제어 전도체 층들의 교차점에 의해 복수의 메모리 셀들이 후속하여 형성될 수 있다. 선택적으로, 스택 구조(111)의 상단 표면 상의 임의의 과잉 재료를 제거하기 위해 평탄화 공정, 예를 들어, 건식/습식 에칭 및/또는 CMP가 수행된다.

[0044] 하나 이상의 컷 개구들이 서로 분리된 소스 영역(22)에 형성될 수 있다. 패턴(706)은 컷 개구들을 패턴링하기 위해 이용될 수 있다. 컷 개구의 깊이는 컷 구조(114)의 두께(t)와 동일할 수 있다. 일부 실시예들에서, t는 2개의 초기 희생/절연 층 쌍과 4개의 초기 희생/절연 층 쌍의 두께들 사이이다. t의 값은 3D 메모리 디바이스(100)의 설계 및/또는 제조에 기초하여 결정되며, 본 개시내용의 실시예들에 의해 제한되지 않아야 한다. 일부 실시예들에서, 원하는 두께 t에 도달할 때까지 스택 구조(111)의 일부를 제거하기 위해 건식 에칭과 같은 이방성 에칭 공정이 수행된다. 일부 실시예들에서, 하나 이상의 선택적 에칭 공정은 컷 개구의 하단 표면이 z-방향을 따라 원하는 위치에서(예를 들어, 원하는 초기 절연 층(134i) 또는 초기 희생 층(133i)의 상단 표면 상에서) 정지할 수 있도록 스택 구조(111)의 부분을 제거하기 위해 사용된다.

[0045] 컷 개구를 채우고 각각의 컷 구조(114)를 형성하기 위해 실리콘 산화물과 같은 적절한 유전체 재료가 퇴적된다. 유전체 재료를 퇴적하기 위해, CVD, ALD, PVD, 스퍼터링 또는 이들의 조합과 같은 적절한 퇴적 공정이 수행될 수 있다. 일부 실시예들에서, 컷 구조(114)는 ALD에 의해 퇴적된다. 선택적으로, 평탄화 공정, 예를 들어, CMP 및/또는 리세스 에칭이 스택 구조(111) 위의 임의의 과잉 재료를 제거하기 위해 수행된다.

[0046] 도 9를 다시 참조하면, 컷 구조들의 형성 후에, 스택 구조의 부분들을 제거하여 슬릿 구조 및 슬릿 구조를 복수의 슬릿 개구로 분할하는 적어도 하나의 초기 지지 구조를 형성한다(동작 904). 적어도 하나의 초기 지지 구조는 각각 컷 구조 및 컷 구조 아래의 인터리빙된 복수의 희생 부분 및 복수의 절연 부분을 갖는다. 도 3a 및 도 3b는 대응하는 구조(300)를 예시한다.

[0047] 도 3a 및 도 3b에 도시된 바와 같이, 컷 구조(114)에 의해 노출된, 소스 영역(22) 내의 스택 구조(111)의 부분들이 제거되어, 기관(102)을 노출시키는 슬릿 구조(116)를 형성한다. 슬릿 구조(116)를 패턴링하기 위해 패턴(702)이 이용될 수 있다. 즉, 소스 영역(22) 내의 그리고 컷 구조(114)에 인접하는 스택 구조(111)의 부분들을 제거하여 슬릿 구조(116)를 형성한다. 컷 구조(114) 및 아래의 인터리빙된 희생 부분들 및 절연 부분들(224)(예를 들어, 슬릿 구조(116)의 에칭 이후의 초기 희생 층(133i) 및 초기 절연 층(134i)의 나머지 부분들)이 초기 지지 구조를 형성할 수 있다. 희생 부분들 및 절연 부분들(224)은 각각 인접한 블록 영역들(21) 내의 동일한 레벨의 희생 층들 및 절연 층들(124)과 접촉할 수 있다. 하나 이상의 초기 지지 구조들은 슬릿 구조(116)를 복수의 슬릿 개구들로 분할할 수 있고, 복수의 슬릿 개구들 각각은 기관(102) 및 인접한 블록 영역들(21)의 인터리빙된 희생 층들 및 절연 층들을 노출시킨다. y-방향을 따라, 컷 구조(114)의 폭 d1은 슬릿 구조(116)(또는 슬릿 개구들)의 폭 d2 미만일 수 있다. 적절한 이방성 에칭 공정, 예를 들어 건식 에칭을 수행하여 슬릿 구조(116)를 형성할 수 있다.

[0048] 일부 실시예들에서, 슬릿 구조(116)를 패턴링하는 데 패턴(702)이 사용되지 않을 수 있고, 스택 구조(111)의 부분들을 제거하고 슬릿 구조(116)를 형성하기 위한 에칭 마스크로서 컷 구조(114)가 사용될 수 있다. 이 경우, 폭 d1은 폭 d2 이하일 수 있다.

[0049] 도 9를 다시 참조하면, 초기 지지 구조의 형성 이후, 각각의 초기 지지 구조 내의 희생 부분들 및 각각의 블록 영역 내의 희생 층들은 전도체 부분들 및 전도체 층들로 대체되어, 적어도 하나의 지지 구조 및 복수의 메모리 블록들을 형성한다(동작 906). 도 3a 및 도 3b는 대응하는 구조(300)를 예시한다.

[0050] 도 3a 및 도 3b에 도시된 바와 같이, 각각의 초기 지지 구조 내의 희생 부분들은 복수의 전도체 부분들(223)로

대체된다. 각각의 블록 영역(21) 내의 희생 층들은 복수의 전도체 층들(123)로 대체된다(도 1c 및 도 1d를 다시 참조). 슬릿 구조(116)를 통해 희생 부분들 및 희생 층들을 제거하기 위해 등방성 에칭 공정, 예를 들어 습식 에칭이 수행될 수 있다. 희생 층들의 제거에 의해 각각의 블록 영역(21)에 복수의 측방향 리세스들이 형성될 수 있고, 희생 부분들의 제거에 의해 각각의 초기 지지 구조 내에 복수의 리세스 부분이 형성될 수 있다. 그 후 측방향 리세스들 및 리세스 부분들을 채우도록 전도체 재료가 퇴적되어, 각각의 블록 영역에 복수의 전도체 층들(123)을 그리고 각각의 초기 지지 구조에 복수의 전도체 부분들(223)을 형성할 수 있다. 따라서, 복수의 인터리빙된 전도체 부분들(223) 및 절연 부분들(224)을 가지는 부분 스택(221)이 형성될 수 있다. 컷 구조(114) 및 그 아래의 부분 스택(221)을 갖는 지지 구조(220)가 형성될 수 있다. 선택적으로, 스페이서 층(225)이 인터리빙된 전도체 부분들(223) 및 절연 부분들(224)을 둘러싸도록 형성되어, 후속하여 형성된 소스 구조로부터 전도체 부분들(223)을 추가로 격리시킨다. 일부 실시예들에서, 전도체 재료 및 스페이서 층(225)은 CVD, PVD, ALD 및 스퍼터링 중의 적어도 하나에 의해 각각 퇴적된다.

[0051] 도 9를 다시 참조하면, 지지 구조 및 전도체 층들의 형성 후에, 소스 구조가 슬릿 구조에 형성된다(동작 908). 도 4a 및 도 4b는 대응하는 구조(400)를 예시한다.

[0052] 도 4a 및 도 4b에 도시된 바와 같이, 소스 구조는 슬릿 구조(116)에 형성된다. 소스 구조는 슬릿 구조(116)의 각각의 슬릿 개구 내의 절연 구조 및 각각의 절연 구조 내의 소스 접점(104)을 포함할 수 있다. 선택적으로, 접착 층(도시되지 않음)이 소스 구조의 형성 전에 지지 구조(220)의 상단 표면 및 측벽들 위에 퇴적된다. 일부 실시예들에서, 절연 구조는 실리콘 산화물을 포함하고, 소스 접점들(104)은 폴리실리콘을 포함한다. 절연 구조 및 소스 접점들(104)은 각각 CVD, PVD, ALD 및 스퍼터링 중 하나 이상에 의해 퇴적될 수 있다. 각각의 소스 접점(104)이 기관(102)과 접촉할 수 있도록 기관(102)을 노출시키기 위해 절연 구조에 대해 리세스 에칭 공정이 수행될 수 있다. 선택적으로, 접착 층의 퇴적 전에 소스 접점(104)의 과잉 재료를 제거하기 위해 리세스 에칭 공정, 즉 건식 및/또는 습식 에칭이 수행된다. 일부 실시예들에서, 접착 층은 TiN을 포함하고, CVD, PVD, ALD, 전기도금 및 스퍼터링 중 하나 이상에 의해 퇴적된다. 선택적으로, 평탄화 공정, 예를 들어, CMP 및/또는 리세스 에칭이 수행되어 각각의 소스 구조 위의 임의의 과잉 재료를 제거한다.

[0053] 도 9를 다시 참조하면, 소스 구조의 형성 후에, 소스 구조 위에 캡 층이 형성된다(동작 910). 도 5a 및 도 5b는 대응하는 구조(500)를 예시한다.

[0054] 도 5a 및 도 5b에 도시된 바와 같이, 캡 층(115)이 각각의 소스 구조 위에 형성된다. 캡 층(115)에 의해 덮여지는 영역은 후속하여 형성되는 접속 층(108)의 커버리지에 기초하여 결정될 수 있다. 일부 실시예들에서, 캡 층(115)에 의해 덮여지는 영역은 접속 층(108)을 소스 접점들(104)을 제외한 스택 구조(111)의 다른 부분들로부터 절연시키기 위해 접속 층(108)의 영역보다 클 수 있다. 캡 층(115)은 아래의 소스 구조를 부분적으로 또는 완전히 덮을 수 있다. 일부 실시예들에서, 캡 층(115)은 x-방향 및 y-방향을 따라 아래의 소스 구조를 완전히 덮는다. 일부 실시예들에서, 캡 층(115)은 블록 영역(21)을 부분적으로 덮을 수 있다. 캡 층(115) 및 제1 유전체 캡 층(도 5a 및 도 5b에 도시되지 않음)은 유전체 캡 층(125)을 형성할 수 있다. 일부 실시예들에서, 캡 층(115)은 실리콘 산화물을 포함하고, CVD, PVD, ALD 및 스퍼터링 중 하나 이상에 의해 퇴적된다.

[0055] 도 9를 다시 참조하면, 캡 층의 형성 후에, 접속 층이 캡 층에 형성되고, 접속 층은 적어도 2개의 소스 접점과 접촉하고 그에 전도성 연결된다(동작 912). 도 6a 및 도 6b는 대응하는 구조(600)를 예시한다.

[0056] 도 6a 및 도 6b에 도시된 바와 같이, 접속 층(108)은 캡 층(115)(또는 유전체 캡 층(125))에 형성된다. 접속 층(108)은 적어도 2개의 소스 접점(104)과 접촉하고 그에 전도성 연결될 수 있다. 일부 실시예들에서, 캡 층(115)은 적어도 2개의 소스 접점(104)을 노출시키는 개구를 형성하도록 패터닝된다. 패터닝(704)은 개구를 패터닝하는데 사용될 수 있다. 일부 실시예들에서, 개구는 각각의 소스 구조의 소스 접점들(104) 전부를 노출시킨다. y-방향을 따라, 개구의 폭(예를 들어, 접속 층(108)의 폭 d3에 대응함)은 도 1d를 다시 참조하면, 덮여진 소스 접점(104)의 폭 d2보다 클 수 있다. 접착 층, 예를 들어 TiN이 접속 층(108)의 퇴적 전에 노출된 소스 접점들(104) 위에 퇴적될 수 있다. 이어서, 적절한 전도성 재료를 퇴적하여 개구를 채워서 접속 층(108)을 형성한다. 선택적으로, 평탄화 공정, 예를 들어, CMP 및/또는 리세스 에칭이 수행되어 접속 층(108) 위의 임의의 과잉 재료를 제거한다.

[0057] 일부 실시예들에서, 개구는 적절한 에칭 공정, 예를 들어 건식 및/또는 습식 에칭에 의해 형성된다. 일부 실시예들에서, 전도성 재료는 텅스텐을 포함하고, CVD, PVD, ALD 및 스퍼터링 중 하나 이상에 의해 퇴적된다. 일부 실시예들에서, 접착 층은 CVD, PVD, ALD 및 스퍼터링 중 하나 이상에 의해 퇴적된다.

- [0058] 일부 실시예들에서, 3D 메모리 디바이스는 기판 위의 메모리 스택, 복수의 채널 구조 및 소스 구조를 포함한다. 메모리 스택은 인터리빙된 복수의 전도체 층들 및 복수의 절연 층들을 포함한다. 복수의 채널 구조는 메모리 스택에서 수직으로 연장된다. 소스 구조는 메모리 스택에서 연장된다. 소스 구조는 각각이 각각의 절연 구조에 있는 복수의 소스 접점을 포함한다. 복수의 소스 접점 중 적어도 2개는 서로 접촉하며 전도성 연결된다.
- [0059] 일부 실시예들에서, 복수의 소스 접점 중 적어도 2개는 접속 층에 의해 서로 접촉하며 전도성 연결된다. 접속 층은 전도성 층일 수 있고 복수의 소스 접점 중 적어도 2개의 소스 접점 각각과 접촉할 수 있다.
- [0060] 일부 실시예들에서, 접속 층은 텅스텐, 코발트, 알루미늄, 구리, 실리사이드들, 또는 폴리실리콘 중 적어도 하나를 포함한다.
- [0061] 일부 실시예들에서, 접속 층은 복수의 소스 접점 중 적어도 2개의 소스 접점 각각 위에 위치된다.
- [0062] 일부 실시예들에서, 3D 메모리 디바이스는 소스 구조 위에 캡 층을 더 포함한다. 접속 층은 캡 층에 있을 수 있고, 캡 층은 접속 층을 인접한 메모리 블록들 내의 복수의 전도체 층으로부터 절연시킬 수 있다.
- [0063] 일부 실시예들에서, 접속 층은 복수의 소스 접점 각각 위에 있고 그와 접촉한다.
- [0064] 일부 실시예들에서, 소스 구조가 그를 따라 연장되는 다른 측방향 방향에 수직인 측방향 방향을 따라, 접속 층의 폭은 소스 구조의 폭 이상이다.
- [0065] 일부 실시예들에서, 복수의 소스 접점은 코발트, 알루미늄, 구리, 실리사이드 또는 폴리실리콘 중 적어도 하나를 포함한다.
- [0066] 일부 실시예들에서, 소스 구조는 각각이 한 쌍의 인접한 소스 접점들 사이에 있는 적어도 하나의 지지 구조를 더 포함한다. 적어도 하나의 지지 구조는 소스 구조에 인접한 메모리 블록들과 접촉할 수 있다.
- [0067] 일부 실시예들에서, 적어도 하나의 지지 구조는 각각 인터리빙된 복수의 전도체 부분들 및 복수의 절연 부분들 위의 컷 구조를 포함한다. 복수의 전도체 부분 각각은 소스 구조에 인접한 메모리 블록들 내의 대응하는 전도체 층들과 접촉할 수 있다. 복수의 절연 부분 각각은 소스 구조에 인접한 메모리 블록들 내의 대응하는 절연 층들과 접촉할 수 있다.
- [0068] 일부 실시예들에서, 적어도 하나의 지지 구조는 인터리빙된 복수의 전도체 부분들 및 절연 부분들과 접촉하는 스페이서 층을 각각 포함한다.
- [0069] 일부 실시예들에서, 컷 구조는 실리콘 산화물을 포함한다.
- [0070] 일부 실시예들에서, 컷 구조의 두께는 인터리빙된 2개의 전도체 층과 2개의 절연 층 및 인터리빙된 4개의 전도체 층과 4개의 절연 층 사이에 있다. 일부 실시예들에서, 소스 구조가 그를 따라 연장되는 다른 측방향에 수직인 측방향을 따라, 컷 구조의 폭은 소스 구조의 폭 이하이다.
- [0071] 일부 실시예들에서, 3D 메모리 디바이스는 복수의 소스 접점 중 적어도 2개의 절연 구조들과 지지 구조 사이 및 복수의 소스 접점 중 적어도 2개와 접속 층 사이에 접촉 층을 더 포함한다.
- [0072] 일부 실시예들에서, 접촉 층은 티타늄 질화물을 포함한다.
- [0073] 일부 실시예들에서, 복수의 채널 구조 각각은 기판과 접촉하고 기판에 전도성 연결되는 에피택셜 부분, 에피택셜 부분과 접촉하고 그에 전도성 연결되는 반도체 채널 및 반도체 채널과 접촉하고 그에 전도성 연결되는 드레인 구조를 포함한다.
- [0074] 일부 실시예들에서, 3D 메모리 디바이스는 기판 위의 메모리 스택, 복수의 채널 구조 및 복수의 소스 구조를 포함한다. 메모리 스택은 인터리빙된 복수의 전도체 층들 및 복수의 절연 층들을 포함할 수 있다. 복수의 채널 구조는 메모리 스택에서 수직으로 연장될 수 있고, 복수의 소스 구조는 메모리 스택에서 측방향을 따라 평행하게 연장될 수 있다. 복수의 소스 구조는, 각각이 각각의 절연 구조에 있는 복수의 소스 접점, 측방향을 따라 인접한 절연 구조들과 각각 접촉하는 복수의 지지 구조 및 복수의 소스 접점 중 적어도 2개와 접촉하며 전도성 연결되는 접속 층을 각각 포함할 수 있다.
- [0075] 일부 실시예들에서, 접속 층은 텅스텐, 코발트, 알루미늄, 구리, 실리사이드들, 또는 폴리실리콘 중 적어도 하나를 포함한다.
- [0076] 일부 실시예들에서, 접속 층은 복수의 소스 접점 중 적어도 2개의 소스 접점 각각 위에 위치된다.

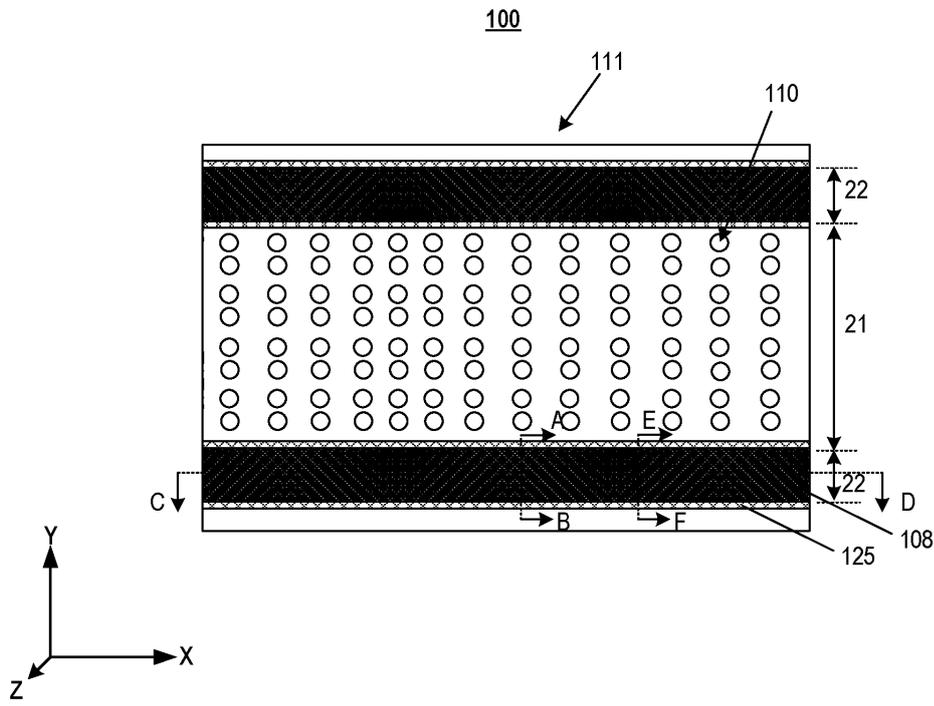
- [0077] 일부 실시예들에서, 3D 메모리 디바이스는 복수의 소스 접점 중 적어도 2개 위에 캡 층을 더 포함한다. 각각의 접속 층은 캡 층에 있을 수 있고, 캡 층은 각각의 접속 층을 인접한 메모리 블록들 내의 복수의 전도체 층으로부터 절연시킬 수 있다.
- [0078] 일부 실시예들에서, 각각의 접속 층은 복수의 각각의 소스 접점 각각 위에 있고 그와 접촉한다.
- [0079] 일부 실시예들에서, 측방향 방향에 수직인 다른 측방향 방향을 따라, 접속 층의 폭은 소스 구조의 폭 이상이다.
- [0080] 일부 실시예들에서, 복수의 소스 접점은 코발트, 알루미늄, 구리, 실리사이드 또는 폴리실리콘 중 적어도 하나를 포함한다.
- [0081] 일부 실시예들에서, 복수의 지지 구조들 각각은 인터리빙된 복수의 전도체 부분들 및 복수의 절연 부분들 위의 컷 구조를 포함한다. 복수의 전도체 부분 각각은 각각의 소스 구조에 인접한 메모리 블록들 내의 대응하는 전도체 층들과 접촉할 수 있다. 복수의 절연 부분 각각은 각각의 소스 구조에 인접한 메모리 블록들 내의 대응하는 절연 층들과 접촉할 수 있다.
- [0082] 일부 실시예들에서, 복수의 지지 구조들 각각은 인터리빙된 복수의 전도체 부분들 및 절연 부분들을 둘러싸는 스페이서 층을 더 포함한다.
- [0083] 일부 실시예들에서, 컷 구조는 실리콘 산화물을 포함한다.
- [0084] 일부 실시예들에서, 컷 구조의 두께는 인터리빙된 2개의 전도체 층과 2개의 절연 층 및 인터리빙된 4개의 전도체 층과 4개의 절연 층 사이에 있다. 일부 실시예들에서, 소스 구조가 그를 따라 연장되는 다른 측방향에 수직인 측방향을 따라, 컷 구조의 폭은 소스 구조의 폭 이하이다.
- [0085] 일부 실시예들에서, 3D 메모리 디바이스는 복수의 소스 접점 중 적어도 2개와 접속 층 사이에 그리고 복수의 소스 접점 중 적어도 2개와 지지 구조 사이에 접촉 층을 더 포함한다.
- [0086] 일부 실시예들에서, 접촉 층은 티타늄 질화물을 포함한다.
- [0087] 일부 실시예들에서, 복수의 채널 구조 각각은 기관과 접촉하고 기관에 전도성 연결되는 에피택셜 부분, 에피택셜 부분과 접촉하고 그에 전도성 연결되는 반도체 채널 및 반도체 채널과 접촉하고 그에 전도성 연결되는 드레인 구조를 포함한다.
- [0088] 일부 실시예에서, 3D 메모리 디바이스를 형성하는 방법은 다음의 동작들을 포함한다. 먼저, 컷 구조가 스택 구조 내에 형성되고, 스택 구조는 인터리빙된 복수의 초기 희생 층 및 복수의 초기 절연 층을 포함한다. 컷 구조에 인접한 스택 구조의 부분들을 제거하여 슬릿 구조 및 초기 지지 구조를 형성한다. 초기 지지 구조는 슬릿 구조를 복수의 슬릿 개구로 분할할 수 있다. 복수의 전도체 부분들이 지지 구조를 형성하기 위해 복수의 슬릿 개구들을 통해 형성된다. 소스 접점은 복수의 슬릿 개구들 각각에 형성된다. 소스 구조 위에 캡 층이 형성된다. 접속 층이 캡 층에 추가로 형성된다. 접속 층은 적어도 2개의 슬릿 개구 내의 소스 접점들과 접촉하고 그에 전도성 연결될 수 있다.
- [0089] 일부 실시예들에서, 컷 구조를 형성하는 단계는 스택 구조 내에 컷 개구를 형성하는 단계 및 컷 개구를 채우기 위해 유전체 재료를 퇴적하는 단계를 포함한다.
- [0090] 일부 실시예들에서, 슬릿 구조 및 초기 지지 구조를 형성하기 위해 컷 구조에 인접한 스택 구조의 부분들을 제거하는 단계는 기관을 노출시키는 슬릿 구조를 형성하기 위해 측방향을 따라 컷 구조에 인접한 스택 구조의 부분들을 제거하여 컷 구조 및 인터리빙된 복수의 희생 부분들 및 복수의 절연 부분들이 초기 지지 구조를 형성하도록 하는 단계를 포함한다.
- [0091] 일부 실시예들에서, 복수의 전도체 부분들을 형성하는 단계는, 복수의 슬릿 개구들을 통해, 초기 지지 구조 내의 복수의 희생 부분들을 제거하여 복수의 리세스 부분들을 형성하는 단계를 포함한다. 일부 실시예들에서, 복수의 전도체 부분을 형성하는 단계는 또한 복수의 전도체 부분을 형성하기 위해 복수의 리세스 부분을 채우도록 전도체 재료를 퇴적시키는 단계를 포함한다. 초기 지지 구조는 지지 구조를 형성할 수 있다.
- [0092] 일부 실시예들에서, 방법은 복수의 전도체 부분들을 형성하는 동일한 동작들에서 스택 구조의 복수의 블록 부분에 복수의 전도체 층들을 형성하여, 복수의 블록 부분들이 초기 지지 구조와 접촉하도록 하는 단계를 더 포함한다. 복수의 전도체 층들은, 복수의 슬릿 개구들을 통해, 복수의 블록 부분들에서의 복수의 희생 층들을 제거하여 복수의 측방향 리세스들을 형성하는 것 및 전도체 재료를 퇴적시켜 복수의 측방향 리세스들을 채워 복수의

전도체 층들을 형성하는 것에 의해 형성될 수 있다.

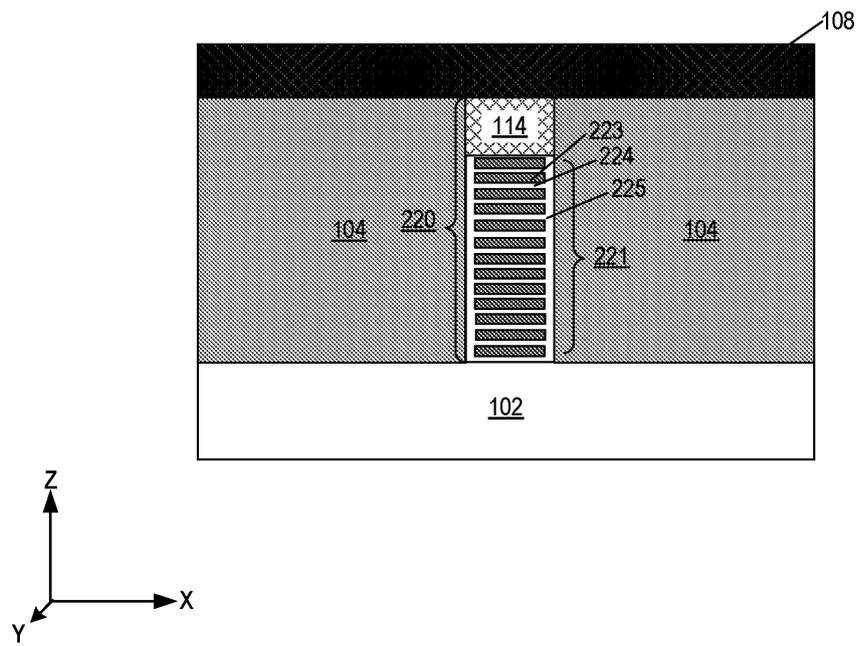
- [0093] 일부 실시예들에서, 소스 접점을 형성하는 단계는 각각의 슬릿 개구를 채우기 위해 코발트, 알루미늄, 구리, 실리콘 또는 폴리실리콘 중 적어도 하나를 퇴적하는 단계를 포함한다.
- [0094] 일부 실시예들에서, 방법은 절연 구조가 기판을 노출시키도록, 소스 접점 이전에 슬릿 개구 내에 절연 구조를 형성하는 단계를 더 포함한다.
- [0095] 일부 실시예들에서, 방법은 절연 구조와 지지 구조 사이에 접착 층을 퇴적하는 단계를 더 포함한다.
- [0096] 일부 실시예들에서, 캡 층을 형성하는 단계는 적어도 2개의 슬릿 개구 내의 소스 접점들을 덮도록 캡 재료 층을 퇴적하는 단계 및 적어도 2개의 슬릿 개구 내의 소스 접점들을 노출시키도록 캡 재료 층의 부분들을 제거하는 단계를 포함한다.
- [0097] 일부 실시예들에서, 캡 층을 형성하는 단계는 복수의 슬릿 개구 각각에서 소스 접점을 덮도록 캡 재료 층을 퇴적하는 단계 및 복수의 슬릿 개구 각각에서 소스 접점을 노출시키도록 캡 재료 층의 부분들을 제거하는 단계를 포함한다.
- [0098] 일부 실시예들에서, 접속 층을 형성하는 단계는 캡 층의 제거된 부분들 내로 전도성 재료를 퇴적하는 단계를 포함한다.
- [0099] 일부 실시예들에서, 방법은 적어도 2개의 슬릿 개구 내의 소스 접점과 접속 층 사이에 다른 접착 층을 퇴적하는 단계를 더 포함한다.
- [0100] 특정 실시예들의 기술한 설명은, 다른 사람들이, 본 기술분야의 통상의 기술 내의 지식을 적용함으로써, 본 개시내용의 일반적인 개념으로부터 벗어나지 않고, 과도한 실험 없이, 그러한 특정 실시예들을 다양한 응용들에 대해 용이하게 수정 및/또는 적응시킬 수 있는 본 개시내용의 일반적인 속성을 드러낼 것이다. 따라서, 이러한 적응들 및 수정들은, 본 명세서에 제시된 교시 및 지침에 기초하여, 개시된 실시예들의 등가물들의 의미 및 범위 내에 있는 것으로 의도된다. 본 명세서에서의 어구 또는 용어는 제한이 아니라 설명의 목적을 위한 것임을 이해해야 하고, 그래서, 통상의 기술자는 본 교시 및 지침을 고려하여 본 명세서의 용어 또는 어구를 해석하여야 한다.
- [0101] 본 개시내용의 실시예들은 지정된 기능들 및 이들의 관계들의 구현을 예시하는 기능적 빌딩 블록들의 도움으로 기술되었다. 이러한 기능적 빌딩 블록들의 경계들은 설명의 편의를 위해 본 명세서에서 임의로 정의되었다. 지정된 기능들 및 이들의 관계들이 적절히 수행되는 한, 대안적인 경계들이 정의될 수 있다.
- [0102] 발명의 내용 및 요약서 섹션들은 본 개시내용의 전부가 아니라 발명자(들)이 고려하는 바와 같은 하나 이상의 예시적인 실시예들을 설명할 수 있고, 따라서, 본 개시내용 및 첨부된 청구항들을 어떠한 방식으로든 제한하기를 의도하지 않는다.
- [0103] 본 개시내용의 폭 및 범위는 기술된 예시적인 실시예들 중의 임의의 것에 의해 제한되어야 하는 것이 아니라, 오직 다음의 청구항들 및 이들의 등가물들에 따라 정의되어야 한다.

도면

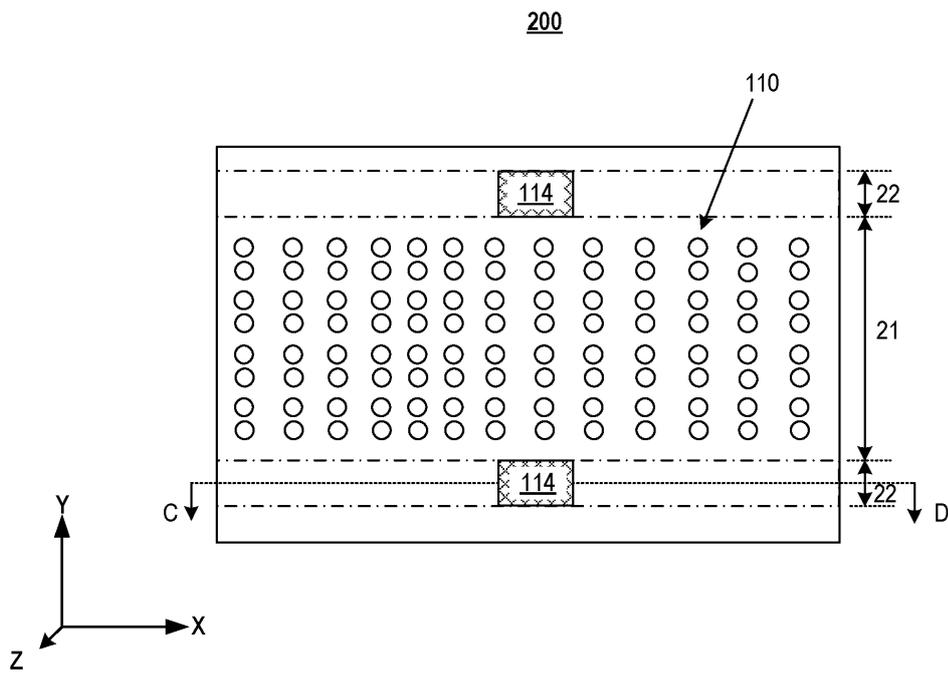
도면1a



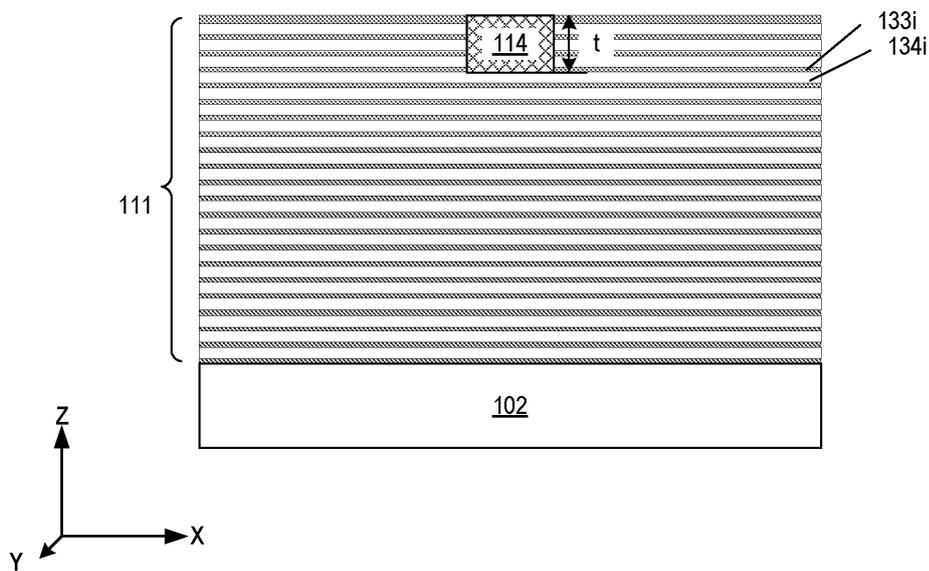
도면1b



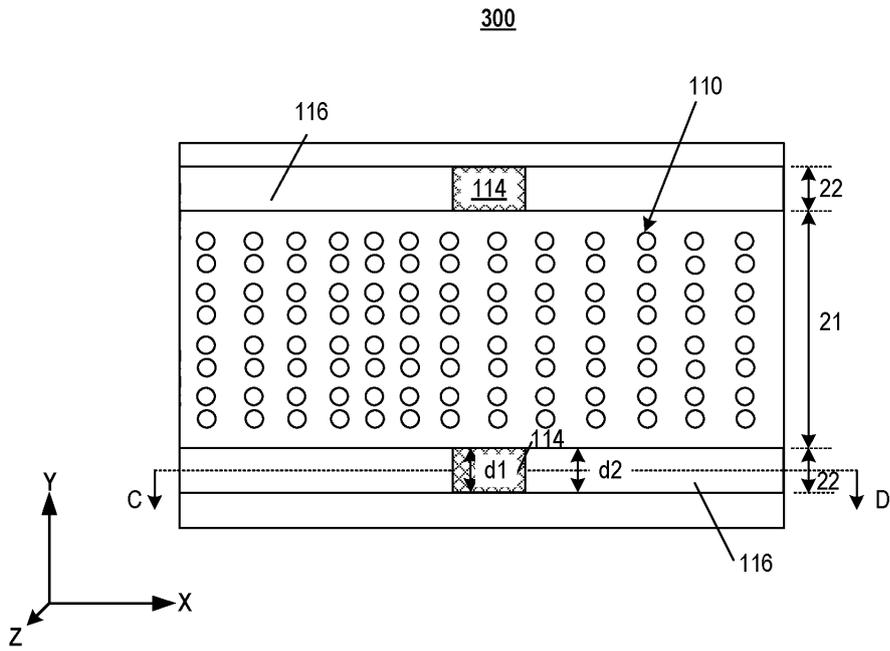
도면2a



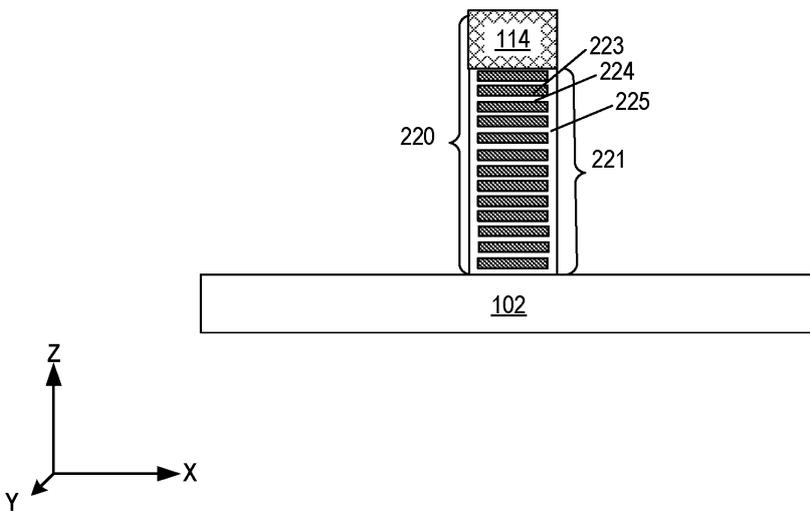
도면2b



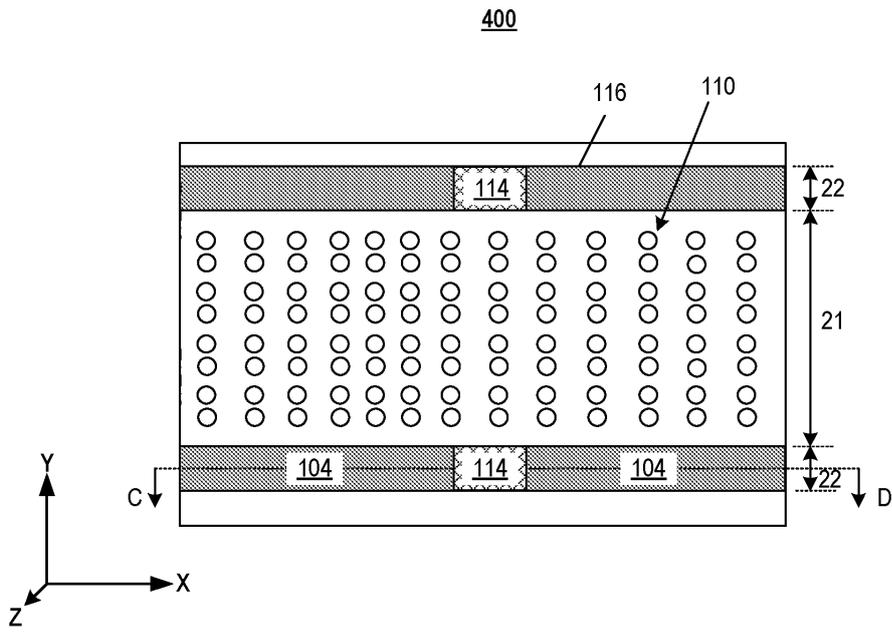
도면3a



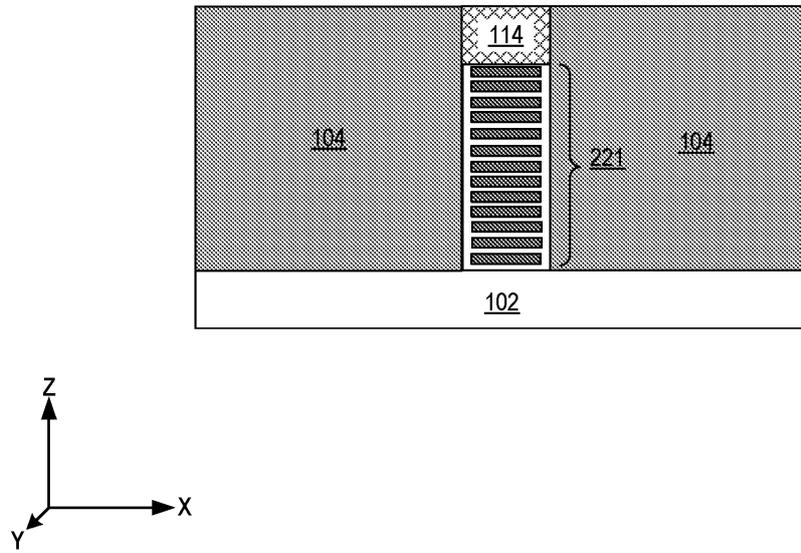
도면3b



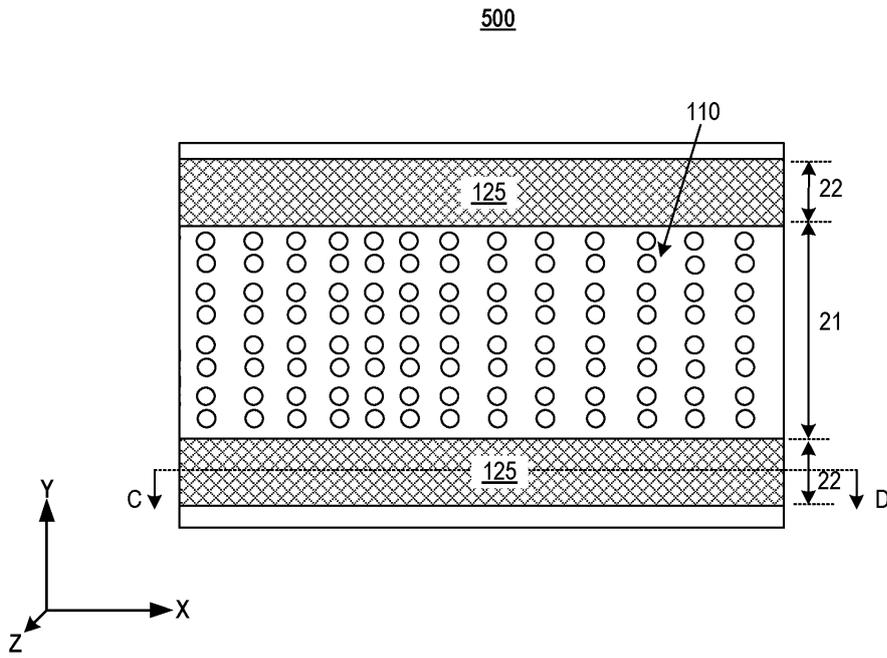
도면4a



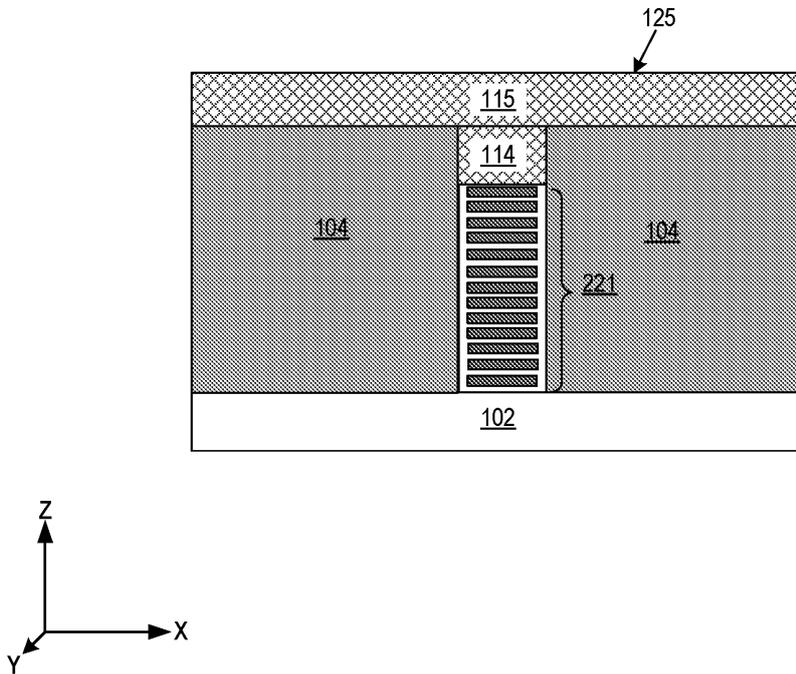
도면4b



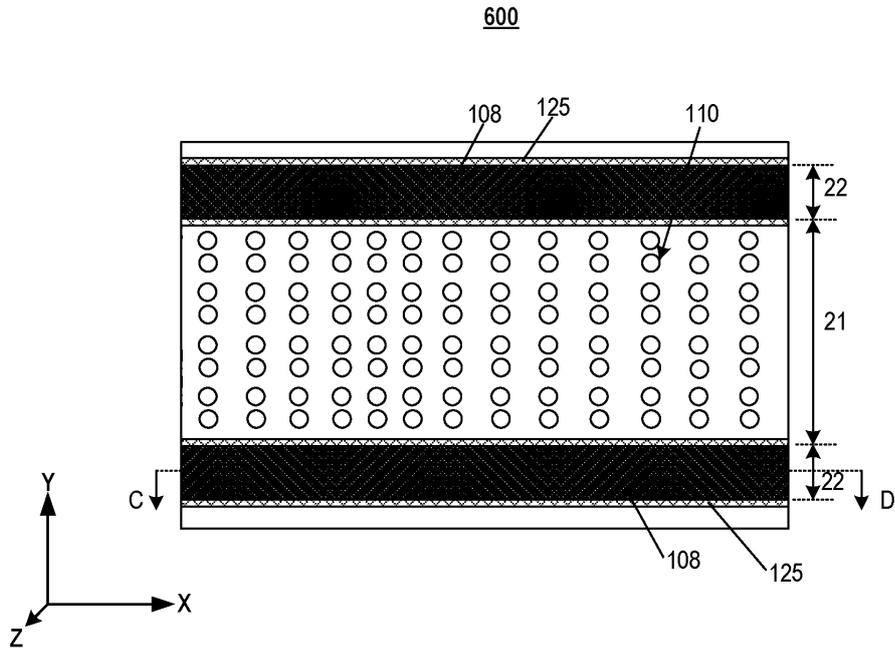
도면5a



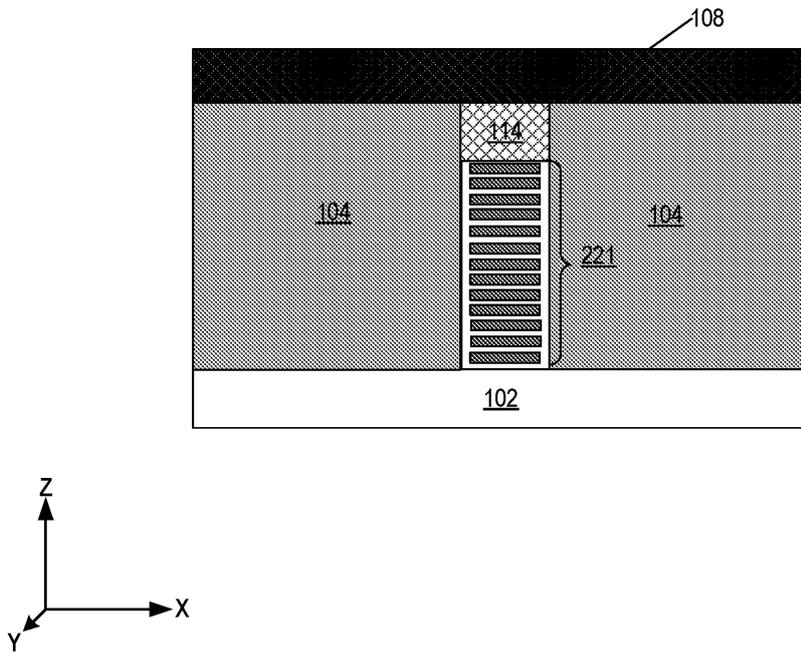
도면5b



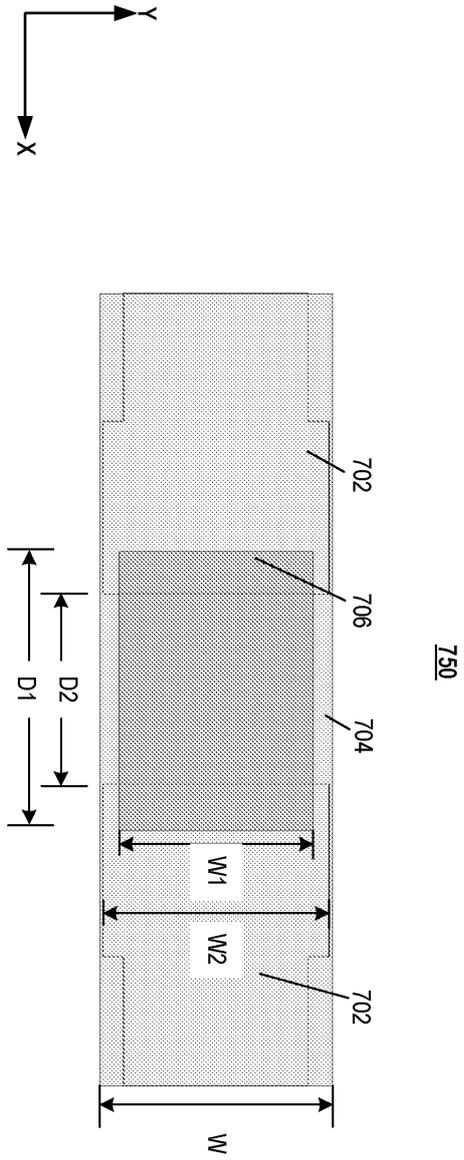
도면6a



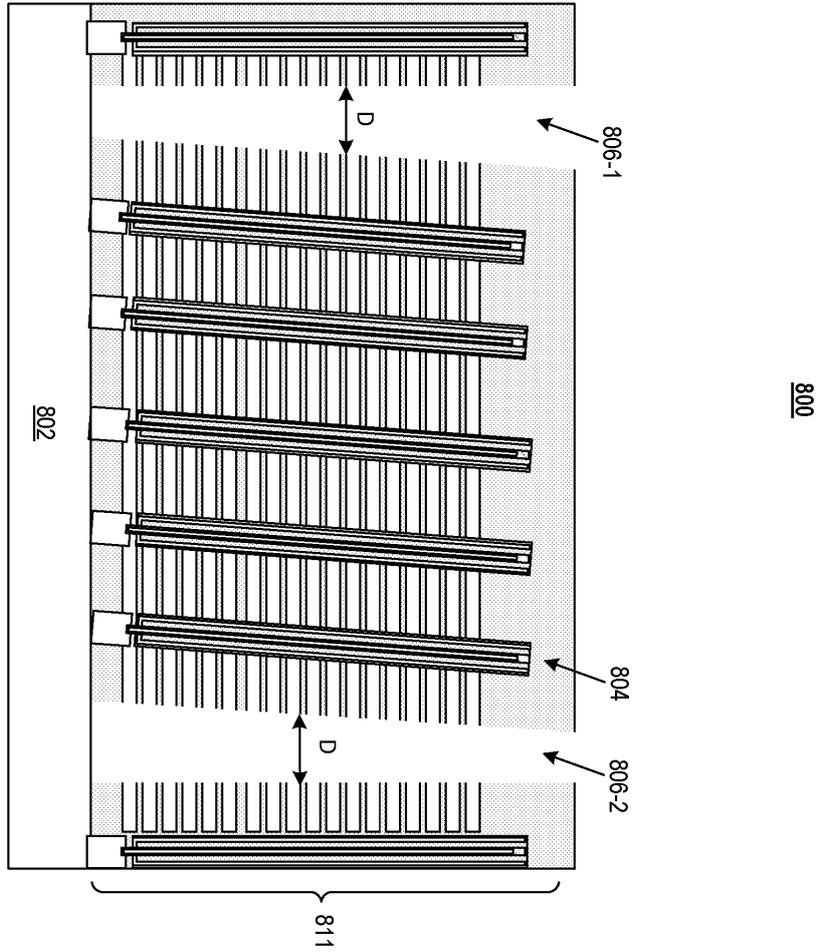
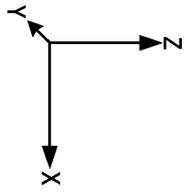
도면6b



도면7b



도면8



도면9

