

【特許請求の範囲】

【請求項 1】

P⁻型エピタキシャルシリコン基板と、
各N⁻ウェル画素セルが前記P⁻型エピタキシャルシリコン基板に囲まれている、前記P⁻型エピタキシャルシリコン基板に形成される複数のN⁻ウェル画素セルと、
隣接N⁻ウェル画素セルを選択的にビニングするために用いられる、選択された隣接N⁻ウェル画素セル間のビニング接続部と、
を備える撮像回路。

【請求項 2】

前記ビニング接続部は前記選択された隣接N⁻ウェル画素セル間にN⁺シリコンを有する 10
ことを特徴とする、請求項 1 記載の撮像回路。

【請求項 3】

前記選択された隣接N⁻ウェル画素セル間のN⁺シリコンは、当該選択された隣接画素セル間にNMOSトランジスタを形成するために使用され、これにより選択的なビニングスイッチを形成することを特徴とする、請求項 2 記載の撮像回路。

【請求項 4】

前記ビニング接続部は前記選択された隣接N⁻ウェル画素セル間に導電性トレースを有することを特徴とする、請求項 1 記載の撮像回路。

【請求項 5】

各前記N⁻ウェル画素セルは第 1 の P 領域と第 2 の P 領域を形成することを特徴とする 20
、請求項 1 記載の撮像回路。

【請求項 6】

前記第 1 の P 領域と第 2 の P 領域により各前記N⁻ウェル画素セルにPMOSトランジスタが形成され、当該PMOSトランジスタにより前記N⁻ウェル画素セルをリセットすることを特徴とする、請求項 5 記載の撮像回路。

【請求項 7】

各前記N⁻ウェル画素セルと前記P⁻型エピタキシャルシリコン基板間の接合によりフォトダイオードが形成されることを特徴とする、請求項 1 記載の撮像回路。

【請求項 8】

前記フォトダイオードは光エネルギーにより発生された電荷を蓄積することを特徴とする 30
、請求項 7 記載の撮像回路。

【請求項 9】

P⁻型エピタキシャルシリコン基板を設ける段階と、
各N⁻ウェル画素セルが前記P⁻型エピタキシャルシリコン基板に囲まれている、前記P⁻型エピタキシャルシリコン基板に複数のN⁻ウェル画素セルを設ける段階と、
隣接N⁻ウェル画素セルを選択的にビニングするために用いられるビニング接続部を選択された隣接N⁻ウェル画素セル間に形成する段階と、
前記N⁻ウェル画素セルがリセットされている間、隣接N⁻ウェル画素セルを選択的にビニングする段階と、
を含む画素リセットノイズ抑制方法。 40

【請求項 10】

前記ビニング接続部は前記選択された隣接N⁻ウェル画素セル間にN⁺シリコンを有することを特徴とする、請求項 9 記載の画素リセットノイズ抑制方法。

【請求項 11】

前記選択された隣接N⁻ウェル画素セル間のN⁺シリコンにより当該選択された隣接画素セル間にNMOSトランジスタが形成され、これにより選択的なビニングスイッチが形成されることを特徴とする、請求項 9 記載の画素リセットノイズ抑制方法。

【請求項 12】

前記ビニング接続部は前記選択された隣接N⁻ウェル画素セル間に導電性トレースを有することを特徴とする、請求項 9 記載の画素リセットノイズ抑制方法。 50

【請求項 13】

各前記 N^- ウェル画素セルは第1のP領域と第2のP領域を形成してなることを特徴とする、請求項9記載の画素リセットノイズ抑制方法。

【請求項 14】

前記第1のP領域と第2のP領域によりPMOSトランジスタが形成され、当該PMOSトランジスタにより前記 N^- ウェル画素セルをリセットすることを特徴とする、請求項13記載の画素リセットノイズ抑制方法。

【請求項 15】

各前記 N^- ウェル画素セルと前記 P^- 型エピタキシャルシリコン基板間の接合をフォトダイオードとして使用することを特徴とする、請求項9記載の画素リセットノイズ抑制方法 10

【請求項 16】

前記フォトダイオードは光エネルギーにより発生された電荷を蓄積することを特徴とする、請求項15記載の画素リセットノイズ抑制方法。

【請求項 17】

N^- 型エピタキシャルシリコン基板と、
各 P^- ウェル画素セルが前記 N^- 型エピタキシャルシリコン基板に囲まれて、前記 N^- 型エピタキシャルシリコン基板に形成される複数の P^- ウェル画素セルと、
隣接 P^- ウェル画素セルを選択的にビニングするために用いられる、選択された隣接 P^- ウェル画素セル間のビニング接続部と、
を備える撮像回路。 20

【請求項 18】

前記ビニング接続部は前記選択された隣接 P^- ウェル画素セル間に P^+ シリコンを有することを特徴とする、請求項17記載の撮像回路。

【請求項 19】

前記選択された隣接 P^- ウェル画素セル間の P^+ シリコンにより当該選択された隣接画素セル間にPMOSトランジスタが形成され、これにより選択的なビニングスイッチが形成されることを特徴とする、請求項18記載の撮像回路。

【請求項 20】

前記ビニング接続部は前記選択された隣接 P^- ウェル画素セル間に導電性トレースを有 30
することを特徴とする、請求項17記載の撮像回路。

【請求項 21】

各前記 P^- ウェル画素セルは第1のN領域と第2のN領域を形成していることを特徴とする、請求項17記載の撮像回路。

【請求項 22】

前記第1のN領域と第2のN領域により各前記 P^- ウェル画素セルにNMOSトランジスタが形成され、当該NMOSトランジスタにより前記 P^- ウェル画素セルをリセットすることを特徴とする、請求項21記載の撮像回路。

【請求項 23】

各前記 P^- ウェル画素セルと前記 N^- 型エピタキシャルシリコン基板間の接合によりフォ 40
トダイオードが形成されることを特徴とする、請求項17記載の撮像回路。

【請求項 24】

前記フォトダイオードは光エネルギーにより発生した電荷を蓄積することを特徴とする、請求項23記載の撮像回路。

【請求項 25】

N^- 型エピタキシャルシリコン基板を設ける段階と、
各 P^- ウェル画素セルが前記 N^- 型エピタキシャルシリコン基板に囲まれて、前記 N^- 型エピタキシャルシリコン基板に複数の P^- ウェル画素セルを設ける段階と、
隣接 P^- ウェル画素セルを選択的にビニングするために用いられるビニング接続部を選択された隣接 P^- ウェル画素セル間に形成する段階と、 50

前記P⁻ウェル画素セルがリセットされている間、隣接P⁻ウェル画素セルを選択的にビニングする段階と、
を含む画素リセットノイズ抑制方法。

【請求項26】

前記ビニング接続部は前記選択された隣接P⁻ウェル画素セル間にP⁺シリコンを有することを特徴とする、請求項25記載の画素リセットノイズ抑制方法。

【請求項27】

前記選択された隣接P⁻ウェル画素セル間のP⁺シリコンにより当該選択された隣接画素セル間にPMOSトランジスタが形成され、これにより選択的なビニングスイッチが形成されることを特徴とする、請求項25記載の画素リセットノイズ抑制方法。

10

【請求項28】

前記ビニング接続部は前記選択された隣接P⁻ウェル画素セル間に導電性トレースを有することを特徴とする、請求項25記載の画素リセットノイズ抑制方法。

【請求項29】

各前記P⁻ウェル画素セルには第1のN領域と第2のN領域が形成されることを特徴とする、請求項25記載の画素リセットノイズ抑制方法。

【請求項30】

前記第1のN領域と第2のN領域によりNMOSトランジスタが形成され、当該NMOSトランジスタにより前記N⁻ウェル画素セルをリセットすることを特徴とする、請求項29記載の画素リセットノイズ抑制方法。

20

【請求項31】

各前記P⁻ウェル画素セルと前記N⁻型エピタキシャルシリコン基板間の接合をフォトダイオードとして使用することを特徴とする、請求項25記載の画素リセットノイズ抑制方法。

【請求項32】

前記フォトダイオードは光エネルギーにより発生された電荷を蓄積することを特徴とする、請求項31記載の画素リセットノイズ抑制方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素リセット時のノイズを抑制する回路及び方法に関し、特に、リセット中にプログラム可能ビニングにより隣接画素に対して選択的にビンする技術に関する。

30

【背景技術】

【0002】

光学撮像装置において、画素間のスイッチングにより発生するノイズは考慮すべき極めて重要な項目である。このノイズの制御は光学撮像装置において非常に重要な検討項目である。

【0003】

Lauxterman等の米国特許第6,452,153B1号には少なくとも2つのセンサとセンサ間ビニングを備えた光電センサが記載される。

40

Colbeth等の米国特許第6,424,750B1号にはX線撮像装置が記載される。その特徴の1つとして、ピクセルビニングは検出器アレイによ収集された画素情報を結合するために使用される。

【0004】

Colbeth等の米国特許第5,970,115号には照射撮像装置、特に複数の検出及び表示モードで動作可能なX線照射撮像装置が記載される。

Strommerの米国特許第5,848,123号には、撮像センサシステムにより、被写体から反射した放射、あるいは被写体を透過した放射を検出することによって被写体を撮影する方法及び装置が記載される。この撮像センサシステムは撮像素子を結合（組み合わせ）、すなわちビニング（binning）することに基づいた制御方式で動作するように構成される。

50

【0005】

Sauerの米国特許第5134488号及び米国特許第5134489号にはX-Yでアドレス指定可能な固体撮像装置が記載される。

【特許文献1】米国特許第6,452,153B1号、Lauxterman等

【特許文献2】米国特許第6,424,750B1号、Colbeth等

【特許文献3】米国特許第5,970,115号、Colbeth等

【特許文献4】米国特許第5,848,123号、Strommer

【発明の開示】

【発明が解決しようとする課題】

【0006】

電気ノイズは電子回路における基本的な限界であり、ノイズの制御は光学撮像システムにおいて非常に重要である。画素アレイを読み出すことで発生するスイッチングノイズは画像に望ましくないノイズを発生させ、光学撮像システムの感度を基本的に制限する。

【0007】

本発明の主な目的は画素及びリセットのノイズ抑制を有する撮像回路を提供することである。

本発明の他の主な目的は撮像回路におけるリセットノイズを抑制するリセットノイズ抑制方法を提供することである。

【課題を解決するための手段】

【0008】

前記目的を達成するために、P⁻エピタキシャルシリコン層内に形成される複数のN⁻ウェルを備えた撮像回路が提供される。各N⁻ウェルがP⁻型シリコンで囲まれるようにして各N⁻ウェルに画素が形成され、かくして画素のアレイが形成される。隣接N⁻ウェルを選択的に結合する、すなわちビニング（binning）する手段が設けられる。撮像サイクルのリセット期間において、選択したグループの隣接画素をビニングして、画素をリセットすることで注入された電荷を隣接画素間で平均化し、これによりこの電荷注入が各画素に及ぼす影響を低減して発生ノイズを低減する。

【0009】

画素（ピクセル）をビニングする一手段として、選択したN⁻ウェル間にあるP⁻領域の上に導電性のトレースを形成し、この導電性トレースにより選択N⁻ウェルを隣接する選択N⁻ウェルに接続する。これにより、選択された隣接N⁻ウェルを電氣的に接続する、すなわちビニングする。別のピクセルビニング方法として、選択された隣接N⁻ウェル間にN⁺チャンネル領域を形成し、その後、このN⁺チャンネル領域の上にゲート誘電体層及びゲート電極を形成する。これによりNチャンネル金属酸化物半導体（NMOS）トランジスタが形成され、このようなNMOSトランジスタをオンあるいはオフにすることにより選択された隣接N⁻ウェル間を適宜、接続し、あるいは切り離すことができる。

【0010】

また、前記目的を達成するために、N⁻エピタキシャルシリコン層内に形成される複数のP⁻ウェルを備えた撮像回路が提供される。各P⁻ウェルがN⁻型シリコンで囲まれるようにして各P⁻ウェルに画素が形成され、かくして画素のアレイが形成される。隣接P⁻ウェルを選択的に結合（combine）する、すなわちビニングする手段が設けられる。撮像サイクルのリセット期間において、選択したグループの隣接画素をビニングして、画素をリセットすることにより注入された電荷を隣接画素間で平均化し、これによりこの電荷注入が各画素に及ぼす影響を低減して発生ノイズを低減する。

【0011】

画素（ピクセル）をビニングする一手段として、選択したP⁻ウェル間にあるN⁻領域の上に導電性のトレースを形成し、この導電性トレースにより選択P⁻ウェルを隣接する選択P⁻ウェルに接続する。これにより、選択された隣接P⁻ウェルを電氣的に接続する、すなわちビニングする。別のピクセルビニング方法として、選択された隣接P⁻ウェル間にP⁺チャンネル領域を形成し、その後、このP⁺チャンネル領域の上にゲート誘電体層及び

10

20

30

40

50

ゲート電極を形成する。これによりPチャンネル金属酸化物半導体(PMOS)トランジスタが形成され、このようなPMOSトランジスタをオンあるいはオフにすることにより選択された隣接P⁻ウェル間を適宜、接続し、あるいは切り離すことができる。

【発明を実施するための最良の形態】

【0012】

図1～図7及び図8Aを参照して本発明の回路及び方法の好ましい実施形態について詳細に説明する。図1にアクティブ画素センサ(APS)アレイの一部、4画素12を持つアレイを示す。各画素10はP⁻エピタキシャルシリコン層16に形成されたN⁻ウェル12で構成される。これらのN⁻ウェルとP⁻基板間の接合が複数のフォトダイオードを構成する。各N⁻ウェル12にリセットトランジスタ14が形成され、電荷集積期間が完了し、画素に蓄積した電荷の読み出しが完了した後に画素をリセットする。例えば、リセットトランジスタ14は各N⁻ウェル12に形成されるPチャンネル金属酸化物半導体(PMOS)トランジスタである。N⁻ウェルにはP⁻エピタキシャルシリコン層に対して逆バイアスがかかる。動作サイクルの初めの部分において、画素に入射した信号により逆バイアスPN接合に蓄積された電荷は減衰する。この信号は通常、光の放射であるが、他の信号でもこの電荷減衰は引き起こされる。画素の電荷を読み出した後で、PMOSトランジスタをオンにすると負電荷がN⁻ウェルに注入され、画素の電荷が初期値に回復する。

10

【0013】

図2及び図3はリセットトランジスタの詳細を示したものである。図2は上面図で、図3は図2の線3-3'に沿った断面図である。2つのP領域18がN⁻ウェルに形成されてソース及びドレイン領域になる。図2に示すようにN⁻ウェルのうち2つのP領域間にある部分の上にゲート酸化物22が形成される。電気接点21がそのゲート電極20に形成され、電気接点19が一方のP領域18に設けられてソース接続部になる。他方のP領域18はドレインを形成し、N⁻ウェルに接触してN⁻ウェル及びP⁻基板が形成するフォトダイオードに対する接続部になる。

20

【0014】

図1には選択された隣接画素間に接続された複数の相互接続部22が示される。これらの相互接続部は選択したN⁻ウェル12間にハード接続部を形成する導電性トレースか、あるいは異なる時点で異なる組合せのN⁻ウェル12を選択するようにプログラムされ得るスイッチであってよい。図4及び図5に示すケースにおいて、相互接続部はNチャンネル金属酸化物半導体(NMOS)トランジスタにより形成されたスイッチである。図4はNMOSビニングトランジスタにより接続される2つの隣接N⁻ウェル12の上面図を示し、図5は図4の線5-5'に沿った断面図を示したものである。各N⁻ウェル12にはPMOSリセットトランジスタ14が形成される。NMOSビニングトランジスタは、図5に示すように2つの隣接N⁻ウェル間にN⁺チャンネル領域23を形成することにより形成される。図5に示すように、N⁺チャンネル領域23上にはゲート電極28を形成し、ゲート電極28とN⁺チャンネル領域23間にゲート誘電体層22を形成する。ゲート電極28とゲート誘電体層22の上に第2のゲート誘電体層26を形成して導電性電極24が画素アレイを横切ってゲート電極28に接触するようにする。

30

【0015】

図1において、選択したN⁻ウェル12間の相互接続部は永久ビニング接続部を形成する導電性トレースであってよい。図6は図1の線6-6'に沿った2つの隣接N⁻ウェルの断面図であり、永久ビニング接続を示したものである。図6に示すように、誘電体層52がN⁻ウェル12とN⁻ウェル間のP⁻エピタキシャルシリコン16の上に形成される。この誘電体層52上に導電性電極50が形成される。次に電気接点54を導電性電極50と両N⁻ウェルの各端部間に誘電体層52を貫通して形成する。

40

【0016】

図7は行と列に並べたN⁻ウェル12ないし画素のアレイの一部であって、各N⁻ウェル毎にPMOSリセットトランジスタ14を設けたアレイの一部の上面図を示したものである。図7には4行のN⁻ウェル12、すなわち100、101、102、103、及び4

50

列のN⁻ウェル12、すなわち200、201、202、203が示される。図7に示すアレイの一部は4行×4列の画素により形成されるが、N⁻ウェル12の行数は4以上でも以下でもよく、またN⁻ウェル12の列の数も4以上でも4以下でもよい。図7に示すアレイにおいて、ビニング接続部は上述したNMOSトランジスタである。N⁻ウェル12の選択列間、すなわち列200と201間、及び列202と203間に形成される垂直電極30は、一方の選択列におけるN⁻ウェル12を隣りの選択列におけるN⁻ウェル12に接続するNMOSビニングトランジスタのゲート電極22に対する電気接続部を形成する。この例において、列間接続は列200内の各N⁻ウェル12と列201内にある隣接N⁻ウェル12間、及び列202内の各N⁻ウェル12と列203内にある隣接N⁻ウェル12間で行われる。

10

【0017】

同様に、N⁻ウェル12の選択行間に設けられる水平電極32は、一方の選択行におけるN⁻ウェル12を隣りの選択行内のN⁻ウェル12に接続するNMOSビニングトランジスタのゲート電極22に対する電気接続部を形成する。この例において、行間接続は行100における各N⁻ウェル12と行101にある隣接N⁻ウェル12間、及び行102における各N⁻ウェル12と行103内にある隣接N⁻ウェル12間で行われる。この例に示した接続構成により、4つのN⁻ウェルから成るサブアレイが構成され、どのNMOSビニングトランジスタがオンになったか、そしてNMOSビニングトランジスタがオフしたときに互いに絶縁されるかによって2つあるいは4つのグループにビニングされる。ビニング用トランジスタがオンになる時に異なるアレイや異なる電気接続により異なるサブアレイがビニングされる。所望ならば、N⁻ウェルのアレイ全体をビニングしてもよい。

20

【0018】

図8Aは2行×2列に並べた4つのフォトダイオード38Aから成るアレイの回路図である。フォトダイオード38AはN⁻ウェルとP⁻エピタキシャルシリコン層間のPN接合に対応しており、画素を形成する。リセットPMOSトランジスタ14Aは図示のように各フォトダイオード38Aに接続される。隣接列における隣接フォトダイオード38A間にあるNMOSビニングトランジスタ34A、及び隣接行における隣接フォトダイオード38A間にあるNMOSビニングトランジスタ36Aが図8Aに示される。また、図8Aには各フォトダイオード38A用出力増幅器40Aが示される。撮像装置の動作において、フォトダイオード38Aに電荷が蓄積される積分期間中、入射信号により電荷が画素に蓄積される。読み出しサイクルに続いて、リセットトランジスタ14Aをオンにしてフォトダイオード38Aをリセットする。ビニングトランジスタ34A、36Aをオンにし、リセットトランジスタ14Aがオフの間、オン状態を保持する。ビニングトランジスタがオンになるので、リセットトランジスタ14Aがオフのときに注入された電荷はビニングされたフォトダイオード間で平均化されて、リセットにより生じた画素間のノイズは最小化される。普通のアクティブ画素センサアレイの場合、ビニングを行わないので、リセットトランジスタで個々のフォトダイオードをリセットする際にこのリセットより画素間で大きなノイズが発生する。

30

【0019】

次に、図1～図7及び図8Bを参照して本発明の回路及び方法の好ましい別の実施形態を説明する。図1にアクティブ画素センサ(APS)アレイの一部として4画素12を持つアレイを示す。各画素10はN⁻エピタキシャルシリコン層16に形成したP⁻ウェル12で構成される。これらのP⁻ウェルとN⁻基板間の接合が複数のフォトダイオードを形成する。各P⁻ウェル12にリセットトランジスタ14が形成され、電荷積分期間が完了し、画素に蓄積した電荷が読み出されたら、このリセットトランジスタ14により画素をリセットする。例えば、リセットトランジスタ14は各P⁻ウェル12に形成されるNチャネル金属酸化物半導体(NMOS)トランジスタである。P⁻ウェルにはN⁻エピタキシャルシリコン層に対して逆バイアスがかかる。動作サイクルの初めの部分において、画素に入射した信号により逆バイアスPN接合に蓄積された電荷は減衰する。この信号は通常、光の放射であるが、他の信号でもこの電荷減衰は引き起こされる。画素の電荷を読み出

40

50

した後で、NMOSトランジスタをオンにすると正電荷がP⁻ウェルに注入され、画素の電荷が初期値に回復する。

【0020】

図2及び図3はリセットトランジスタの詳細を示したものである。図2は上面図で、図3は図2の線3-3'に沿った断面図である。2つのN領域18がP⁻ウェルに形成されてソース及びドレイン領域を形成する。図2に示すようにP⁻ウェルのうち2つのN領域間にある部分の上にゲート酸化物22が形成される。電気接点21がそのゲート電極20に形成され、電気接点19が一方のN領域18に設けられてソース接続部になる。他方のN領域18はドレインを形成し、P⁻ウェルに接触してP⁻ウェル及びN⁻基板が形成するフォトダイオードに対する接続部になる。

10

【0021】

図1には選択された隣接画素間の複数の相互接続部22が示される。これらの相互接続部は選択したP⁻ウェル12間にハード接続部を形成する導電性トレースか、あるいは異なる時点で異なる組合せのP⁻ウェル12を選択するためにプログラムされ得るスイッチであってよい。図4及び図5に示すケースでは相互接続部としてPチャンネル金属酸化物半導体(PMOS)トランジスタにより形成されたスイッチである。図4はPMOSビニングトランジスタにより接続される2つの隣接P⁻ウェル12の上面図を示し、図5は図4の線5-5'に沿った断面図を示したものである。各P⁻ウェル12にはNMOSリセットトランジスタ14が設けられる。PMOSビニングトランジスタは、図5に示すように2つの隣接P⁻ウェル間にP⁺チャンネル領域23を形成することで構成される。図5に示すように、P⁺チャンネル領域23上にはゲート電極28を形成し、ゲート電極28とP⁺チャンネル領域23間にゲート誘電体層22を形成する。ゲート電極28とゲート誘電体層22の上に第2のゲート誘電体層26を形成し、導電性電極24が画素アレイを横切ってルートされゲート電極28に接触する。

20

【0022】

図1において、選択したP⁻ウェル12間の相互接続部は永久ビニング接続部を構成する導電性トレースであってよい。図6は図1の線6-6'に沿った2つの隣接P⁻ウェルの断面図であり、永久ビニング接続を示したものである。図6に示すように、誘電体層52がP⁻ウェル12とP⁻ウェル間のN⁻エピタキシャルシリコン16の上に形成される。この誘電体層52上に導電性電極50が形成される。次に電気接点54を導電性電極50と両P⁻ウェルの各端部間に誘電体層52を貫通して形成する。

30

【0023】

図7は行と列に並べたP⁻ウェル12ないし画素のアレイの一部であって、各P⁻ウェル毎にNMOSリセットトランジスタ14を設けたアレイの一部の上面図を示したものである。図7には4行のP⁻ウェル12、すなわち100、101、102、103、及び4列のP⁻ウェル12、すなわち200、201、202、203が示される。図7に示すアレイの一部は4行×4列の画素であるが、P⁻ウェル12の行数は4以上でも以下でもよく、またP⁻ウェル12の列の数も4以上でも4以下でもよい。図7に示すアレイにおいて、ビニング接続部は上述したPMOSトランジスタである。P⁻ウェル12の選択列間、すなわち列200と201間、及び列202と203間に形成される垂直電極30は、一方の選択列内のP⁻ウェル12を隣りの選択列内のP⁻ウェル12に接続するPMOSビニングトランジスタのゲート電極22に対する電気接続部を形成する。この例において、列間接続は列200における各P⁻ウェル12と列201にある隣接P⁻ウェル12間、及び列202における各P⁻ウェル12と列203にある隣接P⁻ウェル12間で行われる。

40

【0024】

同様に、P⁻ウェル12の選択行間に設けられる水平電極32は、一方の選択行におけるP⁻ウェル12を隣りの選択行におけるP⁻ウェル12に接続するPMOSビニングトランジスタのゲート電極22に対する電気接続部を形成する。この例において、行間接続は行100内の各P⁻ウェル12と行101内にある隣接P⁻ウェル12間、及び行102に

50

おける各P⁻ウェル12と行103内にある隣接P⁻ウェル12間で行われる。この例に示した接続構成により、4つのP⁻ウェルから成るサブアレイが形成され、どのPMOSビニングトランジスタがオンになったか、そしてPMOSビニングトランジスタがオフしたときに互いに絶縁されるかによって2つあるいは4つのP⁻ウェルがグループにビニングされる。ビニングトランジスタがオンになる時に異なるアレイおよび異なる電気接続により異なるサブアレイがビニングされる。所望であれば、P⁻ウェルのアレイ全体をビニングしてもよい。

【0025】

図8Bは2行×2列に並べた4つのフォトダイオード38Bから成るアレイの回路図である。フォトダイオード38BはP⁻ウェルとN⁻エピタキシャルシリコン層間のPN接合に対応しており、画素を構成する。リセットNMOSトランジスタ14Bは図示のように各フォトダイオード38Bに接続される。隣接列における隣接フォトダイオード38B間にあるPMOSビニングトランジスタ34B、及び隣接行における隣接フォトダイオード38B間にあるPMOSビニングトランジスタ36Bが図8Bに示される。また、図8Bには各フォトダイオード38B用出力増幅器40Bが示される。撮像装置の動作において、フォトダイオード38Bに電荷が蓄積される積分期間中、例えば光の放射のような入射信号により電荷が画素に蓄積される。読み出しサイクルに続いて、リセットトランジスタ14Bをオンにしてフォトダイオード38Bをリセットする。ビニングトランジスタ34B、36Bをオンにし、リセットトランジスタ14Bがオフの間、オン状態を保持する。ビニングトランジスタがオンになるので、リセットトランジスタ14Bがオフのときに注入された電荷はビニングされたフォトダイオード間で平均化されて、リセットにより生じた画素間のノイズは最小化される。普通のアクティブ画素センサアレイの場合、ビニングを行わないので、リセットトランジスタで個々のフォトダイオードをリセットする際にこのリセットより画素間で大きなノイズが発生する。

【0026】

図9は本発明の方法を記載したブロック図である。最初のブロック90に示すように、撮像装置はフォトダイオードが電荷を蓄積する積分期間において画素に電荷を蓄積する。次に、第2のブロック91に示すように、読み出し期間において、画素に蓄積された電荷をレジスタのような適当な記憶場所に読み出す。第3と第4のブロック92、93に示すように、読み出し期間の完了後、リセットトランジスタをオンにし、フォトダイオードに初期電荷が回復するリセット期間を開始する。次の3つのブロック94、95、96に示すように、リセット期間の完了後、リセットトランジスタはオンのままにしてビニングトランジスタをオンにする。次に、ビニングトランジスタがオンの状態で、リセットトランジスタをオフにする。リセットトランジスタがオフするときにビニングトランジスタをオン状態にしておくことが本発明のノイズ抑制の要点である。次に、リセットトランジスタのオフ動作が完了した後、ビニング用トランジスタをオフにすると、再び動作サイクルが開始可能となり次の積分期間が開始する。

【0027】

以上、P⁻型基板内のN⁻ウェル、あるいはN⁻型基板内のP⁻ウェルにより光電素子が形成されるセンサアレイの文脈においてビニングゲートを示してきたが、ビニングゲートは普通のCMOS画素構造を持つアレイにより実現することができる。

【0028】

以上、本発明を好ましい実施形態について特に図示し、説明してきたが、当業者には明らかなように、本発明の趣旨及び範囲を逸脱することなく形態及び詳細について様々な変更が可能である。

【図面の簡単な説明】

【0029】

【図1】 N⁻ウェルまたはP⁻ウェル内に形成される画素アレイの上面図であり、各N⁻ウェルまたはP⁻ウェルにおけるリセットトランジスタ及び隣接N⁻ウェルまたはP⁻ウェル間のビニング接続部を示す。

【図 2】図 1 の画素アレイにおける 1 画素の上面図であり、リセットトランジスタを詳細に示す。

【図 3】図 2 の線 3-3' に沿った画素の断面図を示す。

【図 4】N⁻ウェルまたは P⁻ウェル内に形成され、ビニング接続用 NMOS または PMOS トランジスタ及びトランジスタをオンまたはオフにするための電気導体を備える 2 つの隣接画素の上面図を示す。

【図 5】図 4 の線 5-5' に沿った画素の断面図を示す。

【図 6】図 1 の線 6-6' に沿った断面図であり、ビニング接続用導電性トレースを有し、N⁻ウェルまたは P⁻ウェル内に形成される 2 つの隣接画素を示す。

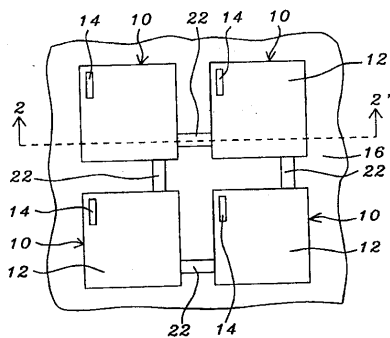
【図 7】N⁻ウェルまたは P⁻ウェル内に形成され、選択された隣接 N⁻ウェルまたは P⁻ウェル間にビニング接続部を備える画素アレイの上面図を示す。 10

【図 8 A】ビニング接続部が NMOS トランジスタである図 6 の 4 画素の回路図を示す。

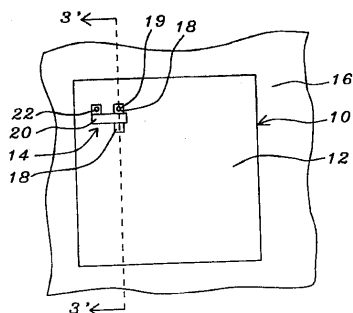
【図 8 B】ビニング接続部が PMOS トランジスタである図 6 の 4 画素の回路図を示す。

【図 9】本発明の方法を説明するブロック図を示す。

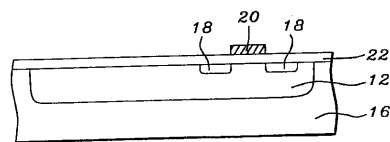
【図 1】



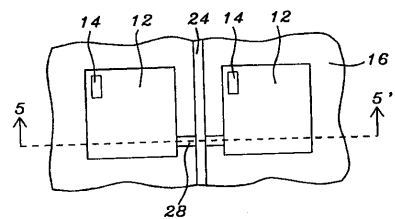
【図 2】



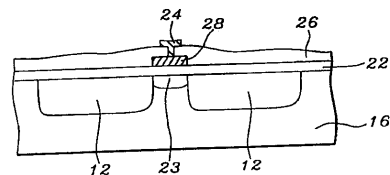
【図 3】



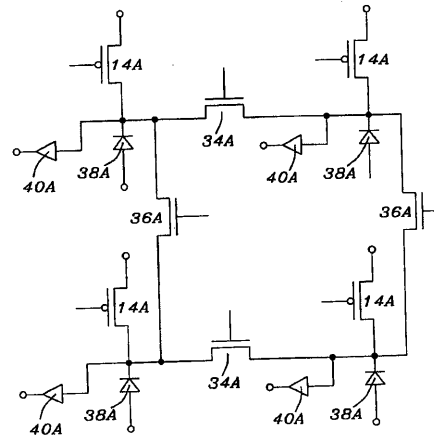
【図 4】



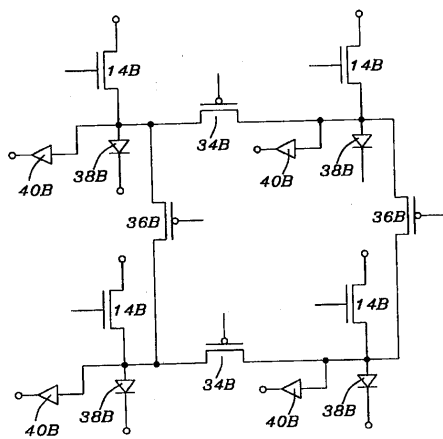
【図 5】



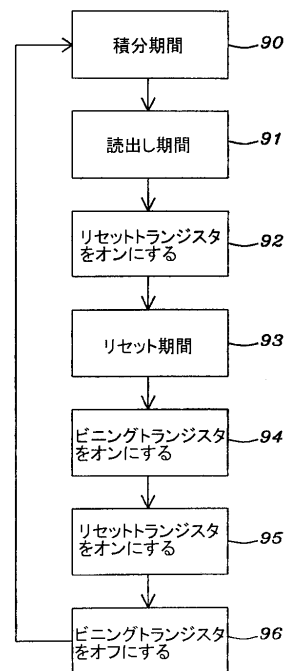
【图 8 A】



【图 9】



【图 9】



フロントページの続き

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 ターナー・ドスルオグル

アメリカ合衆国ニューヨーク州10011, ニュー・ヨーク, ウェスト・トゥエンティーファース
ト・ストリート 345, アパートメント・ナンバー 5エイ

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA19 CA40 FA06
5C024 CX05 GX03 GY31 HX40 HX50

【外国語明細書】
2004221585000001.pdf