



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월08일
(11) 등록번호 10-1054238
(24) 등록일자 2011년07월29일

(51) Int. Cl.

H01L 21/78 (2006.01)

(21) 출원번호 10-2005-7004220

(22) 출원일자(국제출원일자) 2003년09월05일

심사청구일자 2008년09월03일

(85) 번역문제출일자 2005년03월11일

(65) 공개번호 10-2005-0054933

(43) 공개일자 2005년06월10일

(86) 국제출원번호 PCT/US2003/027964

(87) 국제공개번호 WO 2004/034422

국제공개일자 2004년04월22일

(30) 우선권주장

10/241,265 2002년09월11일 미국(US)

(56) 선행기술조사문현

JP2001332520 A

전체 청구항 수 : 총 5 항

(54) 웨이퍼 코팅 및 싱글레이션 방법

(73) 특허권자

프리스케일 세미컨덕터, 인크.

미국 텍사스 오스틴 워리암 캐논 드라이브 웨스트
6501

(72) 발명자

코이, 징

미국, 일리노이 60173, 샤움버그, 이. 앤공퀸 로
드 #10 1120

댄버, 제니스

미국, 일리노이 60004, 앤링턴 하이츠, 엔. 하버
드 1317

클로소와크, 토마스즈

미국, 일리노이 60025, 글렌뷰, 그린필드 드라이
브 308

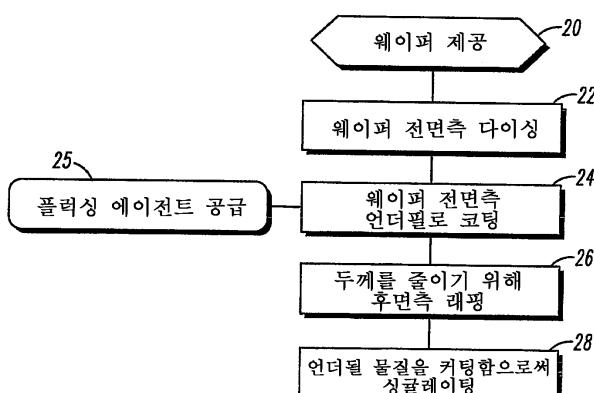
(74) 대리인

장훈

심사관 : 방기인

(57) 요약

첫째로 웨이퍼는 최종적으로 개별 집적 회로 칩의 에지들(39)을 규정하는 채널들(38)을 형성하기 위해 활성 표면 층 상에 다이싱되고(22), 상기 다이싱은 웨이퍼를 부분적으로만 커팅하는 깊이로 이루어진다. 이후 웨이퍼의 전면층(36)은 언더필 물질(40)로 코팅된다(24). 이후 웨이퍼의 후면층은 래핑, 연마, 세척되거나, 상기 다이싱된 채널들의 레벨까지 낮추기 위해 물질들을 제거하도록 처리된다. 이후 웨이퍼는 상기 집적 회로 칩(12)이 상기 웨이퍼로부터 분리(release)되도록 코팅 단계 동안 채널들 내에 증착된 언더필 물질(92)을 커팅함으로써 싱글레이팅된다(28).

대 표 도 - 도2

특허청구의 범위

청구항 1

집적 회로 칩 상에 언더필 물질(underfill material)을 제공하고 웨이퍼로부터 상기 칩을 싱글레이팅하기 위한 방법에 있어서,

- a. 전면측과 후면측을 갖는 웨이퍼를 제공하는 단계로서, 상기 웨이퍼는 적어도 하나의 집적 회로 칩을 포함하고, 상기 집적 회로 칩은 상기 웨이퍼의 전면측 상에 다수의 솔더 범프들을 갖는, 상기 웨이퍼 제공 단계;
- b. 상기 적어도 하나의 집적 회로 칩상에 에지들을 규정하는 채널들을 형성하기 위해 상기 웨이퍼의 전면측을 커팅하는 단계로서, 상기 커팅은 상기 웨이퍼를 완전히 관통하지 않는 깊이인, 상기 커팅 단계;
- c. 상기 웨이퍼의 전면측을 언더필 물질로 코팅하는 단계;
- d. 상기 c 단계 후, 상기 다수의 솔더 범프들 상에 플럭싱 애이전트(fluxing agent)의 코팅을 제공하는 단계;
- e. 상기 채널들이 상기 전면측으로부터 상기 후면측으로 확장하기에 충분하도록 상기 웨이퍼의 두께를 줄이기 위해 상기 웨이퍼의 후면측을 래핑(lapping)하는 단계를 포함하며,
- f. 상기 전면측 상에 코팅된 상기 언더필 물질은 상기 집적 회로 칩에 부착된 채로 유지되는, 언더필 물질 제공 및 싱글레이팅 방법.

청구항 2

집적 회로 칩 상에 언더필 물질을 제공하는 방법에 있어서,

- a. 전면측과 후면측을 갖는 웨이퍼를 제공하는 단계로서, 상기 웨이퍼는 적어도 하나의 집적 회로 칩을 포함하고, 상기 집적 회로 칩은 상기 웨이퍼의 전면측 상에 다수의 솔더 범프들을 갖는, 상기 웨이퍼 제공 단계;
- b. 상기 적어도 하나의 집적 회로 칩 상에 에지들을 규정하는 채널들을 형성하기 위해 상기 웨이퍼의 전면측을 커팅하는 단계로서, 상기 커팅은 상기 웨이퍼를 완전히 관통하지 않는 깊이인, 상기 커팅 단계;
- c. 상기 솔더 범프들의 각각의 일부를 코팅되지 않은 채로 남겨두도록 상기 웨이퍼의 전면측을 언더필 물질로 코팅하는 단계;
- d. 상기 채널들이 상기 전면측으로부터 상기 후면측으로 확장하기에 충분히 상기 웨이퍼의 두께를 줄이기 위해 상기 웨이퍼의 후면측으로부터 웨이퍼 물질을 제거하는 단계; 및
- e. 상기 웨이퍼로부터 상기 집적 회로 칩을 싱글레이팅하기에 충분하도록 상기 채널들 내의 언더필 물질을 커팅함으로써 상기 웨이퍼를 싱글레이팅하는 단계를 포함하며,
- f. 상기 전면측 상에 코팅된 상기 언더필 물질은 상기 싱글레이팅된 집적 회로 칩에 부착된 채로 유지되는, 언더필 물질 제공 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제 2 항에 있어서,

단계 (c) 이후, 상기 다수의 솔더 범프들 상에 플렉싱 에이전트의 코팅을 제공하는 단계를 더 포함하는, 언더필 물질 제공 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

전기적 도전성 패드들 상에 솔더 볼들(solder balls)을 포함하는 활성 표면을 갖는 집적 회로 상에 언더필 접착제 층을 제공하는 웨이퍼 레벨 방법에 있어서,

상기 집적 회로들 중 하나 이상을 포함하는 실리콘 웨이퍼를 제공하는 단계;

상기 집적 회로 상에 에지들을 규정하는 채널들을 형성하기 위해 상기 웨이퍼의 활성 표면을 커팅하는 단계로서, 상기 커팅은 상기 웨이퍼를 완전히 관통하지 않는 깊이인, 상기 커팅 단계;

상기 채널들 내 및 상기 집적 회로의 활성 표면상에 언더필 접착제 층을 형성하는 단계로서, 상기 솔더 볼들의 적어도 일부는 덮이지 않은 채로 유지되는, 상기 언더필 접착층 형성 단계;

상기 언더필 접착제를 부분적으로 경화하는 단계;

상기 채널들이 상기 웨이퍼를 통과하여 완전히 관통하기에 충분하도록 상기 웨이퍼의 후면측으로부터 실리콘을 제거하는 단계; 및

활성 표면 및 에지를 상에 언더필 물질을 갖는 적어도 하나의 집적 회로 칩을 싱글레이팅하기 위해 상기 채널들 내에 포함된 상기 언더필 접착제를 커팅하는 단계를 포함하는, 웨이퍼 레벨 방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

전기적 도전성 패드들 상에 솔더 볼들을 포함하는 활성 표면을 각각 갖는, 범평된 집적 회로들의 어레이를 갖는 웨이퍼 상에 언더필 접착제 층을 제공하는 방법에 있어서,

상기 웨이퍼의 두께보다 얇은 미리 결정된 깊이를 갖는 홈들을 형성하기 위해 상기 범평된 측 상에 상기 웨이퍼를 다이싱하는 단계;

상기 활성 표면을 덮고 상기 홈들을 언더필 물질로 채우도록 상기 언더필 물질로 상기 웨이퍼를 코팅하는 단계;

상기 다이싱된 홈들이 상기 웨이퍼를 완전히 통과해 확장할 때까지 상기 활성 표면의 반대되는 상기 웨이퍼 측을 연마하는 단계; 및

범평된 집적 회로들의 어레이를 싱글레이팅하기 위해 상기 홈들 내의 상기 언더필 물질을 커팅하는 단계를 포함하는, 언더필 접착제 층 제공 방법.

명세서**기술 분야**

[0001] 본 발명은 일반적으로 플립칩 집적 회로들 상에 언더필 물질(underfill material)을 제공하는 웨이퍼 레벨 방법에 관한 것이다. 특히, 본 발명은 범평(bumped)된 웨이퍼가 중합성 언더필 물질(polymeric underfill material)의 적용 이전에 부분적으로 다이싱(dice)되는 방법에 관한 것이다.

배경 기술

[0002] 집적 회로들을 패키징하기 위한 다수의 종래 프로세스들이 있다. 통상적으로 "플립칩(flip chip)" 패키징으로 언급되는 한 가지 접근법은 일반적으로 집적 회로 다이(integrated circuit die) 상에 형성되는 접합 패드들 상에 직접 솔더 범프들(solder bumps)(또는 다른 적절한 접합들)을 형성하는 것을 나타낸다. 이 후 일반적으로

다이는 다이가 기판상에 대응하는 접합들에 직접적으로 접속하도록 인쇄 회로 보드와 같은 기판에 부착된다. 이후 솔더 범프들은 다이를 기판에 전기적으로 접속하기 위해 리플로우(reflow)된다. 플립칩이 기판에 부착될 때, 일반적으로 플립칩과 기판 사이에 에어 갭(air gap)이 남는다. 일반적으로 상기 갭은 액체 형태로 갭으로 흐르는 물질로 채워지고 이후 고체화(solidify)한다. 이러한 물질은 일반적으로 수지(resin)와 작은 실리카구들(silica spheres)의 혼합물이고 일반적으로 언더필로서 칭하며, 칩 하단의 갭을 채운다. 언더필 물질은 플립칩의 하나의 에지에서 디스펜서로부터 액체 형태로 제공된다. 이후 언더필 물질은 에어 갭으로 흐르고 최종적으로 플립칩과 기판 사이의 갭의 전체 영역이 채워질 때까지 플립칩을 가로질러 확산한다.

[0003] 언더필과 관련된 문제점들이 존재한다. 예를 들어, 언더필의 적용은 각각의 플립칩에 대해 반복되어야만 하고, 여러 차례의 상기 동작의 반복은 제조 비용을 증가시킨다. 또한, 갭을 채우기 위해 언더필 물질이 솔더 범프들을 지나감으로서, 수지로부터 글래스의 분리가 발생할 수 있다. 상기 실리카와 수지의 분리(segregation)는 채워진 영역의 기계적 특성들을 변화시키고 그에 따라, 언더필의 기계적 기능이 무효화(negate)된다.

[0004] 최근에, 언더필 프로세스를 개선하고 합리화하는 진보들이 이루어지고 있다. 일부 상업적 흥미를 보이는 한가지 방법은 플립칩을 보드에 조립하기 전에 언더필을 디스펜스하는 것을 포함한다. 플립칩 프로세스를 단순화하는 반면, 여전히 가외 단계들을 필요로 하고 표준 표면 장착 조립 라인 상에서 실행될 수 없다. 상기 문제점들을 해결하기 위한 또 다른 접근법은 플립칩에 언더필 및 에지 코팅을 인가하는 방법이 개시되는 미국 특허 제6,323,062호에 나타난다. 상기 방법은 범평된 웨이퍼를 확장가능한 캐리어 기판에 부착(adhere)하는 단계, 개별 칩들을 형성하기 위해 웨이퍼를 절삭(saw)하는 단계, 상기 개별적 칩들의 각 사이에 채널들을 형성하기 위해 양방향 방식으로 상기 캐리어 기판을 펼치는 단계, 언더필 물질을 범평된 칩들의 표면들 및 칩들의 에지들의 부근에 인가하는 단계, 상기 칩들 사이의 채널들 내의 언더필 물질을 커팅하는 단계, 및 상기 개별적인 언더필로 코팅된 칩들을 캐리어로부터 제거하는 단계들을 포함한다. 불행히도, 이러한 방법은 실행하기 어려운, 캐리어 필름의 양방향 스트레칭의 정밀한 제어에 대한 요구로부터 곤란함을 겪게 하고, 평면 다이를 벗어나는 것과 같은 새로운 이슈들을 이끈다.

[0005] 플립칩 기술에 의해 제공되는 수많은 이점들에도 불구하고, 결정적 언더필의 적용을 단순화하고, 필요한 프로세스 단계들의 수를 줄이는 플립칩들을 위한 저비용의 언더필 적용 프로세스에 대한 요구가 여전히 존재한다.

발명의 상세한 설명

[0006] 새로운 것으로 생각되는 본 발명의 특징들은 첨부된 청구항들의 특수성을 설명한다. 그러나, 본 발명 자체는 목적들 및 이점들과 함께 조직 및 동작 방법의 양쪽 모두에 대해, 첨부 도면들과 함께 취해진 본 발명의 특정 예시적 실시예들을 설명하는 본 발명의 다음의 상세한 설명을 참조하여 완전히 이해될 수 있다.

실시예

[0010] 본 발명은 많은 상이한 형태들의 실시예를 허용하지만, 본 개시는 본 발명의 원리들에 대한 예로서 고려되며 도시되고 기재된 특정 실시예들에 본 발명을 제한하려고 의도되지 않음을 이해하며, 특정 실시예가 본 명세서에 상세히 기재되고 도면들에 도시된다. 다음의 설명에서, 동일한 참조 번호들은 동일하고, 유사한 또는 도면들의 여러 관점들에서 대응하는 요소들을 설명하기 위해 사용된다. 본 명세서에서 사용되는 용어들로서 단수 표현(a 또는 an)은 하나 또는 하나 이상으로 규정된다. 본 명세서에서 사용되는 용어 '다수'는 둘 또는 둘 이상으로 규정된다. 본 명세서에서 사용되는 용어 '또 다른'은 적어도 둘 또는 그 이상으로 규정된다. 본 명세서에서 사용되는 용어 '포함하는' 및/또는 '갖는'을 포함하는(즉, 개방적 언어) 것으로 규정된다.

[0011] 새로운 방법이 웨이퍼 레벨에서 접적 회로 칩 상에 언더필 물질을 제공하기 위해 설명된다. 일반적으로 웨이퍼는 하나 이상의 접적 회로 칩들을 포함하고, 일반적으로 각각의 접적 회로 칩은 그 활성 표면상에 다수의 솔더 범프들을 갖는다. 웨이퍼는 첫째로 각각의 개별적인 접적 회로 칩의 에지들을 최종적으로 규정하는 채널들을 형성하기 위해 활성 표면측 상에 다이싱되고, 상기 다이싱은 단지 웨이퍼를 통해 어느 정도까지 커팅하는 깊이가 되도록 한다. 이후 웨이퍼의 전면측은 언더필 물질로 코팅된다. 일반적으로 각각의 솔더 범프 부분은 코팅되지 않은 챰로 남지만, 특정 경우들에서 범프들은 완전히 덮일 수도 있다. 이후 웨이퍼의 후면측은 래핑(lap), 접지, 연마되거나 그렇지 않은 경우 이전에 다이싱된 채널들의 레벨 아래로 물질들을 제거하도록 처리된다. 상기 웨이퍼 두께의 감소는 원래의 다이싱된 채널들이 얇아진 웨이퍼의 전면측에서 후면측으로 완전히 확장하도록 한다. 이후 웨이퍼는, 접적 회로 칩이 웨이퍼로부터 릴리즈(release)되도록 코팅 단계 동안 채널들에 증착(deposit)된 언더필 물질을 커팅함으로써 싱귤레이팅되고, 활성측에 코팅된 언더필 물질은 각각의 개별적인

집적 회로 칩의 활성 표면에 고정된 채로 있다.

[0012]

이제 도 1 내지 도 11을 참조하면, 웨이퍼(10)는 전면측 또는 활성측(36) 상에 패턴화된 하나 이상의 집적 회로 (IC) 칩들(12)을 포함한다. 웨이퍼는 일반적으로 실리콘 웨이퍼지만 갈륨 비소화물과 같이, IC들을 만들기 위해 사용되는 다른 물질들로 구성될 수 있다. 종래 기술에서와 같이, IC 칩들은 어레이, 일반적으로 직교로 패턴화되고, IC들의 각각은 사전 범핑된다. 즉, 범프(34), 일반적으로 솔더볼은 IC 상에서의 접착 패드들 중 적어도 일부에 인가된다. 범핑 웨이퍼들의 상기 프로세스 및 명칭(nomenclature)은 플립칩 패키징 분야의 당업자에게 잘 알려져 있고, 간결함을 위해 본 명세서에서 더 부연하지 않을 것이다. 도 2의 흐름도에서, 제 1 단계 (20)는 막 기재된 상기 웨이퍼를 제공하는 것이다. 다음 단계(22)에서, 웨이퍼는 도 3에 도시된 바와 같이, 전면측 또는 활성측에서 다이싱되거나 절삭(saw)된다. 그러나, 종래 기술과 달리, 웨이퍼는 완전히 커팅되지 않고, 절삭 단계(22)는 웨이퍼 내에 형성된 홈들(groove;38) 또는 채널들의 깊이가 웨이퍼의 두께를 어느 정도까지만 확장하도록 수행된다. 다이싱 단계에 의해 형성된 커팅들이 웨이퍼 두께를 완전히 통과해 확장하지 않기 때문에, 이는 최종적으로 어떤 것이 개별적인 플립칩(12)의 에지들 또는 측면들(39)이 될지를 규정하는 채널들(38)과 함께 웨이퍼가 손상되지 않은 채로 그리고 한 조각으로 남게 한다. 이제 도 4를 참조하면, 언더필 물질(40)은 단계(24)에서 웨이퍼 상에 각각의 IC의 활성 표면(36)에 인가된다. 언더필의 응용은 코팅 및 반도체 처리 분야에 대해 공통인 무수한 방법들로 제공될 수 있다. 예를 들어, 한 가지는 웨이퍼 상에 언더필 물질의 액체 솔루션을 담금(dip), 분무(spray), 플러드 코팅(flood coat), 스픬 코팅, 또는 커튼 코팅(curtain coat)할 수 있거나, 또는 언더필 물질은 스텐실(stenciling) 또는 인쇄에 의해 선택적으로 인가될 수 있다. 언더필의 액체 솔루션을 제공한 후, 예를 들어, 잔여 용매(solvent)를 제거하기 위해 열을 가함으로써, 또는 단단한 고체 물질인 경우에는 액체에서 고체로 그것을 변환하기 위해 부분적으로 경화(cure)함으로써 적어도 반고체가 되도록 하는 방법으로 분명히 처리되어야 한다. 본 발명에서 유용할 것으로 판단한 일부 언더필 물질들은 에폭시들, 폴리아미드들, 및 실리콘-폴리아미드 코폴리머들이다. 액체 솔루션을 담금, 스프레이, 플러드 코팅, 스픬 코팅, 또는 커튼 코팅함으로서 웨이퍼의 표면상에 코팅된 언더필 물질이 밀집(mass)한 경우, 웨이퍼 표면에서 커팅된 채널들을 적어도 부분적으로 채운다(42). 채널들에서의 코팅(42)은 또한 각각의 IC의 전체 에지들을 코팅하도록 한다.

[0013]

선택적으로, 언더필 물질(40)은 웨이퍼의 활성 표면상에 적층(laminate)된 고체 필름으로서 인가될 수 있다. 일반적으로, 범프들의 표면의 적어도 일부(45)가 코팅되지 않은 채로 남겨지도록 언더필 물질이 인가되어, 최종적으로 플립칩이 인쇄된 회로 보드 상에 조립될 때, 더욱 용이하게 솔더링할 것이다. 그러나, 또한 범프들이 언더필 물질로 완전히 덮이고, 범프들은 플립칩 조립 단계 동안 언더필을 '솔더 스루(solder through)'하는 방식으로 사용될 수 있음을 도 5에서 고려한다. 예를 들어, 본 실시예에서 유용한 플럭싱 에이전트(fluxing agent)를 포함하는 언더필 물질은 미국 특허 제5,128,746호의 "Adhesive and Encapsulant Material With Fluxing Properties"에 개시되고 있다. 도 5에 도시되는 또 다른 실시예에서, 언더필 물질(40)이 스텐실 또는 인쇄 또는 적층에 의해 선택적으로 인가되는 경우, 있다면, 적은 언더필 물질(52)이 채널들 내에 존재하고 그에 따라 IC들의 에지들(39) 상에는 언더필 물질이 존재하지 않게 된다.

[0014]

도 6 및 도 7에 도시되는 선택적 단계(25)가 이용될 수 있는데, 여기서 플럭싱 에이전트(60)는 인쇄 회로 보드에 대한 조립 동안 솔더링 프로세스를 돋기 위해 솔더 범프들의 노출된 부분과 언더필 물질의 상부에 인가된다. 플럭싱 에이전트는 전체 표면에 걸쳐 인가될 수 있거나(60), 또는 솔더 범프들의 노출된 부분 상에만 선택적으로 인가될 수 있다(70). 전자 산업에는 잘 알려진 많은 플럭싱 에이전트뿐만 아니라 응용 방법들도 있다.

[0015]

계속적으로, 도 8에 설명된 다음 단계(26)에서, 웨이퍼는 적합한 홀딩 팩스처(holding fixture;84) 내의 활성측 아래에 위치되고, 이후 후면측(80)(즉, 활성측 또는 범핑된 측의 반대측)이 래핑된다. 래핑은 액체 연마제(liquid abrasive)가 주입된 평면판(82)을 가로질러 웨이퍼를 움직임으로써 세밀하게 제어된 양만큼 웨이퍼의 두께를 줄이기 위해 반도체 웨이퍼 물질의 일부를 제거하는 잘 알려진 프로세스이다. 백 래핑(back lapping)은 반도체 산업에서 잘 알려져 있다. 그라인딩 또는 연마와 같은 물질 제거의 다른 방법들은 또한 동등한 것으로 간주된다. 래핑 프로세스는 최초에 커팅된 채널들(38)이 웨이퍼에 부분적으로만 확장하도록 충분한 물질이 웨이퍼의 후면측으로부터 제거될 때까지 지속되고, 도 9에 도시되는 바와 같이 전면측으로부터 후면측으로 웨이퍼를 통과해 완전히 트래버스한다. 언더필 물질이 채널들(38) 내에 증착되지 않는 도 5에 도시된 프로세스 실시 예를 따르는 경우, 채널들이 전면으로부터 후면으로 완전히 확장하도록 웨이퍼의 두께가 충분히 감소되었을 때, 개별 IC 칩들은 도 10에 도시된 바와 같이 래핑 동작에 의해 싱글레이팅되고, 더 이상의 처리가 필요하지 않다. 그러나, 언더필 물질이 채널들 내에 증착된 경우, 싱글레이팅 단계(28)는 채널들 내에 남아있는 언더필 물질(92)을 커팅함으로써 수행된다. 이것은 IC의 후면측 또는 활성측으로부터, 일반적으로 레이저(액시얼, UV, CO₂

또는 다른 유형)를 이용함으로써 또는 기술적으로 커팅 또는 절삭함으로써 수행될 수 있다. 이제 도 11을 참조하면, 채널들 내의 물질(92)이 커팅된 이후, 개별 IC 칩들(12)은 독립되고, 일반적으로 상기 2차 커팅이 원래의 다이싱 커팅보다 정밀하기 때문에 각각의 칩은 다이싱 단계(22) 동안 규정된 에지들 상에 언더필 물질(112)을 갖는다. 양측 실시예들에서, 단계(24) 동안 활성측 상에 증착되는 언더필 물질(40)은 웨이퍼로부터 싱글레이팅 된 후 플립칩 IC(112)의 활성 표면상에 남는다.

[0016] 요약하면, 본 명세서의 실시예들에서 설명된 바와 같이 본 발명은, 최종적으로 각각의 개별 집적 회로 칩의 에지들을 규정하는 채널들을 형성하기 위해 활성표 상에서 웨이퍼를 다이싱함으로써 실행되고, 상기 다이싱은 웨이퍼를 통해 어느 정도까지만 커팅한 깊이가 된다. 그 후 웨이퍼의 전면측은 언더필 물질로 코팅된다. 일반적으로, 각각의 솔더 범프의 부분은 코팅되지 않은 채 남겨지지만, 특정 경우들에서는 범프들은 완전히 덮일 수 있다. 이후 웨이퍼의 후면측은 래핑, 접지, 연마되거나 또는 그렇지 않은 경우 이전 다이싱된 채널들의 레벨 아래로 물질이 제거되도록 처리된다. 상기 웨이퍼 두께의 감소는 원래 다이싱된 채널들(original diced channels)이 웨이퍼의 전면측으로부터 후면측으로 완전히 확장되도록 한다. 이후 웨이퍼는 집적 회로 칩이 웨이퍼로부터 릴리즈되도록, 코팅 단계 동안 채널들 내에 증착된 임의의 언더필 물질을 커팅함으로써 싱글레이팅 되고, 활성측상에 코팅된 언더필 물질은 각각의 개별 집적 회로 칩의 활성 표면에 부착된 채로 유지된다. 그러나, 당업자는 상기 프로세스들이 본 발명을 벗어남 없이 임의의 수의 변형들에서 구현될 수 있음을 이해한다.

[0017] 상기한 바와 같이, 다수의 실시예들이 설명되었다. 상기 실시예들의 다른 조합들 및 변경들은 본 명세서의 설명을 고려하여 당업자들에게 발생할 것이다. 당업자들은 또한 다른 코팅, 다이싱, 커팅, 플럭싱, 래핑 및 싱글레이팅 프로세스가 본 발명을 벗어나지 않고 사용될 수 있음을 이해한다. 본 발명이 특정 실시예들과 결합하여 설명되는 동안, 많은 대안들, 변형들, 변경들 및 변화들이 상기한 관점 내에서 당업자들에게 명백해짐이 분명하다. 그에 따라, 본 발명은 모든 상기 대안들, 변형들 및 변화들이 첨부된 청구항들의 범위 내에 포함되는 것으로서 의도한다.

도면의 간단한 설명

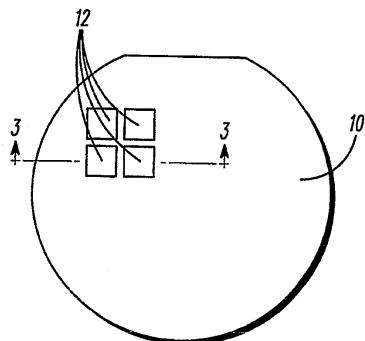
[0007] 도 1은 본 발명에 따른 하나 이상의 집적 회로 플립칩들을 포함하는 웨이퍼를 도시하는 평면도.

[0008] 도 2는 본 발명의 특정 실시예들에 따라 집적 회로 칩상에 언더필 물질을 제공하기 위한 프로세스를 상세히 설명하는 흐름도.

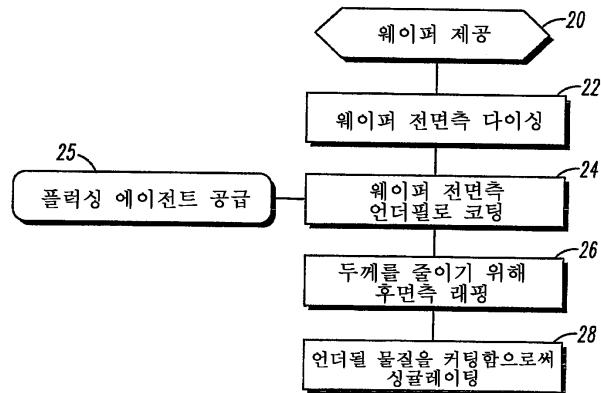
[0009] 도 3 내지 도 11은 본 발명에 따라 도 1에 설명된 웨이퍼의 일부를 도시하는 단면도.

도면

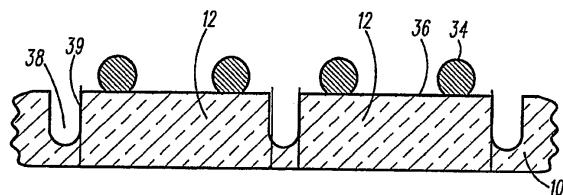
도면1



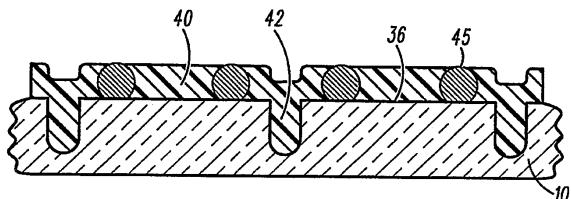
도면2



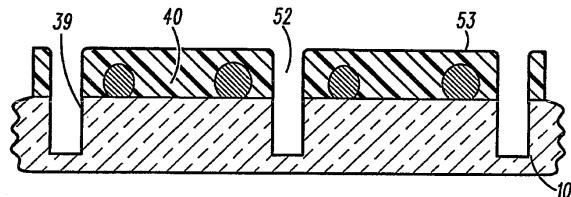
도면3



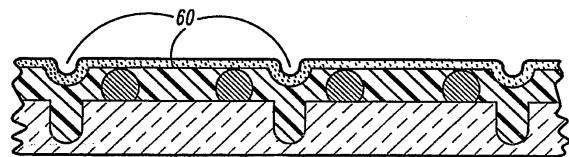
도면4



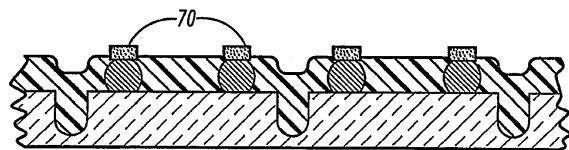
도면5



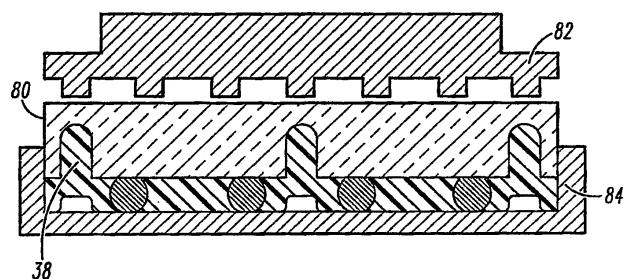
도면6



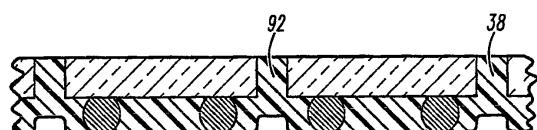
도면7



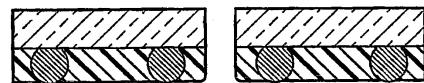
도면8



도면9



도면10



도면11

