



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I521352 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：101137695

(22)申請日：中華民國 101 (2012) 年 10 月 12 日

(51)Int. Cl. : G06F13/16 (2006.01)

G06F12/06 (2006.01)

(30)優先權：2011/11/09 英國

1119327.3

(71)申請人：想像力科技有限公司 (英國) IMAGINATION TECHNOLOGIES LIMITED (GB)
英國(72)發明人：安德森 艾德瑞恩 J ANDERSON, ADRIAN JOHN (GB)；衛斯 蓋瑞 C WASS,
GARY CHRISTOPHER (GB)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 200527432A

TW 201034392A

US 7256715B1

US 7716553B2

審查人員：林民安

申請專利範圍項數：21 項 圖式數：5 共 35 頁

(54)名稱

用於數位信號處理之記憶體存取技術

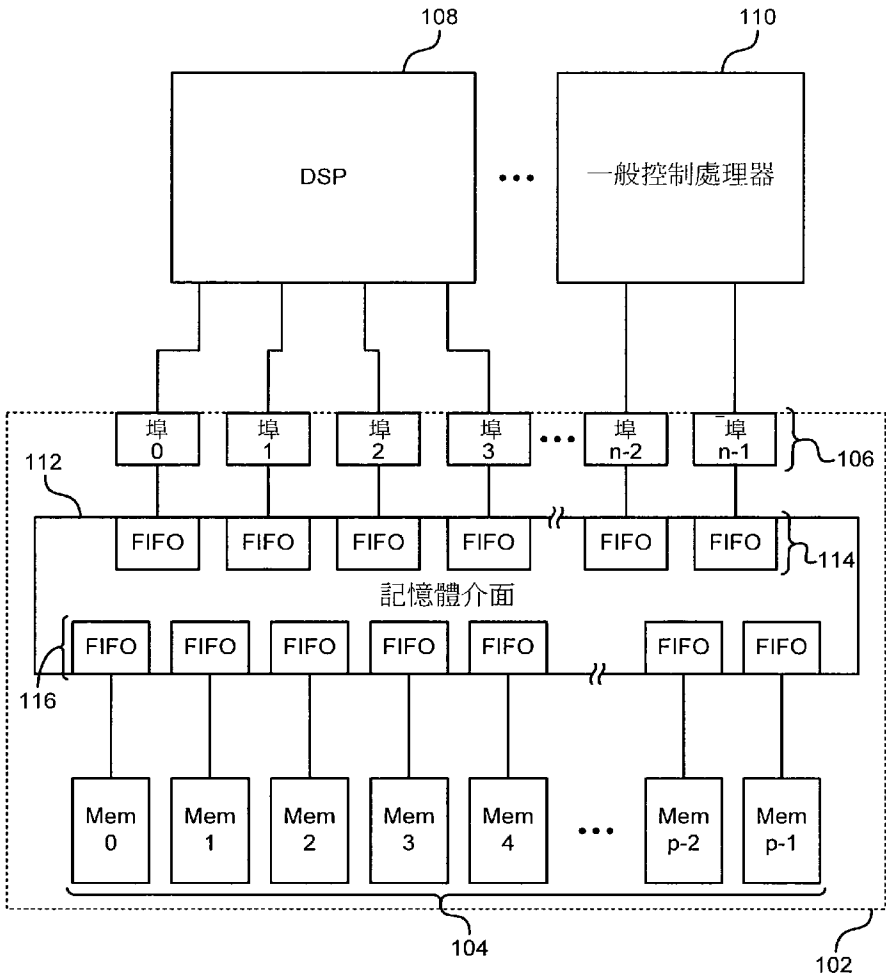
MEMORY ACCESS FOR DIGITAL SIGNAL PROCESSING

(57)摘要

本文描述數位信號處理系統中之記憶體存取。在一實例中，數位信號處理系統包含多埠記憶體，其由連接至多個單埠記憶體裝置之記憶體介面構建。記憶體介面提供處理器可用以使用單個位址空間存取儲存在單埠記憶體裝置上之資料的存取埠。處理器可連接至若干存取埠，且使用此等存取埠同時請求對若干不同記憶體位址處之資料的存取。數位信號處理系統經組配成使得連接至記憶體介面之單埠記憶體裝置之總數目為大於或等於 3 的質數。因為使用數量為質數的記憶體裝置，用於不同記憶體位址之資料位於同一單埠記憶體裝置上之可能性得以最小化，從而提高記憶體存取速度。

Memory access in a digital signal processing system is described. In one example, the digital signal processing system comprises a multi-port memory that is constructed from a memory interface connected to a number of single-port memory devices. The memory interface provides access ports that processors can use to access data stored on the single-port memory devices using a single address space. A processor can be connected to several access ports, and use these to request access to data at several different memory addresses at the same time. The digital signal processing is configured such that the total number of single-port memory devices connected to the memory interface is a prime number greater than or equal to three. Because a prime number of memory devices are used, the likelihood of the data for the different memory addresses being on the same single-port memory device is minimised, increasing memory access speed.

指定代表圖：



- 符號簡單說明：
- 102 . . . 多埠記憶體裝置
 - 104 . . . 單埠記憶體裝置
 - 106 . . . 存取埠
 - 108 . . . 數位信號處理器
 - 110 . . . 一般控制處理器
 - 112 . . . 記憶體介面
 - 114 . . . 埠緩衝器
 - 116 . . . 記憶體裝置緩衝器

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101/37695

※申請日：101-10-12

※IPC 分類：G06F 13/6 (2006.01)

12/66 (2006.01)

一、發明名稱：(中文/英文)

用於數位信號處理之記憶體存取技術

MEMORY ACCESS FOR DIGITAL SIGNAL PROCESSING

二、中文發明摘要：

本文描述數位信號處理系統中之記憶體存取。在一實例中，數位信號處理系統包含多埠記憶體，其由連接至多個單埠記憶體裝置之記憶體介面構建。記憶體介面提供處理器可用以使用單個位址空間存取儲存在單埠記憶體裝置上之資料的存取埠。處理器可連接至若干存取埠，且使用此等存取埠同時請求對若干不同記憶體位址處之資料的存取。數位信號處理系統經組配成使得連接至記憶體介面之單埠記憶體裝置之總數目為大於或等於3的質數。因為使用數量為質數的記憶體裝置，用於不同記憶體位址之資料位於同一單埠記憶體裝置上之可能性得以最小化，從而提高記憶體存取速度。

三、英文發明摘要：

Memory access in a digital signal processing system is described. In one example, the digital signal processing system comprises a multi-port memory that is constructed from a memory interface connected to a number of single-port memory devices. The memory interface provides access ports that processors can use to access data stored on the single-port memory devices using a single address space. A processor can be connected to several access ports, and use these to request access to data at several different memory addresses at the same time. The digital signal processing is configured such that the total number of single-port memory devices connected to the memory interface is a prime number greater than or equal to three. Because a prime number of memory devices are used, the likelihood of the data for the different memory addresses being on the same single-port memory device is minimised, increasing memory access speed.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

102...多埠記憶體裝置

104...單埠記憶體裝置

106...存取埠

108...數位信號處理器

110...一般控制處理器

112...記憶體介面

114...埠緩衝器

116...記憶體裝置緩衝器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

發明領域

[0001]本發明係有關於用於數位信號處理之記憶體存取技術。數位信號處理廣泛用於各種應用中。許多此類應用在資料處理對時間存在約束以使得對終端使用者有意義或是有用之意義上為即時的。此類應用之一實例為數位廣播流，諸如，數位電視及數位無線電。數位信號處理系統需要能夠足夠快速地處理及解碼即時流，以使得資料能夠如接收般快速地輸出(封鎖緩衝)。

【先前技術】

發明背景

[0002]數位信號處理系統可利用多個不同類型之處理元件。舉例而言，此類系統可包含數位信號處理器(DSP)、通用處理器、經設計以執行特定信號處理任務之專業硬體周邊設備。此等不同類型之處理元件中之每一者可利用一或多個記憶體裝置來儲存資料及/或軟體碼。

[0003]對於要求高之應用而言，諸如對於即時資料應用而言，記憶體存取之速度是總數位信號處理系統之效能的關鍵因素。為了達成快速記憶體存取，記憶體裝置可經裁剪以針對處理中之類型的資料進行高效操作。舉例而言，特定處理元件可連接至專用記憶體裝置，該專用記憶體裝置能夠針對用於特定類型或結構之資料的元件達成快速記憶體存取。

[0004]然而，專用及專業記憶體裝置之使用會限制數位信號處理系統針對不同類型之即時資料之靈活性及可設置性的相關能力。舉例而言，全球所用之各種不同數位電視及無線電標準通常以不同方式構建即時資料。因此，在並不針對不同類型之資料中之每一者建構不同數位信號處理系統之情況下，難以提供一個數位信號處理系統來針對每一資料類型提供快速記憶體存取。

[0005]下文描述之實施例並不限於用以解決已知數位信號處理系統之任何缺點或全部缺點之實施方案。

【發明內容】

發明概要

[0006]提供本發明內容，以便以簡要形式介紹下文實施方式中進一步描述之概念之部分。本發明內容並非意欲識別所主張標的之關鍵特徵或重要特徵，亦並非意欲用於輔助判斷所主張標的之範疇。

[0007]描述用於數位信號處理系統中之記憶體存取。在一實例中，數位信號處理系統包含多埠記憶體，其由連接至多個單埠記憶體裝置之記憶體介面構建。記憶體介面提供處理器可用以使用單個位址空間存取儲存在單埠記憶體裝置上之資料的存取埠。處理器可連接至若干存取埠，且使用此等存取埠同時請求對若干不同記憶體位址處之資料的存取。數位信號處理系統經組配成使得連接至記憶體介面之單埠記憶體裝置之總數目為大於或等於 3 的質數。因為使用質數個記憶體裝置，用於不同記憶體位址之資料位

於同一單埠記憶體裝置上之可能性得以最小化，從而提高記憶體存取速度。

[0008]根據一態樣，提供一種數位信號處理系統，包含：多個單埠記憶體裝置；記憶體介面，其連接至多個單埠記憶體裝置且包含多個存取埠，其中記憶體介面經配置以使用單個位址空間經由每一存取埠提供對多個單埠記憶體裝置之存取；以及處理器，其具有至存取埠中之至少兩者的資料連接且經配置以當執行操作時實質上同時從資料連接中之每一者存取與單個位址空間不同的一不同記憶體位址，其中連接至記憶體介面之單埠記憶體裝置之總數目為大於或等於 3 的質數。

[0009]根據另一態樣，提供一種用於在數位信號處理系統中存取資料的方法，包含：在記憶體介面處自處理器接收到記憶體存取請求，該請求包含單個位址空間中之記憶體位址；自記憶體位址自記憶體位址生成：連接至記憶體介面之多個單埠記憶體裝置中之一個單埠記憶體的識別符；及在一個單埠記憶體裝置內之第二記憶體位址；存取定位於一個單埠記憶體內之第二記憶體位址處的資料，其中生成步驟包含使用連接至記憶體介面之單埠記憶體裝置之總數目執行除法運算，且其中連接至記憶體介面之單埠記憶體裝置之總數目為大於或等於 3 的質數。

[0010]本文所描述之方法可由呈有形儲存媒體上之機器可讀取之形式的軟體來執行，諸如，呈包含電腦程式碼構件之電腦程式之形式的軟體，該電腦程式碼構件經調適

以當程式在電腦上運作時及在電腦程式可實施於電腦可讀取媒體上的情況下執行本文所描述任何方法之所有步驟。有形(非暫時性)儲存媒體之實例包括碟片、大姆哥隨身碟、記憶體卡等，但並不包括傳播信號。軟體可適用於在平行處理器或串行處理器上執行，以使得方法步驟可以任何次序進行或同時進行。

[0011]此舉承認，韌體和軟體可為有價值之獨立交易商品。意欲涵蓋在「基本型」或標準硬體上運作或控制「基本型」或標準硬體的軟體，以便執行所要功能。亦意欲涵蓋「描述」或定義硬體組態的軟體，諸如 HDL(硬體描述語言)軟體，如用於設計矽晶片或用於設置通用可程式晶片，以便執行所要功能。

[0012]如熟習此項技術者將顯而易見的，上述特徵可進行適當組合，且可與實例之任何態樣進行組合。

【圖式簡單說明】

[0013]參閱以下圖式以實例描述實施例，圖式中：

[0014]圖 1 圖示由多個單埠記憶體裝置構建之多埠記憶體裝置；

[0015]圖 2 圖示由多個單埠記憶體裝置構建之多埠記憶體的位址設定機制，其中數目為 2 的乘冪；

[0016]圖 3 圖示由質數個單埠記憶體裝置構建之多埠記憶體的位址設定機制；

[0017]圖 4 圖示用於質數個記憶體裝置之位址計算方法的流程圖；以及

[0018]圖 5 圖示將多埠記憶體用作共用記憶體空間之可組配式數位信號處理系統。

[0019]所有圖中使用公用元件符號來代表類似特徵。

【實施方式】

較佳實施例之詳細說明

[0020]下文所描述之實施例僅以實例進行說明。此等實例代表申請人當前已知之用以實施實施例之最佳方式，而不是可用以實施實施例之僅有方式。以下描述闡述實例之功能以及用於構建及操作實例之步驟的順序。然而，不同實例可達成相同或等效之功能及順序。

[0021]下文所描述之可組配式數位信號處理系統能夠視需要將數位信號處理器、通用處理器及專業硬體周邊設備之功能性組合，以便達成特定信號處理任務。舉例而言，可組配式數位信號處理系統可經組配來與不同類型之即時資料標準一起操作。在數位信號處理系統中，處理元件同時對若干不同記憶體位址處之資料進行操作(例如藉由單個指令)是常見操作。為了達成此類操作之快速記憶體存取，使用多埠記憶體裝置，此種情況下處理元件對多埠記憶體裝置之若干埠進行存取。多埠記憶體裝置之目的在於達成對記憶體之不同埠進行並行存取。然而，在實施過程中，多埠記憶體裝置係由多個個別實體單埠記憶體裝置構建。在此種情形下，僅在對不同埠之並行存取請求與不同實體單埠記憶體裝置相關時才能達成並行存取，否則將會發生爭用。

[0022]舉例而言，若並行請求之記憶體位址之間的間隔為固定的，則多埠記憶體裝置之設計可在並行記憶體存取提前知曉之狀況下緩和爭用。然而，此設計對可組配式數位信號處理系統並不適用，因為可組配式數位信號處理系統中不同標準可能會使用不同記憶體存取結構。為了避免上述情況，多埠記憶體裝置由質數個實體單埠記憶體裝置建構。如下文所描述，此舉使得執行不同類型之多資料操作時發生爭用之可能性最小化。

[0023]多埠記憶體亦可經擴展以提供足夠數目個埠，以使得系統之所有不同處理元件能夠存取多埠記憶體。此舉使得可組配式數位信號處理系統能夠利用不同處理元件所共用之公共記憶體空間。在並不使用公共記憶體空間之情況下，每一處理元件需要配備其自身之專用記憶體。在可組配式數位信號處理系統支援多個標準之狀況下，此意謂每一個別處理元件需要針對要求用於元件之最大儲存量的標準配備足夠記憶體。因為不同標準針對每一處理元件具有不同記憶體要求，對於任何給定標準而言，針對最大量狀況設定每一處理元件之記憶體的尺寸導致大量記憶體(及矽面積)浪費。針對處理元件使用公共共用記憶體空間將處理元件之不同記憶體要求混合在一起，從而意謂公共記憶體僅需要設定尺寸以滿足在所有處理元件中具有最高總記憶體要求的標準。

[0024]首先參閱圖 1，圖 1 展示多埠記憶體裝置 102 之示意圖。多埠記憶體裝置 102 包含多個單埠記憶體裝置

104。單埠記憶體裝置 104 中之每一者為提供一個埠以供存取儲存在記憶體裝置上之資料的獨立記憶體裝置。在一實例中，單埠記憶體裝置 104 可為實體上獨立的，儘管其可形成於公共半導體基板上。在替代實例中，單埠記憶體裝置 104 可形成於獨立矽片上。單埠記憶體裝置 104 中之每一者可為任何類型之隨機存取記憶體(RAM)，諸如(但不限於)靜態 RAM(SRAM)及動態 RAM(DRAM)，或可寫 ROM，諸如 EEPROM 及快閃記憶體，或以上各者之混合。

[0025]多埠記憶體裝置 102 提供多個存取埠 106，其提供對儲存在多埠記憶體裝置上之資料的至外部裝置之存取。舉例而言，可組配式數位信號處理系統之各種不同處理元件可連接至埠 106，如下文參閱圖 5 更詳細描述。圖 1 之實例展示連接至四個埠 106 之 DSP 108，以及連接至兩個埠 106 之一般控制處理器 110。然而，此僅為說明性的，且不同數目或類型之處理元件可連接至不同數目個埠。

[0026]應注意，所提供之存取埠之數目可不同於單埠記憶體裝置之數目。在一些實例中，所提供之存取埠之數目小於單埠記憶體裝置之數目。在一些埠並不頻繁使用之其他實例中，所提供之存取埠之數目大於單埠記憶體裝置之數目。亦應注意，每一時脈週期具有 N 次存取之 DSP 僅可在實體記憶體裝置之數目大於或等於 N 之情況下避免爭用。

[0027]儘管多埠記憶體裝置 102 由多個獨立單埠記憶體裝置 104 構建，所有單埠記憶體裝置 104 之可用總儲存

空間在埠處向外部裝置呈現為單個位址空間。換言之，對埠進行存取之外部裝置並不知曉總儲存空間如何在單埠記憶體裝置之間劃分，且外部裝置所能看見的是具有相連位址之三個記憶體方塊。

[0028]單個位址空間與個別單埠記憶體裝置內之位址之間的轉換由記憶體介面 112 執行。記憶體介面 112 充當多個存取埠 106 與多個單埠記憶體裝置 104 之間的介面。記憶體介面 112 經組配來管理存取埠 106 處接收到之請求(資料讀取或寫入)，判斷請求與何單埠記憶體裝置相關，且提供對該單埠記憶體裝置中之資料的存取。記憶體介面 112 亦可稱作交叉開關(crossbar)，因為其允許任何單埠記憶體裝置 104 對任何埠 106 進行存取。

[0029]多埠記憶體裝置 102 經組配來獨立經由存取埠 106 中之每一者提供對儲存在單埠記憶體裝置 104 上之資料的實質上並行存取。換言之，在任何可能之情況下，同時在兩個(或更多)不同存取埠接收到之請求可同時經受處理。然而，此僅可在不同埠之請求與不同單埠記憶體裝置相關之情況下達成。

[0030]舉例而言，參閱圖 1，若與儲存在「Mem 2」上之資料相關之「埠 0」接收到存取請求，且與此同時(亦即，在同一時脈週期)，與儲存在「Mem 3」上之資料相關之「埠 2」接收到存取請求，則記憶體介面 112 可同時處理上述兩個請求。此是因為可自獨立單埠記憶體裝置獨立讀取(或適當情況下寫入)資料。然而，若上文來自「埠 2」之存取請

求亦與儲存在「Mem 2」上之資料相關，則發生爭用。此是因為個別單埠記憶體裝置僅可在每一時脈週期提供對其內單個記憶體位址之存取。因此，若同時接收到與一個單埠記憶體裝置相關之兩個請求，則其中一個請求必須等待直至另一請求先完成為止，隨後才可經受處理。

[0031]記憶體介面 112 包含多個埠緩衝器 114，以使得每一存取埠具有相關聯埠緩衝器。埠緩衝器 114 在其各別埠處對請求進行排列。類似地，記憶體介面 112 亦包含多個記憶體裝置緩衝器 116，以使得每一單埠記憶體裝置具有相關聯埠緩衝器。記憶體裝置緩衝器 116 對用於其各別單埠記憶體裝置之未決請求進行排列。在一些實例中，埠緩衝器 114 及記憶體裝置緩衝器 116 可呈先進先出(FIFO)緩衝器之形式。FIFO 緩衝器之使用確保以在存取埠處接收到請求之次序處理請求。FIFO 緩衝器允許發生爭用時對請求進行排列。

[0032]當圖 1 中圖示之多埠記憶體裝置用於數位信號處理系統中時，對儲存在記憶體裝置上之資料執行的許多操作涉及多個並行記憶體存取請求。舉例而言，DSP 裝置(諸如，DSP 108)可為單指令多資料(SIMD)處理器。SIMD 處理器經組配來同時對多個資料項高效地執行相同操作。SIMD 處理器所執行之此類型操作之實例包括快速傅里葉變換(FFT)及多速率濾波。為了盡可能高效地執行此等操作，SIMD 處理器需要同時存取不同記憶體位址處之資料。多埠記憶體裝置 102 藉由針對多個資料項中之每一者提供

埠來達成上述同時存取。

[0033]舉例而言，如圖 1 所展示，DSP 108(可為 SIMD 處理器)連接至四個存取埠 106。此使得 DSP 108 能夠同時發出四個記憶體存取請求，且每個請求發送至不同埠，例如用於對四個資料項之 SIMD 操作。若並不發生爭用，則 DSP 108 可使得所有四個請求同時經受處理，從而在並無延遲之情況下執行操作。然而，若發生爭用，則操作有所延遲，但記憶體存取爭用仍得以解決。因此，操作之執行速度取決於不同埠接收到之不同記憶體存取請求是否與相同個別單埠記憶體裝置相關還是與不同個別單埠記憶體裝置相關。

[0034]發生爭用之可能性與用以構成多埠記憶體之單埠記憶體裝置 104 的數目相關。一種選擇是單埠記憶體裝置之總數目為 2 的乘冪。此可達成是因為單個位址空間與個別單埠記憶體裝置之位址之間之位址轉換非常簡單。此將參閱圖 2 說明。

[0035]圖 2 展示由總數為四個單埠記憶體裝置(亦即，總數目為 2 的乘冪)構成之多埠記憶體的實例，四個單埠記憶體裝置表示為 Mem 0 202、Mem 1 204、Mem 2 206 及 Mem 3 208。在此說明性實例中，每一單埠記憶體保持 8 個位置(顯然，真實系統具有更大記憶體，但為了簡便此實例中如此使用)。因此，多埠記憶體裝置之總儲存容量為 $4 \times 8 = 32$ 個位置。每一單埠記憶體裝置內之 8 個位置為自 0(二進位中為 000)至 7(二進位中為 111)之連續位址。

[0036]記憶體介面 112 經配置以提供單個位址空間，以使得連續位址依次定位於每一單埠記憶體中，且繞回至每一列之末端處之第一記憶體。換言之，位置 0 保持於 Mem 0 202，位置 1 保持於 Mem 1 204，位置 2 保持於 Mem 2 206，位置 3 保持於 Mem 3 208，位置 4 返回至 Mem 0 202，依此類推。

[0037]下文展示由圖 2 中之四個單埠記憶體裝置構成之多埠記憶體的單個位址空間 210。此單個位址空間分隔成行，其中每行反映彼等位址與何單埠記憶體相關。舉例而言，行 212 中之位址 0、4、8、12、16、20、24、28 與 Mem 0 202 相關，行 214 中之位址 1、5、9、13、17、21、25、29 與 Mem 1 204 相關，行 216 中之位址 2、6、10、14、18、22、26、30 與 Mem 2 206 相關，且行 218 中之位址 3、7、11、15、19、23、27、31 與 Mem 3 208 相關。行展示單個位址空間中之十進位記憶體位址及其等效二進位記憶體位址。

[0038]因此可看出，例如，單個位址空間中之記憶體位址 14 與 Mem 2 206 相關(因為其在行 216 中)，且在 Mem 2 206 中位於記憶體位址 3(在行 216 中自零從上至下數)。藉由使用總數為 2 的乘冪個單埠記憶體裝置，上述計算非常簡單，直接自二進位位址進行計算。舉例而言，單個位址空間中之記憶體位址 14 是二進位中之 01110。與此位址相關之單埠記憶體之身份可藉由讀取兩個最低有效位址位元而判斷(二進位中之 10 = 十進位中之 2)。單埠記憶體內之記

記憶體位址可藉由讀取三個最高有效位址位元而判定(二進位中之 011 = 十進位中之 3)。

[0039]因此，使用總數為 2 的乘冪個單埠記憶體裝置提供非常簡單之位址轉換機制。然而，單埠記憶體裝置之數目使用 2 的乘冪可導致顯著爭用，如下文概述。

[0040]當自 SIMD 處理器同時接收到多個請求時，請求中之記憶體位址之間通常存在固定關係。舉例而言，記憶體位址通常依據一些預定義關係規則地間隔開。舉例而言，SIMD 處理器可同時處理不同記憶體位址(間隔開 M 個記憶體位置)處之 K 個請求，在此狀況下關係為：

$$Address(k) = base + k \times M \quad (k = 0 \text{ to } K - 1)$$

[0041]其中 Address(k)為請求 k 在單個位址空間中之記憶體位址，且基礎位址為單個位址空間中之起始位址。位址之間之間隔 M 可取任何值，且可取決於執行中之操作。然而，通常情況下，此間隔 M 取值 1，或 2 的乘冪(通常在 FFT 操作中可見)，或小的整數值(通常在多速率濾波操作中可見)。

[0042]若記憶體位址之間之間隔 M 為 1，則圖 2 中所展示之結構在同時接收到四個(或更少)存取請求時正常工作。舉例而言，若基礎起始位址為 9 且 M=1，則在四個請求(K=4)之情況下，所請求位址為 9、10、11 及 12。此等位址中之每一者定位於不同單埠記憶體裝置，且因此所有此等位址可在並無爭用之情況下同時經受處理。

[0043]然而，若記憶體位址之間之間隔 M 為 2 的乘冪，

則圖 2 中所展示之結構導致顯著爭用。舉例而言，若基礎起始位址仍為 9 且 $M=2$ ，則在四個請求($K=4$)之情況下，所請求位址為 9、11、13 及 15。兩個位址 9 及 13 定位於同一單埠記憶體(如行 214 所展示)，且位址 11 及 15 亦定位於同一單埠記憶體(如行 218 所展示)。此舉導致 Mem 1 204 及 Mem 3 208 之爭用，從而意謂處理存取請求需要一個以上週期。此情形在 2 的更高乘冪(諸如，4、8 及 16)的情況下甚至更糟糕，因為此導致同一單埠記憶體裝置保持所有所請求位址，從而進一步增大爭用延遲。

[0044]因此，如上文所展示，單埠記憶體裝置之數目使用 2 的乘冪達成了簡單之位址設定，但在位址之間具有特定間隔之情況下會存在爭用問題。若提前知曉位址間隔且位址間隔固定(例如，如上文所說明為 1)，則圖 2 中所展示之結構可高效工作。然而，在可組配式數位信號處理系統能夠用於多種不同類型之操作及資料的狀況下，位址間隔不固定且無法提前知曉。此意謂爭用可能會頻繁發生，此完全是因為間隔 M 為 2 的乘冪在各種 DSP 處理操作中非常常見，例如，FFT 操作。

[0045]現參閱圖 3，圖 3 圖示由質數個單埠記憶體裝置構成之多埠記憶體的實例。在此特定實例中，存在五個單埠記憶體裝置，但可使用大於或等於 3 的任何質數。

[0046]五個單埠記憶體裝置表示為 Mem 0 202、Mem 1 204、Mem 2 206、Mem 3 208 及 Mem 4 302。同樣，在此說明性實例中，每一單埠記憶體裝置保持 8 個位置，因此

多埠記憶體裝置之總儲存容量為 $5 \times 8 = 40$ 個位置。同樣，每一單埠記憶體裝置內之 8 個位置為自 0(二進位中為 000) 至 7(二進位中為 111) 之連續位址。

[0047] 下文展示由圖 3 中之五個單埠記憶體裝置構成之多埠記憶體的單個位址空間 304。此單個位址空間分隔成行，其中每行反映彼等位址與何單埠記憶體相關。舉例而言，行 306 中之位址 0、5、10、15、20、25、30、35 與 Mem 0 202 相關，行 308 中之位址 1、6、11、16、21、26、31、36 與 Mem 1 204 相關，行 310 中之位址 2、7、12、17、22、27、32、37 與 Mem 2 206 相關，行 312 中之位址 3、8、13、18、23、28、33、38 與 Mem 3 208 相關，且行 314 中之位址 4、9、14、19、24、29、34、39 與 Mem 4 302 相關。行展示單個位址空間中之十進位記憶體位址及其等效二進位記憶體位址。因此可看出，例如，單個位址空間中之記憶體位址 14 與 Mem 4 302 相關(因為其在行 314 中)，且在 Mem 4 302 中位於記憶體位址 2(在行 314 中自零從上至下數)。

[0048] 單埠記憶體裝置之數目使用大於或等於 3 的質數顯著降低發生爭用之可能性。舉例而言，在同時請求之數目 $K=4$ (如上所述)之情況下，若間隔 M 為 1，則並不發生爭用(例如，若基礎位址為 9，則所存取位址為 9、10、11 及 12，可看出此等位址定位於不同單埠記憶體裝置)。類似地，若間隔 M 為 2，則並不發生爭用(例如，若基礎位址為 9，則所存取位址為 9、11、13 及 15，可看出此等位

址定位於不同單埠記憶體裝置)。同樣，對於間隔 M 為 2 的任何其他乘冪(例如，4、8 或 16)之情況而言，並不發生爭用。

[0049]事實上，對於所有規則間隔之存取而言，爭用得以免完全避免，但間隔等於質數(例如，圖 3 之實例中之質數 5)之情況除外。因此，當使用基於質數之記憶體結構時，發生爭用之可能性變得較低。可藉由選擇大於通常用於 DSP 操作(諸如，多速率濾波)之任何小的整數間隔的質數而更進一步降低發生爭用之可能性。在一實例中，可使用大於或等於 13 之質數，經發現此類質數適用於執行真實生命式 DSP 資料。

[0050]為了執行單個位址空間與單埠記憶體裝置之間之位址轉換，要執行諸如圖 4 中所展示之流程。無法藉由自記憶體位址讀取選定位元來簡單地執行位址轉換，此狀況與上文圖 3 所展示之狀況不同。然而，可使用一種高效技術。

[0051]圖 4 展示用於質數個記憶體裝置之位址計算方法的流程圖。此可由如上文所述之記憶體介面 112 來執行。在步驟 402，埠接收到記憶體存取請求，該請求中包含單個位址空間中之記憶體位址。與此同時，其他埠亦可接收到其他請求，且以相同方式轉換，但為簡便起見，圖 4 僅考慮一個存取請求。使用單埠記憶體裝置之總數目(例如，質數)對所接收到之記憶體位址執行除法運算。除法運算分兩個部分。在步驟 404，一部分生成對應於所請求記憶體位址

之單埠記憶體裝置的身份。在步驟 406，另一部分生成對應於所請求記憶體位址之單埠記憶體裝置內之記憶體位址。

[0052]步驟 404 中生成對應於所請求記憶體位址之單埠記憶體裝置的身份係藉由判斷單個位址空間中之所請求記憶體位址與單埠記憶體之總數目的模數而執行。換言之，得出所請求記憶體位址與質數之除法的餘數。舉例而言，參閱圖 3，若埠接收到之所請求記憶體位址為 18，則 $18 \div 5$ 之餘數為 3。如可看到，記憶體位址 18 對應於 Mem 3 208，因為其定位於行 312 中。

[0053]步驟 406 中生成所識別單埠記憶體內之記憶體位址係藉由計算單個位址空間中之所請求記憶體位址與單埠記憶體之總數目的商數而執行。換言之，得出所請求記憶體位址除以質數之結果的整數部分。舉例而言，再次參閱圖 3，若埠接收到之所請求記憶體位址為 18，則 $18 \div 5$ 為 3.6，且因此商數為 3。如可看到，記憶體位址 18 定位於行 312 中之記憶體位址 3(自零從上至下數)。

[0054]一旦在步驟 404 中得出單埠記憶體裝置的身份，且在步驟 406 中得出單埠記憶體裝置內之記憶體位址，則記憶體介面 112 可依據步驟 408 中之請求存取資料。

[0055]儘管上文描述之操作相比僅僅自二進位位址讀取位元更複雜，此仍可藉由硬體高效實施，以使得效能並不在轉換流程中受影響。無論如何，歸因於無爭用發生之效能改進更多地補償了位址轉換之複雜性的增大。

[0056]因此，使用質數個單埠記憶體裝置之上述多埠記

記憶體結構提供高效之方式來改進數位信號處理系統中之記憶體存取效能。此特定適用於可組配式數位信號處理系統，其中相同系統可處理不同類型及結構之資料。使用質數個單埠記憶體裝置使得所有記憶體存取模式之爭用風險最小化，間隔與質數匹配之情況除外。

[0057]除了提供用於 SIMD 操作之快速記憶體存取以外，上文描述之多埠記憶體結構亦可擴展並更廣泛地用於可組配式數位信號處理系統中。多埠記憶體所提供之存取埠 106 的數目可擴展，以使得數位信號處理系統中之若干不同處理元件皆可存取記憶體，且因此多埠記憶體裝置充當公共共用記憶體空間。

[0058]圖 5 中展示將多埠記憶體裝置用作公共記憶體空間之數位信號處理系統的實例。系統包含多埠記憶體裝置 102，其用於儲存資料。在圖 5 之實例中，多埠記憶體裝置 102 可用以儲存處理中資料及用於操作數位信號處理系統之組態資料/碼。

[0059]一或多個數位信號處理器 502 連接至多埠記憶體裝置 102。DSP 502 為可程式化以對資料執行信號處理計算(諸如，快速傅里葉(Fourier)變換、濾波及等化)的處理器。圖 1 之 DSP 108 為此類 DSP 之實例。DSP 502 中之一或多者可為同時存取一個以上資料項之 SIMD 處理器，如上文所描述。儘管未視為通用處理器，DSP 502 相比下文描述之硬體周邊設備更易於設置。DSP 502 執行程式碼/指令以自多埠記憶體裝置 102 讀取資料，對資料執行信號處

理操作，並將資料寫回至多埠記憶體裝置 102。

[0060]記憶體存取控制器 504 亦連接至多埠記憶體裝置 102，該記憶體存取控制器 504 針對多個硬體周邊設備 506 提供對多埠記憶體裝置 102 之存取。在一些實例中，記憶體存取控制器 504 可呈直接記憶體存取(DMA)控制器之形式。記憶體存取控制器 504 提供多個記憶體存取通道(例如 DMA 通道)，硬體周邊設備 506 可使用上述多個記憶體存取通道以便能夠自多埠記憶體裝置 102 讀取資料或將資料寫入至多埠記憶體裝置 102。

[0061]硬體周邊設備 506 為經組配來執行特定信號處理任務之專業專用硬體方塊。舉例而言，一個硬體周邊設備可為專業維特比(Viterbi)解碼方塊，且另一硬體周邊設備可為專業去交插方塊。硬體周邊設備亦可為已知加速器。硬體周邊設備中之每一者彼此獨立操作。硬體周邊設備可經充分組配來具備特定於其任務之操作參數，但無法經充分組配來改變其任務(例如，Viterbi 方塊無法重設置為去交插方塊)。因此，對於特定任務而言，硬體周邊設備比 DSP 502 更專業。然而，硬體周邊設備經配置以以非常快速及有效之方式執行專業任務。

[0062]一般控制處理器 110(亦如圖 1 中所展示)亦連接至多埠記憶體裝置 102，該一般控制處理器 110 可用以初始化、設置及控制數位信號處理系統之操作。

[0063]上文所描述之數位信號處理系統提供信號處理操作之靈活性。舉例而言，系統可經配置以操作以使得不

同 DSP 502 及硬體周邊設備 506 以任何所要設置或順序處理資料。每一硬體周邊設備或 DSP 可對系統之其他部分所提供及儲存在多埠記憶體裝置 102 所提供之公共記憶體空間之一或多個資料方塊(下文亦稱作資料緩衝器)進行操作，並生成及儲存供系統之其他元件使用之一或多個資料緩衝器。此舉使得數位信號處理系統能夠用於各種不同類型之信號，例如，用於不同廣播/電信標準。

[0064]多埠記憶體裝置 102 可經組配來使得針對 DSP 502、記憶體存取控制器 504 及一般控制處理器 110 之每一者提供存取埠。此在圖 1 中已部分說明，圖 1 展示一個 DSP 108 及一般控制處理器 110 各自連接至多埠記憶體裝置 102 之埠(其他處理元件亦可連接至圖 1 中未展示之多埠記憶體裝置 102 之其他埠)。針對數位信號處理系統之處理元件提供埠使得處理元件能夠獨立存取記憶體上之資料。此亦可在針對單埠記憶體裝置中之一者的爭用並不發生的狀況下並行執行。

[0065]使用多埠記憶體裝置 102 所提供之公共記憶體空間亦使得數位信號處理系統中提供之記憶體儲存總量降低。在並不使用公共記憶體空間之情況下，每一處理元件具備自身之專用記憶體。舉例而言，DSP 502 中之每一者可具有其自身之工作區記憶體，且一般控制處理器 110 具有另一獨立記憶體以供儲存執行碼及資料，且硬體周邊設備 506 具有獨立輸入及輸出緩衝器，且一或多個額外記憶體可用於在處理元件之間交換資料。

[0066]因為數位信號處理系統可經組配來與許多不同類型之標準一起使用，此等獨立記憶體中之每一者需要針對對任何給定記憶體具有最高要求之特定標準獨立設定尺寸。換言之，DSP 記憶體需要足夠大以便滿足對 DSP 記憶體具有最高要求之標準。類似地，硬體周邊設備緩衝器需要足夠大以便滿足對硬體周邊設備緩衝器具有最高要求之標準(其可不同於具有高 DSP 記憶體要求之標準)。因此，通常情況下一些處理元件並未使用顯著量之記憶體。

[0067]然而，若多埠記憶體裝置 102 提供公共記憶體空間，則不同標準之記憶體要求可作為整體考慮(而並非考慮系統之個別元件之要求)。換言之，多埠記憶體裝置 102 需要足夠大以滿足具有最大總記憶體要求之標準。此舉使得標準之間之不同記憶體要求得以平衡(例如，一個標準可能需要較大 DSP 記憶體及較小緩衝器，而另一標準可能相反)。此舉對總記憶體量具有顯著低之要求，且因此節約了矽面積。

[0068]因此，多埠記憶體裝置 102 所提供之公共記憶體空間可保持系統所使用之所有不同類型之資料，諸如數位信號處理器工作區、用於一般控制處理器之執行碼及資料、硬體周邊設備中之一或多者的輸入及輸出緩衝器、用於在處理器之間交換資料之一或多個緩衝器，以及用於數位信號處理系統之其他組態資料。

[0069]當多埠記憶體裝置 102 操作為公共記憶體空間時，多個處理元件可嘗試同時存取記憶體。為了防止此舉

導致對記憶體之大量爭用，從而導致系統效能劣化，可提供優先權機制。優先權機制可向多埠記憶體裝置 102 之每一存取埠分配優先權值，以使得在同時接收到兩個導致爭用之存取請求的情況下，首先處理埠接收到之具有較高優先權值的請求，且其他埠之請求等待直至上述處理完成為止。

[0070]在一實例中，分配至埠之優先權值可基於多埠記憶體結構中之埠的位置。舉例而言，每一埠給予自零至 $n-1$ 之身份，其中 n 為所存在之埠的數目(如圖 1 中所圖示)。隨後優先權機制可基於埠身份，以使得在發生爭用之狀況下具有最低(或者最高)身份之埠給予優先權。以此方式提供之優先權機制可在記憶體介面處高效且簡單地得以實施，且並不要求顯著之執行時間來解決。在一實例中，SIMD 處理器可連接至編號最小之埠，以使得此等處理器具有高於系統之其他元件的優先權記憶體存取。或者，舉例而言，每一埠之優先權可經組配來寫入至控制暫存器，以使得連接至具有時間上最關鍵之操作之處理元件的埠接收最高優先權。

[0071]在一些實例中，由爭用引起之效能丟失可進一步藉由各種技術來減輕，諸如，讀取請求優先而非寫入請求優先，以及將一些管線緩衝引入至記憶體介面以使得在一個時脈週期經受爭用之請求可在並不引起請求裝置暫停其操作之情況下在下一時脈週期經受處理。在一些實例中，記憶體存取效能亦可藉由達成自前一寫入存取寫入至之記

憶體位置讀取之資料的快速返回而增強。此增強藉由去除實體讀取記憶體位置之要求而改進效能，且可縮短潛時。

[0072]本文所使用之「處理器」及「電腦」等詞代表具有處理能力之任何裝置，因此該等裝置可執行指令。熟習此項技術者將意識到，此類處理能力併入至許多不同裝置中，且因此「電腦」一詞包括機上盒、媒體播放器、數位無線電、PC、伺服器、行動電話、個人數位助理及許多其他裝置。

[0073]熟習此項技術者將意識到，用於儲存程式指令或資料之儲存裝置可分佈在網路中。舉例而言，遠端電腦可儲存描述為軟體之流程的實例。區域或終端電腦可對遠端電腦進行存取，並下載軟體之部分或全部以便運作程式。或者，區域電腦可視需要下載軟體之部分，或在區域終端機執行一些軟體指令並在遠端電腦(或電腦網路)執行一些軟體指令。熟習此項技術者亦將意識到，藉由利用熟習此項技術者已知之習知技術，軟體指令之全部或部分可由專用電路、可程式邏輯陣列等來執行。

[0074]如熟習此項技術者將顯而易見，本文給定之任何範圍或裝置值可在並不丟失所探求之效應的情況下進行擴展或更改。

[0075]應瞭解的是，上文所描述之益處及優勢可與一實施例相關或可與若干實施例相關。實施例並不限於解決所述任何問題或全部問題之彼等實施例，或是具有所述任何益處及優勢或全部益處及優勢之彼等實施例。

[0076]本文中任何處提及「一/一個」項時，代表一或多個彼等項。本文所使用之「包含」一詞意謂包括所識別之方法方塊或元件，但此類方塊或元件並不包含排他列表，且方法或設備可含有額外方塊或元件。

[0077]本文所描述之方法之步驟可以任何適當次序進行或在適當情況下同時進行。另外，可在並不偏離本文所描述之標的之精神及範疇的情況下自任何方法刪除個別方塊。上文所描述之任何實例之態樣可與所描述之任何其他實例之態樣組合，以便在並不丟失所探求之效應的情況下形成其他實例。

[0078]應瞭解的是，僅以實例給出較佳實施例之上述描述，且熟習此項技術者可進行各種修改。儘管上文在具有一定程度之特殊性的情況下或參閱一或多個個別實施例描述了各種實施例，熟習此項技術者可在並不偏離實例之精神或範疇的情況下對所揭示實施例進行各種更改。

【主要元件符號說明】

102...多埠記憶體裝置	114...埠緩衝器
104、202~208、302、306~314... 單埠記憶體裝置	116...記憶體裝置緩衝器
106...存取埠	210、304...單個位址空間
108、502...數位信號處理器	212~218...行
110...一般控制處理器	402~408...步驟
112...記憶體介面	504...記憶體存取控制器
	506...硬體周邊設備

七、申請專利範圍：

1. 一種數位信號處理系統，包含：

多個單埠記憶體裝置，

一記憶體介面，其連接至該等多個單埠記憶體裝置且包含多個存取埠，其中該記憶體介面經配置以使用一單個位址空間經由每一存取埠提供對該等多個單埠記憶體裝置之存取；以及

一處理器，其具有至該等存取埠中之至少兩者的資料連接，且經配置以在執行一操作時實質上同時從該等資料連接中之每一者存取與該單個位址空間不同的一不同記憶體位址，

其中連接至該記憶體介面之該等單埠記憶體裝置之總數目為一大於或等於 3 的質數。

2. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該質數大於或等於 5。
3. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該質數大於或等於 13。
4. 如申請專利範圍第 1 項所述之數位信號處理系統，其中由該處理器執行之該操作為一快速傅里葉變換操作或一多速率濾波操作。
5. 如申請專利範圍第 1 項所述之數位信號處理系統，其中實質上同時存取之不同記憶體位址係根據一預定義關係規則地間隔開。

6. 如申請專利範圍第 5 項所述之數位信號處理系統，其中該預定義關係將該等不同記憶體位址規則地以下列數值中之一數值間隔開：1、或 2 的乘冪。
7. 如申請專利範圍第 1 項所述之數位信號處理系統，進一步包含一控制處理器及一硬體周邊設備中的至少一者，該控制處理器及該硬體周邊設備連接至該等存取埠中之一或多者，且經配置以使用該單個位址空間存取儲存在該等多個單埠記憶體裝置中之一或多者上的資料。
8. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該等存取埠中之每一者經分配一優先權值，且該記憶體介面經配置以在發生爭用之狀況下基於個別優先權值先於一第二存取埠而優先處理一第一存取埠接收到之存取請求。
9. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該等存取埠中之每一者經分配一順序識別符，且該記憶體介面經配置以在發生爭用之狀況下基於個別順序識別符先於一第二存取埠而優先處理一第一存取埠接收到之存取請求。
10. 如申請專利範圍第 9 項所述之數位信號處理系統，其中該記憶體介面經配置以在該第一埠具有一較低順序識別符之情況下先於該第二存取埠而優先處理該第一存取埠接收到之存取請求。
11. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該記憶體介面包含一用於每一存取埠之先進先出緩衝

器，其經配置以依接收到存取請求之次序將該等存取請求排入佇列。

12. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該記憶體介面所提供之存取埠之總數目小於連接至該記憶體介面之該等單埠記憶體裝置之總數目。
13. 如申請專利範圍第 1 項所述之數位信號處理系統，其中該單埠記憶體裝置經組配來儲存以下各者中之至少一者：一數位信號處理器工作區；用於該數位信號處理系統之組態資料；用於一控制處理器之執行碼及資料；一或多個硬體周邊設備之輸入及輸出緩衝器；以及用於在處理器之間交換資料之一或多個緩衝器。
14. 一種軟體定義式無線電接收器，其包含申請專利範圍第 1 至 13 項中任一項所述之數位信號處理系統。
15. 一種用以在數位信號處理系統中存取資料的方法，包含：

在一記憶體介面處自一處理器接收一記憶體存取請求，該請求包含一單個位址空間中之一記憶體位址；

自該記憶體位址生成：自該記憶體位址連接至該記憶體介面之多個單埠記憶體裝置中之一個單埠記憶體的一識別符；及在該一個單埠記憶體裝置內之一第二記憶體位址；

存取位於該一個單埠記憶體內之該第二記憶體位址處的資料，

其中該生成之步驟包含使用連接至該記憶體介面之單埠記憶體裝置之總數目執行一除法運算，且其中連接至該記憶體介面之單埠記憶體裝置之該總數目為一大於或等於 3 的質數。

16. 如申請專利範圍第 15 項所述之方法，其中該生成一個單埠記憶體裝置之一識別符的步驟包含判斷該單個位址空間中之該記憶體位址與連接至該記憶體介面之單埠記憶體之該總數目的模數。

17. 如申請專利範圍第 15 項所述之方法，其中該生成該第二記憶體位址的步驟包含判斷該單個位址空間中之該記憶體位址與連接至該記憶體介面之單埠記憶體之該總數目的商數。

18. 如申請專利範圍第 15 項所述之方法，其中該存取請求係經由該記憶體介面所提供之多個埠中之一第一埠而接收。

19. 如申請專利範圍第 18 項所述之方法，進一步包含以下步驟：

經由一第二埠自該記憶體介面之另一處理器接收另一存取請求；

判斷該存取請求及該另一存取請求是否不可同時接受服務；

比較分配予該第一埠之一優先權等級與分配予該第二埠之一優先權等級；以及

基於優先權等級比較之結果而選擇服務經由該第一埠接收之該存取請求。

20. 一種包含電腦程式碼構件之電腦程式，該電腦程式碼構件適於在該程式在一電腦上運作時執行申請專利範圍第 15 至 19 項中任一項之方法的所有步驟。
21. 如申請專利範圍第 20 項所述之電腦程式，其係實施於一電腦可讀媒體上。

圖式

1 / 5

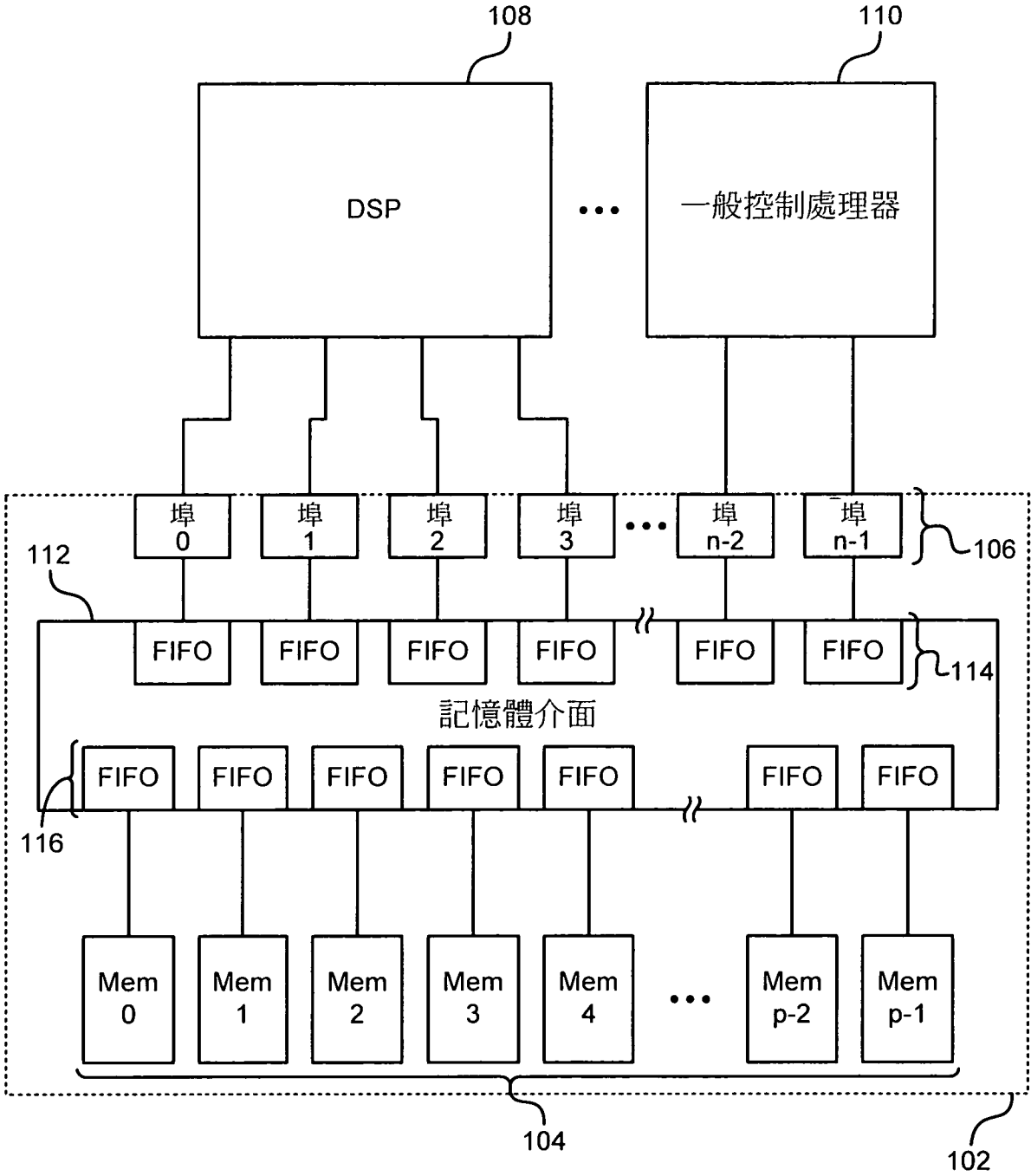


圖 1

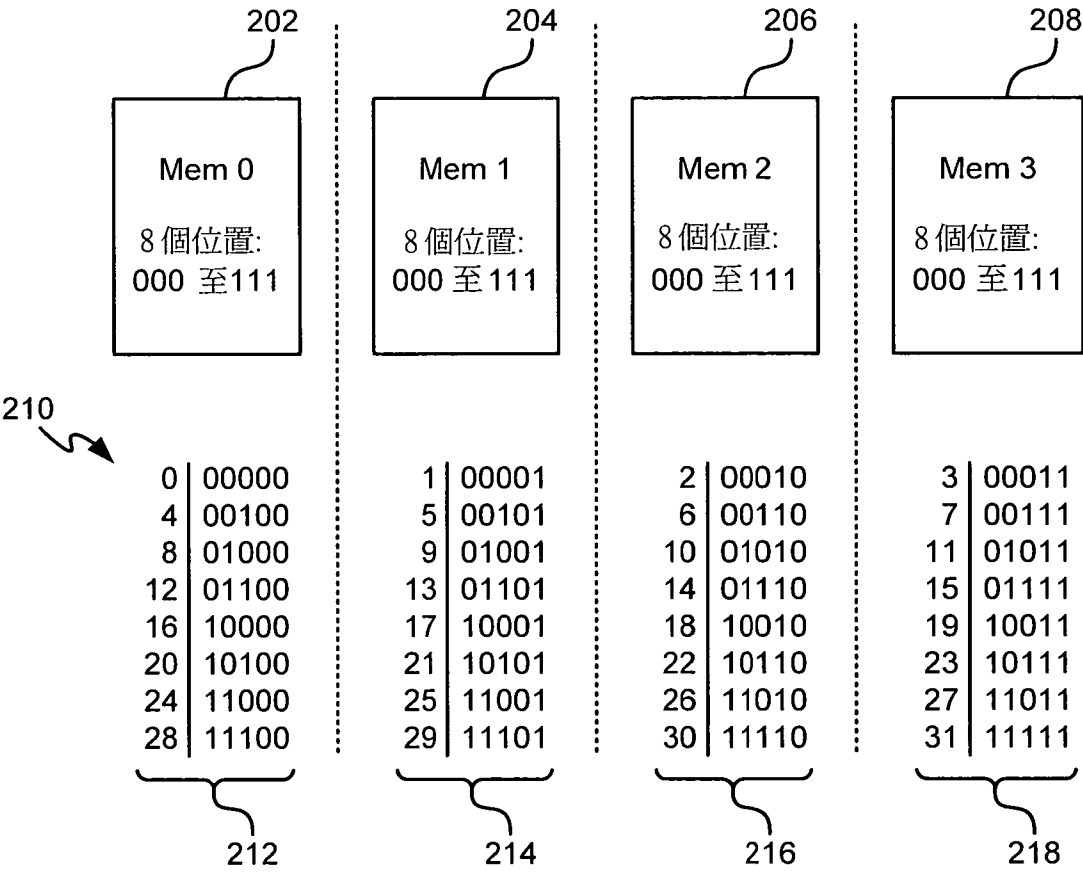


圖 2

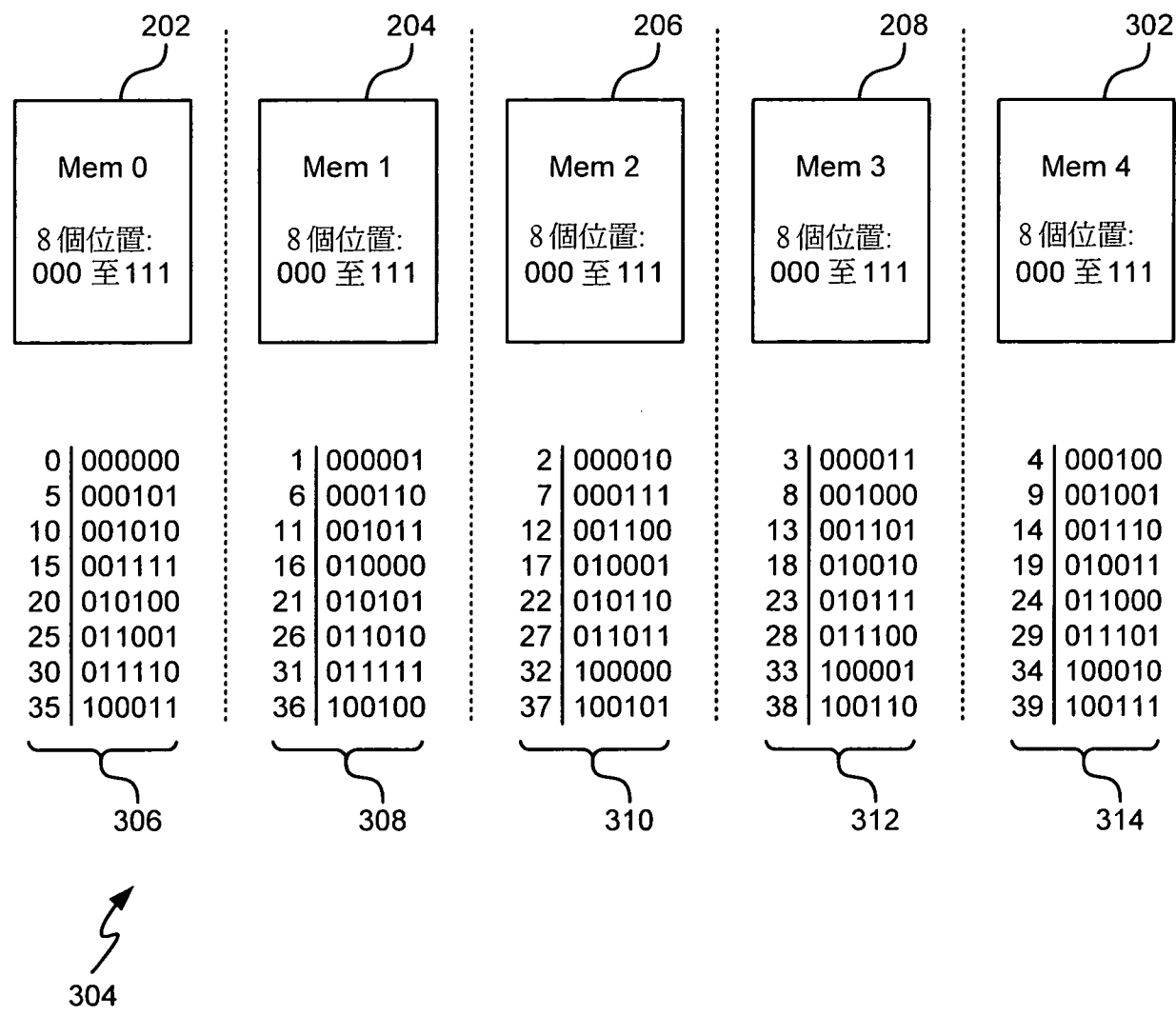


圖 3

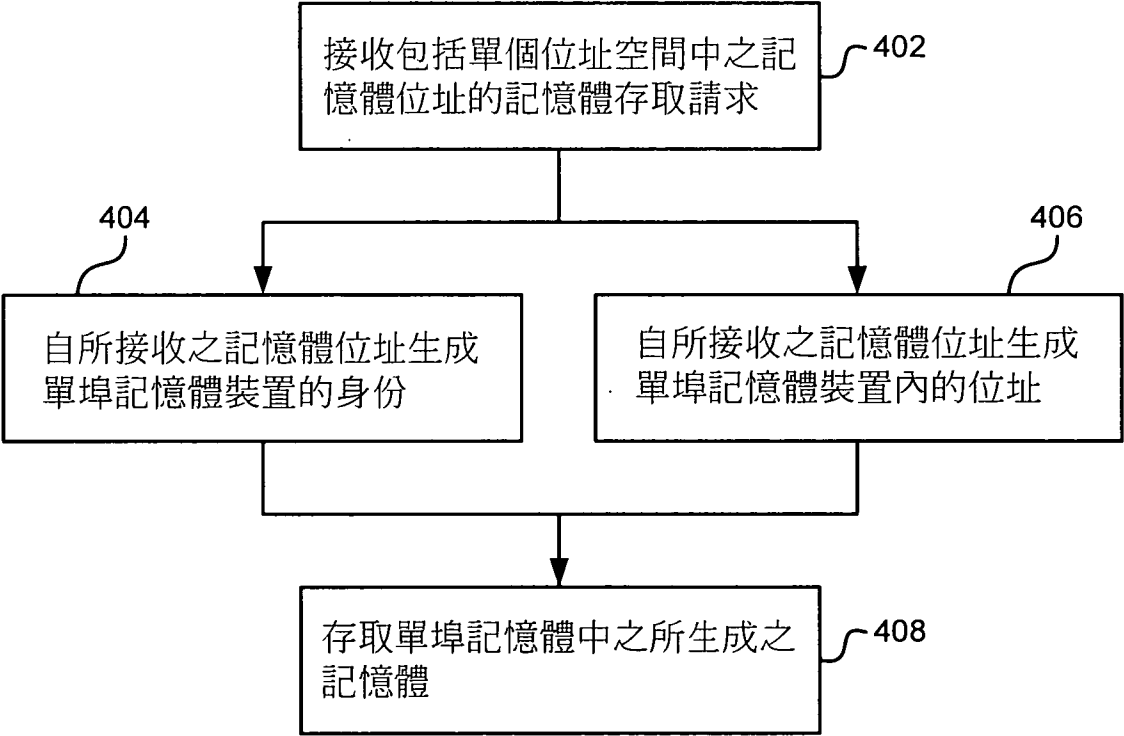


圖 4

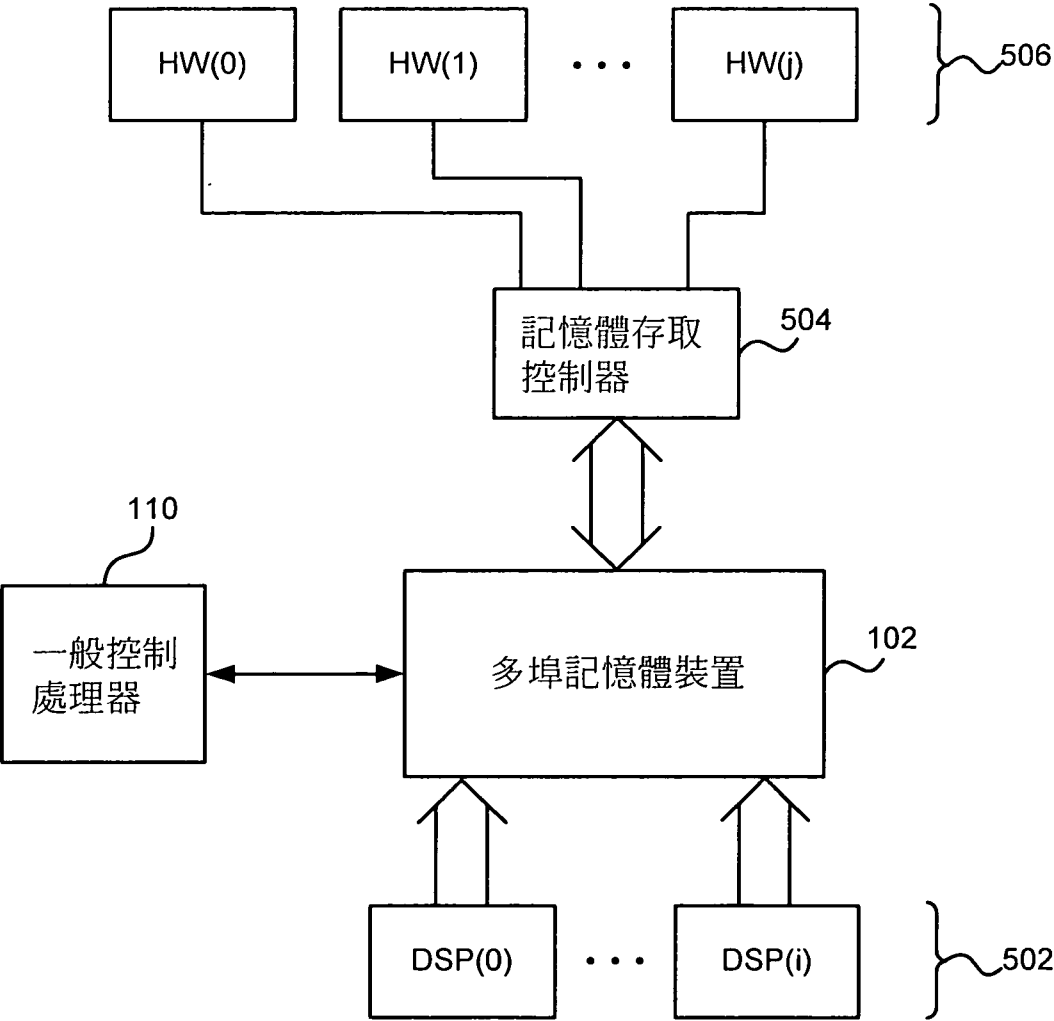


圖 5