(19) 대한민국특허청(KR)
(12) 국제특허출원의 출원공개공보(A)

(51) Int. Cl.[6]
H03K 19/00

(11) 공개번호 특1996-0701514
(43) 공개일자 1996년02월24일

(21) 출원번호	특1995-0703315		
(22) 출원일자	1995년08월10일		
번역문제출일자	1995년08월10일		
(86) 국제출원번호	PCT/US 94/001559	(87) 국제공개번호	WO 94/018755
(86) 국제출원출원일자	1994년02월10일	(87) 국제공개일자	1994년08월18일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐스타인 서독 덴마크 스페인 블란서 영국 이태리 룩셈부르크 네델란드 스웨덴 국내특허 : 한국		
(30) 우선권주장	08/015,726 1993년02월10일 미국(US)		
(71) 출원인	내쇼날 세미컨덕터 코포레이션 존 엠. 클락 3세 미합중국, 캘리포니아 95052-8090, 산타 클라라, 2900 세미컨덕터 드라이브		
(72) 발명자	샤이, 마이클, 제이 미합중국, 텍사스 76017, 아링톤, 2021 탬즈 드라이브		
(74) 대리인	목돈상, 목영동		

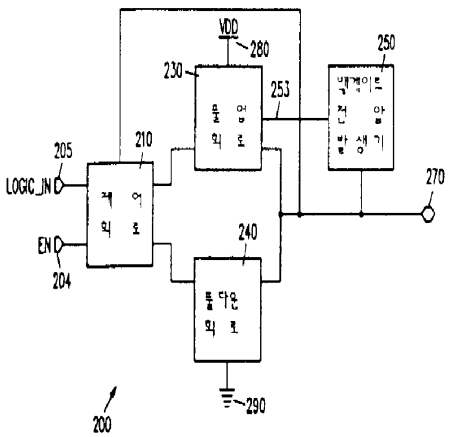
심사청구 : 없음

(54) 출력 구동기(OUTPUT DRIVER)

요약

3상태 구동기는 3.3및 5.0볼트 디지탈 신호 모두를 지원하는 버스에 3.3볼트 디지탈 회로를 인터페이스시킨다. 한 실시예에서, 풀업 회로 경로(230)는 백게이트 전압 발생기(250)에 의해 백케이팅되고 비교기로부터 구동전압을 수신하는 게이트 전압 발생기에 의해 게이팅되며 이네이블 회로에 의해 제어되는 P-채널 MOSFET를 포함한다. 풀다운 회로 경로(240)는 이네이블 회로에 의해 제어되는 N-채널 MOSFET를 포함한다. 상기 풀업 MOSFET를 적절하게 게이팅 및 백케이팅함으로써 버스상에 과전압이 생길 경우 상기 풀업 회로를 통한 전류 누설이 최소화된다. 또 다른 실시예에서, 2개의 MOSFET가 상기 풀업 회로(230)에서 사용된다. 이들 모두는 백게이트 전압 발생기에 의해 백게이팅되지만, 하나는 상기 버스로부터 구동 전압을 수신하는 게이트 전압 발생기에 의해 게이팅되고 나머지는 이네이블 회로에 의해 제어된다. 상기 풀다운 회로 경로(240)는 상기 이네이블 회로에 의해 제어되는 N-채널 MOSFET를 포함한다. 상기 풀업 MOSFET를 적절하게 게이팅 및 백게이팅함으로써 상기 버스상의 과전압이 생길 경우 상기 풀업 회로를 통한 전류 누설이 최소화된다. 3상태 구동기는 전압 구동기로서의 용도를 포함하는 다른 용도도 갖는 일반적인 출력 구동기이다.

대표도



명세서

[발명의 명칭]

출력 구동기(OUTPUT DRIVER)

[도면의 간단한 설명]

제2도는 본 발명에 도시된 I/O 회로의 블록 레벨 개략도이다.

제3도는 제2도에 도시된 I/O 회로의 한 실시예에 대한 트랜지스터 레벨 개략도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

소오스 전압을 수신하는 소오스 단자, 출력단자, 상기 소오스 단자로부터 소오스 전압을 상기 출력 단자에 인가하도록 출력 단자 및 소오스 단자 사이에 전계 효과 제어형 전류 경로를 제공하는 풀업 회로, 상기 출력 단자상의 전압이 소오스 전압을 초과하는 경우 상기 출력 단자상의 전압과 실질적으로 동일한 백게이팅 전압으로 상기 전류 경로를 백게이팅시키고, 그러하지 않을 경우 상기 소오스 단자상의 전압과 실질적으로 동일한 백게이팅 전압으로 상기 전류 경로를 백게이팅 시키는 백게이트 전압회로, 및 상기 전류 경로가 제1제어 상태로 설정되며, 상기 전류 경로 및 통과 누설이 제2제어 상태로 억압되도록 상기 백게이팅 전압과 관련하여 상기 전류 경로를 게이팅하는 게이트 전압 회로를 포함하는 출력 구동기.

청구항 2

제1항에 있어서, 상기 풀업 회로는 상기 전류 경로를 제어하는 제1전계 효과트랜지스터를 지니며, 상기 제1전계 효과 트랜지스터는 상기 소오스 단자에 연결된 제1전류 단자, 상기 출력 단자에 연결된 제2전류 단자, 상기 게이트 전압 회로로부터 게이팅 전압을 수신하는 게이트, 및 상기 백게이트 전압 회로로 부터의 백게이팅 전압이 인가되는 백게이트를 지니는 출력 구동기.

청구항 3

제2항에 있어서, 상기 제1전계 효과 트랜지스터는 한계 전압(Vr)을 지니는 P-채널 증가형 트랜지스터이며, 상기 게이트 전압 회로가 사기 제1상태에 있는 경우, 상기 전류 경로가 설정되도록 게이팅 전압이 V_t를 초과하는 백게이트 전압과는 상이하고, 상기 게이트 전압 회로가 상기 제2상태에 있는 경우, 상기 전류 경로 및 통과 누설이 억압되도록 상기 게이팅 전압이 상기 백게이팅 전압과 실질적으로 동일한 출력 구동기.

청구항 4

제3항에 있어서, 상기 공급 전압이 3.3볼트이며, 상기 게이트 전압 회로가 상기 제1상태에 있는 경우, 상기 게이팅 전압이 0볼트이고, 상기 백게이팅 전압이 3.3볼트이며, 상기 게이트 전압 회로가 상기 제2상태에 있는 경우, 3.3볼트가 출력단자상에 외부적으로 공급될 때 상기 게이팅 전압이 3.3볼트이며 상기 백게이팅 전압이 3.3볼트이고, 5볼트 신호가 상기 출력 노드상에 외부적으로 공급될 때 상기 게이팅 전압이 5볼트이며 상기 백게이팅 전압이 5볼트인 출력 구동기.

청구항 5

제2항에 있어서, 상기 게이트 전압 회로는, 상기 출력 단자상의 전압과 상기 소오스 단자상의 전압을 비교하고, 상기 출력 단자상의 전압이 상기 소오스 전압을 초과하는 겨우 상기 출력 단자상의 전압과 실질적으로 동일한 출력을 공급하며, 그러하지 않은 경우 상기 소오스 단자상의 전압과 실질적으로 동일한 출력을 공급하는 비교기, 및 상기 게이트 전압회로의 상태에 따라 기준 전압 및 상기 비교기의 출력으로부터 선택된 전압을 상기 게이팅 전압으로서 공급하는 게이트 전압 발생기를 포함하는 출력 구동기.

청구항 6

제3항에 있어서, 상기 게이트 전압 회로는, 상기 출력 단자에 연결된 소오스, 제1회로 노드에 연결된 드레인, 상기 소오스 단자에 연결된 게이트, 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제2전계효과 트랜지스터, 상기 소오스 단자에 연결된 소오스, 상기 제1회로 노드에 연결된 드레인, 상기 출력 단자에 연결된 게이트, 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제3전계효과 트랜지스터, 상기 제1회로 노드에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 제2회로 노드에 연결된 게이트, 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형 제4전계 효과 트랜지스터, 및 기준 전압 단자에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 상기 제2회로 노드에 연결된 게이트를 지니는 N-채널 증가형의 제5전계효과 트랜지스터를 포함하고, 상기 제1트랜지스터의 게이트를 상기 기준 전위에 연결시켜 상기 게이팅 전압을 공급하도록 게이트 전압 회로가 상기 제1상태에 있는 경우 상기 제5트랜지스터가 동작상태이며, 상기 제1트랜지스터의 게이트를 상기 제1회로 노드에 연결시켜 상기 게이팅 전압을 공급하도록 상기 게이트 전압 회로가 상기 제2상태에 있는 경우 상기 제4트랜지스터가 동작상태인 출력 구동기.

청구항 7

제1항에 있어서, 상기 풀업 회로는 상기 전류 경로를 제어하기 위한 제1 및 제2전계효과 트랜지스터를 포함하고, 상기 제1전계효과 트랜지스터는 상기 소오스 단자에 연결된 제1전류단자, 제2전류단자, 제1게이팅 전압을 수신하도록 상기 게이트 전압회로에 연결된 게이트, 및 상기 백게이팅 전압을 수신하도록 상기 백게이트 전압회로에 연결된 백게이트를 지니며, 상기 제2전계효과 트랜지스터 상기 제1트랜지스터의 제2전류단자에 연결된 제1전류단자, 상기 출력단자에 연결된 제2전류단자, 제2게이팅 전압을 수신하도록 상기 게이트 전압회로에 연결된 게이트, 및 상기 백게이팅 전압을 수신하도록 상기 백게이트 전압회로에 연

결된 백게이트를 지니는 출력 구동기.

청구항 8

제7항에 있어서, 상기 제1전계효과 트랜지스터는 한계 전압(Vr)을 지니는 P-채널 증가형 트랜지스터이며, 상기 제2전계효과 트랜지스터는 한계 전압(Vr)을 지니는 P-채널 증가형 트랜지스터이고, 상기 게이트 전압회로가 상기 제1상태에 있는 경우 상기 전류 경로가 설정되도록 상기 제1게이팅 전압 및 상기 백게이팅 전압이 Vr를 초과하여 동일하지 않으며 상기 제2게이팅 전압 및 상기 백게이팅 전압이 Vr를 초과하여 동일하지 않고, 상기 게이트 전압 회로가 상기 제2상태에 있는 경우, 상기 출력 단자상의 전압이 상기 소오스 전압과 적어도 동일할 때 상기 제1게이팅 전압 및 상기 백게이팅 전압이 실질적으로 동일하며, 상기 출력 단자상의 전압이 상기 소오스 전압보다 작을 때 상기 제2게이팅 전압 및 상기 백게이팅 전압이 실질적으로 동일한 출력 구동기.

청구항 9

제8항에 있어서, 상기 공급전압이 3.3볼트이며, 상기 게이트 전압회로가 상기 제1상태에 있는 경우, 상기 제1게이팅 전압이 0볼트이고, 상기 제2게이팅 전압이 0볼트이며, 상기 백게이팅 전압이 3.3볼트이고, 상기 게이트 전압회로가 상기 제2상태에 있는 경우, 상기 출력 단자상의 전압이 3.3볼트일 때 상기 제1게이팅 전압 및 상기 백게이팅 전압이 3.3볼트와 동일하며, 상기 출력 단자상의 전압이 5볼트일 때 상기 제1게이팅 전압 및 상기 백게이팅 전압이 5볼트와 동일하고, 상기 출력 단자상의 전압이 0볼트일 때 상기 제2게이팅 전압 및 상기 백게이팅 전압이 3.3볼트와 동일한 출력 구동기.

청구항 10

제7항에 있어서, 상기 게이트 전압 회로는, 상기 게이트 전압 회로의 상태에 따라 기준 단자로부터 및 상기 출력단자로부터 선택적 전압을 상기 제1게이팅 전압으로서 공급하는 게이트 전압발생기, 및 상기 게이트 전압회로의 상태에 따라 기준 단자로부터 및 상기 소오스 단자로부터 선택된 전압을 상기 제2게이팅 전압으로서 공급하는 논리회로를 포함하는 출력 구동기.

청구항 11

제8항에 있어서, 상기 게이트 전압회로는, 상기 출력단자에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 제1회로 노드에 연결된 게이트, 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제3전계효과 트랜지스터, 및 기준 전압 단자에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 및 상기 제1회로노드에 연결된 게이트를 지니는 N-채널 증가형의 제4전계효과 트랜지스터를 포함하고, 상기 제1트랜지스터의 게이트를 상기 기준 전위에 연결하여 상기 게이팅 전압을 공급하도록 상기 게이트 전압 회로가 상기 제1상태에 있는 경우 상기 제4트랜지스터가 동작상태이며, 상기 제1트랜지스터의 게이트를 상기 출력단자에 연결하여 상기 게이팅 전압을 공급하도록 상기 게이트 전압회로가 상기 제2상태에 있는 경우 상기 제3트랜지스터가 동작상태인 출력 구동기.

청구항 12

제1항에 있어서, 상기 백게이팅 전압회로는 게이트, 백게이트, 및 2개의 전류단자를 지니는 제1의 P-채널 전계효과 트랜지스터를 포함하고, 상기 게이트는 상기 소오스 단자에 연결되어 있고, 상기 전류단자중 하나는 상기 출력단자상의 전압을 수시하도록 상기 출력 단자에 연결되어 있으며, 상기 출력단자상의 전압이 상기 소오스 단자상의 전압보다 작은 경우 상기 소오스 단자상의 전압과 실질적으로 동일한 백게이팅 전압을 유지하고 상기 출력단자가 상기 소오스 단자상의 전압을 초과하는 경우 상기 백게이팅 전압으로서 상기 출력단자상의 전압을 유지하도록 나머지 전류단자 및 상기 백게이트가 공통 접속되어 있는 출력 구동기.

청구항 13

제12항에 있어서, 상기 백게이트 전압회로는 게이트, 백게이트, 및 2개의 전류단자를 지니는 제2의 P-채널 전계효과 트랜지스터를 부가적으로 포함하며, 상기 게이트는 상기 출력단자에 연결되어 있고, 상기 전류 단자 중 하나는 상기 소오스 전압을 수신하도록 상기 소오스 단자에 연결되어 있으며, 상기 출력 단자상의 전압이 상기 소오스 전압보다 작은 경우 상기 백게이팅 전압으로서 상기 소오스 전압을 공급하도록 나머지 전류 단자 및 상기 백게이트가 공통 접속되어 있는 출력 구동기.

청구항 14

제1항에 있어서, 상시 게이트 전압 회로는 이네이블 신호 및 논리 신호에 응답하여 그의 상태를 설정하는 출력 구동기.

청구항 15

소오스 전압을 수신하는 소오스 단자, 기준 전압을 수신하는 기준단자, 출력단자, 이네이블 신호를 수신하는 이네이블 단자, 논리신호를 수신하는 논리 입력 단자, 상기 소오스 단자로부터 상기 소오스 전압을 상기 출력단자에 인가시키도록 상기 소오스 단자 및 상기 출력단자 사이에 제1의 전계효과 제어형 전류경로를 제공하는 풀업 회로, 상기 기준단자로부터 상기 기준전압을 상기 출력단자에 인가시키도록 상기 기준단자 및 상기 출력단자 사이에 제2의 전계효과 제어형 전류경로를 제공하는 풀다운 회로, 상기 출력 단자상의 전압이 상기 소오스 전압을 초과하는 경우, 상기 출력 단자상의 전압과 실질적으로 동일한 백게이팅 전압으로 상기 제1전류경로를 백게이팅하고, 그러하지 않은 경우 상기 소오스 단자상의 전압과 실질적으로 동일한 전압으로, 상기 전류 경로를 백게이팅하는 백게이트 전압회로, 및 상기 이네이블 신호 및 상기 논리 신호에 응답하여; 상기 이네이블 신호가 이네이블 상태에 있고 상기 논리 신호가 제1상태에 있는 경우, 상기 제1전류 경로는 설정되며 상기 제2전류 경로는 억압되고, 상기 이네이블 신호가 이네이블 상태에 있고 상기 논리 신호가 상기 제2상태에 있는 경우, 상기 제1전류 경로 및 통과 누설은 상기 백게이팅 전압과 실질적으로 동일한 전압으로 억압되고, 상기 제2전류 경로는 설정되며, 상기 이네이블 신호가

디세이블 상태에 있는 경우, 상기 제1전류 경로 및 통과 누설은 상기 백게이팅 전압과 실질적으로 동일한 전압으로 억압되고 상기 제2전류 경로는 억압되는 제어회로를 포함하는 출력 구동기.

청구항 16

소오스 전압을 수신하는 소오스 단자, 기준 전압을 수신하는 기준단자, 출력단자, 이네이블 신호를 수신하는 이네이블 단자, 논리신호를 수신하는 논리 입력 단자, 상기 소오스 단자로부터 상기 소오스 전압을 상기 출력단자에 인가하도록 상기 소오스 단자 및 상기 출력단자 사이에 P-채널 증가형의 제1의 전계효과 트랜지스터를 포함하는 풀업 회로, 상기 기준단자로부터 상기 기준전압을 상기 출력단자에 인가하도록 상기 기준단자 및 상기 출력단자 사이에 N-채널 증가형의 제2전제효과 트랜지스터를 제공하는 풀다운 회로, 상기 출력 단자상의 전압이 상기 소오스 전압을 초과하는 경우 상기 출력 단자상의 전압과 실질적으로 동일한 백게이팅 전압으로 그러하지 않을 경우 상기 소오스 단자상의 전압과 실질적으로 동일한 백게이팅 전압으로 상기 제1트랜지스터를 백게이팅하는 백게이트 전압회로, 및 상기 이네이블 신호 및 상기 논리 신호에 응답하여; 상기 이네이블 신호가 이네이블 상태에 있고 상기 논리 신호가 제1상태에 있는 경우, 상기 제1트랜지스터는 온 상태로 게이팅되고 상기 제2트랜지스터는 오프 상태로 게이팅되며, 상기 이네이블 신호가 이네이블 상태에 있고 상기 논리 신호가 제2상태에 있는 경우, 상기 제1트랜지스터는, 상기 제1트랜지스터를 통한 누설이 억압되도록 상기 백게이팅 전압과 실질적으로 동일한 전압으로 오프 상태로 게이팅되고, 상기 제2트랜지스터는 온 상태로 게이팅되며, 상기 이네이블 신호가 디세이블 상태에 있는 경우, 상기 제1트랜지스터는, 통과 누설이 억압되도록 상기 백게이팅 전압과 실질적으로 동일한 전압으로 오프 상태로 게이팅되고, 상기 제2트랜지스터는 오프 상태로 게이팅되는 제어회로를 포함하는 출력 구동기.

청구항 17

제16항에 있어서, 상기 백게이팅 전압회로는, 게이트, 백게이트, 및 2개의 전류 단자를 지니며, 상기 게이트가 상기 소오스 단자에 연결되어 있고, 상기 전류 단자 중 하나가 상기 출력 단자상의 전압을 수신하도록 상기 출력 단자에 연결되어 있으며 나머지 전류단자 및 상기 백게이트는 상기 출력단자상의 전압이 상기 소오스 단자상의 전압보다 작을 때 상기 소오스 단자상의 전압과 주로 동일한 백게이팅 전압을 유지하고 상기 출력 단자상의 전압이 상기 소오스 단자상의 전압을 초과할 때 상기 백게이팅 전압으로서 상기 출력 단자상의 전압을 공급하도록 공통 접속되어 있는 P-채널 증가형 제3전계 효과 트랜지스터, 및 게이트, 백게이트, 및 2개의 전류 단자를 지니며, 상기 게이트가 상기 출력 단자에 연결되어 있고, 상기 전류 단자 중 하나가 상기 소오스 전압을 수신하도록 상기 소오스 단자에 연결되어 있으며, 나머지 전류 단자 및 상기 백게이트는 상기 출력 단자상의 전압이 상기 소오스 전압보다 작을 때 상기 백게이팅 전압으로서 상기 소오스 전압을 공급하도록 공통 접속되어 있는 제4P-채널 전계효과 트랜지스터를 포함하는 출력 구동기.

청구항 18

제16항에 있어서, 상기 게이트 전압회로는, 상기 출력단자에 연결된 소오스, 제1회로 노드에 연결된 드레인, 상기 소오스 단자에 연결된 게이트 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제3전계효과 트랜지스터 상기 소오스 단자에 연결된 소오스, 상기 제1회로 노드에 연결된 드레인, 상기 출력 단자에 연결된 게이트, 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제4전계효과 트랜지스터, 상기 제1회로 노드에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 제2회로 노드에 연결된 게이트, 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제5전계효과 트랜지스터, 및 기준전압단자에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 및 상기 제2회로 노드에 연결된 게이트를 지니는 N-채널 증가형의 제6전계효과 트랜지스터를 포함하며, 상기 제1트랜지스터의 게이트를 상기 기준전위에 연결시켜 상기 게이트에 게이팅 전압을 공급하도록 상기 이네이블 신호가 상기 이네이블 상태에 있으며 상기 논리신호가 상기 제1상태에 있는 경우 상기 제6트랜지스터가 동작상태에 있고, 상기 제1트랜지스터의 게이트를 상기 제1회로 노드에 연결시켜 상기 게이트에 게이팅 전압을 공급하도록 상기 이네이블 신호가 상기 이네이블 상태에 있으며 상기 논리 신호가 상기 제2상태에 있는 경우, 및 상기 이네이블 신호가 디세이블 상태에 있는 경우 상기 제5트랜지스터가 동작 상태에 있는 출력 구동기.

청구항 19

소오스 전압을 수신하는 소오스 단자, 기준전압을 수신하는 기준단자, 출력단자, 이네이블 신호를 수신하는 이네이블 단자, 논리신호를 수신하는 논리 입력 단자, 상기 소오스 단자로부터 상기 소오스 전압을 상기 출력단자에 인가하도록 상기 소오스 단자 및 상기 출력단자 사이에 직렬 접속된 P-채널 증가형의 제1전계효과 트랜지스터 및 P-채널 증가형의 제2전계효과 트랜지스터를 포함하는 풀업 회로, 상기 기준단자로부터 상기 기준전압을 상기 출력단자에 인가하도록 상기 기준단자 및 상기 출력단자 사이에 N-채널 증가형의 제3전계효과 트랜지스터를 제공하는 풀다운 회로, 상기 출력 단자상의 전압이 상기 소오스 전압을 초과하는 경우 상기 출력 단자사으이 전압과 실질적으로 동일한 백게이팅 전압으로, 그러하지 않을 경우 상이 소오스 단자상의 전압과 실질적으로 동일한 백게이팅 전압으로 상기 제1 및 제2트랜지스터를 백게이팅하는 백게이트 전압회로, 및 상기 이네이블 신호 및 상기 논리 신호에 응답하여; 상기 이네이블 신호가 이네이블 상태에 있으며 상기 논리 신호가 제1상태에 있는 경우, 상기 제1 및 제2트랜지스터가 온 상태로 게이팅되고 상기 제3트랜지스터가 오프상태로 게이팅되며, 상기 이네이블 신호가 이네이블 상태에 있고 상기 논리 신호가 제2상태에 있는 경우, 상기 제2트랜지스터는 상기 제2트랜지스터를 통한 누설이 억압되도록 상기 백게이팅 전압과 실질적으로 동일한 전압으로 오프상태로 게이팅되며, 상기 제1 및 제3트랜지스터는 온 상태로 게이팅되고, 상기 이네이블 신호가 디세이블 상태에 있는 경우, 상기 제1트랜지스터는 통과 누설이 억제되도록 상기 백게이팅 전압과 실질적으로 동일한 전압으로 오프 상태로 게이팅되며, 상기 제3트랜지스터는 오프 상태로 게이팅되는 제어회로를 포함하는 출력 구동기.

청구항 20

제19항에 있어서, 상기 백게이트 전압회로는, 게이트, 백게이트, 및 2개의 전류단자를 지니며, 상기 게이

트는 상기 소오스 단자에 연결되어 있고, 상기 전류 단자 중 하나가 상기 출력단자상의 전압을 수신하도록 상기 출력단자에 연결되어 있으며, 나머지 단자 및 상기 백게이트는 상기 출력 단자상의 전압이 상기 소오스 단자상의 전압보다 작은 경우 상기 소오스 단자상의 전압과 실질적으로 동일한 백게이팅 전압을 유지하고, 상기 출력단자상의 전압이 상기 소오스 단자상의 전압을 초과하는 경우 상기 백게이팅 전압으로서 상기 출력 단자상의 전압을 공급하도록 공통 접속되는 P-채널 증가형의 제4전계효과 트랜지스터, 및 게이트, 백게이트 및 2개의 전류단자를 지니며, 상기 게이트는 상기 출력단자에 연결되고 있고, 상기 전류 단자중 하나가 상기 소오스 전압을 수신하도록 상기 소오스 단자에 연결되어 있으며, 나머지 전류단자 및 상기 백게이트는 상기 출력단자상의 전압이 상기 소오스 전압보다 작은 경우 상기 백게이팅 전압으로서 상기 소오스 전압을 공급하도록 공통 접속되어 있는 제5P-채널 전계효과 트랜지스터를 포함하는 출력 구동기.

청구항 21

제19항에 있어서, 상기 게이트 전압회로는, 상기 출력단자에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 제1회로 노드에 연결된 게이트 및 상기 백게이팅 전압이 인가되는 백게이트를 지니는 P-채널 증가형의 제4전계효과 트랜지스터, 및 기준 전압 단자에 연결된 소오스, 상기 제1트랜지스터의 게이트에 연결된 드레인, 및 상기 제1회로 노드에 연결된 게이트를 지니는 N-채널 증가형의 제5전계효과 트랜지스터를 포함하며, 상기 제1트랜지스터의 게이트를 상기 기준 전위에 연결시켜 게이팅 전압을 상기 게이트에 공급하도록 상기이네이블 신호가 상기 이네이블 상태에 있고 상기 논리 신호가 상기 제1상태에 있는 경우 상기 제5트랜지스터가 동작 상태에 있으며, 상기 제1트랜지스터의 게이트를 상기 출력 단자에 연결시켜 게이팅 전압을 상기 게이트에 공급하도록 상기 이네이블 신호가 상기 이네이블 상태에 있고 상기 논리 신호가 상기 제2상태에 있는 경우, 및 상기 이네이블 신호가 디세이블 상태에 있는 경우 상기 제4트랜지스터가 동작 상태에 있는 출력 구동기.

청구항 22

소오스 단자, 출력단자, 제1입력단자, 제2입력단자, 기준전압단자에 접속된 제3입력단자, 출력단자, 및 백게이트를 지니는 CMOS 인버터, 상기 CMOS 인버터의 제1입력단자에 접속된 입력논리회로, 백게이트를 지니며 상기 CMOS 인버터의 출력단자에 접속되어 있고 상기 소오스 단자 및 상기 출력단자 사이에 접속되어 있는 P-채널 전계효과 트랜지스터, 백게이트를 지니며, 상기 소오스 단자 및 상기 CMOS 인버터의 제2입력단자 사이에 접속되어 있고 상기 출력 단자에 접속되어 있는 P-채널 전계효과 트랜지스터, 백게이트를 지니며, 상기 소오스 단자에 접속되어 잇고 상기 출력단자 및 상기 CMOS 인버터의 제2입력단자 사이에 접속되어 있는 P-채널 전계효과 트랜지스터, 백게이트를 지니며, 상기 소오스 단자 및 상기 CMOS 인버터의 제2입력단자 사이에 접속되어 있는 다이오드 접속형 P-채널 전계효과 트랜지스터, 백게이트를 지니며, 상기 소오스 단자에 접속되어 있고 상기 출력단자 및 상기 P-채널 전계효과 트랜지스터 및 상기 CMOS 인버터의 백게이트들 사이에 접속되어 있는 P-채널 전계효과 트랜지스터, 및 백게이트를 지니며, 상기 출력단자에 접속되어 있고 상기 소오스 단자 및 상기 P-채널 전계효과 트랜지스터 및 상기 CMOS 인버터의 백게이트들 사이에 접속되어 있는 P-채널 전계효과 트랜지스터를 포함하는 구동기.

청구항 23

제21항에 있어서, 상기 입력 논리회로는 논리신호 및 이네이블 신호를 수신하는 NAND 게이트를 포함하는 구동기.

청구항 24

소오스 단자, 출력단자, 제1입력단자, 상기 출력단자에 접속된 제2입력단자, 기준전압단자에 접속된 제3입력단자, 출력단자, 및 백게이트를 지니는 CMOS 인버터, 상기 CMOS 인버터의 제1입력단자에 연결된 이네이블 입력단자, 입력 논리 회로, 백게이트를 각각 지니며, 상기 소오스 단자 및 상기 출력 단자 사이에 직렬 접속되어 있고, 하나는 CMOS 인버터의 출력단자에 접속되어 있으며, 다른 하나는 상기 입력 논리 회로에 접속되어 있는 2개의 P-채널 전계 효과 트랜지스터, 백게이트를 지니며, 상기 소오스 단자에 접속되어 있고 상기 출력단자 및 상기 P-채널 전계효과 트랜지스터 및 상기 CMOS 인버터의 백게이트 사이에 접속되어 있는 P-채널 전계효과 트랜지스터, 및 백게이트를 지니며, 상기 출력단자에 접속되어 있고 상기 소오스 단자 및 상기 P-채널 전계효과 트랜지스터 및 상기 CMOS 인버터의 백게이트 사이에 접속되어 있는 P-채널 전계효과 트랜지스터를 포함하는 저누설 구동기.

청구항 25

제22항에 있어서, 상기 입력 논리회로는 논리신호 및 이네이블 신호를 수신하는 NAND 게이트를 포함하는 구동기.

청구항 26

해당 소오스 단자 및 출력신호 단자를 지니는 출력 구동기의 보호라인에 백게이팅 전압을 공급하며, 게이트, 백게이트, 및 2개의 전류 단자를 지니는 제1P-채널 전계효과 트랜지스터를 포함하고, 상기 게이트는 상기 소오스 단자에 연결되어 있으며, 상기 전류단자 중 하나는 상기 출력단자상의 전압을 수신하도록 상기 출력단자에 연결되어 있고, 나머지 전류단자 및 상기 백게이트는, 상기 출력단자상의 전압이 상기 소오스 단자상의 전압보다 작은 경우 상의 소오스 단자상의 전압과 실질적으로 동일한 백게이팅 전압을 유지하고, 상기 출력단자상의 전압이 상기 소오스 단자상의 전압을 초과하는 경우 상기 백게이팅 전압으로서 상기 출력단자상의 전압을 공급하도록 상기 보호라인에 공통 접속되어 있는 백게이트 전압 발생기.

청구항 27

제26항에 있어서, 게이트, 백게이트, 및 2개의 전류단자를 지니는 제2P-채널 전계효과 트랜지스터를 부가적으로 포함하며, 상기 게이트는 상기 출력단자에 연결되어 있고, 상기 전류단자 중 하나는 상기 소오스 전압을 수신하도록 상기 소오스 단자에 연결되어 있으며, 나머지 잔류 단자 및 상기 백게이트는 상기 출

력단자상의 전압이 상기 소오스 전압보다 낮은 경우 상기 백게이팅 전압으로서 상기 소오스 전압을 공급하도록 상기 보호라인에 공통 접속되어 있는 백게이트 전압 발생기.

청구항 28

출력단자에 소오스 단자상의 전압을 교번적으로 인가하며 상기 소오스 단자와 상기 출력단자를 교번적으로 분리시키는 방법에 있어서, 상기 출력 단자상의 전압이 상기 소오스 단자상의 전압을 초과하는 경우 상기 출력단자상의 전압과 실질적으로 백게이팅 전압을, 그러하지 않을 경우 상기 소오스 단자 상의 전압과 실질적으로 동일한 백게이팅 전압을 발생시키는 단계, 구동기 오프 상태가 신호단자에 나타나는 경우 상기 백게이팅 전압과 실질적으로 동일한 제1게이팅 전압으로 상기 백게이팅 전압에 의해 백게이팅되는 풀업 전계효과 디바이스를 게이팅하여 상기 풀업 전계효과 디바이스를 불활성화시키고 상기 소오스 단자와 상기 출력단자를 분리시킴으로써 상기 소오스 단자와 상기 출력단자를 분리시키는 단계, 및 상기 분리 단계를 제외하고, 구동기 온 상태가 상기 신호단자에 나타나는 경우 제2게이팅 전압으로 상기 백게이팅 전압에 의해 백게이팅되는 풀업 전계효과 디바이스를 게이팅하여 상기 풀업 전계효과 디바이스를 활성화시키고 상기 출력단자에 상기 소오스 단자를 접속시킴으로써 상기 출력 단자에 상기 소오스 단자상의 전압을 인가하는 단계를 포함하는 방법.

청구항 29

제28항에 있어서, 상기 소오스 단자와 상기 출력단자를 분리시키는 단계는, 상기 출력단자상의 전압이 상기 소오스 단자상의 전압을 초과하는 경우 노드에 상기 출력단자를 연결시키도록 상기 백게이팅 전압에 의해 백게이팅되는 제1전계효과 트랜지스터를 활성화시키는 단계, 상기 신호단자에 나타난 구동기 오프 상태에 응답하여 상기 노드에 풀업 전계효과 트랜지스터를 연결시키도록 상기 백게이팅 전압에 의해 백게이팅되는 제2전계효과 트랜지스터를 활성화시켜, 상기 제1게이팅 전압으로 상기 풀업 전계효과 트랜지스터를 게이팅하여서 상기 풀업 전계효과 트랜지스터를 불활성화시키고 상기 소오스 단자와 상기 출력단자를 분리시키는 단계를 포함하는 방법.

청구항 30

제28항에 있어서, 상기 출력단자와 상기 소오스 단자상의 전압을 인가하는 단계는, 상기 신호단자에 나타나는 구동기 온 상태에 응답하여 기준 전압 단자에 풀업 전계효과 트랜지스터를 연결시키도록 전계효과 트랜지스터를 활서화시켜, 상기 제2게이팅 전압으로 상기 풀업 전계효과 트랜지스터를 게이팅하여서 상기 풀업 전계효과 트랜지스터를 활성화시키고 상기 출력단자에 상기 소오스 단자를 접속시키는 단계를 포함하는 방법.

청구항 31

제28항에 있어서, 상기 소오스 단자와 상기 출력 단자를 분리시키는 단계는, 상기 구동기 오프 신호가 상기 신호 단자에 나타나며 상기 출력단자상의 전압이 상기 소오스 단자상의 전압을 초과하여 그와는 다른 경우 상기 제1게이팅 전압으로 상기 백게이팅 전압에 의해 백게이팅되는 제1풀업 전계효과 트랜지스터를 게이팅하여, 상기 소오스 단자와 상기 출력단자를 분리시키는 단계, 및 상기 구동기 오프 신호가 상기 신호 단자에 나타나고 상기 출력 단자상의 전압이 상기 소오스 단자상의 전압을 초과하는 경우 상기 제1게이팅 전압으로 상기 백게이팅 전압에 의해 백게이팅되는 제2풀업 트랜지스터를 게이팅하여, 상기 소오스 단자와 상기 출력단자를 분리시키는 단계를 포함하는 방법.

청구항 32

제31항에 있어서, 상기 소오스 단자와 상기 출력단자를 분리시키는 단계는, 상기 신호단자에 나타나는 구동기 오프 상태에 응답하여 상기 출력단자에 상기 제2풀업 전계효과 트랜지스터를 연결시키도록 상기 백게이팅 전압에 의해 백게이팅되는 전계효과 트랜지스터를 활성화시켜 상기 제1게이팅 전압으로 상기 제2풀업 전계효과 트랜지스터를 게이팅하여서 상기 제2풀업 전계효과 트랜지스터를 불활성화시키고 상기 소오스 단자와 상기 출력단자를 분리시키는 단계를 부가적으로 포함하는 방법.

청구항 33

제28항에 있어서, 상기 출력단자에 상기 소오스 단자상의 전압을 인가하는 단계는, 상기 구동기온 상태가 상기 신호단자에 나타나는 경우 상기 제2게이팅 전압으로 상기 백게이팅 전압에 의해 백게이팅되는 제1풀업 전계효과 트랜지스터를 게이팅하여, 상기 제1풀업 전계효과 트랜지스터를 활성화시키고 상기 출력단자에 상기 소오스 단자를 접속시키는 단계, 및 상기 신호단자에 나타나는 구동기 온 상태에 응답하여 기준 전압단자에 제2풀업 전계효과 트랜지스터를 연결시키도록 전계효과 트랜지스터를 활성화시켜 상기 제2풀업 효과 트랜지스터를 게이팅하여서 상기 제2풀업 전계효과 트랜지스터를 활성화시키고 상기 제1풀업 전계효과 트랜지스터에 상기 소오스 단자를 접속시키는 단계를 포함하는 방법.

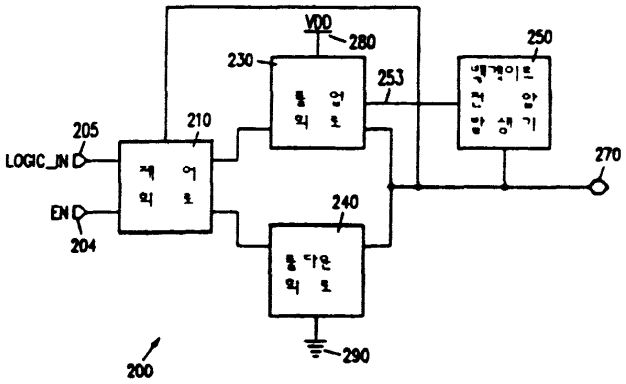
청구항 34

제28항에 있어서, 상기 백게이팅 전압발생단계는 상기 출력단자상의 전압이 상기 소오스 단자상의 전압을 초과하는 경우 상기 출력단자를 출력에 연결시키도록 백게이트를 지니는 전계효과 트랜지스터를 활성화시켜 출력이 상기 백게이트에 인가되는 단계를 포함하는 방법.

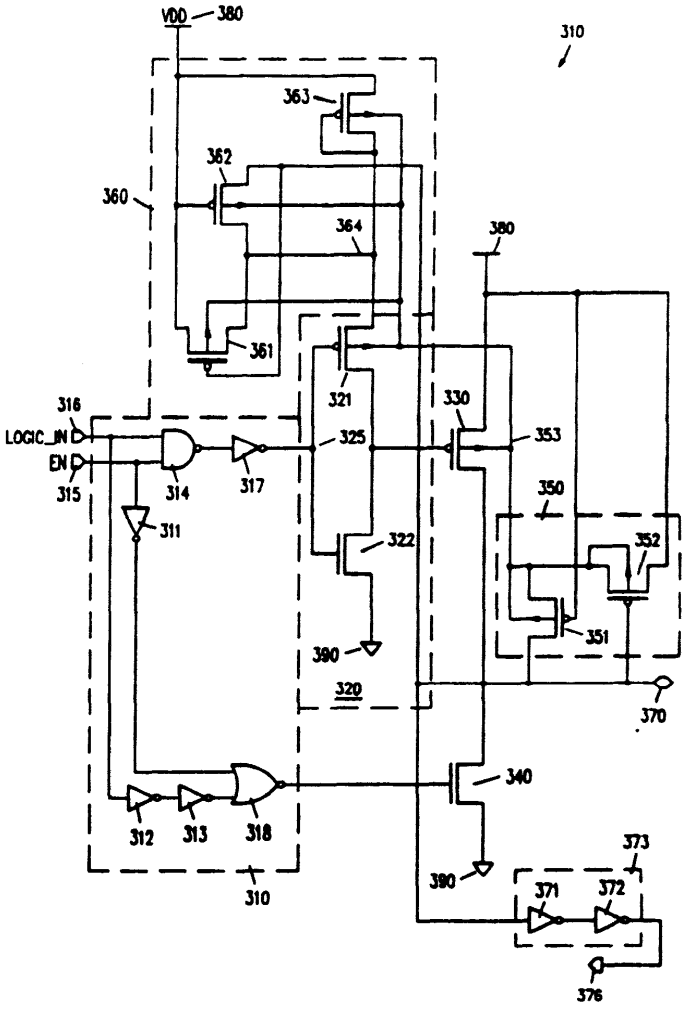
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2


VDD
280
230
253
250
205
210
LOGIC_IN
270
EN
204
240
290
200

도면3


VDD
380
310
363
362
360
364
380
361
321
330
316
LOGIC_IN
325
353
EN
315
314
317
350
311
322
352
351
390
320
370
340
312
313
318
373
390
371
372
310
376