

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6574549号
(P6574549)

(45) 発行日 令和1年9月11日 (2019.9.11)

(24) 登録日 令和1年8月23日 (2019.8.23)

(51) Int.Cl.

H03K 17/687 (2006.01)

F I

H03K 17/687

G

請求項の数 25 外国語出願 (全 15 頁)

(21) 出願番号 特願2014-3422 (P2014-3422)
 (22) 出願日 平成26年1月10日 (2014.1.10)
 (65) 公開番号 特開2014-138423 (P2014-138423A)
 (43) 公開日 平成26年7月28日 (2014.7.28)
 審査請求日 平成29年1月6日 (2017.1.6)
 (31) 優先権主張番号 13/742,086
 (32) 優先日 平成25年1月15日 (2013.1.15)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(73) 特許権者 599034594
 コーボ ユーエス、インコーポレイテッド
 アメリカ合衆国オレゴン州97124・ヒ
 ルスボロ・ノースイーストブルックウッド
 パークウェイ 2300
 2300 NE Brookwood P
 arkway, Hillsboro, Or
 egon 94124, U. S. A.
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 プラブハカー、ラビシャンカー
 アメリカ合衆国オレゴン州97124・ヒ
 ルスボロ・ノースイーストブルックウッド
 パークウェイ 2300

最終頁に続く

(54) 【発明の名称】 抵抗分圧器を有するスイッチ装置

(57) 【特許請求の範囲】

【請求項 1】

ソース端子、ゲート端子、ドレイン端子およびボディ端子を含む、金属酸化膜半導体電
 界効果トランジスタ (MOSFET) と、

第 1 抵抗および第 2 抵抗を有する抵抗分圧器であって、前記第 2 抵抗が前記ゲート端子
 および前記ボディ端子の間に接続され、前記第 1 抵抗がグランド源および前記ボディ端子
 の間に接続される抵抗分圧器と、を備え、

直流電源が前記ゲート端子に接続され、前記ゲート端子および前記抵抗分圧器に一定の
 直流電圧を供給するよう構成され、

前記ゲート端子の電圧および前記ボディ端子の電圧は、前記一定の直流電圧および前記
 グランド源のグランド電圧に依存する一方、前記ソース端子の電圧および前記ドレイン端
 子の電圧に非依存であり、

前記ソース端子および前記ドレイン端子の少なくとも一方は、無線周波数 (RF) 信号
 に接続される回路。

【請求項 2】

前記 MOSFET は、n 型 MOSFET である請求項 1 に記載の回路。

【請求項 3】

前記 MOSFET は、p 型 MOSFET である請求項 1 に記載の回路。

【請求項 4】

前記第 1 抵抗は、前記グランド源に接続される第 1 接続部と、前記ボディ端子に接続さ

10

20

れる第2接続部と、を備える請求項1から3のいずれか一項に記載の回路。

【請求項5】

前記第2抵抗は、前記ボディ端子に接続される第1接続部と、前記ゲート端子に接続される第2接続部と、を備える請求項1から4のいずれか一項に記載の回路。

【請求項6】

前記抵抗分圧器は、前記ゲート端子の電圧がグランド電圧と等しくないときに、前記ボディ端子の電圧を、前記ゲート端子の電圧と前記グランド電圧の間にバイアスするように構成される請求項1から5のいずれか一項に記載の回路。

【請求項7】

前記ボディ端子の電圧は、前記第1抵抗の抵抗値および前記第2抵抗の抵抗値に少なくとも部分的に基づく、既定の電圧である請求項6に記載の回路。

10

【請求項8】

前記ゲート端子の電圧は、前記グランド電圧に対して正である請求項6または7に記載の回路。

【請求項9】

前記ゲート端子の電圧は、前記グランド電圧に対して負である請求項6または7に記載の回路。

【請求項10】

前記MOSFETおよび前記抵抗分圧器を含むスイッチと、
前記スイッチを含む、無線周波数(RF)フロントエンド、RF送信器またはパワーコンバータと、をさらに備える請求項1から9のいずれか一項に記載の回路。

20

【請求項11】

一定の直流電圧を供給するように構成される直流電源と、
グランド電圧を供給するように構成されるグランド源と、
前記直流電源および前記グランド源に接続される一以上の単位セルと、を備え、
前記一以上の単位セルを構成する単位セルは、
ボディ端子と、前記直流電源に接続されるゲート端子と、ソース端子と、ドレイン端子とを有し、前記直流電源が前記ゲート端子に前記一定の直流電圧を供給するよう構成される金属酸化膜半導体電界効果トランジスタ(MOSFET)と、

コンデンサを含まない抵抗分圧器であって、前記グランド源および前記ボディ端子の間に接続される第1抵抗と、前記ゲート端子および前記ボディ端子の間に接続される第2抵抗とを備える抵抗分圧器と、を含み、

30

前記抵抗分圧器は、前記一定の直流電圧が前記グランド電圧に等しくないときに、前記ボディ端子の電圧および前記ゲート端子の電圧が前記一定の直流電圧および前記グランド電圧に依存する一方、前記ソース端子の電圧および前記ドレイン端子の電圧に非依存となるように、前記ボディ端子の電圧を前記直流電圧と前記グランド電圧の間にバイアスするように構成され、

前記ソース端子および前記ドレイン端子の少なくとも一方は、無線周波数(RF)信号に接続され、

前記MOSFETがオン状態の場合、前記ボディ端子の電圧が前記第1抵抗と前記第2抵抗の抵抗比に基づき、前記ソース端子と前記ドレイン端子の間での信号源からの信号伝達を増強する回路。

40

【請求項12】

前記MOSFETは、p型MOSFETである請求項11に記載の回路。

【請求項13】

前記MOSFETは、n型MOSFETである請求項11に記載の回路。

【請求項14】

前記第1抵抗は、前記グランド源に接続される第1接続部と、前記ボディ端子に接続される第2接続部と、を備える請求項11から13のいずれか一項に記載の回路。

【請求項15】

50

前記第 2 抵抗は、前記ボディ端子に接続される第 1 接続部と、前記ゲート端子に接続される第 2 接続部と、を備える請求項 1 1 から 1 4 のいずれか一項に記載の回路。

【請求項 1 6】

前記直流電圧は、前記グランド電圧に対して正である請求項 1 1 から 1 5 のいずれか一項に記載の回路。

【請求項 1 7】

前記直流電圧は、前記グランド電圧に対して負である請求項 1 1 から 1 5 のいずれか一項に記載の回路。

【請求項 1 8】

ドレイン端子、ボディ端子、ソース端子およびゲート端子を備える金属酸化膜半導体電

10

界効果トランジスタ (M O S F E T) を、直流電源およびグランド源に接続し、

第 1 抵抗を第 2 抵抗に直接接続して抵抗分圧器を形成し、
前記グランド源および前記ボディ端子の間に前記第 1 抵抗が位置し、前記ボディ端子および前記ゲート端子の間に前記第 2 抵抗が位置し、前記ボディ端子および前記ゲート端子の電圧が前記直流電源により供給される一定の直流電圧および前記グランド源のグランド電圧に依存する一方、前記ソース端子および前記ドレイン端子の電圧に非依存となるように、前記 M O S F E T の前記ボディ端子および前記ゲート端子を前記抵抗分圧器に接続し、

前記ソース端子および前記ドレイン端子の少なくとも一方を無線周波数 (R F) 信号に接続し、

20

前記抵抗分圧器内の前記第 1 抵抗の抵抗値および前記第 2 抵抗の抵抗値は、前記ゲート端子が前記直流電源により供給される前記一定の直流電圧であるときに、前記ソース端子と前記ドレイン端子の間での信号源からの信号伝達を増強するために前記ボディ端子に必要とされる電圧に少なくとも部分的に基づき、

前記一定の直流電圧は、前記グランド源の前記グランド電圧と等しくない方法。

【請求項 1 9】

前記 M O S F E T は、n 型 M O S F E T である請求項 1 8 に記載の方法。

【請求項 2 0】

前記 M O S F E T は、p 型 M O S F E T である請求項 1 8 に記載の方法。

【請求項 2 1】

30

さらに、前記第 1 抵抗の第 1 接続部を前記グランド源に接続し、前記第 1 抵抗の第 2 接続部を前記ボディ端子に接続する請求項 1 8 から 2 0 のいずれか一項に記載の方法。

【請求項 2 2】

さらに、前記第 2 抵抗の第 1 接続部を前記ゲート端子に接続し、前記第 2 抵抗の第 2 接続部を前記ボディ端子に接続する請求項 1 8 から 2 1 のいずれか一項に記載の方法。

【請求項 2 3】

前記ボディ端子に必要とされる電圧は、前記直流電圧と前記グランド電圧の間である請求項 1 8 から 2 2 のいずれか一項に記載の方法。

【請求項 2 4】

前記直流電圧は、前記グランド電圧に対して正である請求項 1 8 から 2 3 のいずれか一項に記載の方法。

40

【請求項 2 5】

前記直流電圧は、前記グランド電圧に対して負である請求項 1 8 から 2 3 のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示の実施の形態は、一般に回路分野に関し、特に、電界効果トランジスタ (F E T) を用いたスイッチ装置に関する。

【背景技術】

50

【 0 0 0 2 】

無線周波数（ＲＦ）スイッチ装置は、多用途に用いられており、例えば、ＲＦ信号を選択的に通過させるための無線周波数システムに用いられる。ＦＥＴを含むスイッチ装置において、ＦＥＴをオン状態にバイアスするために、ゲート端子へのバイアス電圧の印加が必要とされる。いくつかのケースにおいて、この印加電圧は、ＦＥＴのボディを不定の電圧に浮遊（float）させることとなりうる。

【 図面の簡単な説明 】

【 0 0 0 3 】

実施の形態は、例示を目的とし、添付の図面の記載に限定されないことを目的として例示される。添付の図面において同種の要素には同種の符号が付される。

10

【 0 0 0 4 】

【 図 1 】 種々の実施の形態に係るスイッチ装置の構成を示す回路図である。

【 0 0 0 5 】

【 図 2 】 n 型 F E T の例を示す図である。

【 0 0 0 6 】

【 図 3 】 種々の実施の形態に係るスイッチ装置のボディ電圧を制御する方法を示すフローチャートである。

【 0 0 0 7 】

【 図 4 】 種々の実施の形態に係るスイッチ装置の構成を示す回路図である。

【 0 0 0 8 】

20

【 図 5 】 種々の実施の形態に係る例示的な無線通信装置の構成を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

例示される実施の形態に係る様々な態様は、当業者にとって一般的に採用される用語を用いて他の当業者に本発明の本質を伝えるために示される。しかしながら、以下に示されるいくつかの要素のみを用いて代替的な実施の形態を実施しうることが、当業者にとって明らかであろう。説明のために、特定の装置または構成は、例示される実施の形態の詳細な理解を与えるために示される。しかし、当業者にとって、代替的な実施の形態を具体的な細部を省いて実施しうることが明らかであろう。他の例では、例示される実施の形態を不明確としないために、周知な特徴は除外され、もしくは単純化される。

30

【 0 0 1 0 】

さらに、様々な動作は、複数の個別の動作として本開示の理解を最も助ける形で順に示される。しかしながら、記載の順序は、これらの動作が必ずしも順序依存であることを示すものであるとして解釈されるべきではない。特に、これらの動作は、説明される順序で実行される必要はない。

【 0 0 1 1 】

「一つの実施の形態において」の語は、繰り返し用いられる。この語は、ほとんどの場合において、同じ実施の形態を参照するものではないが、同じ実施の形態を参照するかもしれない。「備える」、「有する」および「含む」の語は、文脈において別に規定されない限り、同義語である。

40

【 0 0 1 2 】

種々の実施の形態の結合に用いられる用語に対し、文脈上の明確性を与えるため、「A / B」および「A および / または B」の語は、（A）、（B）または（A および B）を意味することとする。また、「A、B および / または C」の語は、（A）、（B）、（C）、（A および B）、（A および C）、（B および C）または（A、B および C）を意味する。

【 0 0 1 3 】

「～と接続される」の語は、ここでは、派生的に用いられうる。「接続される」は、以下に示す一以上の意味で用いられうる。「接続される」は、二以上の要素が物理的または電氣的に直接接触することを意味しうる。しかしながら、「接続される」は、二以上の要

50

素が互いに間接的に接触しつつ互いに協働または相互作用することも意味し、また、一つ以上の他の要素が、上述の意味で互いに接続された要素間において結合または接続されることを意味する。

【0014】

実施の形態は、スイッチ装置またはFETを含むスイッチ回路を含んでもよい。FETは、ボディ、ソース、ドレインおよびゲートを備えてもよい。回路は、FETに接続される抵抗分圧器を含んでもよい。実施の形態において、抵抗分圧器は、電氣的にFETのボディとグラウンドの間に位置し、FETに電氣的に接続される第1抵抗を備えてもよい。抵抗分圧器は、電氣的にFETのボディとゲートの間に位置し、FETに電氣的に接続される第2抵抗をさらに備えてもよい。いくつかの実施の形態において、複数のFETおよび複数の抵抗分圧器は、スイッチ装置またはスイッチ回路に用いられてもよい。

10

【0015】

図1は、種々の実施の形態に係るスイッチ回路100を示す。スイッチ回路100（以下、回路100ともいう）は、電界効果トランジスタ（FET）を含んでもよい。FET104は、後述する図2に示されるFETのドレイン、ソース、ゲートおよびボディのそれぞれに接続される、ドレイン端子112、ソース端子116、ゲート端子120およびボディ端子124を含んでもよい。いくつかの実施の形態において、ドレイン端子112およびソース端子116は、図1に示されるように、電氣的に互いに接続されてもよい。いくつかの実施の形態において、ドレイン端子112およびソース端子116の間の電氣的な接続には、抵抗128が含まれてもよい。いくつかの実施の形態において、FET104は、エンハンスモードのFETであってもよい。追加的または代替的に、FET104は、シリコン-オン-インシュレータ（SOI）および/またはバルク相補的金属酸化膜半導体（CMOS）装置であってもよい。いくつかの実施の形態において、FET104は、金属酸化膜半導体（MOSFET）であってもよいが、他の実施の形態において、FET104は、絶縁ゲートFET（IGFET）や金属絶縁体半導体（MISFET）としてもよい。

20

【0016】

種々の実施の形態は、FET104のボディの電圧にバイアスをつけるために用いられるバイアス構造を提供する。このバイアス構造は、ここでは、n型のエンハンスメントモードFETに関して説明する。しかしながら、他の実施の形態において、このバイアス構造は、p型FETのような他の種類のFET向けの用途として、使用および/または変更（modify）されうる。

30

【0017】

種々の実施の形態において、FET104は、後に無線周波数（RF）信号として示される伝送信号の切り替えを実現するため、「オフ」状態と「オン」状態の間で選択的に遷移しうる。例えば、FET104は、FET104が「オン」状態の場合、RF信号をソース端子116で受信し、FET104を通してドレイン端子112へRF信号を通過させてもよい。FET104は、FET104が「オフ」状態の場合、ドレイン端子112とソース端子116の間のRF信号の通過を妨げてよい。

【0018】

FET104は、FET104を「オフ」状態と「オン」状態との間で遷移させるため、ゲート端子120において制御信号を受信してもよい。例えば、ドレイン端子112およびソース端子116の電圧に対応する、+2.5Vの直流電圧がゲート端子120に印加されてもよい。いくつかの実施の形態において、この電圧は、デコーダ（図1に不図示）により印加されてもよい。この+2.5Vの電圧は、ドレイン端子112とソース端子116の間の抵抗を極めて小さくし、その結果、RF信号がドレイン端子112およびソース端子116の間を通過できるようにすることで、FET104を「オン」にする効果を有してもよい。

40

【0019】

正の電圧をゲート端子120に印加することで、RF信号がFET104を通過できる

50

ようにしうる。F E T 1 0 4 は、図 2 に N M O S - F E T として示されるように、4 つの要素を一般に備えてもためである。F E T 1 0 4 は、ドレイン端子 1 1 2 に接続されるドレイン 2 0 0 と、ソース端子 1 1 6 に接続されるソース 2 0 4 と、ゲート端子 1 2 0 に接続されるゲート 2 0 8 により構成されてもよい。実施の形態において、ドレイン 2 0 0、ソース 2 0 4 およびゲート 2 0 8 は、例えば、アルミニウムまたは銅などの金属または導電性材料で構成されてもよい。実施の形態において、ドレイン 2 0 0、ソース 2 0 4 およびゲート 2 0 8 は、同じ材料または異なる材料で構成されてもよい。

【 0 0 2 0 】

F E T 1 0 4 は、さらに、ボディ端子 1 2 4 に接続されるボディ 2 1 2 を備えてもよい。F E T 1 0 4 は、詳細を後述するように、ドレイン 2 0 0 およびボディ 2 1 2 の間に位置する n 型のドレイン部 2 2 0 と、ソース 2 0 4 およびボディ 2 1 2 の間に位置する n 型のソース部 2 2 8 をさらに備えてもよい。

【 0 0 2 1 】

ここで、「端子」は、一般に、F E T 1 0 4 を構成する要素であって、F E T 1 0 4 が回路内の別の要素と接続する接続箇所として示される。いくつかの実施の形態において、ドレイン 2 0 0 およびドレイン端子 1 1 2 は、同じ要素であると考えてもよく、例えば、F E T 1 0 4 は、ドレイン 2 0 0 と回路内の要素との直接接続を通じて、回路内の別の要素と接続してもよい。他の実施の形態においては、ドレイン端子 1 1 2 は、例えば、導電性のリード線など、電気的にドレイン 2 0 0 に接続される端子であってもよい。例えば、これらの他の実施の形態において、F E T 1 0 4 は、ドレイン端子 1 1 2 を通じて回路内の別の要素と接続してもよく、このときのドレイン端子 1 1 2 は、ドレイン 2 0 0 に接続される、銅などの金属のリード線や他の導電性のリード線であってもよい。同様に、ソース 2 0 4 およびソース端子 1 1 6 は、ドレイン 2 0 0 およびドレイン端子 1 1 2 に関して上述したように、互いに同一であってもよいし、または、互いに電気的に接続されてもよい。同様に、ゲート 2 0 8 およびゲート端子 1 2 0 は、互いに同一であってもよいし、または、互いに電気的に接続されてもよい。最後に、ボディ 2 1 2 およびボディ端子 1 2 4 は、互いに同一であってもよいし、または、互いに接続されていてもよい。いくつかの実施の形態において、ボディ端子 1 2 4 は、ソース端子 1 1 6 に直接接続されてもよい。ここで、各要素に与えられる名称は、F E T 1 0 4 の一つの要素を別の要素から識別するためのものであり、異なる実施の形態では異なる名称を用いるかもしれない。例えば、F E T 1 0 4 において、n 型のドレイン部 2 2 0 を「ドレイン」と呼び、n 型のソース部 2 2 8 を「ソース」と呼ぶかもしれない。

【 0 0 2 2 】

F E T 1 0 4 を用いる例として、直流電圧は、ゲート端子 1 2 0 に印加されるものとして説明され、同時に、ゲート端子 1 2 0 によりゲート 2 0 8 が特定の電圧を得ることとなりうるであろう。しかしながら、いくつかの実施の形態において、この直流電圧は、ゲート 2 0 8 に直接印加されてもよい。他の例として、R F 信号は、F E T 1 0 4 が「オン」のときに、ソース 2 0 4 またはソース端子 1 1 6 のいずれかにおいて受信され、F E T 1 0 4 を通って、ドレイン 2 0 0 またはドレイン端子 1 1 2 へ通過してもよい。

【 0 0 2 3 】

ボディ 2 1 2 は、p 型材料、例えば、シリコンやゲルマニウムなどの I V 族元素に、ホウ素やアルミニウムなどの I I I 族元素をドーブしたもので構成されてもよい。n 型のドレイン部 2 2 0 およびソース部 2 2 8 は、シリコンやゲルマニウムなどの I V 族元素に、ヒ素やリンなどの V 属元素をドーブしたもので構成されてもよい。n 型のドレイン部 2 2 0 およびソース部 2 2 8 は、ボディ 2 1 2 により互いに分離されてもよい。一般に、p 型材料は、電子が欠乏し、「電子ホール」を有すると言われる。n 型材料は、n 型材料の外にて電流として移動することのできる余分な電子を有し、その結果、「可動電子」を有すると言われる。

【 0 0 2 4 】

上述したように、F E T 1 0 4 のゲート 2 0 8 は、銅やアルミニウムなどの導電性の金

10

20

30

40

50

属で構成されてもよい。他の実施の形態において、ゲート 208 は、タンタル、タングステン、窒化タンタルより構成されてもよい。他の実施の形態において、FET 104 のゲート 208 は、ポリシリコン材料で構成されてもよい。ドレイン 200、ソース 204、ゲート 208 およびボディ 212 は全て、誘電体 224 により互いに分離されてもよい。誘電体 224 は、例えば、二酸化シリコン、酸化窒化シリコン、または、ドレイン 200 とソース 204 の間の電子の流れを妨げる、その他の高誘電率 (High-k) の誘電材料などである。

【0025】

ゲート端子 120 に正電圧が印加されることによりゲート 208 が正の電圧を得るとき、ゲート 208 と FET 104 の他の部分との間に静電界が形成されてもよい。この正電圧は、ボディ 212 を構成する p 型材料中の電子ホールを遠ざける一方で、ボディ 212 を構成する p 型材料中の自由電子を引きつけうる。同時に、この正のゲート電圧は、n 型のドレイン部 220 およびソース部 228 中の可動電子を引きつけうる。「閾値電圧」として知られる、ドレイン 200 およびソース 204 の直流電圧と比べてゲート 208 の正電圧が十分に高くなると、ボディ 212 を構成する p 型材料における反発作用、および、ボディ 212 中の自由電子と n 型のドレイン部 220 およびソース部 228 中の可動電子への誘引作用により、電子チャネルが形成されうる。この電子チャネルは、しばしば、「反転層」と呼ばれ、n 型のドレイン部 220 およびソース部 228 の間であって誘電体 224 の直下に存在しうる。言い換えれば、n 型のドレイン部 220 およびソース部 228 の間の電子チャネルは、ボディ 212 および誘電体 214 のちょうど間に存在しうる。いくつかの実施の形態において、ゲート端子 120 への印加電圧を増加させると、ゲート 208 の電圧が増加し、静電界の大きさが増大しうる。静電界が増大すると、電子チャネルの大きさが増え、その結果、ドレイン 200 およびソース 204 の間を通過できる電流量が増加しうる。

【0026】

同様に、ゲート端子 120 にはデコーダにより -2.5 V の電圧が印加されうる。この -2.5 V の電圧は、ドレイン端子 112 とソース端子 116 の間の抵抗を極めて高くし、その結果、ドレイン端子 112 およびソース端子 116 の間を信号が通過できないようにしうる。この抵抗は、ゲート端子 120 における負の電圧によりゲート 208 が負の電圧を得ることとなって、負の静電界が形成されるために高くなる。この負の静電界は、同時に、p 型のボディ 212 中の電子ホールを引きつけるとともに、n 型のドレイン部 220 およびソース部 228 中の可動電子を遠ざけて、ソース 204 およびドレイン 200 の間における電子の輸送可能性を無効とする。他の実施の形態においては、PMOS-FET が NMOS-FET の代わりに用いられてもよく、ボディ 212 は n 型材料であってもよく、ドレイン部 220 およびソース部 228 は、p 型材料であってもよい。

【0027】

いくつかの実施の形態において、ボディ 212 の電圧は、ゲート 208 の電圧に追従 (follow) する電圧、もしくは、ゲート 208 の電圧と同様の電圧であることが望ましいかもしれない。このような電圧が望まれうる理由は、例えば、ゲート 208 またはゲート端子 120 に正電圧が印加されるときにボディ 212 が正の電圧を得たとすると、ドレイン 200 およびソース 204 の間の電子チャネルが強化 (enhanced) され、その結果、FET 104 の性能が高まるためである。同様に、ゲート 208 またはゲート端子 120 に負の電圧が印加されるときにボディ 212 が負の電圧を得たとすると、n 型のドレイン部 220 およびソース部 228 における反発作用が高まり、FET 104 の抵抗が増大し、信号のいかなる漏れも減少しうる。

【0028】

いくつかのケースにおいて、PMOS-FET のような能動素子がダイオードとして用いられており、ボディ端子 124 とゲート端子 120 の間において FET 104 と接続されている。ゲート端子 120 における電圧が負になり、例えば、-2.5 V となると、ダイオードは、ボディ 212 の電圧が負になるようにするかもしれないし、多くの実施の形

10

20

30

40

50

態において、ボディ 212 の電圧は、ゲート端子 120 における電圧に極めて近くなるかもしれない。例えば、ゲート端子 120 における電圧が -2.5 V であるとする、ボディ 212 の電圧は -2.3 V であるかもしれない。この作用は、「ブートストラップ (bootstrapping)」と呼ばれうる。いくつかの実施の形態において、ボディ 212 の電圧がゲート端子 120 の電圧の近くに維持されることが望ましいかもしれない。他の実施の形態においては、例えば、ゲート端子 120 に印加される電圧が $+2.5\text{ V}$ または -2.5 V のときに、 0.1 V ($1/10\text{ V}$ の数倍) となる、小さな値だけボディ 212 の電圧が異なることが望ましいかもしれない。

【0029】

しかしながら、ダイオードとして PMOS-FET を用いる場合、ゲート 208 の電圧が正になると、ボディ 212 の電圧は、勝手な値となるかもしれない。この場合において、ボディ 212 の電圧は「浮遊 (floating)」していると言われるかもしれない。このボディ 212 の浮遊電圧は、ボディ 212 における正確な電圧および電流がわからないと回路設計が難しくなるかもしれないため、問題となりうる。

【0030】

具体的には、上述したように、ボディ 212 の電圧の増加または減少のそれぞれにより、ソース 204 およびドレイン 200 の間の RF 信号の伝送は、強化または縮小されるかもしれない。上述したように、ゲート 208 の電圧が正のときにボディ 212 の電圧が増加すると、n 型のドレイン部 220 およびソース部 228 の間のチャネルはより大きくなり、より大きな電流が FET 104 を通って流れることができるようになるかもしれない。しかしながら、ボディ 212 の電圧が何であるかがわからないと、FET 104 を通る RF 信号の電流の流れが何になりうるかを予測することが困難となるかもしれない。さらに、ボディ 212 の電圧が浮遊し制御されておらず、ボディ 212 の電圧が大きくなりすぎると、RF 信号の電流が非常に大きくなるかもしれない。この大電流は、FET 104 を発熱させるかもしれないし、この発熱により FET 104 に損傷を与えるかもしれない。また、FET 104 を用いる回路や、FET 104 を用いる装置にさえも損傷を与えるかもしれない。

【0031】

いくつかの実施の形態において、抵抗分圧器 132 は、PMOS-FET の代わりに用いられる。抵抗分圧器 132 は、第 1 抵抗 136 および第 2 抵抗 140 を含んでもよい。第 1 抵抗 136 は、ボディ端子 124 とグラウンド 144 の間に位置してもよい。第 2 抵抗 140 は、ボディ端子 124 とゲート端子 120 の間に位置してもよい。

【0032】

図 1 に示すように、抵抗分圧器 132 を用いることで、上述したダイオードの使用、例えば、能動的な PMOS-FET の使用に比べて、顕著な利益を提供しうる。具体的には、抵抗分圧器 132 は、デコーダによってゲート 208 に正の電圧または負の電圧が印加されるに関わらず、既知の電圧となるゲート 208 の電圧に、ボディ 212 の電圧が追随できるようにしうる。言い換えれば、抵抗分圧器 132 は、ゲート 208 が正の電圧であれば、ボディ 212 の「浮遊」電圧を取り除いてもよく、代わりに、ボディ 212 の電圧を予測された値としてもよい。

【0033】

さらに、PMOS-FET ダイオードは、PMOS-FET を「オン」または「オフ」とするために追加的な電力の入力を必要としうる。抵抗分圧器 132 を用いる回路は、PMOS-FET が存在しないため、受動的となり、その結果、追加的な電力の入力を必要としないかもしれない。この電力入力への減少は、回路設計を単純化し、FET 104 を用いる回路のコストを低減させるかもしれない。

【0034】

第 1 抵抗 136 および第 2 抵抗 140 の抵抗値は、一以上の FET 104、ゲート端子 120 における電圧、ドレイン端子 112 における電圧、ソース端子 116 における電圧および/またはボディ 212 の電圧がゲート 208 の電圧にどの程度近接して追随するこ

10

20

30

40

50

とが望ましいかに関連して、具体的に選択されるかもしれない。例えば、ゲート 208 の電圧が +2.5 V のときにボディ 212 の電圧が +1.0 V となることが望ましい場合、第 1 抵抗 136 および第 2 抵抗 140 の一方または双方の抵抗値は、ゲート 208 の電圧が +2.5 V のときにボディ 212 の電圧が +2.3 V となることが望ましい場合と、異なるかもしれない。いくつかの実施の形態において、ゲート 208 が所定電圧にあるときのボディ 212 の電圧は、少なくとも、第 2 抵抗 140 に対する第 1 抵抗 136 の抵抗値の比率に部分的に基づくかもしれない。

【0035】

図 3 は、種々の実施の形態に係るゲート端子（例えば、ゲート端子 120）に電圧を印加するときの FET のボディ（例えば、FET 104 のボディ 212）をバイアスする方法 300 を示すフローチャートである。具体的には、ブロック 308 において、第 1 抵抗、例えば、第 1 抵抗 136 は、ボディ端子 124 とグランド 144 の間において、FET に接続されるかもしれない。次に、ブロック 304 において、第 2 抵抗、例えば、第 2 抵抗 140 は、ゲート端子 120 とボディ端子 124 の間において、FET 104 に電氣的に接続されるかもしれない。

【0036】

第 1 抵抗 136 および第 2 抵抗 140 の抵抗値を適切に選択することで、ボディ 212 の電圧はバイアスされ、その結果、ゲート 208 またはゲート端子 120 の電圧に追従するかもしれない。言い換えれば、ボディ 212 は、ゲート端子 120 に正の電圧が印加されたときに、既知の正の電圧を有するかもしれない。逆に、ボディ 212 は、ゲート端子 120 に負の電圧が印加されたときに、既知の負の電圧を有するかもしれない。いくつかの実施の形態において、ボディ 212 の電圧は、ゲート 208 に照らして、少なくとも第 1 抵抗 136 および第 2 抵抗 140 の抵抗値の比率に部分的に基づくかもしれない。

【0037】

いくつかの実施の形態において、FET 104 および抵抗分圧器 132 は、単位セルと呼ばれるようにして組み合わせられてもよい。いくつかの実施の形態において、この単位セルは、FET 104 のゲート端子 120 に接続されるデコーダをさらに含んでもよい。いくつかの実施の形態において、スイッチは、複数の FET および抵抗分圧器を含んでもよく、言い換えれば、複数の単位セルを含んでもよい。これらの実施の形態において、複数の単位セルは、互いに直列接続されてもよい。単位セルが直列接続されることが望ましい理由は、上述したように、FET 104 が「オフ」となったときに、ソース端子 116 とドレイン端子 112 の間に大きな抵抗が生成されるためである。RF 信号の電流が非常に大きいと、FET 104 は損傷するかもしれない。複数の FET を直列接続することで、大きな RF 信号により生成される負荷が分散され、その結果、それぞれの FET は、負荷の一部のみを担うこととなる。このようにして、FET の寿命は延長されるかもしれない。

【0038】

図 4 は、互いに直列接続される複数の単位セルを有するスイッチ回路 400 の例を示す。他の実施の形態は、追加の単位セルを有してもよい。いくつかの実施の形態において、スイッチ回路 400 は、信号バスが直列であっても分岐していてもよい。図 4 は、具体的に、二つの FET である第 1 FET 402 および第 2 FET 404 を有するスイッチ回路 400 の実施の形態を示す。第 1 FET 402 は、第 1 FET 402 のボディ、ドレイン、ソースおよびゲート（不図示）のそれぞれに接続される、ボディ端子 406、ドレイン端子 408、ソース端子 410 およびゲート端子 412 を含んでもよい。第 2 FET 404 は、同様に、第 2 FET 404 のボディ、ドレイン、ソースおよびゲート（不図示）のそれぞれに接続される、ボディ端子 414、ドレイン端子 416、ソース端子 418 およびゲート端子 420 を含んでもよい。第 1 FET 402 のゲート端子 412 は、ゲート端子 412 に直流電圧を供給するように構成される、第 1 直流電源 422 に電氣的に接続されてもよい。また、第 2 FET 404 のゲート端子 420 は、ゲート端子 420 に直流電圧を供給するように構成される、第 2 直流電源 424 に電氣的に接続されてもよい。いく

つかの実施の形態において、第1直流電源422および第2直流電源424は、同じ直流電源であってもよい。実施の形態において、第1直流電源422および第2直流電源424を「デコーダ」と呼んでもよい。

【0039】

図1を参照して上述したように、第1FET402は、ボディ端子406およびグランド432の間に電氣的に接続される第1抵抗428と、ボディ端子406およびゲート端子412の間に電氣的に接続される第2抵抗430とを備える、抵抗分圧器426と接続されてもよい。同様に、第2FET404は、ボディ端子414およびグランド432の間に電氣的に接続される第1抵抗436と、ボディ端子414およびゲート端子420の間に電氣的に接続される第2抵抗438とを備える、抵抗分圧器434と接続されてもよい。

10

【0040】

スイッチ回路400に係るいくつかの実施の形態において、二つの単位セルは、互いに直列に接続されてもよい。これらの実施の形態において、第2FET404のドレイン端子416は、第1FET402のソース端子410に接続されてもよい。さらに、第1FET402のドレイン端子408は、RF入力端子440に接続されてもよく、第2FET404のソース端子418は、RF出力端子442に接続されてもよい。この実施の形態において、RF入力端子440は、スイッチ回路400を構成する第1FET402および第2FET404を「オン」にしたときに、スイッチ回路400を通過するRF信号のソースであってもよい。RF出力端子442は、このスイッチからRF信号が出て行く端子であってもよい。RF入力端子440、RF出力端子442および信号の流れは、後述する図5を参照しながら、より詳細に説明する。

20

【0041】

いくつかの実施の形態において、RF出力端子442はグランドに接続されてもよく、一方で、RF入力端子440は、電源に接続されてもよい。上述したように、これまで説明した構成は、n型もしくはNMOSのFETに関する。しかしながら、スイッチ回路400の構成に対して多少の変更を施したスイッチ回路400において、p型もしくはPMOSのFETもまた用いることができるかもしれない。他の実施の形態において、RF入力端子440およびRF出力端子442は、回路の他の要素と接続されてもよい。RF入力端子440およびRF出力端子442の接続は、スイッチ回路が用いられる用途に依存してもよい。

30

【0042】

いくつかの実施の形態において、第1FET402の第1抵抗428の抵抗値は、第2FET404の第1抵抗428の抵抗値と同じであってもよい。他の実施の形態において、二つの第1抵抗428、426の抵抗値は、異なってもよい。同様に、第2抵抗430、438の抵抗値は、スイッチ回路400またはFET402、404の種類、用途または使用に応じて、同じであってもよいし、異なってもよい。

【0043】

図5は、いくつかの実施の形態に係る例示的な無線通信装置500を示すブロック図である。無線通信装置500は、一以上のRF増幅器508を含む、RFパワー増幅(PA)モジュール504を有してもよい。RFパワー増幅モジュール504は、さらに、一以上のRF増幅器508に接続される、一以上のRFスイッチ512を含んでもよい。RFスイッチ512は、スイッチ回路100および/または400と同様であってもよいし、および/または、スイッチ回路100および/または400を含んでもよい。

40

【0044】

RFパワー増幅モジュール504に加えて、無線通信装置500は、少なくとも図示されるように互いに接続される、アンテナ構造514、送受信スイッチ518、送受信機522、メインプロセッサ526およびメモリ530を有してもよい。無線通信装置500は、送信および受信の機能を有するように図示される一方で、他の実施の形態において、送信機能のみ又は受信機能のみを有する装置を含んでもよい。RFスイッチ512は、R

50

F パワー増幅モジュール 504 に含まれるように図示される一方で、他の実施の形態においては、RF スイッチ 512 は、RF パワー増幅モジュール 504 に加えて又は代えて、送受信スイッチ 518 および / または送受信機 522 のような、無線通信装置 500 の他の構成要素に含まれていてもよい。他の実施の形態において、RF スイッチ 512 は、RF フロントエンド、RF 送信器またはパワーコンバータの構成要素であってもよい。

【0045】

種々の実施の形態において、無線通信装置 500 は、携帯電話、ページング装置、パーソナルデジタルアシスタント、テキストメッセージング装置、ポータブルコンピュータ、デスクトップコンピュータ、基地局、加入者局、アクセスポイント、レーダー、衛星通信装置、その他無線により RF 信号を送受信可能ないかなる装置であってもよいが、これらに限定されるものではない。

10

【0046】

メインプロセッサ 526 は、無線通信装置 500 の全体的な動作を制御するために、メモリ 530 に記憶される基本的な OS (operating system) プログラムを実行してもよい。例えば、メインプロセッサ 526 は、送受信機 522 による信号の受信および送信を制御してもよい。メインプロセッサ 526 は、メモリ 530 に常駐する他のプロセスやプログラムを実行する能力を有してもよく、実行するプロセスの要求に応じて、データをメモリ 530 に移動したり、メモリ 530 から取り出したりしてもよい。

【0047】

送受信機 522 は、送信用データ (例えば、音声データ、ウェブデータ、Eメール、通信用データなど) をメインプロセッサ 526 から取得し、出力用データを意味する RF 信号を生成し、RF 入力信号を RF パワー増幅モジュール 504 に供給してもよい。送受信機 522 はまた、選択された帯域において RF パワー増幅モジュール 504 がフルパワーモードもしくはバックオフパワーモードのいずれか一方で動作するように、RF パワー増幅モジュール 504 を制御してもよい。いくつかの実施の形態において、送受信機 522 は、OFDM 変調を用いる RF 入力信号を生成してもよい。

20

【0048】

RF パワー増幅モジュール 504 は、ここに記載するように、RF 入力信号を増幅して RF 出力信号を供給してもよい。RF 出力信号は、送受信スイッチ 518 に転送され、その後、無線 (OTA ; over-the-air) 伝送のためにアンテナ構造 514 に転送されてもよい。いくつかの実施の形態において、送受信スイッチ 518 は、デュプレクサを含んでもよい。同様に、送受信機 522 は、アンテナ構造 514 から入力される無線 (OTA) 信号を、送受信スイッチ 518 を通じて受信してもよい。送受信機 522 は、入力信号を処理し、さらなる処理のためにメインプロセッサ 526 へ送信してもよい。

30

【0049】

一以上の RF スイッチ 512 は、無線通信装置 500 の構成要素の間、および / または、これらの構成要素に対して、RF 信号 (例えば、RF 入力信号および / または RF 出力信号) を選択的に通過するために用いてもよい。

【0050】

種々の実施の形態において、アンテナ構造 514 は、例えば、ダイポールアンテナ、モノポールアンテナ、パッチアンテナ、ループアンテナ、マイクロストリップアンテナまたは RF 信号の無線 (OTA) 送信 / 受信に適した、いかなる種類のアンテナを含む、一以上の指向性および / または無指向性アンテナを含んでもよい。

40

【0051】

当業者であれば、無線通信装置 500 が例示として示されており、簡潔性および明確性のため、無線通信装置 500 の大半の構成および動作が、実施の形態の理解のために必要とされる程度に示され、記載されていることが認識されるであろう。種々の実施の形態は、無線通信装置 500 に関連し、具体的なニーズに従う適切な目的を実行する、いかなる適切な要素または要素の結合を考慮する。さらに言えば、無線通信装置 500 は、具体的に実施されうる種類の装置に限定されるように解釈すべきではないことが理解されよう。

50

【0052】

ここに、方法および装置が提供される。ある実施の形態において、回路は、ソース端子、ゲート端子、ドレイン端子およびボディ端子を含むMOSFETを備えてもよい。回路は、第1抵抗および第2抵抗を有し、ゲート端子とボディ端子の間に接続される抵抗分圧器をさらに備えてもよい。一実施の形態において、MOSFETは、n型MOSFETであってもよい。一実施の形態において、MOSFETは、p型MOSFETであってもよい。いくつかの実施の形態において、第1抵抗は、グランドと接続される第1接続部と、ボディ端子と接続される第2接続部とを備えてもよい。いくつかの実施の形態において、第2抵抗は、ボディ端子と接続される第1接続部と、ゲート端子と接続される第2接続部とを備えてもよい。いくつかの実施の形態において、抵抗分圧器は、ゲート端子の電圧がグランド電圧と等しくないとき、ボディ端子の電圧を、ゲート端子の電圧およびグランド電圧の間にバイアスするように構成されてもよい。他の実施の形態において、ボディ端子の電圧は、第1抵抗の抵抗値および第2抵抗の抵抗値に少なくとも部分的に基づく、既定の電圧であってもよい。一実施の形態において、ゲート端子の電圧は、グランド電圧に対して正であってもよい。一実施の形態において、ゲート端子の電圧は、グランド電圧に対して負であってもよい。一実施の形態において、回路は、MOSFETおよび抵抗分圧器を含むスイッチおよび、このスイッチを含むRFフロントエンド、RF送受信機、またはパワーコンバータをさらに備えてもよい。

10

【0053】

一実施の形態において、回路は、電源電圧を供給するように構成される電源と、グランド電圧を供給するように構成されるグランド源と、電源およびグランド源に接続される一以上の単位セルとを備えてもよい。一以上の単位セルを構成する単位セルは、ボディ端子、ゲート端子、ソース端子およびドレイン端子を有するMOSFETと、第1抵抗および第2抵抗を備える抵抗分圧器を含み、抵抗分圧器は、ゲート端子の電圧がグランド端子と等しくないとき、ボディ端子の電圧を、ゲート端子の電圧およびグランド電圧の間にバイアスするように構成されてもよい。いくつかの実施の形態において、MOSFETは、p型MOSFETであってもよい。いくつかの実施の形態において、MOSFETは、n型MOSFETであってもよい。いくつかの実施の形態において、第1抵抗は、グランド源と接続される第1接続部と、ボディ端子と接続される第2接続部とを備えてもよい。いくつかの実施の形態において、第2抵抗は、ボディ端子と接続される第1接続部と、ゲート端子と接続される第2接続部とを備えてもよい。いくつかの実施の形態において、抵抗分圧器は、ゲート端子とボディ端子の間に接続されてもよい。いくつかの実施の形態において、ボディ端子の電圧は、抵抗分圧器の抵抗値に少なくとも部分的に基づく、既定の電圧であってもよい。いくつかの実施の形態において、ゲート端子の電圧は、グランド電圧に対して正であってもよい。いくつかの実施の形態において、ゲート端子の電圧は、グランド電圧に対して負であってもよい。

20

30

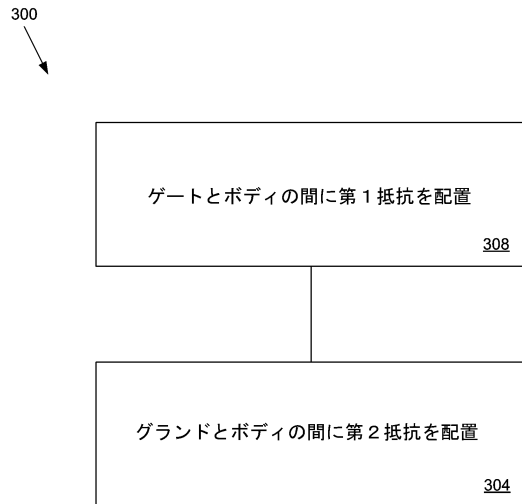
【0054】

いくつかの実施の形態は、電源およびグランド源にMOSFETを接続する方法を提供してもよい。MOSFETは、ドレイン端子、ボディ端子、ソース端子およびゲート端子を備えてもよい。この方法は、さらに、抵抗分圧器がボディ端子とゲート端子の間に位置するように、MOSFETのボディ端子およびゲート端子を抵抗分圧器に接続してもよい。第1抵抗の抵抗値および第2抵抗の抵抗値は、ゲート端子がグランド源におけるグランド電圧と等しくないゲート電圧であるときに、ボディ端子に必要とされる電圧に少なくとも部分的に基づいてもよい。いくつかの実施の形態において、MOSFETは、n型MOSFETまたはp型MOSFETであってもよい。いくつかの実施の形態において、この方法は、さらに、第1抵抗の第1接続部をグランド源に接続し、第1抵抗の第2接続部をボディ端子に接続してもよい。いくつかの実施の形態において、この方法は、さらに、第2抵抗の第1端子をゲート端子に接続し、第2抵抗の第2端子をボディ端子に接続してもよい。いくつかの実施の形態において、ボディ端子に必要とされる電圧は、ゲート電圧とグランド電圧の間であってもよい。いくつかの実施の形態において、ゲート電圧は、グラ

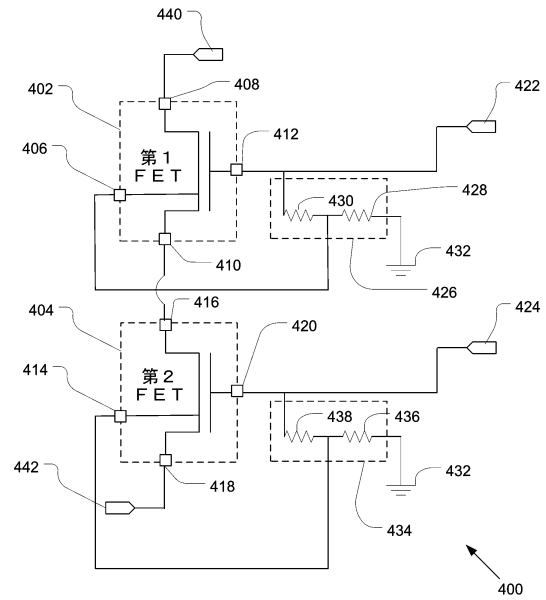
40

50

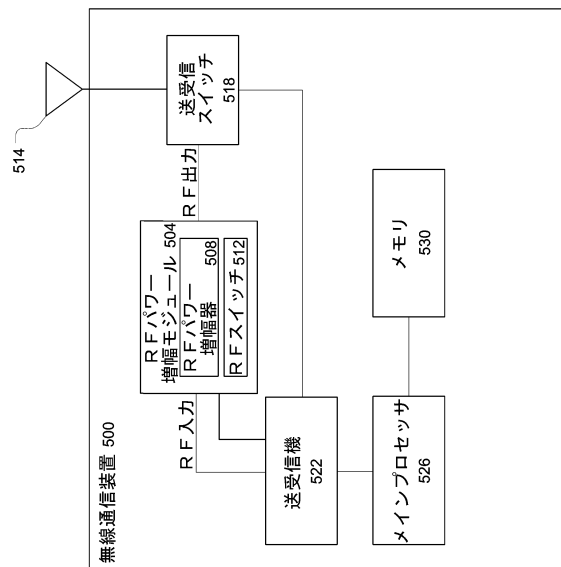
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 フリノ、ジュニア ジェイムズ ピー .
アメリカ合衆国オレゴン州 9 7 1 2 4 ・ ヒルスボロ ・ ノースイーストブルックウッドパークウェイ
2 3 0 0

審査官 及川 尚人

(56)参考文献 特開 2 0 0 6 - 0 4 1 2 3 2 (J P , A)
特開 2 0 0 4 - 2 9 6 7 9 5 (J P , A)
米国特許出願公開第 2 0 1 0 / 0 1 5 6 5 1 1 (U S , A 1)
米国特許第 5 9 5 9 4 8 8 (U S , A)
国際公開第 2 0 0 6 / 0 1 1 3 6 4 (W O , A 1)
特開 2 0 0 9 - 0 6 5 3 0 4 (J P , A)
特開 2 0 1 0 - 0 2 8 3 5 2 (J P , A)
特開 2 0 0 4 - 0 0 7 2 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 1 7 / 0 0 - 1 7 / 7 0
H 0 3 K 1 9 / 0 9 4