



[12] 发明专利申请公开说明书

[21] 申请号 03814571.5

[43] 公开日 2005 年 8 月 31 日

[11] 公开号 CN 1663165A

[22] 申请日 2003.6.13 [21] 申请号 03814571.5

[30] 优先权

[32] 2002.6.21 [33] US [31] 60/390,843

[86] 国际申请 PCT/US2003/019016 2003.6.13

[87] 国际公布 WO2004/002050 英 2003.12.31

[85] 进入国家阶段日期 2004.12.21

[71] 申请人 汤姆森特许公司

地址 法国布洛涅

[72] 发明人 卡尔·克里斯坦森 马克·S·沃克

戴维·K·布莱尔

戴维·L·拜西韦

林恩·H·阿巴克尔

[74] 专利代理机构 北京市柳沈律师事务所

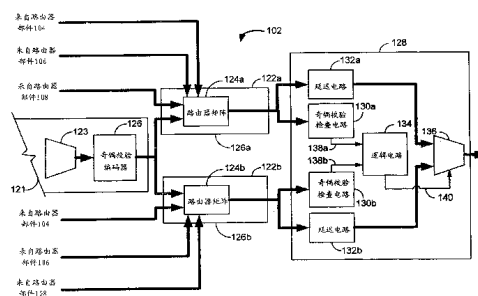
代理人 吕晓章 马莹

权利要求书 5 页 说明书 11 页 附图 2 页

[54] 发明名称 容错广播路由器

[57] 摘要

一种容错路由器(100), 包含第一与第二路由器矩阵卡(122a 与 122b)。第一与第二路由器矩阵卡(122a 与 122b)接收共同的一组 $4n$ 个奇偶校验编码的输入数字音频数据流, 并且分别从这些数据流生成第一与第二组 M 个输出数字音频数据流。当第一与第二组数据流分别沿第一与第二路由器矩阵卡(122a 与 122b)传播时, 每当检测到错误或者其他类型的故障情况时, 设置一或多个健康(health)位。配置第一与第二奇偶校验检查电路(130a, 130b), 以检测奇偶校验错误和/或将第一与第二组数据流的相对健康置为有效, 并且根据奇偶校验错误分析、健康分析、或者这两者, 选择两组数据流中的一个作为容错路由器(100)的输出。



1. 一种容错路由器，包含：

第一路由器矩阵卡(122a)，所述第一路由器矩阵卡(122a)接收 N 个奇偶校验编码的输入数字音频数据流，并且从所述 N 个奇偶校验编码的输入数字音频数据流生成第一组 M 个奇偶校验编码的输出数字音频数据流；

第二路由器矩阵卡(122b)，所述第二路由器矩阵卡(122b)接收所述 N 个奇偶校验编码的输入数字音频数据流，并且从所述 N 个奇偶校验编码的输入数字音频数据流生成第二组 M 个奇偶校验编码的输出数字音频数据流；

耦合至所述第一路由器矩阵卡(122a)与所述第二路由器矩阵卡(122b)的输出卡(128)，所述输出卡(128)接收来自所述第一路由器矩阵卡(122a)的第一组所述 M 个奇偶校验编码的输出数字音频数据流以及来自所述第二路由器矩阵卡(122b)第二组所述 M 个奇偶校验编码的输出数字音频数据流；提供从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流作为其输出；并且当在从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流中检测到奇偶校验错误时，从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流切换到所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流。

2. 根据权利要求 1 所述的路由器，其中所述输出卡(128)还包含一个开关电路(136)，其被耦合用来接收来自所述第一路由器矩阵卡(122a)的所述第一组 M 个奇偶校验编码的输出数字音频数据流以及来自所述第二路由器矩阵卡(122b)的所述第二组 M 个奇偶校验编码的输出数字音频数据流，作为对开关信号被置为有效的响应，所述开关电路(136)从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流切换到所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流。

3. 根据权利要求 2 所述的路由器，其中所述输出卡(128)还包含：

耦合以便接收来自所述第一路由器矩阵卡(122a)的所述第一组 M 个奇偶校验编码的输出数字音频数据流的第一奇偶校验检查电路(130a)；

耦合以便接收来自所述第二路由器矩阵卡(122b)的所述第二组 M 个奇偶校验编码的输出数字音频数据流的第二奇偶校验检查电路(130b)；以及

耦合以便接收来自所述第一奇偶校验检查电路(130a)的第一奇偶校验错误信号以及来自所述第二奇偶校验检查电路(130b)的第二奇偶校验错误信号的逻辑电路(134), 所述逻辑电路(134)根据从所述第一奇偶校验检查电路(130a)接收的第一奇偶校验错误信号与从所述第二奇偶校验检查电路(130b)接收的第二奇偶校验错误信号, 确定是否将所述开关信号置为有效。

4. 根据权利要求3所述的路由器, 其中所述输出卡(128)还包含:

耦合以便接收来自所述第一路由器矩阵卡(122a)的所述第一组 M 个奇偶校验编码的输出数字音频数据流的第一延迟电路(132a);

耦合以便接收来自所述第二路由器矩阵卡(122b)的所述第二组 M 个奇偶校验编码的输出数字音频数据流的第二延迟电路(132b);

所述开关电路(136)耦合以便分别通过所述第一延迟电路(132a)与第二延迟电路(132b)接收来自所述第一路由器矩阵卡(122a)的所述第一组 M 个奇偶校验编码的输出数字音频数据流, 与来自所述第二路由器矩阵卡(122b)的第二组 M 个奇偶校验编码的输出数字音频数据流。

5. 根据权利要求3所述的路由器, 其中当在所述从第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流中检测到奇偶校验错误时, 不管在检测时在所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流中是否存在奇偶校验错误, 所述逻辑电路(134)都将所述开关信号置为有效。

6. 根据权利要求3所述的路由器, 其中当在所述从第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流中检测到奇偶校验错误时, 只有在所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流中不存在奇偶校验错误时, 所述逻辑电路(134)才将所述开关信号置为有效。

7. 根据权利要求3所述的路由器, 其中当所述开关信号被置为有效时, 所述开关电路(136)从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流切换回到所述从第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流。

8. 根据权利要求7所述的路由器, 其中当在所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流中检测到奇偶校验错误时, 所述逻辑电路(134)将所述开关信号置为无效。

9. 根据权利要求 7 所述的路由器, 其中当在所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流中检测到奇偶校验错误时, 只有在所述从第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流中不存在奇偶校验错误时, 所述逻辑电路(134)才将
5 所述开关信号置为无效。

10. 根据权利要求 7 所述的路由器, 其中当在所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中未选择的一个数据流中检测到奇偶校验错误时, 不管在所述从第一与第二组 M 个奇偶校验编码的输出数字音频数据流中所选择的一个数据流中是否存在奇偶校验错误, 所述逻辑电路(134)都将
10 所述开关信号置为无效。

11. 对于具有输入卡(121)、第一路由器矩阵卡(122a)与第二路由器矩阵卡(122b)的广播路由器(100), 其中所述输入卡(121)向所述第一路由器矩阵卡(122a)与所述第二路由器矩阵卡(122b)发送一组 N 个输入数字音频数据流, 所述
15 所述第一路由器矩阵卡(122a)输出第一组 M 个输出数字音频数据流, 并且所述第二路由器矩阵卡(122b)输出第二组复制的 M 个输出数字音频数据流, 一种从所述第一与第二组 M 个输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出的方法, 所述方法包含:

通过所述第一路由器矩阵卡(122a)的至少一个部件(124a), 传播所述第一组 M 个输出数字音频数据流;

20 所述所述第一路由器矩阵卡(122a)的至少一个部件(124a)中的每一个向通过其传播的所述第一组 M 个输出数字音频数据流添加至少一位信息;

通过所述第二路由器矩阵卡(122b)的至少一个部件(124b), 传播所述第二组 M 个输出数字音频数据流; 以及

25 根据所述添加到第一组 M 个输出数字音频数据流的至少一位信息与所述添加到所述第二组 M 个输出数字音频数据流的至少一位信息的比较, 从所述第一与第二组 M 个输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出。

12. 根据权利要求 11 所述的方法, 其中所述至少一位信息包括至少一个状态位。

30 13. 根据权利要求 11 所述的方法, 其中所述至少一位信息包括至少一个健康位。

14. 根据权利要求 13 所述的方法, 其中从所述第一与第二组 M 个输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出还包含:

通过将所述添加到第一组 M 个输出数字音频数据流的至少一位相加, 确定第一总和;

5 通过将所述添加到第二组 M 个输出数字音频数据流的至少一位相加, 确定第二总和;

根据所述第一总和与第二总和的比较, 从所述第一与第二组 M 个输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出。

15. 根据权利要求 11 所述的方法, 还包含:

10 在向所述第一路由器卡(122a)的第一路由器矩阵(124a)以及所述第二路由器矩阵卡(122b)的第二路由器矩阵(124b)发送所述第一组 N 个输入数字音频数据流之前, 将奇偶校验信息编码进入所述第一组 N 个输入数字音频数据流, 所述从第一路由器矩阵(124a)输出的第一组 M 个输出数字音频数据流为第一组 M 个奇偶校验编码的输出数字音频数据流, 并且所述从第二路由器矩阵(124b)输出的第二组 M 个输出数字音频数据流为第二组 M 个奇偶校验编码的输出数字音频数据流;

检查所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流是否有奇偶校验错误;

根据在所述第一组 N 个输出数字音频数据流中是否存在奇偶校验错误、
20 在所述第二组 N 个输出数字音频数据流中是否存在奇偶校验错误、以及所述添加到第一组 M 个奇偶校验编码的输出数字音频数据流的至少一位信息与所述添加到第二组 M 个奇偶校验编码的输出数字音频数据流的至少一位信息的比较, 从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出。

25 16. 根据权利要求 15 所述的方法, 其中从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出还包含:

通过将所述添加到第一组 M 个奇偶校验编码的输出数字音频数据流的至少一位相加, 来确定第一总和;

30 通过将所述添加到第二组 M 个奇偶校验编码的输出数字音频数据流的至少一位相加, 来确定第二总和;

- 根据在所述第一组 M 个奇偶校验编码的输出数字音频数据流中是否存在奇偶校验错误、在所述第二组 M 个奇偶校验编码的输出数字音频数据流中是否存在奇偶校验错误、以及所述第一总和与第二总和的比较，从所述第一与第二组 M 个奇偶校验编码的输出数字音频数据流中选择一个数据流作为所述广播路由器(100)的输出。
- 5

容错广播路由器

5 本申请涉及2002年6月21日提出的美国临时专利申请第60/390,843号。

本申请还涉及如下序号的同时待审PCT专利申请:

PCT/____(代理人案号IU010620), PCT/____(代理人案号IU020157),
PCT/____(代理人案号IU020158), PCT/____(代理人案号IU020159),
PCT/____(代理人案号IU020160), PCT/____(代理人案号IU020161),
10 PCT/____(代理人案号IU020252), PCT/____(代理人案号IU020253),
PCT/____(代理人案号IU020254), PCT/____(代理人案号IU020255), 和
PCT/____(代理人案号IU020256), 所有这些申请都转让给本申请的受让人,
特此全文引用, 以供参考。

15 技术领域

本发明涉及广播路由器, 尤其涉及容错广播路由器, 其被配置来检测第一输出数据流中的错误, 并响应于检测到第一输出数据流中的错误而自动切换到第二输出数据流。

20 背景技术

广播路由器使得其多个输出中的每一个都被分配了来自于到达该广播路由器的多个输入中的任何一个的信号。例如, $N \times M$ 广播路由器含有 N 个输入端和 M 个输出端, 这 N 个输入端和 M 个输出端通过使 N 个输入的任何一
25 施加给 M 个输出端的每一个的路由器矩阵耦合在一起。虽然例如广播路由器的输入卡、输出卡、路由器矩阵、互连电缆或电源的各种部件中的任何一或多个部件的故障都会造成路由器输出的缺陷, 但是路由器矩阵的故障尤其具有灾难性, 因为广播路由器的所有信号一般都流经路由器矩阵。

因此, 人们一直希望广播路由器具有容错功能。通过配置广播路由器以包含第一或主路由器矩阵以及第二或冗余路由器矩阵两者, 广播路由器获得
30 了有限程度的容错性。但是, 包含冗余路由器矩阵的广播路由器一般依赖于使用警报或者其他类型的提示, 来通知广播路由器管理员主路由器出了故障,

并且利用手动切换或者其他类型的管理员启动的设备来将广播路由器的输出从出故障的主路由器输出切换到冗余路由器输出。

发明内容

- 5 容错路由器包含第一与第二路由器矩阵，以及用来选择性地将容错路由器的输出从由第一路由器矩阵生成的第一组数字输出音频数据流切换到由第二路由器矩阵生成的第二组数字输出音频数据流的电路。可以响应于检测到数字输出音频数据流之一中的奇偶校验错误、相应数字输出音频数据流健康或状态信息的比较、或者这两者，而启动在第一与第二组数字输出音频数据流之间的切换。
- 10

附图说明

图 1 是按照本发明的原理构造的广播路由器的方块图；

- 图 2 是图 1 的广播路由器的第一广播路由器部件(及相关的输入与输出卡)的放大方块图。
- 15

详细描述

- 首先参照图 1，现在更详细地描述按照本发明的原理构造的容错广播路由器 100。虽然优选的是容错广播路由器 100 为全冗余线性可扩展广播路由器，但是完全可以理解本发明的原理也适用于其他类型的广播路由器。从图 1 可以看到，容错广播路由器 100 包括相互耦合以形成较大容错广播路由器 100 的数个广播路由器部件。正如此处所公开的那样，用于构造容错广播路由器 100 的每个广播路由器部件都是 $N \times M$ 大小的广播路由器。
- 20

- 容错广播路由器 100 是通过将第一、第二、第三和第四广播路由器部件 102、104、106 和 108 耦合在一起形成的。当然，当前公开容错广播路由器 100 由 4 个广播路由器部件组成纯粹是举个例子。因此，应该清楚地认识到，按照本发明的原理构造的容错广播路由器 100 可以利用各种其它数目的广播路由器部件形成。当以本文公开的方式完全连接时，集体形成容错广播路由器 100 的第一、第二、第三和第四广播路由器部件 102、104、106 和 108 可以一起存放在如图 1 所示的公共机架中，或者如果需要的话，存放在分立的机架上。虽然如此处所公开的那样，广播路由器部件 102、104、106 和 108
- 25
- 30

中的每一个具有相同的 $N \times M$ 大小，完全可以设想广播路由器部件 102、104、106 和 108 可以具有彼此不同的大小。虽然还可以设想以各种大小构造广播路由器部件 102、104、106 和 108，但是已经证明适合于此处设想的使用的尺寸是 256×256 。

5 从图 1 中还可以看出，第一广播路由器部件 102、第二广播路由器部件 104、第三广播路由器部件 106、和第四广播路由器部件 108 以遵从全连接拓扑结构的结构耦合在一起。在全连接拓扑结构中，广播路由器结构的每个广播路由器通过分离链路与形成该种广播路由器结构一部分的每一个其它路由器矩阵耦合。因此，对于共同构成广播路由器 100 的路由器 102、104、106
10 和 108 的结构，第一、第二和第三双向链路 110、112 和 114 将第一广播路由器部件 102 分别与第二广播路由器部件 104、第三广播路由器部件 106、和第四广播路由器部件 108 相耦合。另外，第四和第五双向链路 116 和 118 将第二广播路由器部件 104 分别与第三广播路由器部件 106 和第四广播路由器部件 108 相耦合。最后，第六双向链路 120 将第三广播路由器部件 106 与第四
15 广播路由器部件 108 相耦合。可变化的，双向链路 110 到 120 可以由铜线、光纤或其它认为适合于数字信号交换的传输介质形成。当然，可替换地，除了此处所示的单一双向链路，可以用单向链路对将广播路由器部件相互耦合。

如下详细所述，每个广播路由器部件都是包含第一与第二路由器矩阵的分离路由器设备，其中第二路由器矩阵为第一路由器矩阵的冗余，从而在其
20 出现故障时，第一与第二路由器矩阵中的一个可以替换第一与第二路由器矩阵中的另一个。第一路由器矩阵按第一全连接拓扑结构排列。类似地，第二路由器矩阵按第二全连接拓扑结构排列。对于广播路由器部件 102、104、106 和 108 中的每一个，在第一与第二路由器矩阵两者的输入侧接收相同的 $4N$ 个输入数字音频数据流，并且在第一与第二路由器矩阵两者的输出侧生成 M
25 个输出数字音频数据流。当然，应该容易理解，除了此处所公开的数字音频数据流输入之外的其他类型的数据流同样适用于广播路由器部件 102、104、106 和 108。例如，可以设想广播路由器部件 102、104、106 和 108 可以改用于其他低带宽数字信号，例如压缩的视频与数据信号。还可以设想，利用微小的改动，例如更快的硬件，广播路由器部件可以用于非压缩的数字视频信
30 号。

现在更详细地描述广播路由器部件 102、104、106 和 108。图 2 显示第

一广播路由器部件 102。在另一方面，第二、第三、和第四广播路由器部件 104、106 和 108 与第一广播路由器部件 102 一样地配置。相应地，不需要更详细地描述第二、第三、和第四广播路由器部件 104、106 和 108。现在可以看出，第一广播路由器部件 102 包含第一路由器矩阵卡 122a 以及与该第一路由

5 器矩阵卡 122a 相同地配置的第二路由器矩阵卡 122b。第一路由器矩阵卡 122a 与第二路由器矩阵卡 122b 中的每一个都可滑动进入广播路由器 100 的机架(未显示)，并通过其安装并支撑。当然，虽然当实现此处所公开的发明的特定方面时不一定要使用数个路由器矩阵卡，但一般优选的是使用数个路由器矩阵卡，这是因为这样有利于在不干扰正常工作的路由器矩阵卡的情况下修

10 复和/或替换出故障的路由器矩阵卡。

输入卡 121 与输出卡 128 也可滑动进入机架，并可通过机架安装并支撑。输入卡 121 耦合至第一路由器矩阵卡 122a 与第二路由器矩阵卡 122b 中的每一个。类似的，输出卡 128 耦合至第一路由器矩阵卡 122a 与第二路由器矩阵卡 122b 中的每一个。当然，虽然在图 2 中显示分离的输入与输出卡 121 与

15 128，但是应该清楚地理解，如果需要的话，可以将存在于输入卡 121 与输出卡 128 两者上的功能改为置于单个的输入/输出(或“I/O”)卡之上。另外，虽然图 2，显示分离的输入与输出卡 121 与 128，但是完全可以设想，根据其上的可用空间，显示为存在于输入卡 121、输出卡 128 之一或两者上的所有或部分功能可以存在于第一路由器矩阵卡 122a、第二路由器矩阵卡 122b、或其组

20 合之上。

在输入卡 121 上存在有输入信号选择电路 123 与奇偶校验编码器 126。输入信号选择电路 123 从到达其的数个输入信号(未显示)中选择 N 个输入信号以传递到奇偶校验编码器 126。当然，应该清楚地理解，为了描述方便，已经大大简化了输入信号选择电路 123，并且从附图中省去了各种部件。还

25 应该理解，纯粹为了图解的方便，才将输入信号选择电路 123 显示为位于单个输入卡上，具体地讲为输入卡 121 上，并且完全可以设想可以将信号选择电路 123 改为分布在数个输入卡(未显示)之间。然而，应该注意到，此结构还可能包含数个奇偶校验编码器，其中每一个针对其中包含的数个输入卡中的每一个。最后，虽然在此处公开的实施方式中，奇偶校验编码器 126 显示为

30 位于输入卡 121 上，但是完全可以设想奇偶校验编码器可以置于沿音频数据传播的路径的各种位置上。例如，如果需要的话，可以将奇偶校验编码器分

别置于第一与第二路由器矩阵卡 122a 与 122b 中的每一个上, 并且耦合用来从第一和第二路由器矩阵 124a 和 124b 接收 M 个数字输出。

N 个输入数字音频数据流从输入信号选择电路 123 传播到奇偶校验编码器电路 126。奇偶校验编码器电路处理所接收的数据从而包含奇偶校验信息。

- 5 可以设想可以使用各种算法来利用奇偶校验信息对所接收的数字音频数据流编码。例如, 可以配置第一与第二奇偶校验编码器 126 a 与 126b, 以按照在前面通过引用结合于此的同时待审的美国专利申请第 10/____号(代理人案号 IU010620)中所描述并图解的方式, 向每个数据帧添加一个奇偶校验信息字节, 并且为每 32 个输入数据流添加一个奇偶校验信息帧。然而, 应该注意到,
- 10 当使用上述技术时, 由奇偶校验编码器电路 126 输出的奇偶校验编码的数据流的数目将根据输入数据流的数目而变化。例如, 使用上述技术, 奇偶校验编码器 126 将从 256 个输入数据流产生 264 个奇偶校验编码的数据流。当然, 在上面引用的专利申请中公开的技术只是多种适用于用奇偶校验信息编码数据的技术中的一种技术。其他技术, 例如循环冗余校验(或“CRC”)或校验和,
- 15 也适用于此处所设想的目的。

- 奇偶校验编码的数字音频数据流 1 至 N 从奇偶校验编码器 126 传播到位于第一路由器矩阵卡 122a 上的第一路由器矩阵 124a 与位于第二路由器矩阵卡 122b 上的第二路由器矩阵 124b 两者。另外, 第一与第二路由器矩阵 124a 与 124b 接收从第二广播路由器部件 104 输入的数字音频数据流 N+1 至 2N、
- 20 从第三广播路由器部件 106 输入的数字音频数据流 2N+1 至 3N、以及从第四广播路由器部件 108 输入的数字音频数据流 3N+1 至 4N。当然, 输入的数字音频数据流 N+1 至 4N 都是奇偶校验编码的, 最好是在发送到第一路由器矩阵卡 122a 的第一路由器矩阵 124a 与第二路由器矩阵卡 122b 的第二路由器矩阵 124b 之前。虽然完全可以设想包含数个具有到每一个路由器矩阵都相同的
- 25 输入的路由器矩阵的多种广播路由器结构都适合于此处所设想的目的, 但是在同时待审并且前面通过引用结合于此的美国专利申请第 10/____号(代理人案号 IU010620)中公开了一种此类广播路由器。在该申请中, 详细描述了具有四个广播路由器部件的广播路由器, 其中每个广播路由器部件都包含耦合以接收输入数字音频数据流 1 至 4 的一对路由器矩阵。

- 30 在第一路由器矩阵卡 122a 与第二路由器矩阵卡 122b 中的每一个上还有数个扩展端口(未显示), 在上述申请中也详细描述了其配置。广义说来, 位于

第一路由器矩阵卡 122a 上的扩展端口用来缓冲在第一路由器矩阵卡 122a 与第二、第三、和第四广播路由器部件 104、106 和 108 的第一路由器矩阵卡之间的、输入数字音频数据流的传送。类似的，位于第二路由器矩阵卡 122b 上的扩展端口用来缓冲在第二路由器矩阵卡 122b 与第二、第三、和第四广播路由器部件 104、106 和 108 的第二路由器矩阵卡之间的输入数字音频数据流的传送。当然，为了同样的目的，可以在第二、第三、和第四广播路由器部件 104、106 和 108 的每个路由器矩阵卡上配备类似的扩展端口配置。

可以设想，多种扩展端口配置适用于这些目的，并且在这方面，应该注意上述专利申请公开了一对可替换实施方式。在其中描述的第一实施方式中，第一与第二路由器矩阵卡 122a 与 122b 中的每一个都具有位于其中的第一、第二、和第三双向扩展端口。位于路由器矩阵卡 122a 或 122b 中任一个上的第一、第二、和第三扩展端口中的每一个接收与位于该卡上的路由器矩阵 124a 或 124b 相同的输入数字音频数据流 1 至 N。从第一路由器矩阵卡 122a 的第一、第二、和第三扩展端口中的每一个，输入数字音频数据流 1 至 N 传播到第二、第三、和第四广播路由器部件 104、106 和 108 的第一路由器矩阵卡。类似地，从第二路由器矩阵卡 122b 的第一、第二、和第三扩展端口中的每一个，输入数字音频数据流 1 至 N 传播到第二、第三、和第四广播路由器部件 104、106 和 108 的第二路由器矩阵卡。另外，第一路由器矩阵卡 122a 的第一、第二、和第三扩展端口还接收分别来自第二、第三、和第四广播路由器部件 104、106 和 108 的第一路由器矩阵卡的输入数字音频数据流 N+1 至 2N、2N+1 至 3N、和 3N+1 至 4N，以便随后传播到路由器矩阵 124a。类似地，第二路由器矩阵卡 122b 的第一、第二、和第三扩展端口还接收分别来自第二、第三、和第四广播路由器部件 104、106 和 108 的第二路由器矩阵卡的输入数字音频数据流 N+1 至 2N、2N+1 至 3N、和 3N+1 至 4N，以便随后传播到路由器矩阵 124b。

在同样在上述专利申请中描述的第二实施方式中，第一与第二路由器矩阵卡 122a 与 122b 中的每一个具有位于其上的数个单向扩展端口，更具体地讲，发送扩展端口与第一、第二、和第三接收扩展端口。位于第一路由器矩阵卡 122a 上的发送扩展端口接收与路由器矩阵 124a 相同的输入数字音频数据流 1 至 N。输入数字音频数据流 1 至 N 从位于第一路由器矩阵卡 122a 上的发送扩展端口传播到第二、第三、和第四广播路由器部件 104、106 和 108 的

第一路由器矩阵卡。类似地，位于第二路由器矩阵卡 122b 上的发送扩展端口接收与路由器矩阵 124b 相同的输入数字音频数据流 1 至 N。输入数字音频数据流 1 至 N 从位于第二路由器矩阵卡 122b 的发送扩展端口传播到第二、第三、和第四广播路由器部件 104、106 和 108 的第二路由器矩阵卡。相反，第一路由器矩阵卡 122a 的第一、第二、和第三接收扩展端口接收分别来自第二、第三、和第四广播路由器部件 104、106 和 108 的第一路由器矩阵卡的输入数字音频数据流 N+1 至 2N、2N+1 至 3N、和 3N+1 至 4N，以便随后传播到路由器矩阵 124a。类似地，第二路由器矩阵卡 122b 的第一、第二、和第三接收扩展端口接收分别来自第二、第三、和第四广播路由器部件 104、106 和 108 的第二路由器矩阵卡的输入数字音频数据流 N+1 至 2N、2N+1 至 3N、和 3N+1 至 4N，以便随后传播到路由器矩阵 124b。

第一与第二路由器矩阵 124a 与 124b 每一个中的功能允许其 M 个输出中的每一个连接到其 4N 个输入中所选的那个输入。通过控制电路(未显示)来控制对 M 个输出中的每一个连接到 4N 个输入中的特定一个输入的选择。同样地控制路由器矩阵 124a、124b，从而路由器矩阵 124a 的 M 个输出数字音频数据流与路由器矩阵 124b 的 M 个输出数字音频数据流相同。

在输出卡 128 上存在第一奇偶校验检查电路 130a、第二奇偶校验检查电路 130 b、第一延迟电路 132a、第二延迟电路 132b、逻辑电路 134、以及开关电路 136。奇偶校验编码的数字音频数据流从第一奇偶校验编码器电路 126a 传播到第一奇偶校验检查电路 130a 与延迟电路 132a 两者。第一延迟电路 132a 延迟所接收的奇偶校验编码的数字音频数据流的传播，同时第一奇偶校验检查电路 130a 检查所接收的奇偶校验编码的数字音频数据流是否存在传送错误。虽然第一延迟电路 132 可以以各种方式配置，但是可以设想先入先出(或“FIFO”)存储器设备，其宽度相应于所接收的奇偶校验编码的数字音频数据流的数目，并且其深度基于奇偶校验检查电路 130a 对所接收的奇偶校验编码的数字音频数据流进行所希望的奇偶校验(例如在上述美国专利申请第 10/____号(代理人案号 IU010620)中所描述的奇偶校验)所需时间来选择。类似地，复制的奇偶校验编码的数字音频数据流从奇偶校验检查电路 130b 传播到奇偶校验检查电路 130b 与延迟电路 132b 两者。此处，第二延迟电路 132b 延迟复制的所接收的奇偶校验编码的数字音频数据流的传播，同时第二奇偶校验检查电路 130b 检查所接收的复制的奇偶校验编码的数字音频数据流是否存在

传送错误。

从图 2 中还可以看出,第一奇偶校验检查电路 130a 还包含连接到逻辑电路 134 的输出线 138a。输出线 138a 一般无效(unasserted)。然而如果第一奇偶校验检查电路 130a 在所接收的奇偶校验编码的数字音频数据流中检测到传送
5 错误,则第一奇偶校验检查电路 130a 将输出线 138a 置为有效(assert)。类似地,第二奇偶校验检查电路 130b 还包含连接到逻辑电路 134 的输出线 138b。与输出线 138a 相同,输出线 138b 一般无效。然而,如果第二奇偶校验检查电路 130b 在所接收的奇偶校验编码的数字音频数据流中检测到传送错误,则第二奇偶校验检查电路 130b 将输出线 138a 置为有效。

10 选择器电路 136 为 2: 1 选择器电路,具有作为第一输入的、从延迟电路 132a 输出的奇偶校验编码的数字音频数据流,以及作为第二输入的,从延迟电路 132b 输出的奇偶校验编码的数字音频数据流。作为对接收到来自逻辑电路 134 的控制信号的响应,选择器电路 136 选择从延迟电路 132a 输出的奇偶校验编码的数字音频数据流或从延迟电路 132b 输出的奇偶校验编码的数字
15 音频数据流,作为广播路由器部件的输出。例如,可以配置选择器电路 136,从而如果控制输入 140 无效,则传送从延迟电路 132a 输出的奇偶校验编码的数字音频数据流;但是如果控制输入 140 有效,则传送从第二延迟电路 132b 输出的奇偶校验编码的数字音频数据流。根据其所选择的特定逻辑电路以及其输入 138a、138b 的状态,通过逻辑电路 134 选择性地将控制输入 140 置为
20 有效。例如,可以配置逻辑电路 134,从而每当输入 138a 无效时,保持输出 140 无效,而当开始将输入 138a 置为有效时,将输出 140 置为有效。一旦输出 140 被置为有效,其将保持有效,直至随后对输入 138b 置为有效,此时逻辑电路 134 将输出 140 置为无效(deassert)。

当逻辑电路 134 以上述方式配置时,选择器电路 136 一般传送已经由第
25 一奇偶校验检查电路 130a 确定为无传送错误的、从第一延迟电路 132a 输出的奇偶校验编码的数字音频数据流。不管是否有传送错误,都保持不选择从第二延迟电路 132b 输出的奇偶校验编码的数字音频数据流。如果第一奇偶校验检查电路 130a 检测到第一奇偶校验编码的数字音频数据流中由错误,则第一奇偶校验检查电路 130 将输出 138a 置为有效。作为响应,逻辑电路 134 将
30 输出 140 置为有效,从而使选择器电路 136 不再选择第一奇偶校验编码的数字音频数据流,并且选择第二奇偶校验编码的数字音频数据流作为广播路由

器部件 102 的输出。通过切换到第二冗余奇偶校验编码的输出数字音频流，可以在不中断从广播路由器部件 10 输出的数字音频流的情况下，修复或替换第一路由器矩阵卡 126a。

如此处所公开的，一旦广播路由器部件 102 的输出被切换到第二奇偶校验编码的数字音频数据流，则不管是否清除了在第一奇偶校验编码的数字音频数据流中检测到的传送错误，选择器电路 136 都将继续传送从第二延迟电路 132 b 输出的第二奇偶校验编码的数字音频数据流。因此，一旦选择器电路 136 选择了第二奇偶校验编码的数字音频数据流，则将保持不选择从第一延迟电路 132a 输出的第一奇偶校验编码的数字音频数据流。然而，如果第二奇偶校验检查电路 130b 随后在第二奇偶校验编码的数字音频数据流中检测到传送错误，则第二奇偶校验检查电路 130b 将输出 138b 置为有效。作为响应，逻辑电路 134 将输出 140 置为无效，从而使选择器电路 136 不再选择第二奇偶校验编码的数字音频数据流，并且重现选择第一奇偶校验编码的数字音频数据流作为广播路由器部件 102 的输出。

可以设想，该结构将最小化从广播路由器部件 102 输出的奇偶校验编码的数字音频数据流源从第一与第二路由器矩阵 124a 与 124b 中的第一个切换到第一与第二路由器矩阵 124a 与 124b 中的第二个的次数。当然，其他结构的逻辑电路 134 也适用于此处所设想的用途。例如，可以配置逻辑电路 134，使得来自第一延迟电路 132a 的第一奇偶校验编码的数字音频数据流一般为广播路由器部件 102a 的输出。在通过第一奇偶校验检查电路 130a 检测到传输错误时，逻辑电路 134 将控制输出 140 置为有效，从而将广播路由器部件 102a 的输出切换到第二数字音频数据流。然而，在这种结构中，在纠正传输错误并且将输出 138a 置为无效时，逻辑电路 134 将控制输出 140 置为无效，从而将广播路由器部件 102a 的输出切换回到第一数字音频数据流。虽然该结构可能减少广播路由器部件开关电路的复杂性，但是不太可能检测到两个数字音频数据流中几乎同时的传输错误。

最后，应该注意，为了选择器电路 136 无缝地在第一数字音频数据流与第二数字音频数据流之间切换，以作为广播路由器部件 102 的输出，第一与第二数字音频数据流应该相互同步。可以设想能够使用各种技术进行数字音频数据流的同步。例如，第一与第二延迟电路 132a 与 132b 可以连接到公共基准信号(未显示)，该公共基准信号控制第一与第二数字音频数据流分别从第

一与第二延迟电路 132a 与 132b 向开关电路 136 的传播。

继续参照图 2，以下将更详细地描述与上述的奇偶校验编码技术一起或结合使用的本发明的另一方面。如上所述，第一路由器矩阵 124a 从位于输入卡 121 上的选择电路 123、第二路由器部件 104 的第一路由器矩阵卡、第三
5 路由器部件 106 的第一路由器矩阵卡、以及第四路由器部件 108 的第一路由器矩阵卡接收 N 个输入数字音频数据流。在路由器矩阵 124a 内，各个部件导致从 4N 个输入数字音频数据流生成 M 个输出数字音频数据流。然后，通过位于第一路由器矩阵卡 122a 上的各种部件，向输出卡 128 的奇偶校验检查电路 130a 与延迟电路 132a 传播 M 个输出数字音频数据流。在这些部件中，在
10 图 2 中只能看到奇偶校验编码器电路 126a。然而，应该容易理解，当物理地实现时，M 个输出数字音频数据流可能也需要通过其他设备传播。类似地，第二路由器矩阵 124b 从位于输入卡 121 上的选择电路 123、第二路由器部件 104 的第二路由器矩阵卡、第三路由器部件 106 的第二路由器矩阵卡、以及第四路由器部件 108 的第二路由器矩阵卡接收 N 个输入数字音频数据流。在
15 第二路由器矩阵 124b 内，从 4N 个输入数字音频数据流生成 M 个输出数字音频数据流。然后，通过位于第二路由器矩阵卡 122b 上的各种部件，向输出卡 128 的第二奇偶校验检查电路 130b 与延迟电路 132b 传播 M 个输出数字音频数据流。再次地，应该容易理解，在图 2 中未显示路由器矩阵 124b 内部或者其它位于沿 M 个输出数字音频数据流向输出卡 128 传播的路径上的各种部
20 件。

根据这个方面，可以设想，当向输出卡 128 传播数字音频数据流时，处理这些流的各种部件中的一或多个可以根据所述部件对存在错误或其他类型的故障情况的判定来修改流。例如，每个数据流可以包含一或多个“健康(health)”字节。一或多个健康字节的每一位被分配给该数据流将要传送通过的
25 部件之一，并且开始被设置为零。当数据流传送通过该部件时，如果该部件检测到存在错误或其他故障情况，则该部件将设置分配给它的一或多个健康位。例如，路由器矩阵 124a 接收来自四个源——选择电路 123、第二路由器部件 104 的第一路由器矩阵卡、第三路由器部件 106 的第一路由器矩阵卡、以及第四路由器部件 108 的第一路由器矩阵卡的输入数据流。可以将第一健
30 康字节的一位分配给这些数据源的每一个，并且如果与该数据源的连接出现故障，则路由器矩阵 124a 将设置相应位。另外，作为例子，每个数据流可以

包含一或多个“状态”字节。与健康字节类似，该一或多个状态字节的每一位开始被设置为零，但当数据流传送通过第一广播路由器部件 102 时，如果检测到特定条件(例如，“板不存在”或“板处于未准备好状态”)，则将设置该位。通过这种方式，当第一与第二组 M 个输出数字音频数据流向选择电路 136 传播时，将设置 M 个输出数字音频数据流的一或多个健康字节和/或一或多个状态字节的各个位。当第一与第二奇偶校验检查电路 130a 与 130b 分别从第一与第二奇偶校验编码器电路 126a 与 126b 接收第一与第二组 M 个奇偶校验编码的输出数字音频数据流时，奇偶校验检查电路 130a 与 130b 还将检查所接收的一或多个健康字节。虽然可以使用各种技术来检查一或多个健康字节，但是一种适合的技术为计数已被设置的位的数目。通过这样做，第一与第二奇偶校验检查电路 130a 与 130b 中的每一个生成“健康计数”、“状态计数”、或者这两者。健康计数包含在相应数据流传播过程中检测到的错误或其他类型故障的总数目。因为每个检测到的错误都增加健康计数，所以较低的健康计数表示较少错误。类似地，状态计数包含在相应数据流传播过程中检测到的“不存在”和/或“未准备好”的总数目。因为每个检测到的“不存在”或“未准备好”都增加状态计数，所以较低的状态计数表示就绪程度较高。

由第一与第二奇偶校验检查电路 132a 与 132b 中每一个所确定的健康和/或状态计数被转发给逻辑电路 134，其中独立地或者与奇偶校验错误检测相结合地使用该计数，以选择两组 M 个数字音频数据流之一作为广播路由器 100 的输出。例如，可以配置逻辑电路 134，以在完全不考虑是否存在奇偶校验错误的情况下，选择具有最低健康计数的数字音频数据流。可替换地，可以配置逻辑电路 134，以选择确定无奇偶校验错误的数字音频数据流，但是在两个数字音频数据流都没有奇偶校验错误或都有奇偶校验错误的情况下，数字音频数据流将选择具有最低健康计数的数字音频数据流。因此，在该配置中，健康字节为第一与第二奇偶校验检查电路 132a 与 132b 产生相同结果的那些情况提供了一种解决方式。

因此，本文公开和图解说明了配置用来根据数据流的比较分析在一对输出数据流之间进行切换的容错广播路由器。当然，虽然此处已经显示和描述了本发明的优选实施例，但本领域的普通技术人员可以在不偏离本发明的精神或原理的情况下，作出各种各样的修改和其它改变，因此，本发明的保护范围不局限于此处所述的实施例，而是只由所附权利要求书来限定。

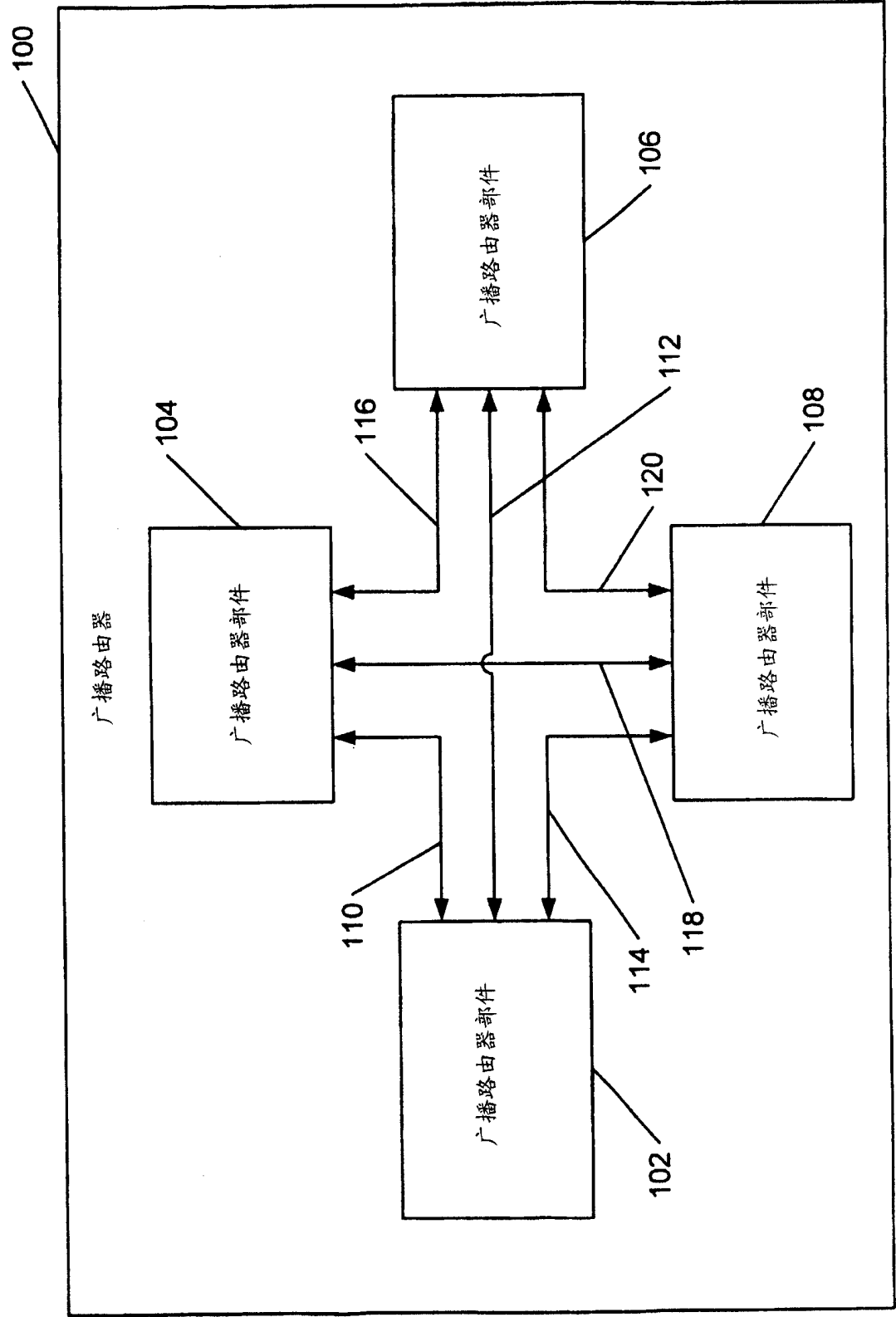


图 1

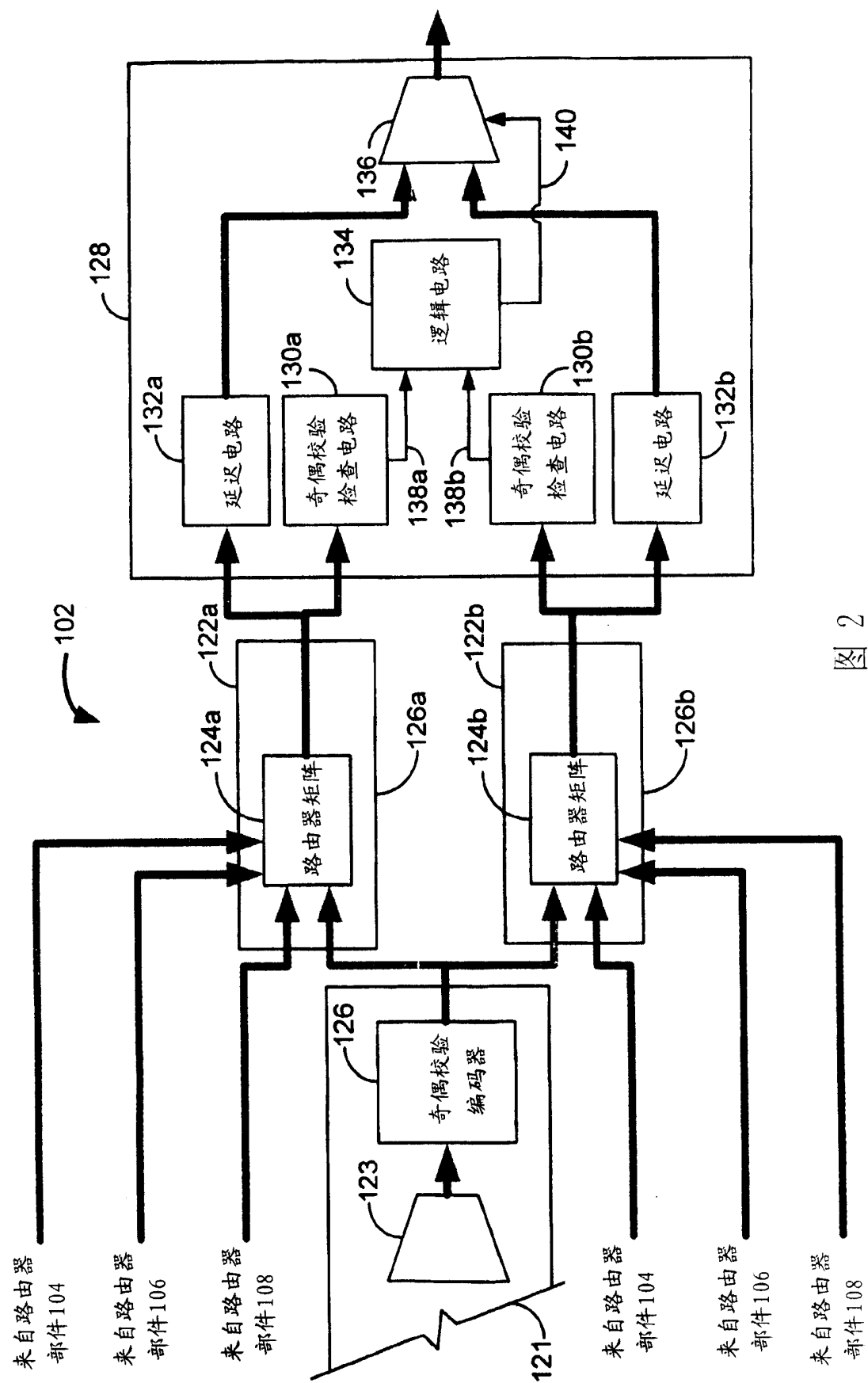


图 2