



(21)申請案號：102131620 (22)申請日：中華民國 102 (2013) 年 09 月 03 日
 (51)Int. Cl. : H01L21/336 (2006.01) H01L21/28 (2006.01)
 (30)優先權：2012/09/03 歐洲專利局 EP12182800
 (71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING CO., LTD. (TW)
 新竹市新竹科學工業園區力行六路 8 號
 跨大學校際微電子卓越研究中心 (比利時) IMEC VZW (BE)
 比利時
 (72)發明人：維特斯 萊斯柏斯 WITTERS, LIESBETH (BE)；沃斯 莉塔 VOS, RITA (BE)；凡
 戴爾 馬克 VAN DAL, MARK (NL)；布蘭寇 大衛 BRUNCO, DAVID (US)
 (74)代理人：洪澄文；顏錦順
 (56)參考文獻：
 US 2004/0217430A1 US 2009/0108308A1
 審查人員：陳佳瑋
 申請專利範圍項數：10 項 圖式數：9 共 27 頁

(54)名稱

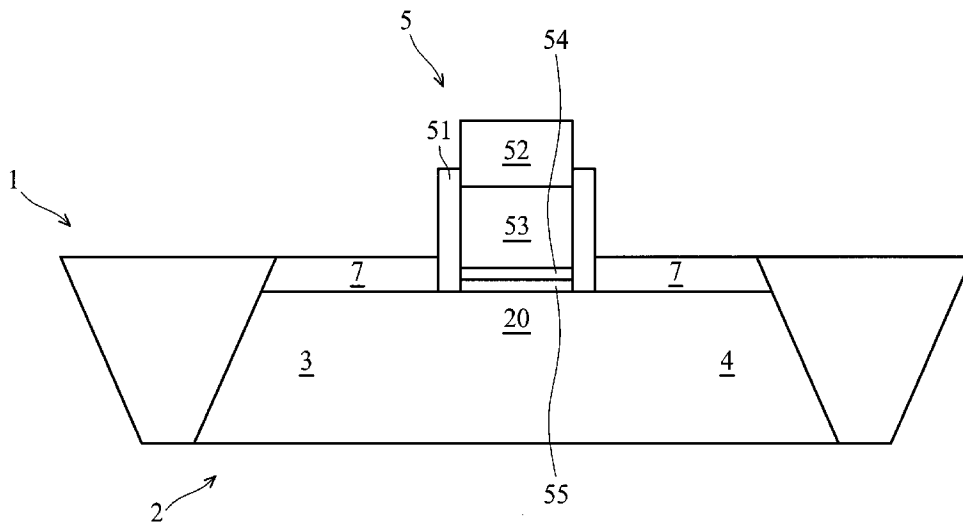
包含銻為主的通道層之電晶體裝置的製作方法與微電子裝置

METHOD FOR MANUFACTURING A TRANSISTOR DEVICE COMPRISING A GERMANIUM
 BASED CHANNEL LAYER AND MICROELECTRONIC DEVICE

(57)摘要

本發明提供之包含銻為主的通道層之電晶體裝置的製作方法，包括：形成閘極結構於銻為主的通道層上，銻為主的通道層位於基板上，且閘極堆疊位於銻為主的通道層其相反兩側的銻為主的源極區與銻為主的汲極區之間；形成蓋層於銻為主的源極區與銻為主的汲極區上，且蓋層包括矽與銻；沉積金屬層於蓋層上；進行溫度步驟，使至少部份蓋層轉變為金屬銻矽化物，金屬銻矽化物不溶於蝕刻品，且蝕刻品係用以溶解金屬層；以蝕刻品自基板選擇性地移除未消耗之金屬層；以及形成金屬前介電層。

A method for manufacturing a transistor device comprising a germanium based channel layer, the method comprising: providing a gate structure on the germanium comprising channel layer provided on a substrate, the gate structure being provided between a germanium based source area and a germanium based drain area at opposite sides of the germanium comprising channel layer; providing a capping layer on the germanium based source and the germanium based drain area, the capping layer comprising Si and Ge; depositing a metal layer on the capping layer; performing a temperature step, thereby transforming at least part of the capping layer into a metal germano-silicide which is not soluble in a predetermined etchant adapted for dissolving the metal; selectively removing non-consumed metal from the substrate by means of the predetermined etchant; providing a premetal dielectric layer.



- 1 . . . FET 電晶體裝置
- 2 . . . 基板
- 3 . . . 源極區
- 4 . . . 汲極區
- 5 . . . 閘極結構
- 7 . . . 蓋層
- 20 . . . 通道區
- 51 . . . 間隔物
- 52、55 . . . 介電層
- 53 . . . 多晶矽層
- 54 . . . 金屬層

第 3 圖

發明摘要

※ 申請案號：102131620

H01L 21/336

2006.01

※ 申請日：

※IPC 分類：

102 9. -3

H01L 21/34

2006.01

【發明名稱】 包含銻為主的通道層之電晶體裝置的製作方法與微電子裝置

Method for manufacturing a transistor device comprising a germanium based channel layer and microelectronic device

【中文】

本發明提供之包含銻為主的通道層之電晶體裝置的製作方法，包括：形成閘極結構於銻為主的通道層上，銻為主的通道層位於基板上，且閘極堆疊位於銻為主的通道層其相反兩側的銻為主的源極區與銻為主的汲極區之間；形成蓋層於銻為主的源極區與銻為主的汲極區上，且蓋層包括矽與銻；沉積金屬層於蓋層上；進行溫度步驟，使至少部份蓋層轉變為金屬銻矽化物，金屬銻矽化物不溶於蝕刻品，且蝕刻品係用以溶解金屬層；以蝕刻品自基板選擇性地移除未消耗之金屬層；以及形成金屬前介電層。

【英文】

A method for manufacturing a transistor device comprising a germanium based channel layer, the method comprising : providing a gate structure on the germanium comprising channel layer provided on a substrate, the gate structure being provided

between a germanium based source area and a germanium based drain area at opposite sides of the germanium comprising channel layer; providing a capping layer on the germanium based source and the germanium based drain area, the capping layer comprising Si and Ge; depositing a metal layer on the capping layer; performing a temperature step, thereby transforming at least part of the capping layer into a metal germano-silicide which is not soluble in a predetermined etchant adapted for dissolving the metal; selectively removing non-consumed metal from the substrate by means of the predetermined etchant; providing a premetal dielectric layer.

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：

- | | | | |
|-------|----------|----|------|
| 1 | FET電晶體裝置 | 2 | 基板 |
| 3 | 源極區 | 4 | 汲極區 |
| 5 | 閘極結構 | 7 | 蓋層 |
| 20 | 通道區 | 51 | 間隔物 |
| 52、55 | 介電層 | 53 | 多晶矽層 |
| 54 | 金屬層 | | |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 包含銻爲主的通道層之電晶體裝置的製作方法與微電子裝置

Method for manufacturing a transistor device comprising a germanium based channel layer and microelectronic device

【技術領域】

【0001】 本發明係關於場效半導體裝置，更特別關於場效電晶體(FET)。

【先前技術】

【0002】 場效半導體裝置的大規模積體度仍面臨多種挑戰。FET電晶體閘極長度持續縮小，形成其所需的關鍵尺寸之製程控制也越來越難。

【0003】 在矽爲主的FET電晶體裝置之領域中，現有的自我對準金屬矽化製程通常用以降低源極/汲極區與矽閘極的電阻。此製程通常包含預清潔製程、金屬沉積製程、與回火製程，以形成金屬矽化物合金。接著進行濕式選擇性蝕刻，以移除未反應的金屬。在濕式蝕刻製程中，任何露出的矽表面(比如矽通道層)將會自動形成薄鈍化層如氧化矽於其上，以保護下方的矽不受影響。

【0004】 在製作銻爲主的FET電晶體(比如形成於銻基板上)時，本領域已發展類似的銻化製程。直接在銻表面上進行銻化製程的主要問題爲形成孔洞。上述銻化製程通常包括預清潔製程、沉積金屬製程、與回火製程以形成金屬銻化物合金。接著

進行濕式選擇性蝕刻以移除未反應的金屬。當回火溫度最佳化時，可減少鍍化製程中因鍍擴散至金屬(如鎳或鎳鉑合金)所產生的孔洞，如美國專利7,517,765所述。然而移除未反應金屬的濕式選擇性蝕刻仍形成孔洞，此問題仍待解決。

【發明內容】

【0005】 當鍍接觸較貴重的金屬時，在水相溶液中極易電化腐蝕。以特定的鍍化物模組為例，鍍作為電化反應的陽極60，而較貴重的金屬如鎳鍍合金、鎳、鎳鉑鍍合金、鎳鉑合金作為電化反應的陰極61，如第1圖所示。鍍暴露於水相化學品形成小面積的孔洞62，造成高電化電流密度與高局部腐蝕速率。由於氧化鍍可溶於水，因此無法形成薄層的鈍化氧化層。這與用於矽為主的FET電晶體之習知矽化製程完全不同，因為氧化矽不溶於水，並可在大部份的水相溶液中作為鈍化層。

【0006】 本發明的目的在於提供改良的方法，以鍍化製程製作具有鍍為主的通道層以及鍍為主的源極與汲極之電晶體裝置，並減少形成孔洞。

【0007】 完成本發明的目的之技術特徵如下述。

【0008】 在本發明的第一實施例中，具有鍍或鍍為主的通道層之電晶體裝置的製作方法包括：提供閘極結構於鍍為主的通道層上，而鍍為主的通道層位於基板上。基板可為鍍基板、或絕緣基板上具有磊晶層的矽基板，且磊晶層包括鍍或矽鍍合金($\text{Si}_x\text{Ge}_{1-x}$ ， $0 \leq x \leq 1$)。閘極結構位於鍍為主的通道層其相反兩側中鍍為主的源極區與鍍為主的汲極區之間。上述方法提供蓋層於鍍為主的源極區與鍍為主的汲極區上，而蓋層包括矽與

鍍如矽鍍合金。上述方法沉積金屬層於蓋層上。上述方法進行溫度步驟如回火步驟，使至少部份的蓋層轉變為金屬矽鍍化合物。此金屬矽鍍化合物不會溶於用以溶解沉積之金屬層的預定蝕刻品。上述方法自基板上以預定蝕刻品選擇性地移除未消耗的金屬層。上述方法提供金屬前介電層。

【0009】 在進行鍍化製程即先形成蓋層於源極與汲極區上的好處在於，可減少甚至避免孔洞形成於鍍為主的通道及/或源極/汲極區。如此一來，在選擇性移除(如蝕刻)未消耗的金屬層時，可避免露出通道層、源極與汲極區、及其他鍍為主的層狀物。蓋層其較上方的部份較佳地與金屬層反應。未反應的蓋層其較下方的部份在選擇性移除(如蝕刻)未消耗之金屬層時，可作為蝕刻停止層。

【0010】 在較佳實施例中，上述方法更包括圖案化金屬前介電層以形成開口區域，再將導電材料填入開口區域中，使源極與汲極連接至金屬化線路。金屬前介電層可為氧化矽、氧化矽/氧化氮的堆疊、或低介電常數之介電層。

【0011】 通道層可為鍍為主的通道層。舉例來說，通道層可包含超過80%、超過90%、超過95%、或超過99%的鍍，甚至是100%的鍍。

【0012】 每一源極區與汲極區可為鍍為主材料。舉例來說，源極區與汲極區可包含超過80%、超過90%、超過95%、或超過99%的鍍，甚至是100%的鍍。

【0013】 提供蓋層於源極及汲極區上的步驟，亦可包括形成蓋層於閘極結構與源極區之間的區域中，以及閘極結構與汲

極區之間的區域中。

【0014】 提供溫度步驟可包括提供150°C至450°C之間的溫度，更佳為提供200°C至400°C之間的溫度、更佳為提供250°C至400°C之間的溫度、且更佳為提供250°C至350°C之間的溫度。

【0015】 在較佳實施例中的方法包括：在沉積金屬前介電層前，沉積金屬層於蓋層上、進行溫度步驟，使至少部份的蓋層轉變為金屬鍍矽化物、與自基板選擇性地移除未消耗的金屬層。

【0016】 上述方法的優點在於使金屬鍍矽化物與通道層之間的距離最小化。金屬鍍矽化物與通道層之間的距離主要地或完全取決於間隔物寬度。

【0017】 在其他較佳實施例中，方法包括在沉積與圖案化金屬前介電層以形成開口於其中之後，再沉積金屬層於蓋層上、進行溫度步驟，使至少部份的蓋層轉變為金屬鍍矽化物、與自基板選擇性地移除未消耗的金屬。

【0018】 在製程的流程中延遲形成金屬鍍矽化物的好處在於，先進行其他製作模組的製程條件(比如溫度)，之後形成的金屬鍍矽化物則不需再經歷其他模組的製程條件。舉例來說，其他製程可為閘極置換製程。

【0019】 在較佳實施例中，方法進一步包含閘極後製的置換閘極結構。

【0020】 在較佳實施例中，閘極後製的置換閘極結構其形成方法係於沉積金屬前介電層後進行，比如在圖案化金屬前介電層以露出蓋層之前進行。

【0021】 在較佳實施例中，閘極結構包括一或多個介電層及導電電極，而導電電極包括一或多個金屬層及/或摻雜的多晶矽層。閘極結構之橫向尺寸受限於間隔物結構，而閘極位於含銻通道層上並與其相鄰。間隔物結構可為或包括氮化矽、氧化矽、或上述之組合。

【0022】 在較佳實施例中，金屬層為(或包括)鎳、鉑、或鎳與鉑之組合。金屬層亦可為(或包括)鈮、銅、或鈮與銅之組合。

【0023】 對應的蝕刻品可為鹽酸(HCl)。

【0024】 在較佳實施例中，提供蓋層(如矽銻層)之步驟包括磊晶成長蓋層於銻為主的源極與汲極區。

【0025】 在較佳實施例中，方法包括以實質上無晶面模式成長蓋層(如矽銻層)。在下述內容中，此方法更包括以額外間隔物覆蓋矽銻層之晶面，以避免晶面上的金屬反應。

【0026】 在較佳實施例中，沉積的金屬層具有預定的厚度及/或預定的位置。在銻化製程如沉積金屬層於蓋層上並進行溫度步驟後，使至少部份的蓋層轉變為金屬銻矽化物，未消耗(或未反應/未轉變)的部份蓋層則繼續覆蓋其下方的銻(較佳為銻為主的源極與汲極區，亦可為基板上的其他非通道之銻區)。如此一來，自基板選擇性移除未消耗或未反應的金屬層時，上述未消耗的部份蓋層可保護下方的銻不受電化腐蝕。

【0027】 在較佳實施例中，沉積的金屬層具有預定厚度，比如小於含有矽銻合金的蓋層厚度。在一般例子中，並非所有的蓋層均會與金屬層作用，因此部份未反應的矽銻、特定實施例中組成漸變之矽銻蓋層中的矽、或雙層蓋層中的底部矽層將

可繼續覆蓋保護下方的鍺不受電化腐蝕。蓋層中所有或部份未反應的矽鍺層或矽層，其厚度為至少1nm。

【0028】 舉例來說，1nm厚的鍺層可消耗約2nm厚的矽鍺層($\text{Si}_x\text{Ge}_{1-x}$ ， x 介於0與1之間)，以形成低電阻的鍺矽鍺($\text{NiSi}_x\text{Ge}_{1-x}$)相。為了保留未反應或未轉變的部份蓋層以覆蓋鍺，蓋層的厚度較佳大於2nm，比如3nm。

【0029】 在較佳實施例中，蓋層係用以避免鍺為主的通道層以及源極與汲極區暴露於預定的蝕刻品。

【0030】 在較佳實施例中，蓋層包括矽與鍺如矽鍺合金，並包含約20%至100%的矽。上述蓋層的優點在於蓋層含有足夠的矽，在形成鍺矽化物時可抑制鍺擴散至金屬中，進而避免在回火時形成孔洞。

【0031】 蓋層可具有一致的組成，其鍺濃度較佳低於70%，且其鍺濃度更佳低於50%。蓋層亦可具有不一致的組成分佈對應不同深度，比如較下方的蓋層之矽濃度高於較上方的蓋層之矽濃度。舉例來說，蓋層可為(或包括)雙層結構，其第一子層如底層之鍺濃度可低於50%。第一子層之矽濃度可高於50%。上述蓋層可具有第二子層如頂層，其鍺濃度可較高如大於50%或大於70%。第一子層(底層)可作為蝕刻停止層或密封層，而第二子層(頂層)可最佳化地與金屬層反應。蓋層亦可具有漸變濃度，其鍺濃度隨著沉積厚度而增加。漸變濃度之蓋層之底層(或較下方部份)可對應雙層蓋層之第一子層。漸變濃度之蓋層之頂層(或較上方部份)可對應雙層蓋層之第二子層。漸變濃度之蓋層的中間部份形成於前述之頂層與底層之間。

【0032】 蓋層可進一步包含碳或錫。舉例來說，蓋層可進一步包含硼、銦、磷、砷、或銻。舉例來說，蓋層之厚度至少為 5nm，比如 5nm 至 30nm 之間。

【0033】 在較佳實施例中，上述方法更包括在沉積金屬層前與成長蓋層後(如矽鍍層)，形成間隔物以覆蓋任何薄矽鍍區。上述薄矽鍍區的成因為晶面矽鍍成長。在沉積預定的金屬層於蓋層上並進行溫度步驟後，在厚度方向中的薄區將完全消耗，比如由蓋層正面至鍍為主的通道層或源極與汲極區的所有薄區。這將使蓋層沒有任何未反應的部份殘留於鍍為主的通道層及/或源極與汲極區上的薄區中，以保護鍍為主的通道層或源極/汲極區。

【0034】 此間隔物的形成方法如本技術領域中具有通常知識者所知。

【0035】 間隔物可為(或包括)介電堆疊如氧化矽及/或氮化矽或任何其他低介電常數材料，其不與用於金屬矽鍍合金之金屬反應。

【0036】 在較佳實施例中，圖案化之金屬前介電層可避免鍍為主的通道層與鍍為主的源極與汲極區暴露於預定的蝕刻品。舉例來說，製作開口於金屬前介電層中，使蓋層得以與後續沉積之金屬接觸反應，而金屬前介電層仍覆蓋晶面矽鍍成長的薄矽鍍蓋區。在較佳實施例中，方法包括在選擇性蝕刻(自基板移除未消耗之金屬層)後，進行第二溫度步驟(如第二回火)，以減少金屬鍍矽化物之電阻及/或改良金屬鍍矽化物之裝置性質。

【0037】 在本發明另一實施例中，微電子裝置如電晶體裝置或以電晶體裝置作為中間裝置之裝置，其包含銻或銻為主的通道層於基板上；閘極結構位於銻為主的通道層上；閘極結構位於銻為主的通道層其相反兩側中銻為主的源極區與銻為主的汲極區之間；部份轉變的蓋層位於源極及/或汲極區上，且只有部份蓋層包括金屬銻矽化物。

【0038】 部分轉變的蓋層其包含金屬銻矽化物之部份為較上方的部份或較上方的子層。部份轉變的蓋層可進一步包含矽及/或銻(比如矽銻合金)，較佳為部份轉變的蓋層其較下方的部份或較下方的子層。

【0039】 可以理解的是，本技術領域中具有通常知識者可將一實施例的結構與優點進行必要變更以成另一實施例，反之亦然。

【圖式簡單說明】

【0040】

第 1 圖係習知銻化製程中發生的陽極處理。

第 2 圖係習知方法製造之銻為主的 FET 電晶體裝置，其銻為主的源極/汲極區中包含孔洞。

第 3 圖係本發明之第一實施例。

第 4 圖係本發明中建立於第一實施例上的第二實施例。

第 5 圖係本發明中建立於第一實施例上的第三實施例。

第 6 圖係本發明之第四實施例。

第 7 圖係本發明之第五實施例。

第 8 圖係本發明之第六實施例。

第9圖係依據第8圖之實施例進行額外製程的實施例。

【實施方式】

【0041】 本發明將以特定實施例與對應圖式進行說明，但本發明之範疇應以申請專利範圍為主而不侷限於說明書內容。圖式僅用以說明而非侷限本發明。爲了說明目的，圖式中的某些元件尺寸可能會失真而未依比例繪示。換言之，本發明圖式中的尺寸與相對尺寸不必然對應實際狀況的真實尺寸。

【0042】 此外，說明書與申請專利範圍中「第一」、「第二」、「第三」、與類似用語係用以區隔類似元件，不一定有位置或時間上的順序關係。這些用語在實際情況下可替換，而本發明實施例可由其他順序而非說明書所述之順序操作。

【0043】 另一方面，說明書與申請專利範圍中的「頂部」、「底部」、「位於...上」、「位於...下」、與類似用語僅用以方便說明，而不必然用以說明相對位置。這些用語在實際情況下可替換，而本發明實施例可由其他方向而非說明書所述之方向操作。

【0044】 此外，多種實施例中的用語「較佳」僅說明舉例本發明可實施的方式，並非用以侷限本發明。

【0045】 在申請專利範圍中的用語「包括」不應限制爲後述之元件或步驟，且未排除其他元件或步驟。用語「包括」應解釋爲存在下述之結構、整體、步驟、或構件，但未排除其他結構、整體、步驟、構件、或上述之組合。舉例來說，「裝置包括A與B」的意思並非爲「裝置僅具有A與B」，而是列舉裝置的構件有A與B。此外，申請專利範圍應解釋爲包含上述構

件之均等物。

【0046】 第1圖係當鍺接觸更貴重的金屬時，其於水性溶液中易於電化腐蝕的事實。在鍺化物模組的特例中，鍺作為電化反應中的陽極60，而更貴重的金屬如鎳鍺、鎳、或鎳鉑作為電化反應的陽極61，如第1圖所示。較貴重的金屬指的是具有較高標準電極電位的金屬。

【0047】 第2圖為一般的鍺為主之FET電晶體裝置。FET電晶體裝置1係形成於基板(如鍺基板)2之上或之中。基板2包含通道區(或層)20，其連接源極區3與汲極區4。在通道區20上為閘極結構5，其位於源極區3與汲極區之間。閘極結構5包含介電層(或介電層堆疊)55、金屬層54、多晶矽層53、與另一介電層52(比如氧化矽層)。上述閘極堆疊的橫向尺寸受限於間隔物(比如氮化矽)51。

【0048】 在習知的製作製程中，在金屬與源極-汲極的鍺材料反應，與濕式移除未反應的金屬後，將產生可見的孔洞6於源極區3與汲極區4中。

【0049】 本發明實施例的好處在於鍺接觸更貴重的金屬時，不會暴露於濕式(水相)製程中，進而抑制孔洞形成於鍺中。

【0050】 在本發明較佳實施例中，矽鍺(或類似物)的蓋層7位於鍺層(比如鍺為主的通道層及鍺為主的源極區與汲極區)的頂部上，如第3圖所示。蓋層7之成長方法可為實質上無晶面模式。在其他實施例中，將以額外的間隔物覆蓋矽鍺層的任何晶面，以避免晶面上的金屬反應。

【0051】 在形成鍺矽化物後，部份蓋層將維持足夠的高含

量矽成份，在選擇性蝕刻時可作為鍺的密封層。較高含量的矽成份較佳為氧化矽，其不溶於水並形成優異的鈍化層。

【0052】 在沉積金屬前成長蓋層(如矽鍺合金)，可避免鍺在選擇性蝕刻移除多餘金屬時暴露至水相溶液。在鍺化反應時，至少部份的蓋層將與金屬(比如鎳或鎳鉑合金)反應，而未反應的部份蓋層將作為停止層(或密封層)以避免鍺在選擇性蝕刻時暴露於濕蝕刻品中。蓋層之組要組成為矽、鍺、碳、及/或錫，但亦可包含摻質原子如硼、銮、磷、砷、及/或銻。若蓋層具有一致的組成，其鍺濃度可低於70%且較佳低於50%。在其他實施例中，蓋層之組成可隨著深度變化，其較上層的部份可包含高濃度的鍺(大於50%)以與金屬(如鎳)反應，而較下層不反應的部份可包含高濃度的矽(大於50%)以作為密封層。

【0053】 上述蓋層較佳為選擇性成長於鍺而不成長於介電材料上的材料，比如氧化矽、氮化矽、氮氧化矽、或碳。上述蓋層可為非選擇性成長的材料，但之後可由不利裝置操作(比如化學機械研磨操作)的區域移除。

【0054】 在本發較佳實施例中，成長於鍺層的頂部上之矽鍺合金(或類似物)的蓋層7，可具有晶面如第4圖所示。在此例中，額外的間隔物56將蓋層7上的晶面，以避免晶面中的薄矽鍺層與金屬反應。

【0055】 在第5圖中，金屬前介電層80覆蓋晶面，而開口90位於金屬前介電層80中。開口90並未與蓋層7之晶面重疊，即金屬前介電層80仍覆蓋蓋層7之晶面。

【0056】 第6至8圖所示的實施例分別對應第3至5圖的實施

例，差別在於第6至8圖之裝置進一步採用置換閘極製程。在形成金屬銻矽化物之步驟早於閘極移除的步驟之實施例中，銻矽化的閘極堆疊係由虛置的介電層57與虛置的多晶矽閘極層53所組成。

【0057】 在第8圖中，形成開口90於金屬前介電層80中，而後續形成金屬銻矽化物之步驟晚於置換閘極步驟。在此例中，閘極堆疊係由最後的介電層55及視情況採用之金屬層54與58所組成。

【0058】 對第8圖之裝置進行額外製程，可得第9圖之裝置。金屬層係位於蓋層7上並位於開口90中。回火步驟可消耗部份蓋層7，結果為原有蓋層7之保留部份72及頂部的金屬銻矽化物71。接著在形成穿過金屬前介電層之接點至源極與汲極區前，可先移除蓋層其未反應的保留部份。

【符號說明】

【0059】

- 1 FET電晶體裝置
- 2 基板
- 3 源極區
- 4 汲極區
- 5 閘極結構
- 7 蓋層
- 20 通道區
- 51、56 間隔物
- 52、55 介電層

- 53 多晶矽層
- 54 金屬層
- 57 虛置的介電層
- 60 陽極
- 61 陰極
- 62 孔洞
- 71 金屬鍺矽化物
- 72 保留部份
- 80 金屬前介電層
- 90 開口

申請專利範圍

1. 一種包含銻為主的通道層之電晶體裝置的製作方法，包括：
形成一閘極結構於該銻為主的通道層上，該銻為主的通道層位於一基板上，且該閘極堆疊位於該銻為主的通道層其相反兩側的一銻為主的源極區與一銻為主的汲極區之間；
形成一蓋層於該銻為主的源極區與該銻為主的汲極區上，且該蓋層包括矽與銻，其中該蓋層中較上層的銻濃度大於較下層的銻濃度；
沉積一金屬層於該蓋層上；
進行一溫度步驟，使至少部份該蓋層轉變為一金屬銻矽化物，該金屬銻矽化物不溶於一蝕刻品，且該蝕刻品係用以溶解該金屬層；
以該蝕刻品自該基板選擇性地移除未消耗之該金屬層；以及
形成一金屬前介電層。
2. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，係在沉積該金屬前介電層前，沉積該金屬層於該蓋層上；進行該溫度步驟，使至少部份該蓋層轉變為一金屬銻矽化物；以及自該基板選擇性地移除未消耗之該金屬層。
3. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，係在沉積該金屬前介電層與圖案化該金屬前介電層以形成多個開口後，沉積該金屬層於該蓋層上；進行該溫度步驟，使至少部份該蓋層轉變為一金屬銻

- 矽化物；以及自該基板選擇性地移除未消耗之該金屬層。
4. 如申請專利範圍第 1 至 3 項中任一項所述之包含銻為主的通道層之電晶體裝置的製作方法，更包括以閘極後製法置換該閘極結構，其中以閘極後製法置換該閘極結構之步驟晚於沉積該金屬前介電層之步驟。
 5. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，其中沉積該金屬層於該蓋層上之步驟後進行該溫度步驟，使至少部份該蓋層轉變為金屬銻矽化物，而未轉變的其他部份蓋層仍覆蓋下方之銻為主的通道層。
 6. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，其中該蓋層包括矽銻合金，其具有 20% 至 100% 的矽，且更包括在形成該蓋層之後並在沉積該金屬層於該蓋層上之前，形成一間隔物以覆蓋任一薄矽銻區，且該薄矽銻區之成因為晶面矽銻成長。
 7. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，形成該蓋層之成長步驟為實質上無晶面模式。
 8. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，其中該蓋層係用以避免該銻為主的通道層、該銻為主的源極區、與該銻為主的汲極區暴露於該蝕刻品中。
 9. 如申請專利範圍第 1 項所述之包含銻為主的通道層之電晶體裝置的製作方法，其中該金屬前介電層係用以避免該銻為

主的通道層、該銻爲主的源極區、與該銻爲主的汲極區暴露於該蝕刻品中。

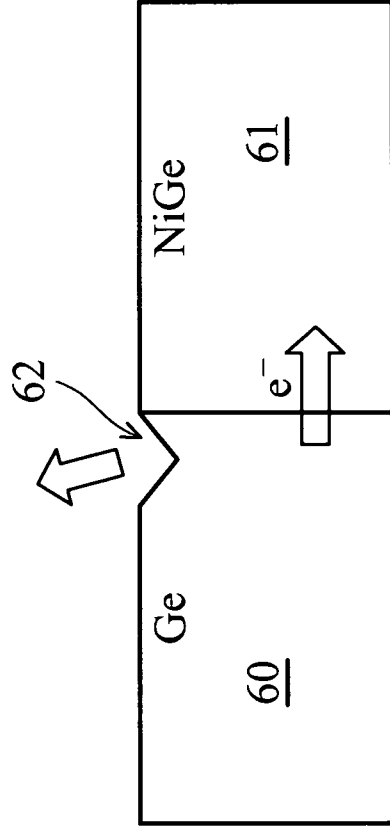
10. 一種微電子裝置，包括：

一銻爲主的通道層，位於一基板上；

一閘極結構，位於該銻爲主的通道層上，其中該閘極結構位於該銻爲主的通道層其相反兩側之一銻爲主的源極區與一銻爲主的汲極區之間；以及

一部份轉變的蓋層位於該銻爲主的源極區與該銻爲主的汲極區上，只有部份轉變的蓋層包括金屬銻矽化物，且蓋層中較上層的銻濃度大於較下層的銻濃度。

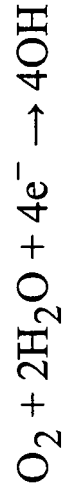
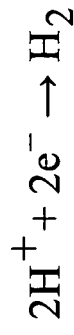
圖式



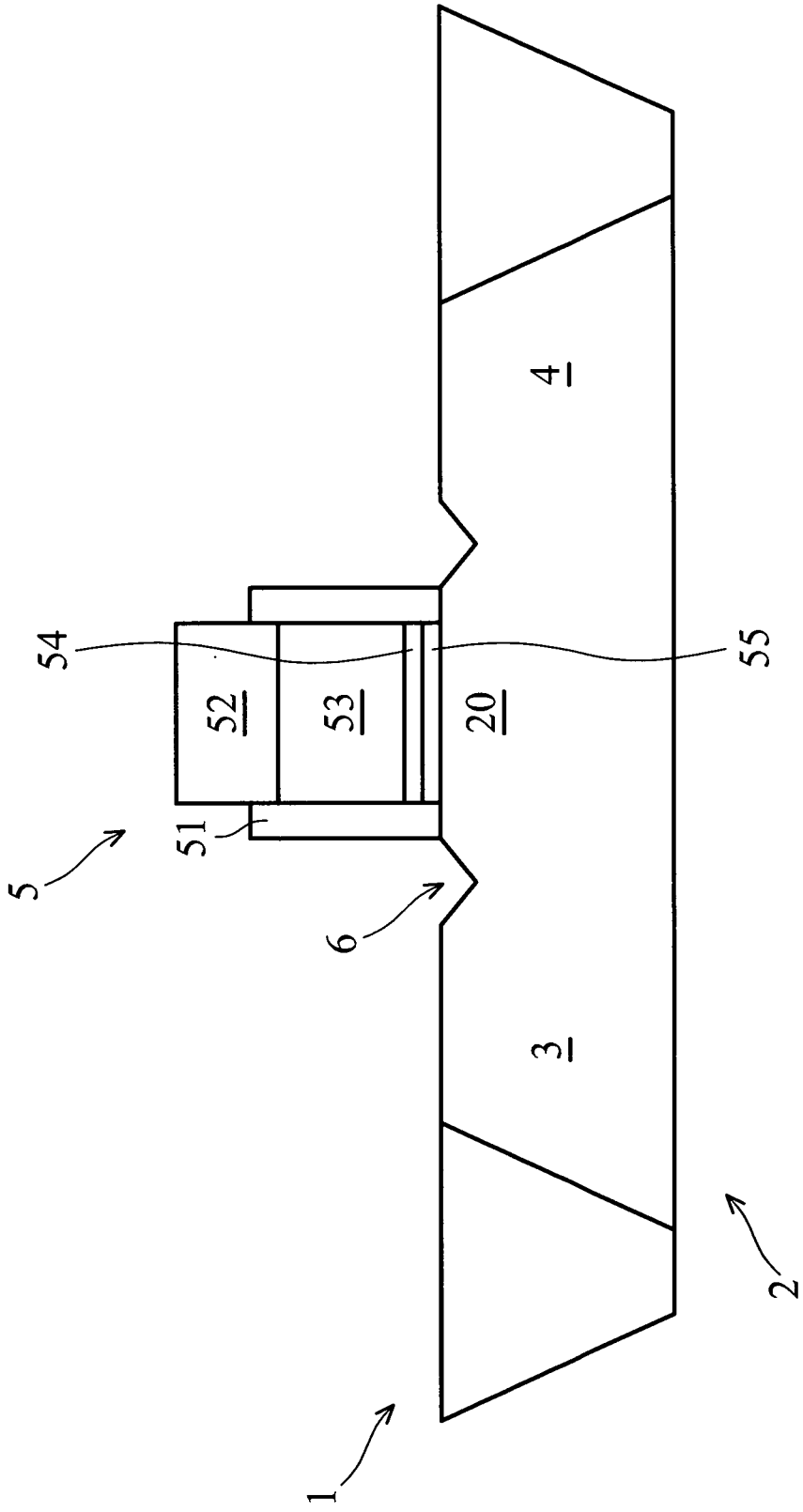
陽極：



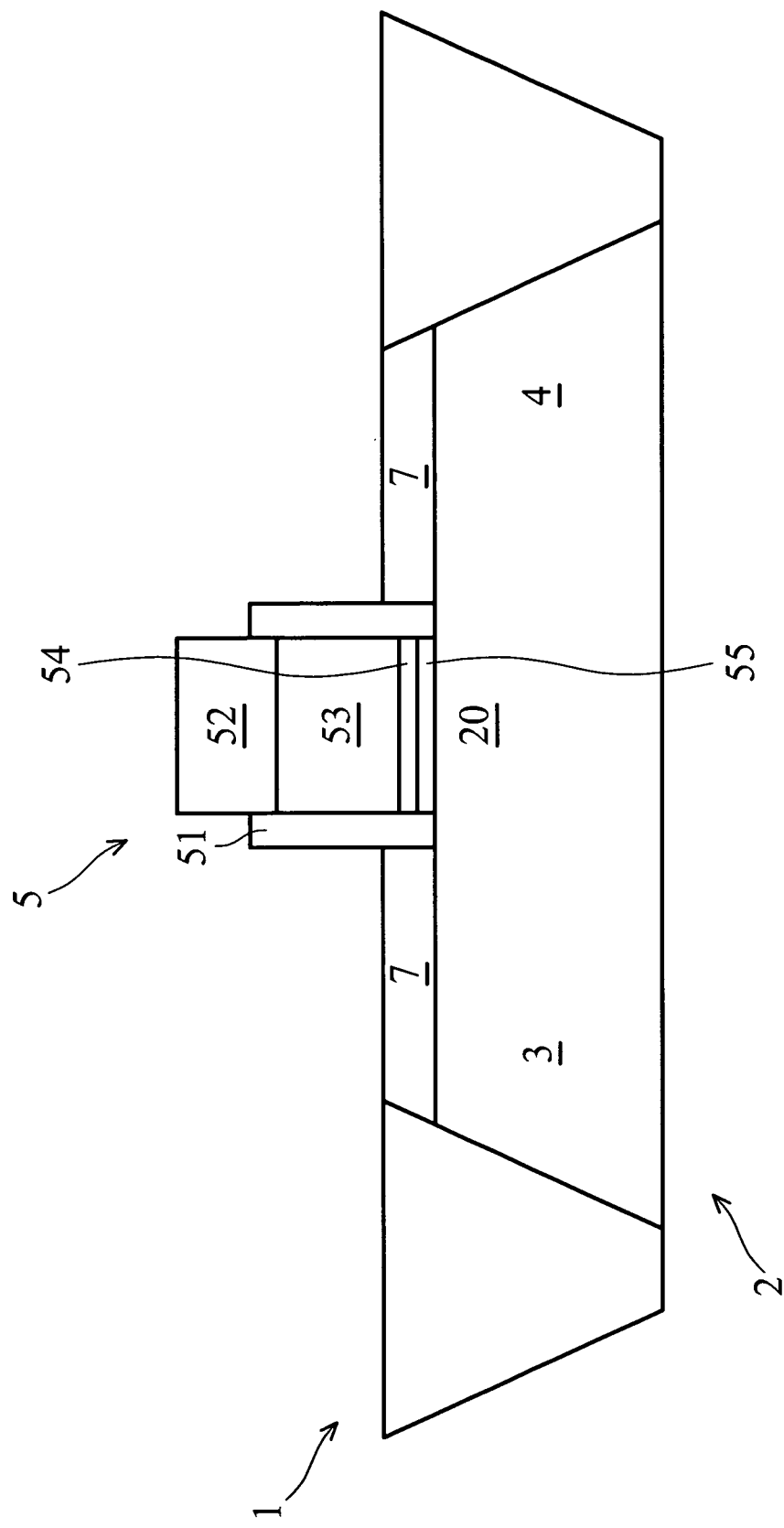
陰極：



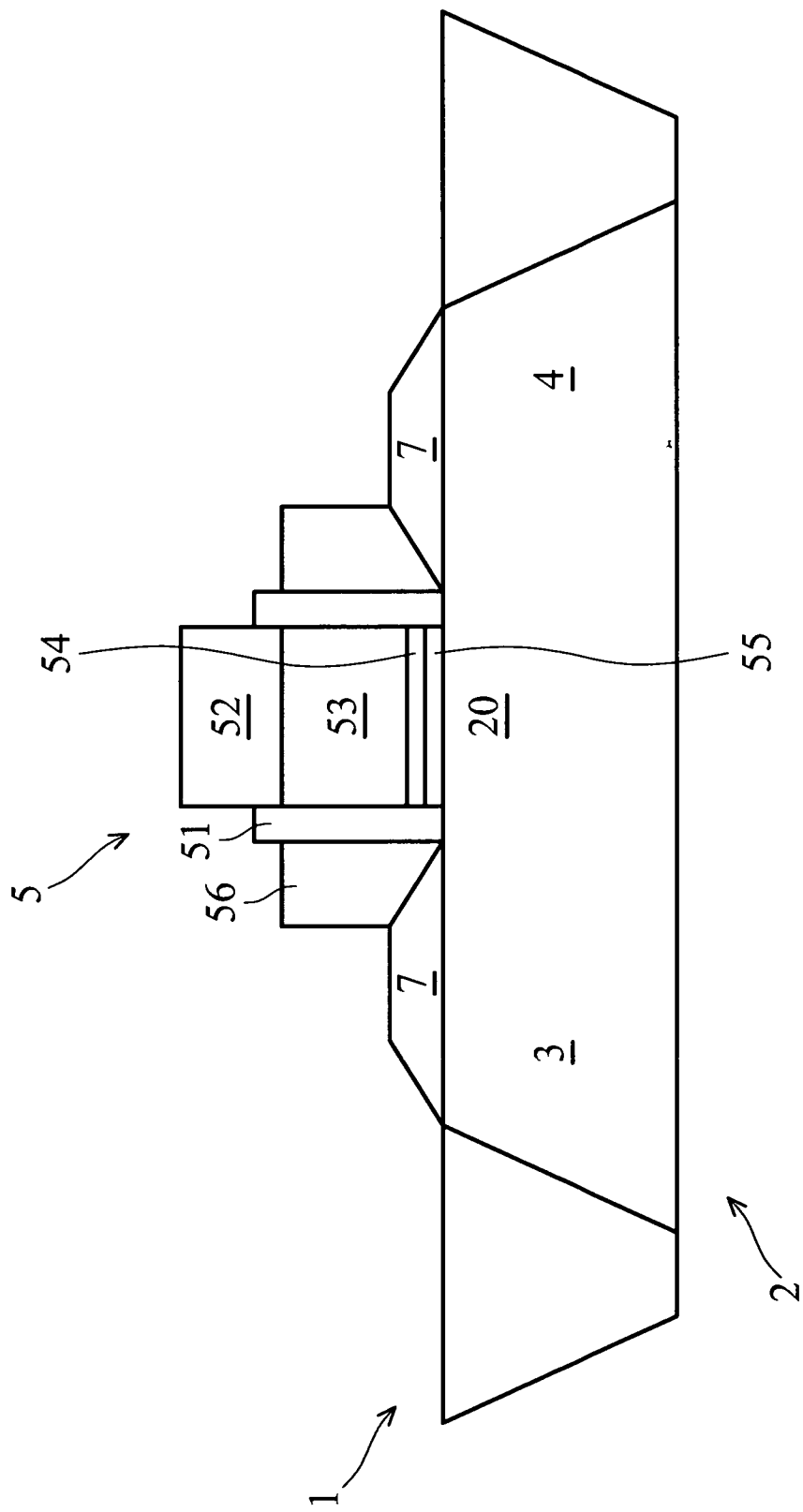
第 1 圖



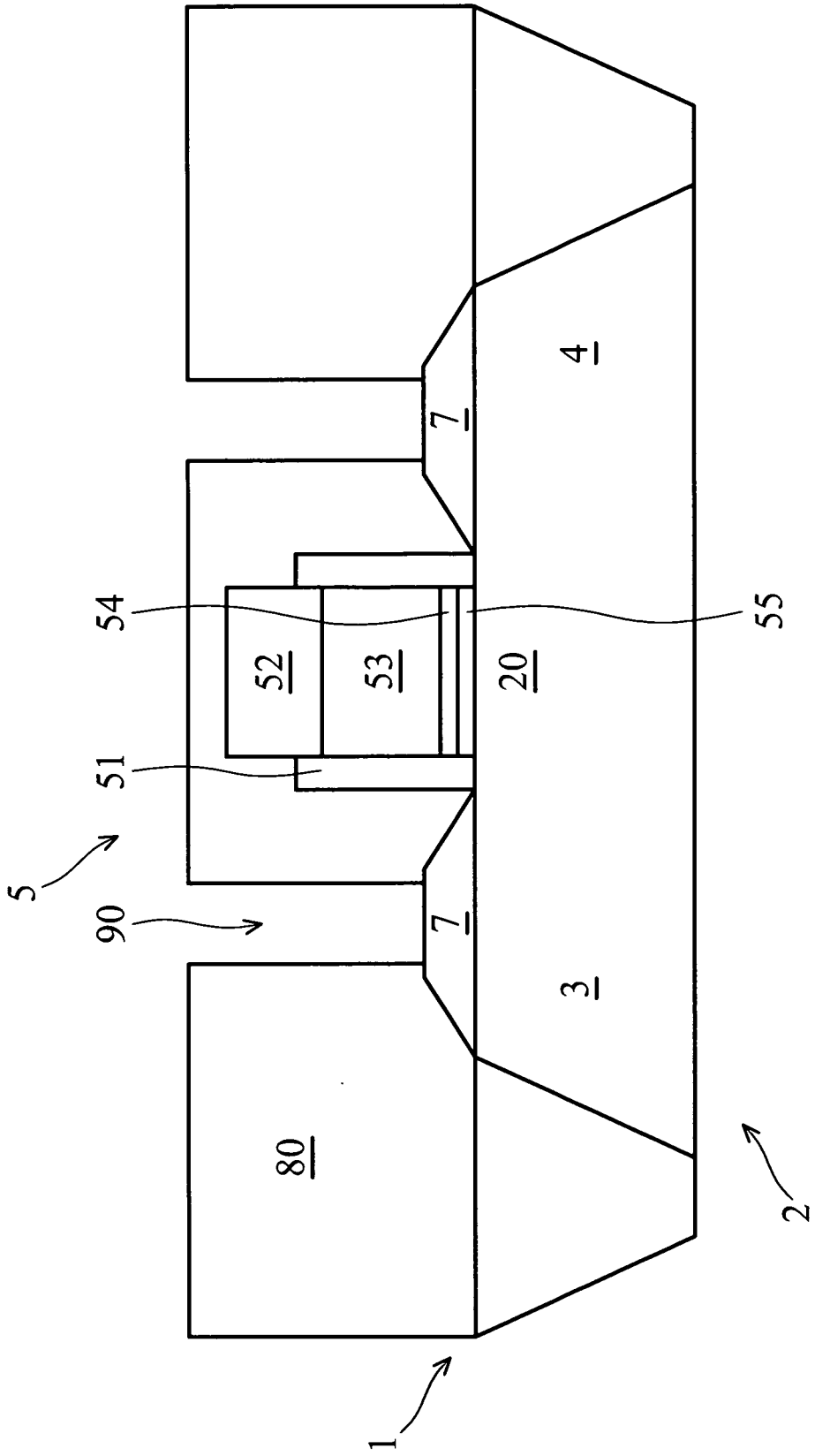
第2圖



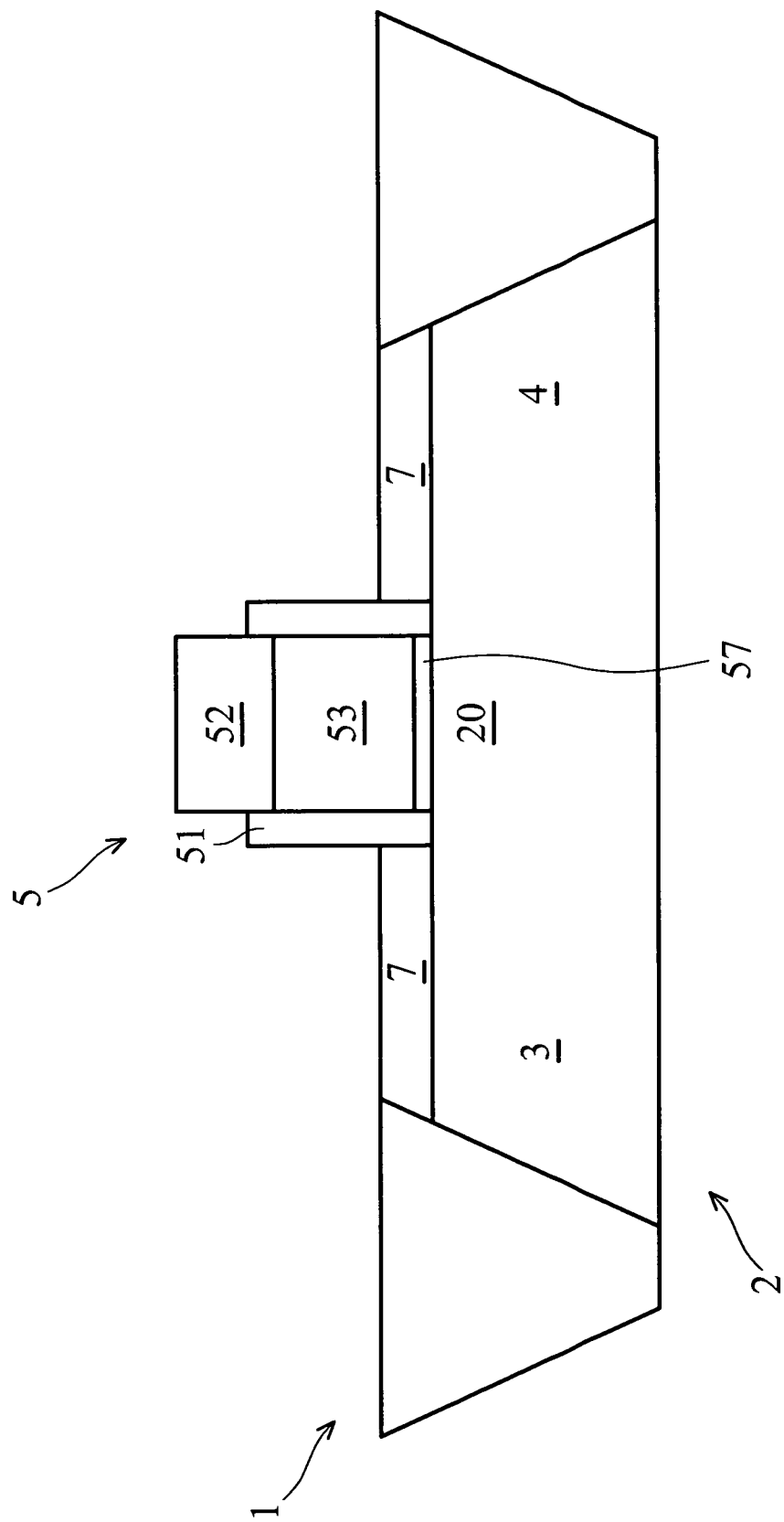
第3圖



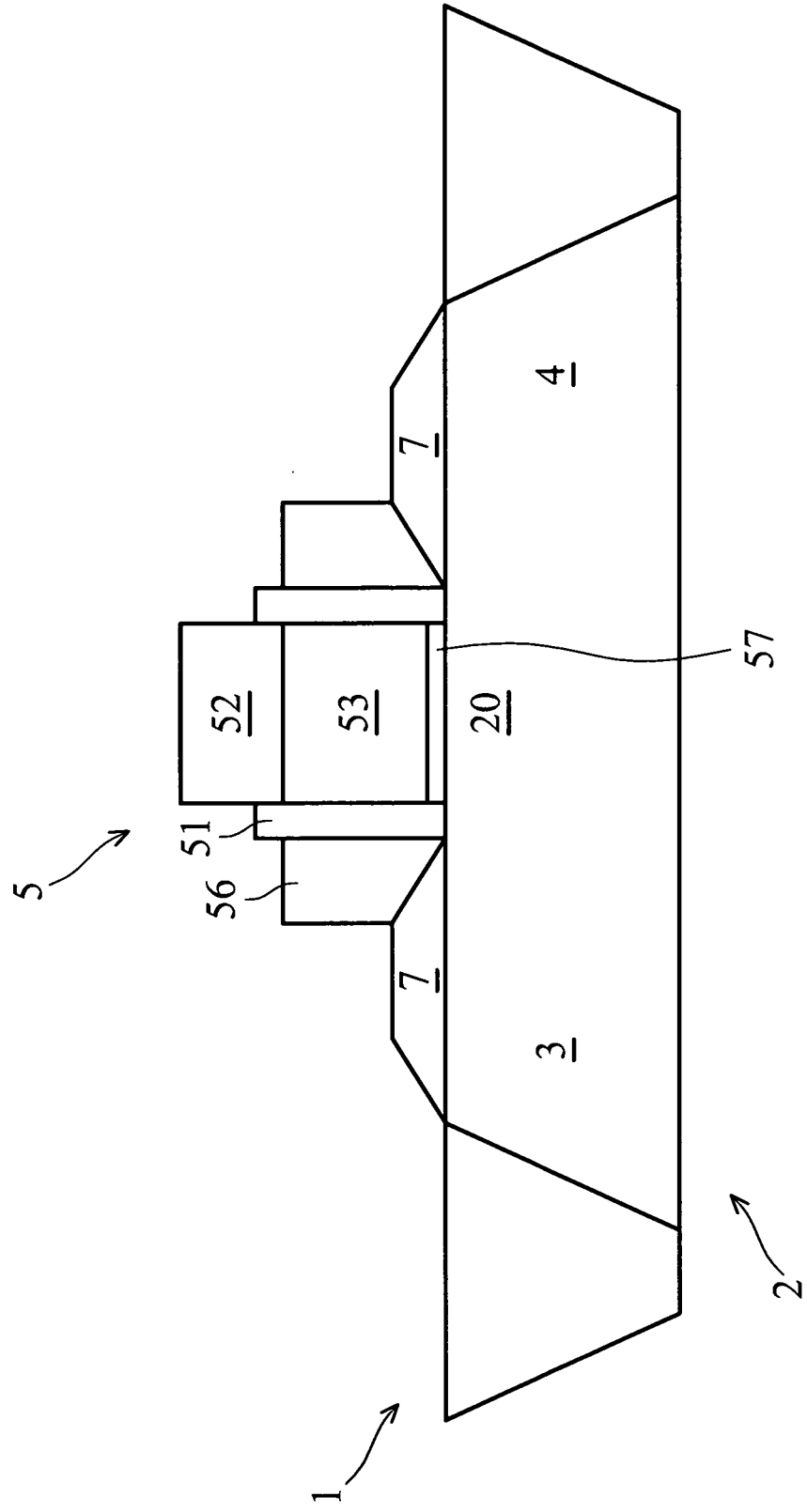
第4圖



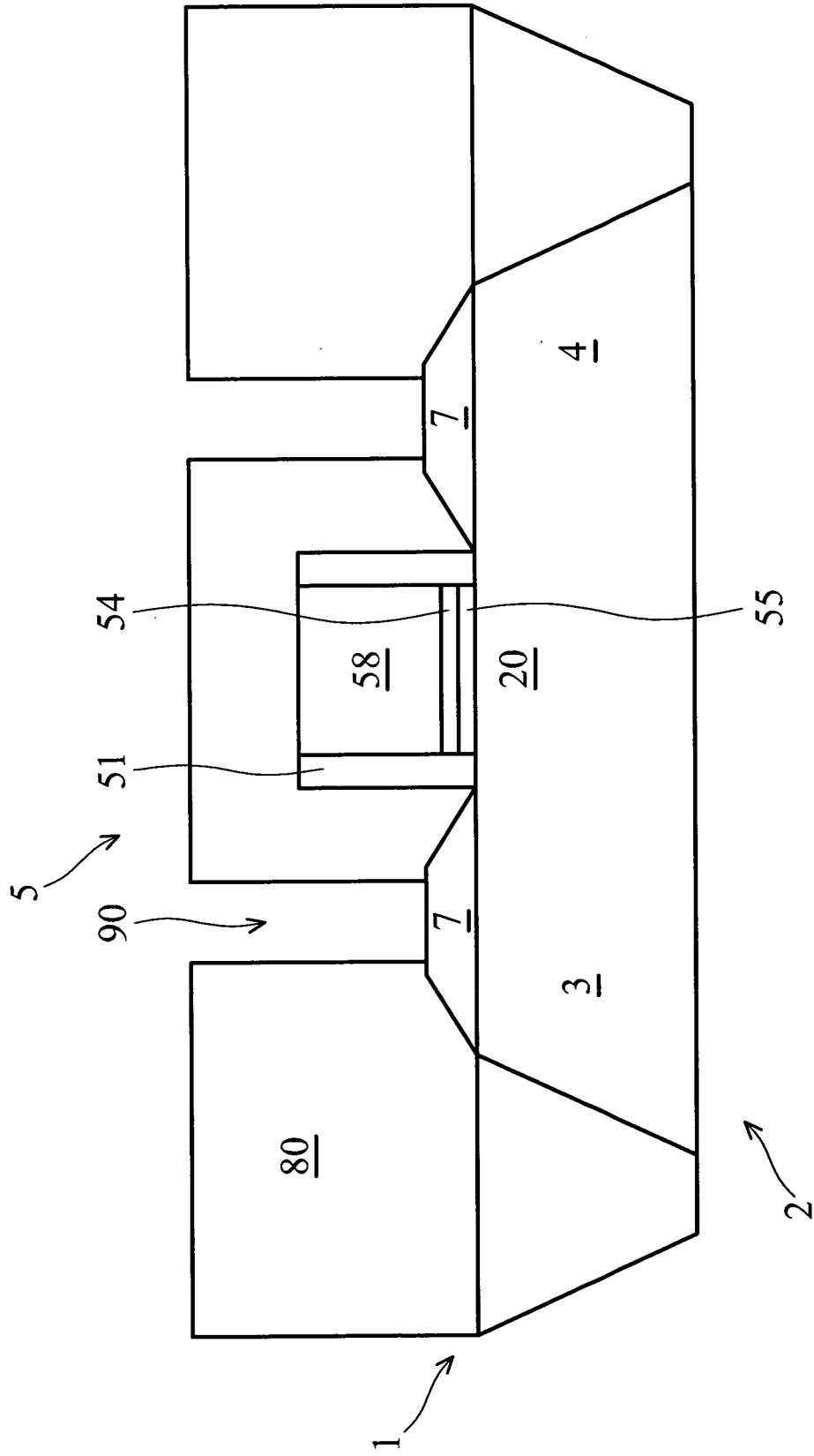
第5圖



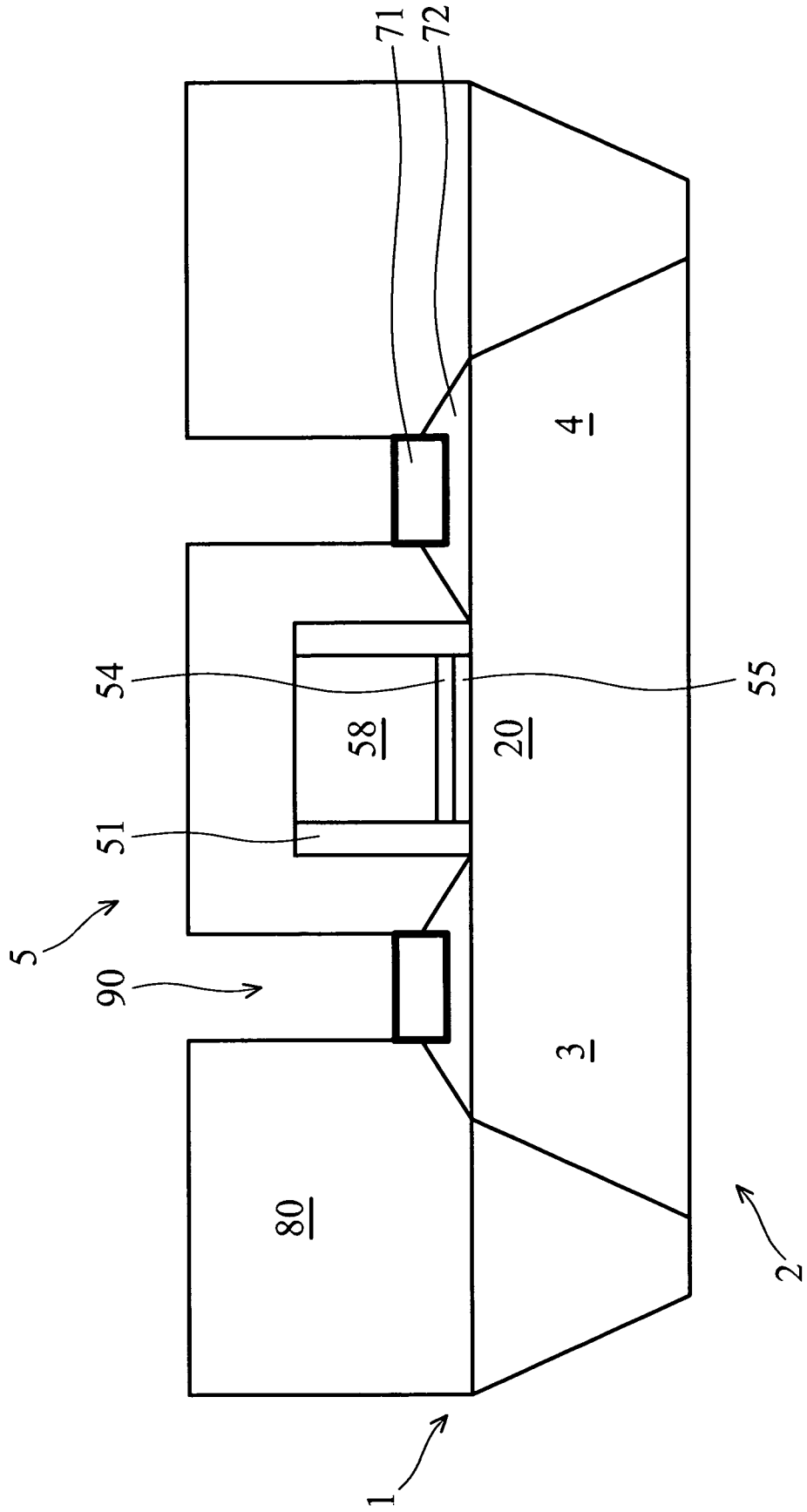
第6圖



第7圖



第8圖



第9圖