

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月23日(23.08.2012)



(10) 国際公開番号
WO 2012/111393 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 21/60 (2006.01) H01L 29/812 (2006.01)
H01L 29/41 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051422
- (22) 国際出願日: 2012年1月24日(24.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-030044 2011年2月15日(15.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 栗田 大佑
(KURITA, Daisuke) [JP/—]. 吐田 真一 (HANDA,
Shinichi) [JP/—].
- (74) 代理人: 鮫島 睦, 外 (SAMEJIMA, Mutsumi et al.);
〒5400001 大阪府大阪市中央区城見1丁目3番
7号IMPビル青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1B]

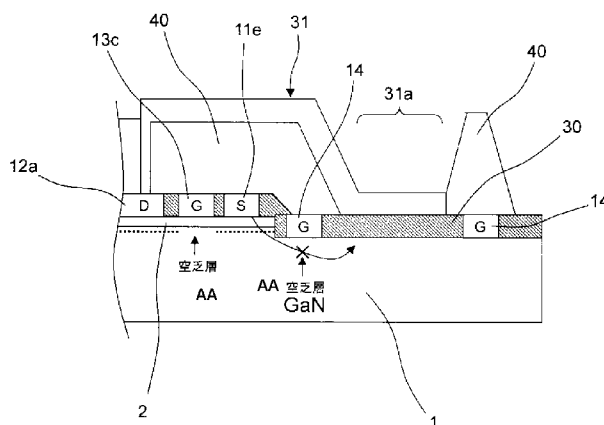


FIG. 1B:
AA Depleted layer

(57) Abstract: A hetero-junction field effect transistor is formed by a GaN layer (1) and AlGaN layer (2) stacked in this order on a substrate, and a gate electrode, source electrode, and drain electrode formed on the substrate, the hetero-junction field effect transistor being formed on the active region of the AlGaN layer (2). A drain electrode pad (31), comprising a bonding-capable region (31a) which is formed upon the AlGaN layer (2) outside the active region of the hetero-junction field effect transistor with an insulator film (30) interposed therebetween, is connected to the drain electrode. A gate electrode extension part (14), which is connected to the gate electrode, is formed on the AlGaN layer (2) and between the source electrode and the bonding-capable region (31a) of the drain electrode pad (31). Provided is a semiconductor device with which it is possible to improve resilience to pressure between a source electrode, and a bonding-capable region of a drain electrode pad which is formed on an insulator film without an interlayer insulator film, without increasing the element size.

(57) 要約: 基板上に順に積層されたGaN層(1)とAlGaN層(2)と、基板上に形成されたゲート電極、ソース電極、ドレイン電極とAlGaN層(2)の活性領域でヘテロ接合電

界効果トランジスタを形成する。そのヘテロ接合電界効果トランジスタの活性領域外のAlGaN層(2)上に絶縁膜(30)を介して形成されたボンディング可能領域(31a)を有するドレイン電極パッド(31)をドレイン電極に接続する。AlGaN層(2)上、かつ、ソース電極とドレイン電極パッド(31)のボンディング可能領域(31a)との間に、ゲート電極に接続されたゲート電極延伸部(14)を形成する。素子サイズを大きくすることなく、層間絶縁膜のない絶縁膜上に形成されたドレイン電極パッドのボンディング可能領域とソース電極との間の耐圧を向上できる半導体装置を提供することにある。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に高耐圧のパワーデバイスとして用いる半導体装置に関する。

背景技術

[0002] 近年、二酸化炭素の削減などの環境対策が求められる中で、電源などで用いられるインバータやコンバータの高効率化が求められている。高効率化を行う上で、キーとなるパワーデバイスとして機能するトランジスタの改善や新規デバイスが研究されてきている。これらパワーデバイスには、民生機器用の電源でも300～400Vの耐圧が要求され、車載用になると1200V程度の耐圧が要求されると見込まれている。このようなパワーデバイスでは、GaNを代表とする横型素子とIGBT(絶縁ゲートバイポーラトランジスタ)やSiCを代表する縦型素子が存在する。横型素子とは、半導体基板上に、ソース電極、ドレイン電極、ゲート電極を同一面側に設けている構造を有している。

[0003] 例えば、従来、GaNを用いた横型半導体装置としては、窒化アルミニウムガリウム層(AlGaN)と窒化ガリウム層(GaN)とのヘテロ接合に形成される2DEG(2次元電子ガス)を電子が走行するHFET(Hetero-junction Field Effect Transistor; ヘテロ接合電界効果トランジスタ)がある(例えば、特開2008-177527号公報(特許文献1)参照)。

[0004] 横型半導体素子を用いたパワーデバイスでは、ドレイン電極にソース電極に対して数百ボルトの電圧差が印加されることになる。従って、ドレイン電極パッドにも数百ボルトの電圧がかかることになるので、ドレイン電極パッドの周りの絶縁性を確保することは重要となる。

[0005] 特許文献1によると、パッドオンチップ構造が提案されているが、パッドオンチップ構造ではボンディングパッドと活性領域との耐圧を考慮する必要

があり、また、ボンディングパッドにワイヤボンドする際に活性層に与える影響を最小限にする必要があるなど様々な工夫が必要となる。一方、活性領域外にボンディングパッドを設ける場合には既存の技術を用いることで信頼性の高いワイヤボンド技術が用いることができるメリットがある。

[0006] 従来、GaN系横型半導体装置におけるボンディングパッドとソース電極の構造を図13に示す。図13において、601はアンドープGaN層、602はアンドープAlGaN層、640は層間絶縁膜である。ソース電極611とドレイン電極612との間にゲート電極613を設けた活性領域の外側に、ヘテロ界面の2DEGを除去した半導体層表面に、表面保護膜630を設け、その上に、ボンディング電極を形成した構成となっている。ここで、ドレイン電極パッド631のボンディング可能領域631a下の2DEGを除去しているのは、ゲート電極613にてオフにしているときにも、ソース電極611あるいはドレイン電極612からは表面保護膜630を介してのみ絶縁されることになるので、リークする可能性が大きいためである。また、ボンディング電極のうち、特にドレイン電極パッド631には数百ボルトが印加されることになるので、ドレイン電極パッド631とソース電極611との間あるいはドレイン電極パッド631と2DEGの部分との間の耐圧が問題になることが判った。

[0007] つまり、上記半導体装置では、ドレイン電極パッド631とソース電極611との間あるいはドレイン電極パッド631と2DEGの端部との間の距離を計算上耐圧が取れる距離にしても、ドレイン電極パッド631とソース電極611との間あるいはドレイン電極パッド631と活性領域との間の耐圧が低くなるという問題があった。本発明者らは、この問題に対して鋭意検討した結果、ドレイン電極パッドとソース電極との間あるいはドレイン電極パッドと2DEGの露出部との間に半導体表面を介して大きなリーク電流が流れるため、耐圧が計算以下になるものと推定した。

[0008] この問題を解決するために、半導体装置のドレイン電極パッドと活性領域の2DEGとの距離を十分に広げて耐圧を上げることは可能であるが、半導

体素子の特性に寄与しない領域を広く取らざるを得ず、素子サイズが大きくなってしまいう問題がある。半導体素子のコストを考えると、少しでも素子特性に寄与しない無効領域をなるべく小さくする必要がある。

先行技術文献

特許文献

[0009] 特許文献1：特開2008-177527号公報（図8）

発明の概要

発明が解決しようとする課題

[0010] そこで、この発明の課題は、素子サイズを大きくすることなく、層間絶縁膜のない絶縁膜上に形成されたドレイン電極パッドのボンディング可能領域とソース電極との間の耐圧を向上できる半導体装置を提供することにある。

課題を解決するための手段

[0011] 上記課題を解決するため、この発明の半導体装置は、
基板と、
上記基板上に形成されると共に、活性領域を含む半導体層と、
上記半導体層の上記活性領域上に形成されたゲート電極とソース電極とドレイン電極とを有するスイッチング素子と、
上記ドレイン電極に接続され、上記半導体層の上記活性領域以外の領域上に絶縁膜を介して形成されたボンディング可能領域を有するドレイン電極パッドと、
上記半導体層上、かつ、少なくとも上記ソース電極と上記ドレイン電極パッドのボンディング可能領域との間に形成され、上記ゲート電極に接続されたゲート電極延伸部と
を備えたことを特徴とする。
ここで、活性領域とは、半導体層上のソース電極とドレイン電極との間に配置されたゲート電極に印加される電圧によって、ソース電極とドレイン電極との間でキャリアが流れる半導体層の領域である。

[0012] 上記構成によれば、半導体層上、かつ、スイッチング素子のソース電極とドレイン電極パッドのボンディング可能領域との間に、スイッチング素子のゲート電極に接続されたゲート電極延伸部を形成することによって、ゲート電極に印加する電圧すなわちゲート電極延伸部の電圧を制御して、スイッチング素子のソース電極とドレイン電極パッドのボンディング可能領域との間のゲート電極延伸部の下側の半導体層に空乏層を形成することで、リーク電流を効果的に抑制して耐圧を向上できる。したがって、素子サイズを大きくすることなく、層間絶縁膜のない絶縁膜上に形成されたドレイン電極パッドのボンディング可能領域とソース電極との間の耐圧を向上できる。すなわち、スイッチング素子のソースドレイン間の高耐圧化が実現できる。

[0013] なお、この発明の半導体装置のスイッチング素子は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor : メタル・オキシサイド・セミコンダクタ・電界効果トランジスタ)、HFET (Hetero-junction Field Effect Transistor ; ヘテロ接合電界効果トランジスタ) や JFET (Junction Field Effect Transistor : 接合型電界効果トランジスタ) 等である。

[0014] また、一実施形態の半導体装置では、

上記半導体層は、上記基板上に順に積層された第1半導体層およびその第1半導体層とヘテロ界面を形成する第2半導体層を含み、

上記スイッチング素子は、上記第1半導体層と上記第2半導体層とのヘテロ界面に形成された2次元電子ガスを利用するヘテロ接合電界効果トランジスタである。

[0015] 上記実施形態によれば、ゲート電極に印加する電圧すなわちゲート電極延伸部の電圧を制御して、スイッチング素子のソース電極とドレイン電極パッドのボンディング可能領域との間のゲート電極延伸部の下側の半導体層に形成される空乏層によって、第1半導体層と第2半導体層とのヘテロ界面の2次元電子ガスが消失し、リーク電流を効果的に抑制して耐圧を向上できる。

[0016] また、一実施形態の半導体装置では、

上記2次元電子ガスが形成される上記第1半導体層と上記第2半導体層と

のヘテロ界面は、上記ドレイン電極パッドのボンディング可能領域の下側の領域を少なくとも除く上記基板上の領域に形成されている。

[0017] 上記実施形態によれば、第1半導体層と第2半導体層とのヘテロ界面が、ドレイン電極パッドのボンディング可能領域の下側の領域に少なくとも形成されていないことによって、2次元電子ガスがドレイン電極パッドのボンディング可能領域の下側に存在しないので、スイッチング素子のソース電極とドレイン電極パッドのボンディング可能領域との間のリーク電流をより効果的に抑制できる。

[0018] また、一実施形態の半導体装置では、
上記第2半導体層の上側の一部、または、上記第2半導体層を貫通して上記第1半導体層の上側の一部に凹部が形成され、
上記凹部に上記ゲート電極の少なくとも一部が埋め込まれている。

[0019] 上記実施形態によれば、第2半導体層の上側の一部に形成された凹部にゲート電極の少なくとも一部が埋め込まれていることによって、第2半導体層とゲート電極とのショットキー接合によりゲート電極下に2次元電子ガスが存在せず、閾値電圧が高くなるので、スイッチング素子のノーマリーオフ動作が可能になる。

[0020] あるいは、第2半導体層を貫通して第1半導体層の上側の一部に形成された凹部にゲート電極の少なくとも一部が埋め込まれていることによって、ゲート電極により第1半導体層と第2半導体層とのヘテロ界面が遮断されて2次元電子ガスが存在せず、閾値電圧が高くなるので、スイッチング素子のノーマリーオフ動作が可能になる。

[0021] また、一実施形態の半導体装置では、
上記ドレイン電極パッドのボンディング可能領域の下側かつ少なくとも上記ゲート電極延伸部に対向する領域に形成され、上記絶縁膜を貫通して上記ドレイン電極パッドのボンディング可能領域と上記半導体層とを接続する接続電極を備えた。

[0022] 上記実施形態によれば、ドレイン電極パッドのボンディング可能領域の下

側かつ少なくともゲート電極延伸部に対向する領域に形成された接続電極により、絶縁膜を貫通してドレイン電極パッドのボンディング可能領域と半導体層とを接続することによって、ドレイン電極パッドのボンディング可能領域の下側の絶縁膜に電界がかからなくなり、絶縁膜の絶縁破壊を防止できる。

[0023] また、一実施形態の半導体装置では、

上記ゲート電極延伸部とそのゲート電極延伸部に隣接する上記ソース電極との間の上記半導体層の領域に形成された素子分離領域を備えた。

[0024] 上記実施形態によれば、スイッチング素子のソース電極とゲート電極延伸部および接続電極で擬似トランジスタが形成されて動作する恐れがあるため、ゲート電極延伸部とそのゲート電極延伸部に隣接するソース電極との間の半導体層の領域に素子分離領域を形成することによって、擬似トランジスタを形成するソース電極とゲート電極延伸部とを素子分離領域により分離する。これにより、スイッチング素子のソース電極とゲート電極延伸部および接続電極で形成される擬似トランジスタの誤動作を確実に防止できる。

[0025] また、一実施形態の半導体装置では、

上記ゲート電極延伸部は、上記ドレイン電極パッドのボンディング可能領域を囲むように上記半導体層上に形成されている。

[0026] 上記実施形態によれば、第1半導体層と第2半導体層とのヘテロ界面が、ドレイン電極パッドのボンディング可能領域の下側の領域に形成されていても、ドレイン電極パッドのボンディング可能領域を囲むようにゲート電極延伸部を半導体層上に形成することによって、スイッチング素子のソース電極とドレイン電極パッドのボンディング可能領域との間のリーク電流を確実に抑制できる。

[0027] また、一実施形態の半導体装置では、

上記ソース電極は、互いに間隔をあけて略平行に配列された複数のくし状ソース電極部を有すると共に、

上記ドレイン電極は、上記ソース電極の複数のくし状ソース電極部と互い

に間隔をあけて交互に配列された複数のくし状ドレイン電極部を有する。

[0028] 上記実施形態によれば、ソース電極の複数のくし状ソース電極部とドレイン電極の複数のくし状ドレイン電極部とが互いに間隔をあけて交互に配列されたスイッチング素子の活性領域の近傍において、層間絶縁膜のない絶縁膜上にドレイン電極パッドのボンディング可能領域を形成しても、ドレイン電極パッドのボンディング可能領域とスイッチング素子のソース電極との間の耐圧を向上でき、素子サイズを小さくできる。

[0029] また、一実施形態の半導体装置では、
上記スイッチング素子は複数であって、
上記複数のスイッチング素子の上記ドレイン電極は、同一の上記ドレイン電極パッドを介して接続されている。

[0030] 上記実施形態によれば、複数のスイッチング素子で1つのドレイン電極パッドを共用することにより、素子サイズを小さくできる。

発明の効果

[0031] 以上より明らかなように、この発明の半導体装置によれば、素子サイズを大きくすることなく、層間絶縁膜のない絶縁膜上に形成されたドレイン電極パッドのボンディング可能領域とソース電極との間の耐圧を向上できる半導体装置を実現することができる。

図面の簡単な説明

[0032] [図1A]図1 Aはこの発明の第1実施形態の半導体装置の平面模式図である。

[図1B]図1 Bは1 AのI B-I B線から見た要部の断面模式図である。

[図1C]図1 Cは上記半導体装置の各部の寸法を示す平面模式図である。

[図1D]図1 Dは上記半導体装置の要部の寸法を示す断面模式図である。

[図1E]図1 Eは図1 AのI E-I E線から見た要部の断面模式図である。

[図2A]図2 Aはこの発明の第2実施形態の半導体装置の平面模式図である。

[図2B]図2 Bは図2 AのI I B-I I B線から見た要部の断面模式図である。

[図3A]図3 Aはこの発明の第3実施形態の半導体装置の平面模式図である。

[図3B]図3 Bは図3 AのI I I B-I I I B線から見た要部の断面模式図である。

[図4A]図4 Aはこの発明の第4実施形態の半導体装置の平面模式図である。

[図4B]図4 Bは図4 AのIVB-IVB線から見た要部の断面模式図である。

[図5A]図5 Aはこの発明の第5実施形態の半導体装置の平面模式図である。

[図5B]図5 Bは図5 AのVB-VB線から見た要部の断面模式図である。

[図6A]図6 Aはこの発明の第6実施形態の半導体装置の平面模式図である。

[図6B]図6 Bは図6 AのVIB-VIB線から見た要部の断面模式図である。

[図7A]図7 Aはこの発明の第7実施形態の半導体装置の平面模式図である。

[図7B]図7 Bは図7 AのVIIB-VIIB線から見た要部の断面模式図である。

[図8]図8はスクライブラインが形成された半導体装置の平面模式図である。

[図9]図9はリセス型の半導体装置の要部の断面図である。

[図10]図10はリセス型の他の半導体装置の要部の断面図である。

[図11]図11は横型ジャンクションFETの断面図である。

[図12]図12は横型パワーMOSFETの断面図である。

[図13]図13は従来の横型パワーデバイスの断面図である。

[図14A]図14 Aはこの発明の第8実施形態の半導体装置の平面模式図である。
。

[図14B]図14 Bは上記ゲート電極が素子間で接続されている場合の平面模式図である。

[図14C]図14 Cは図14 AのXIVC-XIVC線から見た要部の断面模式図である。
。

[図15A]図15 Aはこの発明の第9実施形態の半導体装置の平面模式図である。
。

[図15B]図15 Bは上記ゲート電極が素子間で接続されている場合の平面模式図である。

[図15C]図15 Cは図15 AのXVC-XVC線から見た要部の断面模式図である。

[図16A]図16 Aはこの発明の第10実施形態の半導体装置の平面模式図である。
。

[図16B]図16 Bは上記ゲート電極が素子間で接続されている場合の平面模式

図である。

[図16C]図 1 6 Cは図 1 6 AのXVIC-XVIC線から見た要部の断面模式図である。

[図17A]図 1 7 Aはこの発明の第 1 1 実施形態の半導体装置の平面模式図である。

[図17B]図 1 7 Bは上記ゲート電極が素子間で接続されている場合の平面模式図である。

[図17C]図 1 7 Cは図 1 7 AのXVIIIC-XVIIIC線から見た要部の断面模式図である。

発明を実施するための形態

[0033] 以下、この発明の半導体装置を図示の実施の形態により詳細に説明する。

[0034] [第 1 実施形態]

図 1 Aはこの発明の第 1 実施形態の半導体装置の平面模式図を示しており、半導体装置の一例としてのGaN系HFETである。

[0035] この半導体装置は、Si基板(図示せず)上に、第 1 半導体層の一例としてのアンドープGaN層 1 (図 1 Bに示す)と、第 2 半導体層の一例としてのアンドープAlGaN層 2 (図 1 Bに示す)を順に形成している。このアンドープGaN層 1 (厚さ $3\mu\text{m}$)とアンドープAlGaN層 2 (厚さ 30nm)との界面に2DEG(2次元電子ガス)が発生する。ここで、基板は、Si基板に限らず、サファイヤ基板やSiC基板を用いてもよく、サファイヤ基板やSiC基板上に窒化物半導体層を成長させてもよいし、GaN基板にAlGaN層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。

[0036] 図 1 Aに示すように、AlGaN層 2 (図 1 Bに示す)上に、互いに間隔をあけて略平行に配列された4つのくし状ソース電極部 1 1 a~1 1 dとその4つのくし状ソース電極部 1 1 a~1 1 dの一端を連結する連結基部 1 1 eとを有するソース電極 1 1 を形成している。また、AlGaN層 2 上に、くし状ソース電極部 1 1 a~1 1 d間に配列された3つのくし状ドレイン電極部 1 2 a, 1 2 b

, 12cからなるドレイン電極12を形成している。また、AlGaIn層2上に、くし状ドレイン電極部12a, 12b, 12cの夫々を囲むようにくし状ドレイン電極部12a, 12b, 12cに対して間隔をあけて形成された3つのゲート電極部13a, 13b, 13cからなるゲート電極13を形成している。上記ソース電極11と、ドレイン電極12と、ゲート電極13と、そのソース電極11, ドレイン電極12, ゲート電極13が形成された半導体層(GaN層1, AlGaIn層2)の活性領域A1(図1Aの一点鎖線で示す領域)でスイッチング素子S1を構成している。

ここで、活性領域A1とは、AlGaIn層2上のソース電極11とドレイン電極12との間に配置されたゲート電極13に印加される電圧によって、ソース電極11とドレイン電極12との間でキャリアが流れる半導体層(GaN層1, AlGaIn層2)の領域である。

[0037] そして、AlGaIn層2上に、ソース電極11の連結基部11eと反対の側の3つのゲート電極部13a, 13b, 13cの一端を接続配線21, 22を介して接続している。

[0038] ここで、ソース電極11とドレイン電極12は、厚さ550nm、幅4 μ mであり、ゲート電極13は、厚さ200nm、幅4.5 μ mである。

[0039] ソース電極11とドレイン電極12とゲート電極13および接続配線21~25が形成された領域を除くAlGaIn層2上に、AlGaIn層2を保護するため、SiNからなる厚さ200nmの絶縁膜30(図1Bに示す)を形成している。また、ソース電極11とドレイン電極12とゲート電極13とが形成されたSi基板(図示せず)上に、ポリイミドからなる厚さ9 μ mの層間絶縁膜40(図1Bに示す)を形成している。

[0040] この層間絶縁膜40のソース電極11の連結基部11eよりも外側で、AlGaIn層2およびGaN層1の一部を除去して2DEGを除去した領域に、底部に絶縁膜30(図1Bに示す)が露出した凹部40aを形成し、その凹部40aおよびソース電極11の連結基部11e側の領域を覆うように、ドレイン電極パッド31(厚さ3 μ m)を形成している。このドレイン電極パッド31は

、くし状ドレイン電極部 1 2 a, 1 2 b, 1 2 c の一端と重なっており、その重なり領域でドレイン電極パッド 3 1 とくし状ドレイン電極部 1 2 a, 1 2 b, 1 2 c とをコンタクト部(図示せず)を介して接続している。また、ドレイン電極パッド 3 1 の凹部 4 0 a の底部に露出した絶縁膜 3 0 (図 2 B に示す)に接する領域が、スイッチング素子 S 1 が形成された活性領域 A 1 外の GaN 層 1 上に絶縁膜 3 0 を介して形成されたボンディング可能領域 3 1 a である。

[0041] 一方、上記層間絶縁膜 4 0 のソース電極 1 1, ドレイン電極 1 2 に対して凹部 4 0 a と反対の側に、底部に GaN 層 1 上に絶縁膜 3 0 (図 1 B に示す)が露出した凹部 4 0 b を形成し、その凹部 4 0 b およびソース電極 1 1 の連結基部 1 1 e と反対の側の領域を覆うように、ソース電極パッド 3 2 (厚さ 3 μ m)を形成している。このソース電極パッド 3 2 は、くし状ソース電極部 1 1 a ~ 1 1 d の他端と重なっており、その重なり領域でソース電極パッド 3 2 とくし状ドレイン電極部 1 2 a, 1 2 b, 1 2 c とをコンタクト部(図示せず)を介して接続している。また、ソース電極パッド 3 2 の凹部 4 0 b の底部に露出した絶縁膜 3 0 (図 1 B に示す)に接する領域がボンディング可能領域 3 2 a である。

[0042] また、ソース電極パッド 3 2 のボンディング可能領域 3 2 a の側方かつ GaN 層 1 上に、絶縁膜 3 0 (図 1 B に示す)を介してこのゲート電極パッド 3 3 を形成している。また、このゲート電極パッド 3 3 を、接続配線 2 2 が接続されたゲート電極部 1 3 c の一端と接続配線 2 3, 2 4 を介して接続している。また、ソース電極 1 1 とドレイン電極パッド 3 1 のボンディング可能領域 3 1 a との間に、ボンディング可能領域 3 1 a を囲むようにゲート電極延伸部 1 4 を形成している。このゲート電極延伸部 1 4 を、接続配線 2 5 を介して接続配線 2 3, 2 4 の接続点に接続している。

[0043] また、ソース電極 1 1 とドレイン電極 1 2 には、Ti/Au, Hf/Al/Hf/Au などを用い、ゲート電極 1 3 とゲート電極延伸部 1 4 および接続配線 2 1 ~ 2 5 には、AlGaN 層 2 とショットキー接合する材料として例えば WN や TiN などを用いて形成する。さらに、ドレイン電極パッド 3 1 とソース電極パッド 3 2 とゲート電極パッド 3 3 には、Ti/Au または Ti/Al などを用いて

いる。

[0044] また、絶縁膜30には、SiNの他にSiO₂、Al₂O₃などを用い、層間絶縁膜40には、ポリイミドの他にSOG(Spin On Glass; スピン・オン・ガラス)やBPSG(Boron Phosphor Silicate Glass; ホウ素・リン・シリケート・ガラス)などの絶縁材料を用いてもよい。

[0045] この第1実施形態の半導体装置は、GaN層1とAlGaN層2とが形成されたSi基板上に、図1Aに示すソース電極11とドレイン電極12とゲート電極13で形成された1つの素子パターンが複数形成された後、電極パッド部に対応する領域のAlGaN層2とGaN層1の一部を除去し、絶縁膜30と層間絶縁膜40が順に形成され、除去した領域にドレイン電極パッド31とソース電極パッド32とゲート電極パッド33が形成された後、図示しないスクライブラインに沿ってダイシングにより複数のチップに分割される。

[0046] 図1Bは図1AのI B-I B線から見た要部の断面模式図を示しており、図1Bでは、Si基板を省略している。

[0047] 図1Bに示すように、GaN層1とAlGaN層2との界面に形成された2DEG(2次元電子ガス)が発生してチャネル層が形成される。このチャネル層をゲート電極13に電圧を印加することにより、ソース電極11とドレイン電極12とゲート電極13を有するヘテロ接合電界効果トランジスタをオンオフさせる。このヘテロ接合電界効果トランジスタは、ゲート電極13に負電圧が印加されているときにゲート電極部13a, 13b, 13c(図1Bでは13cのみを示す)下のGaN層1に空乏層が形成されてオフ状態となる一方、ゲート電極13の電圧がゼロのときにゲート電極部13a, 13b, 13c(図1Bでは13cのみを示す)下のGaN層1に空乏層がなくなってオン状態となるノーマリーオンタイプのトランジスタである。

[0048] ゲート電極13に負電圧が印加されてGaN層1に空乏層が形成されたオフ状態において、ドレイン電極パッド31のボンディング可能領域31aと、図1Aに示す一点鎖線で囲まれたトランジスタの活性領域A1との間に存在するゲート電極延伸部14によって、ソース電極11の連結基部11eとドレイ

ン電極パッド31のボンディング可能領域31aとの間のGa_N層1の領域に空乏層が形成される。これにより、ソース電極11の連結基部11eとドレイン電極パッド31のボンディング可能領域31aとの間のリーク電流を効果的に抑制して耐圧を向上できる。

[0049] 図1Cは上記半導体装置の各部の寸法を示す平面模式図を示しており、図1Cにおいて、図1Aに示す半導体装置と同一の参照番号を付している。

[0050] 図1Cでは、ドレイン電極パッド31とソース電極パッド32の図1Cの左右方向の寸法は、ソース電極11とドレイン電極12のフィンガー数により変わる。

[0051] また、図1Dは上記半導体装置の要部の寸法を示す断面模式図を示しており、図1Dにおいて、ソース電極11の連結基部11eとドレイン電極パッド31のボンディング可能領域31aとの間隔は、 $53\mu\text{m}$ である。

[0052] また、図1Eは図1AのI-E-I-E線から見た要部の断面模式図を示している。なお、図1Eでは、図を見やすくするため、層間絶縁膜40の厚さを図1Bよりも薄くして示している。

[0053] 図1Eに示すように、Si基板10上に、アンドープGa_N層1、アンドープAlGa_N層2(図1Bに示す)からなる半導体層20を形成している。

[0054] また、ドレイン電極パッド31と3つのくし状ドレイン電極部12a、12b、12c(図1Eでは12aのみ)とをコンタクト部としてのビア45を介して接続したが、コンタクト部はこれに限らず、層間絶縁膜に設けた開口などを用いてドレイン電極とドレイン電極パッド(およびソース電極とソース電極パッド)とを接続してもよい。

[0055] また、ゲート電極13(図1Eではゲート電極部13aのみを示す)は、フィールドプレート構造になるような形状に形成され、ゲート電極13のドレイン側を絶縁膜30上になるように張り出した構造としている。このようなフィールドプレート構造とすることによって、Ga_N系HFETの問題であるコラプス特性を抑制できる効果がある。

[0056] 上記構成の半導体装置によれば、ソース電極11とドレイン電極パッド3

1 のボンディング可能領域 3 1 a との間に、ゲート電極 1 3 に接続されたゲート電極延伸部 1 4 を形成することによって、ゲート電極 1 3 に印加する電圧すなわちゲート電極延伸部 1 4 の電圧を制御して、ソース電極 1 1 とドレイン電極パッド 3 1 のボンディング可能領域 3 1 a との間のゲート電極延伸部 1 4 の下側の GaN 層 1 に空乏層を形成することで、リーク電流を効果的に抑制して耐圧を向上できる。したがって、素子サイズを大きくすることなく、層間絶縁膜 4 0 のない絶縁膜 3 0 上に形成されたドレイン電極パッド 3 1 のボンディング可能領域 3 1 a とソース電極 1 1 との間の耐圧を向上できる。

[0057] また、ドレイン電極パッド 3 1 のボンディング可能領域 3 1 a を囲むようにゲート電極延伸部 1 4 を AlGaIn 層 2 上に形成することによって、ソース電極 1 1 とドレイン電極パッド 3 1 のボンディング可能領域 3 1 a との間のリーク電流を確実に抑制できる。

[0058] また、ソース電極 1 1 の複数のくし状ソース電極部 1 1 a ~ 1 1 d とドレイン電極 1 2 の複数のくし状ドレイン電極部 1 2 a, 1 2 b, 1 2 c とが互いに間隔をあけて交互に配列された活性領域の近傍において、層間絶縁膜 4 0 のない絶縁膜 3 0 上にドレイン電極パッド 3 1 のボンディング可能領域 3 1 a を形成しても、ドレイン電極パッド 3 1 のボンディング可能領域 3 1 a とソース電極 1 1 との間の耐圧を向上でき、素子サイズを小さくできる。

[0059] [第 2 実施形態]

図 2 A はこの発明の第 2 実施形態の半導体装置の平面模式図を示している。この第 2 実施形態の半導体装置は、半導体層の一部を除去していない点を除いて第 1 実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0060] 上記第 2 実施形態の半導体装置は、図 2 A, 図 2 B に示すように、トランジスタの活性領域外の AlGaIn 層 2 を除去することなく、AlGaIn 層 2 上にドレイン電極パッド 3 1 のボンディング可能領域 3 1 a を設けている。また、ボンディング可能領域 3 1 a を囲むように、AlGaIn 層 2 上にゲート電極延伸部 1 4 が設けられている。

[0061] ゲート電極 1 3 に負電圧が印加されて GaN 層 1 に空乏層が形成されたオフ状態において、ドレイン電極パッド 3 1 のボンディング可能領域 3 1 a とトランジスタの活性領域 A 1 との間に形成されたゲート電極延伸部 1 4 にも負電圧が印加されて空乏層が形成される。これによりソース電極 1 1 の連結基部 1 1 e とドレイン電極パッド 3 1 のボンディング可能領域 3 1 a との間のリーク電流を効果的に抑制することができる。このように、ゲート電極延伸部 1 4 を設けることによって、ソース電極 1 1 とドレイン電極パッド 3 1 との耐圧を向上させることができるので、ドレイン電極パッドの下に 2 D E G が存在していても構わない。このような構成とすることによって、AlGaIn 層 2 を除去する必要がなくなるので、製造コストを下げる可以说是という副次的な効果も奏することができる。

[0062] [第 3 実施形態]

図 3 A はこの発明の第 3 実施形態の半導体装置の平面模式図を示している。この第 3 実施形態の半導体装置は、ドレイン電極パッドのボンディング可能領域と半導体層とを接続する接続電極を除いて第 2 実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0063] この第 3 実施形態の半導体装置は、図 3 A に示すように、ドレイン電極パッド 3 1 の凹部 4 0 a の底部に露出した絶縁膜 3 0 (図 3 B に示す) に接する領域に、ボンディング可能領域 3 1 a と AlGaIn 層 2 とを接続する接続電極 5 0 をボンディング可能領域 3 1 a の外縁に沿って形成している。

[0064] 図 3 B は図 3 A の III B - III B 線から見た要部の断面模式図を示しており、ゲート電極 1 3 に負電圧が印加されて GaN 層 1 に空乏層が形成されたオフ状態において、ドレイン電極パッド 3 1 のボンディング可能領域 3 1 a と点線で囲まれたトランジスタの活性領域との間に存在するゲート電極延伸部 1 4 によって、ソース電極 1 1 の連結基部 1 1 e とドレイン電極パッド 3 1 のボンディング可能領域 3 1 a との間の GaN 層 1 の領域に空乏層が形成される。

[0065] これにより、ソース電極 1 1 の連結基部 1 1 e とドレイン電極パッド 3 1 の

ボンディング可能領域 31a との間のリーク電流を効果的に抑制して耐圧を向上できる。

[0066] さらに、絶縁膜 30 を貫通する接続電極 50 により、ドレイン電極パッド 31 のボンディング可能領域 31a と AlGaIn 層 2 とを接続することによって、ドレイン電極パッド 31 のボンディング可能領域 31a の下側の絶縁膜 30 に電界がかからなくなり、絶縁膜 30 の絶縁破壊を防止することができる。

[0067] 上記第 3 実施形態の半導体装置によれば、第 2 実施形態の半導体装置と同様の効果を有する。

[0068] [第 4 実施形態]

図 4 A はこの発明の第 4 実施形態の半導体装置の平面模式図を示しており、図 4 B は図 4 A の IVB-IVB 線から見た要部の断面模式図を示している。この第 4 実施形態の半導体装置は、素子分離領域を除いて第 3 実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0069] この第 4 実施形態の半導体装置は、図 4 A, 図 4 B に示すように、ゲート電極延伸部 14 とそのゲート電極延伸部 14 に隣接するソース電極 11 の連結基部 11e との間の GaN 層 1, AlGaIn 層 2 の領域に、AlGaIn 層 2 を貫通し GaN 層 1 の上側の一部に埋め込まれた素子分離領域 60 を形成している。この素子分離領域 60 は、絶縁体からなり、特にシリコン酸化膜やシリコン窒化膜であればよい。

[0070] 上記第 4 実施形態の半導体装置によれば、第 3 実施形態の半導体装置と同様の効果を有する。

[0071] また、ソース電極 11 の連結基部 11e とゲート電極延伸部 14 および接続電極 50 で擬似トランジスタ(点線で囲まれた部分)が形成されても、ゲート電極延伸部 14 とそのゲート電極延伸部 14 に隣接するソース電極 11 との間の半導体層(GaN 層 1, AlGaIn 層 2)の領域に素子分離領域 60 を形成することによって、擬似トランジスタを形成するソース電極 11 の連結基部 11e とゲート電極延伸部 14 とを素子分離領域 60 により分離するので、擬似

トランジスタの誤動作を確実に防止することができる。

[0072] 〔第5実施形態〕

図5 Aはこの発明の第5実施形態の半導体装置の平面模式図を示しており、半導体装置の一例としてのGa_{0.9}N_{0.1}系HFE_{0.9}T_{0.1}である。

[0073] この半導体装置は、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGa_{0.9}N_{0.1}層101(図5 Bに示す)と、第2半導体層の一例としてのアンドープAlGa_{0.9}N_{0.1}層102(図5 Bに示す)を順に形成している。このアンドープGa_{0.9}N_{0.1}(厚さ3 μm)とアンドープAlGa_{0.9}N_{0.1}層102(厚さ30 nm)との界面に2DEG(2次元電子ガス)が発生する。ここで、基板は、Si基板に限らず、サファイヤ基板やSiC基板を用いてもよく、サファイヤ基板やSiC基板上に窒化物半導体層を成長させてもよいし、Ga_{0.9}N_{0.1}基板にAlGa_{0.9}N_{0.1}層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。

[0074] 図5 Aに示すように、AlGa_{0.9}N_{0.1}層102上に、互いに間隔をあけて略平行に配列された4つのくし状ソース電極部111a~111dとその4つのくし状ソース電極部111a~111dの一端を連結する連結基部111eとを有するソース電極111を形成している。ここで、ソース電極111の連結基部111eは、第1実施形態の図1 Aに示す半導体装置のソース電極11の連結基部11eと反対の側に設けられている。

[0075] また、AlGa_{0.9}N_{0.1}層102上に、くし状ソース電極部111a~111d間に配列された3つのくし状ドレイン電極部112a, 112b, 112cからなるドレイン電極112を形成している。また、AlGa_{0.9}N_{0.1}層102上に、くし状ドレイン電極部112a, 112b, 112cの夫々を囲むようにくし状ドレイン電極部112a, 112b, 112cに対して間隔をあけて形成された3つのゲート電極部113a, 113b, 113cからなるゲート電極113を形成している。各ゲート電極部113a, 113b, 113cは、ゲート電極部113aの一方の側(ソース電極111の連結基部111eと反対の側)に端部a1, a2、ゲート電極部113bの一方の側(ソース電極111の連結基部111eと反対の側)

に端部 b1, b2、ゲート電極部 113c の一方の側(ソース電極 111 の連結基部 111e と反対の側)に端部 c1, c2 を有するコの字形状をしている。上記ソース電極 111 と、ドレイン電極 112 と、ゲート電極 113 と、そのソース電極 111, ドレイン電極 112, ゲート電極 113 が形成された半導体層(GaN 層 101, AlGaN 層 102)の活性領域でスイッチング素子 S101 を構成している。

[0076] 上記ゲート電極部 113a, 113b の開放側の互いに隣接する端部 a2, b1 をゲート電極延伸部 115 で接続し、ゲート電極部 113b, 113c の開放側の互いに隣接する端部 b2, c1 をゲート電極延伸部 116 で接続している。そして、ゲート電極部 113a の開放側の外側の端部 a1 と、ゲート電極部 113c の開放側の外側の端部 c2 とを、ボンディング可能領域 131a の一部を囲むようにコの字形状のゲート電極延伸部 114 で接続している。

[0077] ここで、ソース電極 111 とドレイン電極 112 は、厚さ 550 nm、幅 4 μ m であり、ゲート電極 113 は、厚さ 200 nm、幅 4.5 μ m である。

[0078] ソース電極 111 とドレイン電極 112 とゲート電極 113 と後述するゲート電極延伸部 114, 115, 116 および接続配線 121 が形成された領域を除く AlGaN 層 102 上に、AlGaN 層 102 を保護するため、SiN からなる厚さ 200 nm の絶縁膜 130 (図 5B に示す)を形成している。また、ソース電極 111 とドレイン電極 112 とゲート電極 113 とが形成された Si 基板(図示せず)上に、ポリイミドからなる厚さ 9 μ m の層間絶縁膜 140 (図 5B に示す)を形成している。

[0079] この層間絶縁膜 140 のソース電極 111, ドレイン電極 112 に対してゲート電極延伸部 115, 116 よりも外側に、底部に絶縁膜 130 (図 5B に示す)が露出した凹部 140a を形成し、その凹部 140a および凹部 140a 近傍のソース電極 111 の連結基部 111e と反対の側の領域を覆うように、ドレイン電極パッド 131 (厚さ 3 μ m)を形成している。このドレイン電極パッド 131 は、くし状ドレイン電極部 112a, 112b, 112c のソース電

極 1 1 1 の連結基部 1 1 1 e と反対の側の一端と重なっており、その重なり領域でドレイン電極パッド 1 3 1 とくし状ドレイン電極部 1 1 2 a, 1 1 2 b, 1 1 2 c とをコンタクト部(図示せず)を介して接続している。また、ドレイン電極パッド 1 3 1 の凹部 1 4 0 a の底部に露出した絶縁膜 1 3 0 (図 5 B に示す)に接する領域がボンディング可能領域 1 3 1 a である。

[0080] 一方、上記層間絶縁膜 1 4 0 のソース電極 1 1 1, ドレイン電極 1 1 2 に対して凹部 1 4 0 a と反対の側に、底部に絶縁膜 1 3 0 (図 5 B に示す)が露出した凹部 1 4 0 b を形成し、その凹部 1 4 0 b およびソース電極 1 1 1 の連結基部 1 1 1 e 側の領域を覆うように、ソース電極パッド 1 3 2 (厚さ $3\mu\text{m}$) を形成している。このソース電極パッド 1 3 2 は、くし状ソース電極部 1 1 1 a ~ 1 1 1 d の連結基部 1 1 1 e 側の一端と重なっており、その重なり領域でソース電極パッド 1 3 2 とくし状ソース電極部 1 1 1 a ~ 1 1 1 d とをコンタクト部(図示せず)を介して接続している。また、ソース電極パッド 1 3 2 の凹部 1 4 0 b の底部に露出した絶縁膜 1 3 0 (図 5 B に示す)に接する領域がボンディング可能領域 1 3 2 a である。

[0081] また、AlGaIn 層 1 0 2 上かつソース電極パッド 1 3 2 のボンディング可能領域 1 3 2 a の側方に、絶縁膜 1 3 0 (図 5 B に示す)を介してこのゲート電極パッド 1 3 3 を形成している。また、このゲート電極パッド 1 3 3 は、ゲート電極部 1 1 3 c の一方の端部 c 2 と接続配線 1 2 1 を介して接続されている。

[0082] また、ソース電極 1 1 1 とドレイン電極 1 1 2 には、Ti/Au、Hf/Al/Hf/Au などを用い、ゲート電極 1 1 3 およびゲート電極延伸部 1 1 4, 1 1 5, 1 1 6 には、AlGaIn 層 1 0 2 とショットキー接合する材料として例えば WN/W や TiN/Ti などを用いて形成する。さらに、ドレイン電極パッド 1 3 1 とソース電極パッド 1 3 2 とゲート電極パッド 1 3 3 には、Ti/Au または Ti/Al などを用いている。

[0083] また、絶縁膜 1 3 0 には、SiN の他に SiO_2 , Al_2O_3 などを用い、層間絶縁膜 1 4 0 には、ポリイミドの他に SOG や BPSG などの絶縁材料を用い

てもよい。

[0084] この第5実施形態の半導体装置は、Ga_N層101とAlGa_N層102とが形成されたSi_i基板上に、図5Aに示すソース電極111とドレイン電極112とゲート電極113の1つの素子パターンが複数形成された後、絶縁膜130と層間絶縁膜140が順に形成され、さらに各素子パターンに対応するドレイン電極パッド131とソース電極パッド132とゲート電極パッド133が形成された後、図示しないスクライブラインに沿ってダイシングにより複数のチップに分割される。

[0085] 図5Bは図5AのVB-VB線から見た要部の断面模式図を示しており、図5Bでは、Si_i基板を省略している。

[0086] 図5Bに示すように、Ga_N層101とAlGa_N層102との界面に形成された2DEG(2次元電子ガス)が発生してチャネル層が形成される。このチャネル層をゲート電極113に電圧を印加することにより、ソース電極111とドレイン電極112とゲート電極113を有するヘテロ接合電界効果トランジスタをオンオフさせる。このヘテロ接合電界効果トランジスタは、ゲート電極113に負電圧が印加されているときにゲート電極部113a, 113b, 113cおよびゲート電極延伸部114, 115, 116(図5Bでは114, 116のみを示す)下のGa_N層101に空乏層が形成されてオフ状態となる一方、ゲート電極113の電圧がゼロのときにゲート電極部113a, 113b, 113cおよびゲート電極延伸部114, 115, 116下のGa_N層101に空乏層がなくなってオン状態となるノーマリーオンタイプのトランジスタである。

[0087] ゲート電極113に負電圧が印加されてGa_N層1に空乏層が形成されたオフ状態において、ドレイン電極パッド131のボンディング可能領域131aとトランジスタの活性領域との間に存在するゲート電極延伸部115, 116(図5Bでは116のみを示す)によって、ソース電極111のくし状ソース電極部111cとドレイン電極パッド131のボンディング可能領域131aとの間のGa_N層101の領域に空乏層が形成される。これにより、ソース電

極 1 1 1 のくし状ソース電極部 1 1 1 c とドレイン電極パッド 1 3 1 のボンディング可能領域 1 3 1 a との間のリーク電流を効果的に抑制して耐圧を向上できる。

[0088] 上記第 5 実施形態の半導体装置によれば、第 1 実施形態の半導体装置と同様の効果を有する。

[0089] [第 6 実施形態]

図 6 A はこの発明の第 6 実施形態の半導体装置の平面模式図を示している。この第 6 実施形態の半導体装置は、ドレイン電極パッドのボンディング可能領域と半導体層とを接続する接続電極を除いて第 5 実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0090] この第 6 実施形態の半導体装置は、図 6 A に示すように、ドレイン電極パッド 1 3 1 の凹部 1 4 0 a の底部に露出した絶縁膜 1 3 0 (図 6 B に示す) に接する領域に、ボンディング可能領域 1 3 1 a と AlGaIn 層 1 0 2 とを接続する接続電極 1 5 0 をボンディング可能領域 1 3 1 a の外縁に沿って形成している。

[0091] 図 6 B は図 6 A の VIB-VIB 線から見た要部の断面模式図を示しており、ゲート電極 1 1 3 に負電圧が印加されて GaN 層 1 0 1 に空乏層が形成されたオフ状態において、ドレイン電極パッド 1 3 1 のボンディング可能領域 1 3 1 a とトランジスタの活性領域との間に存在するゲート電極延伸部 1 1 5, 1 1 6 (図 6 B では 1 1 6 のみを示す) によって、ソース電極 1 1 1 のくし状ソース電極部 1 1 1 c とドレイン電極パッド 1 3 1 のボンディング可能領域 1 3 1 a との間の GaN 層 1 0 1 の領域に空乏層が形成される。

[0092] これにより、ソース電極 1 1 1 のくし状ソース電極部 1 1 1 c とドレイン電極パッド 1 3 1 のボンディング可能領域 1 3 1 a との間、すなわちソース電極 1 1 1 とドレイン電極 1 1 2 との間のリーク電流を効果的に抑制して耐圧を向上できる。

[0093] さらに、絶縁膜 1 3 0 を貫通する接続電極 1 5 0 により、ドレイン電極パ

ッド１３１のボンディング可能領域１３１aとAlGaIn層１０２とを接続することによって、ドレイン電極パッド１３１のボンディング可能領域１３１aの下側の絶縁膜１３０に電界がかからなくなり、絶縁膜１３０の絶縁破壊を防止することができる。

[0094] 上記第６実施形態の半導体装置によれば、第１実施形態の半導体装置と同様の効果を有する。

[0095] 〔第７実施形態〕

図７Aはこの発明の第７実施形態の半導体装置の平面模式図を示している。この第７実施形態の半導体装置は、素子分離領域を除いて第６実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0096] 図７Bは図７AのVIIB-VIIIB線から見た要部の断面模式図を示しており、この第７実施形態の半導体装置は、図７Bに示すように、ゲート電極延伸部１１４とそのゲート電極延伸部１１４に隣接するソース電極１１１の連結基部１１１eとの間のGaIn層１０１、AlGaIn層１０２の領域に、AlGaIn層１０２を貫通しGaIn層１０１の上側の一部に埋め込まれた素子分離領域１６０を形成している。この素子分離領域１６０は、絶縁体からなり、特にシリコン酸化膜やシリコン窒化膜であればよい。

[0097] 上記第３実施形態の半導体装置によれば、第２実施形態の半導体装置と同様の効果を有する。

[0098] また、ソース電極１１１のくし状ソース電極部１１１cとゲート電極延伸部１１５、１１６および接続電極１５０で擬似トランジスタ(点線で囲まれた部分)が形成されても、ゲート電極延伸部１１４とそのゲート電極延伸部１１４に隣接するソース電極１１１との間の半導体層(GaIn層１０１、AlGaIn層１０２)の領域に素子分離領域１６０を形成することによって、擬似トランジスタを形成するソース電極１１１のくし状ソース電極部１１１cとゲート電極延伸部１１５、１１６とを素子分離領域１６０により分離するので、擬似トランジスタの誤動作を確実に防止することができる。

[0099] なお、第1実施形態の半導体装置において、スクライブラインに沿ってダイシングにより複数のチップに分割することについて説明したが、第1実施形態の図1Aに示す半導体装置の構成に、ソース電極11とドレイン電極12とゲート電極13で形成された1つの素子パターンを囲むスクライブライン70がさらに形成された半導体装置の平面模式図を図8に示す。

[0100] 図8では、ゲート電極延伸部14と接続配線25との接続点Aにおいて、スクライブライン70に対する最短距離xが70 μ mのとき、ソース電極が0V、ゲート電極が-10Vの条件でドレイン電極に印加可能な電圧は最大で700Vであった。

[0101] また、同一の条件で最短距離xが100 μ mのとき、ドレイン電極に印加可能な電圧は最大で900Vとなり、最短距離xが150 μ mのとき、ドレイン電極に印加可能な電圧は最大で1200Vとなった。

[0102] このように、ゲート電極延伸部14と接続配線25との接続点Aにおいて、スクライブライン70に対する最短距離xについて所定距離を確保することにより、スクライブライン70と接続点Aとの間に生じる空気放電を抑制でき、耐圧を向上させることができた。

[0103] [第8実施形態]

図14A、図14Bはこの発明の第8実施形態の半導体装置の平面模式図を示している。この第8実施形態の半導体装置は、第2実施形態の半導体装置と同一の構成の2つのスイッチング素子S1、S2をドレイン電極パッド31で接続しており、同一の構成部には同一参照番号を付して説明を省略する。

[0104] ここで、図14Aの半導体装置は、下側のスイッチング素子S2のゲート電極パッド33がゲート電極延伸部14に接続されていない構成例であり、図14Bの半導体装置は、下側のスイッチング素子S2側にゲート電極パッドを設けずにゲート電極13をゲート電極延伸部14に接続配線25を介して接続している構成例である。

[0105] また、図14Cは図14A、図14BのXIVC-XIVC線から見た要部の断面模式図を示している。

[0106] この半導体装置は、図14Cに示すように、スイッチング素子S1, S2の活性領域A1, A2外のAlGaIn層2を除去することなく、AlGaIn層2層上にドレイン電極パッド31を設けている。また、ドレイン電極パッド31がAlGaIn層2上に接触した領域を囲むように、AlGaIn層2上にゲート電極延伸部14が設けられている。

[0107] 上記構成の半導体装置において、ゲート電極13に負電圧が印加されて、GaIn層1に空乏層が形成されたオフ状態において、ドレイン電極パッド31がAlGaIn層2層上に接触した領域とトランジスタの活性領域A1, A2との間に形成されたゲート電極延伸部14にも負電圧が印加されて、空乏層が形成される。これにより、ソース電極11の連結基部11eとドレイン電極パッド31がAlGaIn層2層上に接触した領域との間のリーク電流を効果的に抑制することができる。このように、ゲート電極延伸部14を設けることによって、ソース電極11とドレイン電極パッド31との耐圧を向上させることができるので、ドレイン電極パッド31の下に2DEGが存在しても構わない。このような構成とすることによって、AlGaInを除去する必要性がなくなるので、製造コストを下げるができるという副次的な効果も奏することができる。

[0108] 上記第8実施形態の半導体装置は、第2実施形態の半導体装置と同様の効果を有する。

[0109] また、上記2つのスイッチング素子S1, S2で1つのドレイン電極パッド31を共用することにより、素子サイズを小さくできる。

[0110] なお、ドレイン電極パッド31には、必ずしもボンディングされる必要があるわけではなく、回路によっては、ボンディングしない場合もあり得る。

[0111] また、上記第8実施形態では、2つのスイッチング素子の構成の半導体装置について説明したが、スイッチング素子が3以上の構成の半導体装置にこの発明を適用してもよい。

[0112] [第9実施形態]

図15A, 図15Bはこの発明の第9実施形態の半導体装置の平面模式図を

示している。この第9実施形態の半導体装置は、接続電極50を除いて第8実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0113] ここで、図15Aの半導体装置は、下側のスイッチング素子S2のゲート電極パッド33がゲート電極延伸部14に接続されていない構成例であり、図15Bの半導体装置は、下側のスイッチング素子S2側にゲート電極パッドを設けずにゲート電極13をゲート電極延伸部14に接続配線25を介して接続している構成例である。

[0114] この第9実施形態の半導体装置は、図15A、図15Bに示すように、ドレイン電極パッド31の凹部40aの底部に露出した絶縁膜30(図15Cに示す)に接する領域に、ボンディング可能領域31aとAlGaIn層2とを接続する接続電極50をボンディング可能領域31aの外縁に沿って形成している。

[0115] 図15Cは図15A、図15BのXVC-XVC線から見た要部の断面模式図を示しており、ゲート電極13に負電圧が印加されてGaIn層1に空乏層が形成されたオフ状態において、ドレイン電極パッド31のボンディング可能領域31aと点線で囲まれたトランジスタの活性領域A1、A2との間に存在するゲート電極延伸部14によって、ソース電極11の連結基部11eとドレイン電極パッド31のボンディング可能領域31aとの間のGaIn層1の領域に空乏層が形成される。

[0116] これにより、ソース電極11の連結基部11eとドレイン電極パッド31のボンディング可能領域31aとの間のリーク電流を効果的に抑制して耐圧を向上できる。

[0117] さらに、絶縁膜30を貫通する接続電極50により、ドレイン電極パッド31のボンディング可能領域31aとAlGaIn層2とを接続することによって、ドレイン電極パッド31のボンディング可能領域31aの下側の絶縁膜30に電界がかからなくなり、絶縁膜30の絶縁破壊を防止することができる。

[0118] 上記第9実施形態の半導体装置は、第8実施形態の半導体装置と同様の効果を有する。

[0119] 〔第 10 実施形態〕

図 16A、図 16B はこの発明の第 10 実施形態の半導体装置の平面模式図を示している。この第 10 実施形態の半導体装置は、素子分離領域 60 を除いて第 9 実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0120] ここで、図 16A の半導体装置は、下側のスイッチング素子 S2 のゲート電極パッド 33 がゲート電極延伸部 14 に接続されていない構成例であり、図 16B の半導体装置は、下側のスイッチング素子 S2 側にゲート電極パッドを設けずにゲート電極 13 をゲート電極延伸部 14 に接続配線 25 を介して接続している構成例である。

[0121] この第 4 実施形態の半導体装置は、図 16A、図 16B、図 16C に示すように、ゲート電極延伸部 14 とそのゲート電極延伸部 14 に隣接するソース電極 11 の連結基部 11e との間の GaN 層 1、AlGaIn 層 2 の領域に、AlGaIn 層 2 を貫通し GaN 層 1 の上側の一部に埋め込まれた素子分離領域 60 を形成している。この素子分離領域 60 は、絶縁体からなり、特にシリコン酸化膜やシリコン窒化膜であればよい。

[0122] 上記第 10 実施形態の半導体装置は、第 9 実施形態の半導体装置と同様の効果を有する。

[0123] また、ソース電極 11 の連結基部 11e とゲート電極延伸部 14 および接続電極 50 で擬似トランジスタ(点線で囲まれた部分)が形成されても、ゲート電極延伸部 14 とそのゲート電極延伸部 14 に隣接するソース電極 11 との間の半導体層(GaN 層 1、AlGaIn 層 2)の領域に素子分離領域 60 を形成することによって、擬似トランジスタを形成するソース電極 11 の連結基部 11e とゲート電極延伸部 14 とを素子分離領域 60 により分離するので、擬似トランジスタの誤動作を確実に防止することができる。

[0124] 〔第 11 実施形態〕

図 17A、図 17B はこの発明の第 11 実施形態の半導体装置の平面模式図を示している。この第 11 実施形態の半導体装置は、半導体層の一部を除去

している点を除いて第9実施形態の半導体装置と同一の構成をしており、同一の構成部には同一参照番号を付して説明を省略する。

[0125] ここで、図17Aの半導体装置は、下側のスイッチング素子S2のゲート電極パッド33がゲート電極延伸部14に接続されていない構成例であり、図17Bの半導体装置は、下側のスイッチング素子S2側にゲート電極パッドを設けずにゲート電極13をゲート電極延伸部14に接続配線25を介して接続している構成例である。

[0126] この層間絶縁膜40のソース電極11の連結基部11eよりも外側で、AlGaIn層2およびGaIn層1の一部を除去して2DEGを除去した領域に、底部に絶縁膜30(図17Cに示す)が露出した凹部40aを形成し、その凹部40aおよびソース電極11の連結基部11e側の領域を覆うように、ドレイン電極パッド31を形成している。

[0127] また、上記第11実施形態の半導体装置は、第9実施形態の半導体装置と同様の効果を有する。

[0128] 上記第1～第11実施形態では、2DEG(2次元電子ガス)と絶縁膜上の電極パッド間での耐压試験における絶縁破壊の確率は、ゲート電極延伸部14, 114～116や接続電極50, 150のない構成の半導体装置が約40%であったのに比べて0%に著しく減少した。

[0129] また、上記第1～第11実施形態では、GaIn層1, 101とAlGaIn層2, 102を基板上に順に積層したヘテロ接合電界効果トランジスタについて説明したが、GaIn層, AlGaIn層の代わりにGaAs層とn-AlGaAs層を基板上に順に積層したヘテロ接合電界効果トランジスタにこの発明を適用してもよい。

[0130] また、上記第1～第11実施形態では、ゲート電極とソース電極とドレイン電極をそれぞれ複数有するフィンガータイプのヘテロ接合電界効果トランジスタについて説明したが、この発明の半導体装置はこれに限らず、ゲート電極とソース電極とドレイン電極とを1組有するスイッチング素子を備えた半導体装置にこの発明を適用してもよい。

[0131] また、上記第1～第11実施形態では、ノーマリーオンタイプのヘテロ接合電界効果トランジスタについて説明したが、この発明の半導体装置はこれに限らず、ノーマリーオフタイプのヘテロ接合電界効果トランジスタにこの発明を適用してもよい。

[0132] 例えば、図9はリセス型の半導体装置の要部の断面図を示しており、半導体装置の一例としてのGa_N系HFE_Tである。図9では、層間絶縁膜や電極パッドは省略している。

[0133] この半導体装置は、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGa_N層201と、第2半導体層の一例としてのアンドープAlGa_N層202を順に形成している。このアンドープGa_N層201とアンドープAlGa_N層202との界面に2DEG(2次元電子ガス)が発生する。上記第1～第11実施形態と同様に、基板は、Si基板に限らず、サファイヤ基板やSiC基板を用いてもよく、サファイヤ基板やSiC基板上に窒化物半導体層を成長させてもよいし、Ga_N基板にAlGa_N層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。

[0134] AlGa_N層202上に、所定の間隔をあけてソース電極211とドレイン電極212を形成している。ソース電極211とドレイン電極212との間のソース電極211側に、AlGa_N層202の上部に凹部200を設けている。その凹部200とソース電極211とドレイン電極212を除くAlGa_N層202に第1絶縁膜230を形成している。第1絶縁膜230および凹部200を覆うように第2絶縁膜240を形成している。そして、第2絶縁膜240で覆われた凹部200内に埋め込まれた基部213aと、その基部213aの上部に形成されたフィールドプレート部213bでゲート電極213を形成している。

[0135] 図9に示す半導体装置では、AlGa_N層202の上側の一部に形成された凹部200にゲート電極213の基部213aが埋め込まれて、AlGa_N層202がゲート電極213と第1絶縁膜230を介して接触することによって、ゲート電極213下のヘテロ界面に2DEG(2次元電子ガス)が存在せず

、閾値電圧が高くなるので、スイッチング素子のノーマリーオフ動作が可能になる。

[0136] また、図10はリセス型の他の半導体装置の要部の断面図を示しており、半導体装置の一例としてのGaN系HFETである。図10では、層間絶縁膜や電極パッドは省略している。

[0137] この半導体装置は、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGaN層201と、第2半導体層の一例としてのアンドープAlGaN層302を順に形成している。このアンドープGaN層301とアンドープAlGaN層302との界面に2DEG(2次元電子ガス)が発生する。

[0138] AlGaN層302上に、所定の間隔をあけてソース電極311とドレイン電極312を形成している。ソース電極311とドレイン電極312との間のソース電極311側に、AlGaN層302を貫通してGaN層301の上側の一部に凹部300を設けている。その凹部300とソース電極311とドレイン電極312を除くAlGaN層302に第1絶縁膜330を形成している。第1絶縁膜330および凹部300を覆うように第2絶縁膜340を形成している。そして、第2絶縁膜340で覆われた凹部300内に埋め込まれた基部313aと、その基部313aの上部に形成されたフィールドプレート部313bでゲート電極313を形成している。

[0139] 図10に示す半導体装置では、AlGaN層302を貫通してGaN層301の上側の一部に形成された凹部300にゲート電極313の基部313aが埋め込まれていることによって、ゲート電極313によりGaN層301と第AlGaN層302とのヘテロ界面が遮断されて2DEG(2次元電子ガス)が存在せず、閾値電圧が高くなるので、スイッチング素子のノーマリーオフ動作が可能になる。

[0140] このような図9,図10に示す構成の半導体装置においても、スイッチング素子のゲート電極に接続されたゲート電極延伸部を、半導体層上、かつ、少なくともソース電極とドレイン電極パッドのボンディング可能領域との間に形成することにより、この発明を適用することができる。これにより、素子

サイズを大きくすることなく、層間絶縁膜のない絶縁膜上に形成されたドレイン電極パッドのボンディング可能領域とソース電極との間の耐圧を向上できるノーマリーオフタイプのヘテロ接合電界効果トランジスタを実現することができる。

[0141] また、この発明の半導体装置はヘテロ接合電界効果トランジスタに限らず、図11に示す横型ジャンクションFETや図12に示す横型パワーMOSFETなどのキャリアが基板面に沿って横方向に移動する半導体装置にこの発明を適用してもよい。

[0142] 横型ジャンクションFETの一般的な構成を示す図11において、401はn型半導体基板、413はゲート電極、421はソース領域、422はドレイン領域、423はゲート層、430は絶縁膜、440は酸化膜である。

[0143] また、横型パワーMOSFETの一般的な構成を示す図12において、501はp型半導体基板、511はソース電極、512はドレイン電極、513はゲート電極、521はソース領域、522はドレイン領域、530は絶縁膜である。

[0144] このような図11、図12に示す構成の半導体装置においても、スイッチング素子のゲート電極に接続されたゲート電極延伸部を、半導体層上、かつ、少なくともスイッチング素子のソース電極とドレイン電極パッドのボンディング可能領域との間に形成することにより、この発明を適用することができる。これにより、素子サイズを大きくすることなく、層間絶縁膜のない絶縁膜上に形成されたドレイン電極パッドのボンディング可能領域とソース電極との間の耐圧を向上できる横型ジャンクションFETや横型パワーMOSFETを実現することができる。

[0145] この発明の具体的な実施の形態について説明したが、この発明は上記実施の形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

符号の説明

[0146] 1, 101...GaN層

2, 1 0 2…AlGa_N層
1 1, 1 1 1…ソース電極
1 1 a～1 1 d, 1 1 1 a～1 1 1 d…くし状ソース電極部
1 1 e, 1 1 1 e…連結基部
1 2, 1 1 2…ドレイン電極
1 2 a, 1 2 b, 1 2 c, 1 1 2 a, 1 1 2 b, 1 1 2 c…くし状ドレイン電極部
1 3, 1 1 3…ゲート電極
1 3 a, 1 3 b, 1 3 c, 1 1 3 a, 1 1 3 b, 1 1 3 c…ゲート電極部
1 4, 1 1 4, 1 1 5, 1 1 6…ゲート電極延伸部
2 1～2 5, 1 2 1…接続配線
3 0, 1 3 0…絶縁膜
3 1, 1 3 1…ドレイン電極パッド
3 1 a, 1 3 1 a…ボンディング可能領域
3 2, 1 3 2…ソース電極パッド
3 2 a, 1 3 2 a…ボンディング可能領域
3 3, 1 3 3…ゲート電極パッド
4 0, 1 4 0…層間絶縁膜
4 0 a, 4 0 b, 1 4 0 a, 1 4 0 b…凹部
4 5…ビア
5 0, 1 5 0…接続電極
6 0, 1 6 0…素子分離領域
2 0 0, 3 0 0…凹部
2 0 1, 3 0 1…Ga_N層
2 0 2, 3 0 2…AlGa_N層
2 1 1, 3 1 1…ソース電極
2 1 2, 3 1 2…ドレイン電極
2 1 3, 3 1 3…ゲート電極
2 1 3 a, 3 1 3 a…基部

2 1 3 b, 3 1 3 b…フィールドプレート部

4 0 1 … n 型半導体基板

4 1 3 …ゲート電極

4 2 1 …ソース領域

4 2 2 …ドレイン領域

4 2 3 …ゲート層

4 3 0 …絶縁膜

4 4 0 …酸化膜

5 0 1 … p 型半導体基板

5 1 1 …ソース電極

5 1 2 …ドレイン電極

5 1 3 …ゲート電極

5 2 1 …ソース領域

5 2 2 …ドレイン領域

5 3 0 …絶縁膜

A 1 , A 2 …活性領域

S 1 , S 2 , S 1 0 1 …スイッチング素子

請求の範囲

[請求項1]

基板と、

上記基板上に形成されると共に、活性領域を含む半導体層(1, 2, 101, 102)と、

上記半導体層(1, 2, 101, 102)の上記活性領域上に形成されたゲート電極(13, 113)とソース電極(11, 111)とドレイン電極(12, 112)とを有するスイッチング素子(S1, S2, S101)と、

上記ドレイン電極(12, 112)に接続され、上記半導体層(1, 2, 101, 102)の上記活性領域以外の領域上に絶縁膜(30, 130)を介して形成されたボンディング可能領域を有するドレイン電極パッド(31, 131)と、

上記半導体層(1, 2, 101, 102)上、かつ、少なくとも上記ソース電極(11, 111)と上記ドレイン電極パッド(31, 131)のボンディング可能領域との間に形成され、上記ゲート電極(13, 113)に接続されたゲート電極延伸部(14, 114, 115, 116)とを備えたことを特徴とする半導体装置。

[請求項2]

請求項1に記載の半導体装置において、

上記半導体層(1, 2, 101, 102)は、上記基板上に順に積層された第1半導体層(1, 101)およびその第1半導体層(1, 101)とヘテロ界面を形成する第2半導体層(2, 102)を含み、

上記スイッチング素子(S1, S2, S101)は、上記第1半導体層(1, 101)と上記第2半導体層(2, 102)とのヘテロ界面に形成された2次元電子ガスを利用するヘテロ接合電界効果トランジスタであることを特徴とする半導体装置。

[請求項3]

請求項2に記載の半導体装置において、

上記2次元電子ガスが形成される上記第1半導体層(1, 101)と上記第2半導体層(2, 102)とのヘテロ界面は、上記ドレイン電極

パッド(31, 131)のボンディング可能領域の下側の領域を少なくとも除く上記基板上の領域に形成されていることを特徴とする半導体装置。

[請求項4] 請求項2または3に記載の半導体装置において、

上記第2半導体層(2, 102)の上側の一部、または、上記第2半導体層(2, 102)を貫通して上記第1半導体層(1, 101)の上側の一部に凹部(200, 300)が形成され、

上記凹部(200, 300)に上記ゲート電極(13, 113)の少なくとも一部が埋め込まれていることを特徴とする半導体装置。

[請求項5] 請求項1から4までのいずれか1つに記載の半導体装置において、

上記ドレイン電極パッド(31, 131)のボンディング可能領域の下側かつ少なくとも上記ゲート電極延伸部(14, 114, 115, 116)に対向する領域に形成され、上記絶縁膜(30, 130)を貫通して上記ドレイン電極パッド(31, 131)のボンディング可能領域と上記半導体層(1, 2, 101, 102)とを接続する接続電極(50, 150)を備えたことを特徴とする半導体装置。

[請求項6] 請求項5に記載の半導体装置において、

上記ゲート電極延伸部(14, 114, 115, 116)とそのゲート電極延伸部(14, 114, 115, 116)に隣接する上記ソース電極(11, 111)との間の上記半導体層(1, 2, 101, 102)の領域に形成された素子分離領域(60, 160)を備えたことを特徴とする半導体装置。

[請求項7] 請求項1から6までのいずれか1つに記載の半導体装置において、

上記ゲート電極延伸部(14, 114, 115, 116)は、上記ドレイン電極パッド(31, 131)のボンディング可能領域を囲むように上記半導体層(1, 2, 101, 102)上に形成されていることを特徴とする半導体装置。

[請求項8] 請求項1から7までのいずれか1つに記載の半導体装置において、

上記ソース電極(1 1, 1 1 1)は、互いに間隔をあけて略平行に配列された複数のくし状ソース電極部(1 1 a~1 1 d, 1 1 1 a~1 1 1 d)を有すると共に、

上記ドレイン電極(1 2, 1 1 2)は、上記ソース電極(1 1, 1 1 1)の複数のくし状ソース電極部(1 1 a~1 1 d, 1 1 1 a~1 1 1 d)と互いに間隔をあけて交互に配列された複数のくし状ドレイン電極部(1 2 a, 1 2 b, 1 2 c, 1 1 2 a, 1 1 2 b, 1 1 2 c)を有することを特徴とする半導体装置。

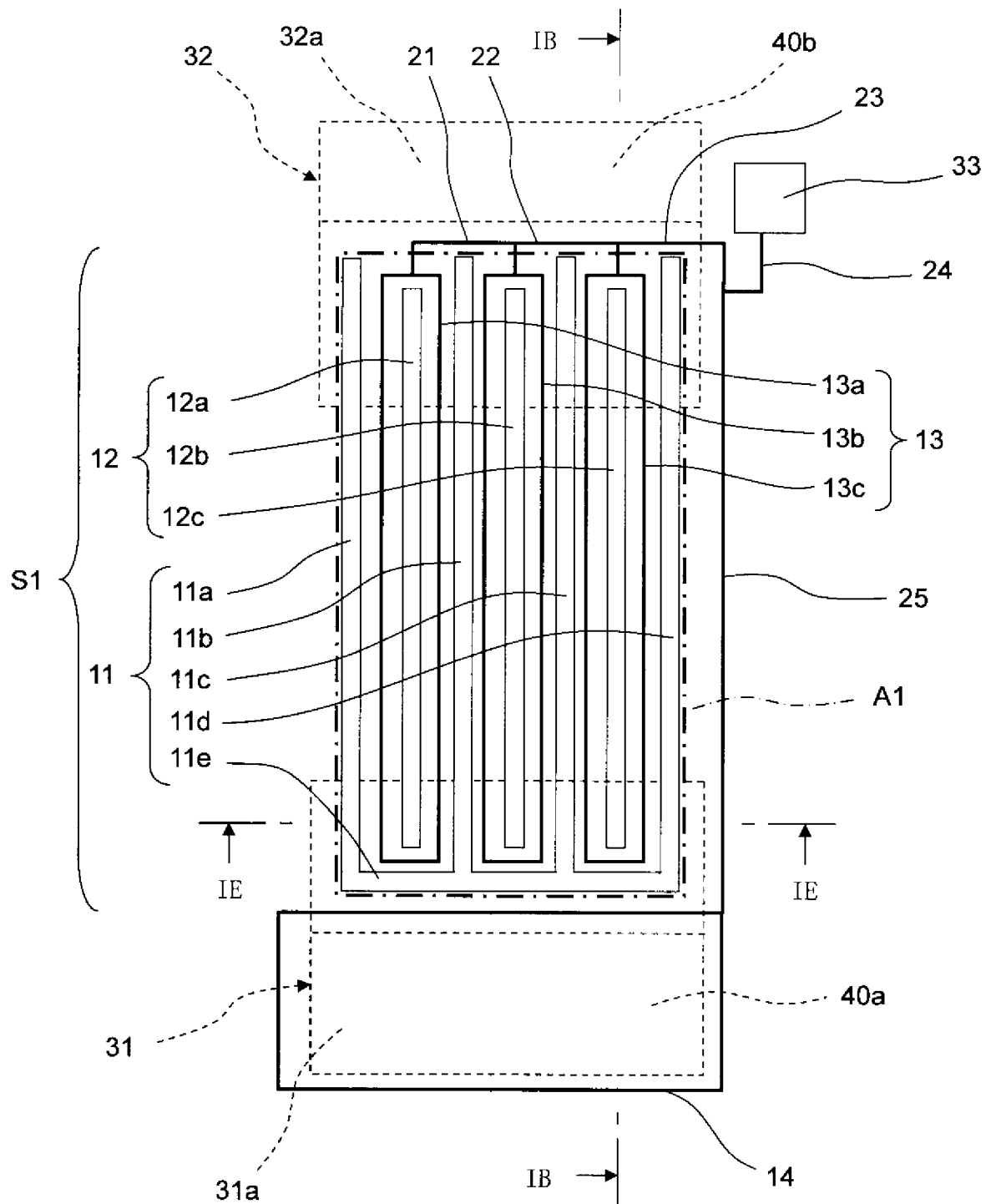
[請求項9]

請求項1 から8 までのいずれか1 つに記載の半導体装置において、

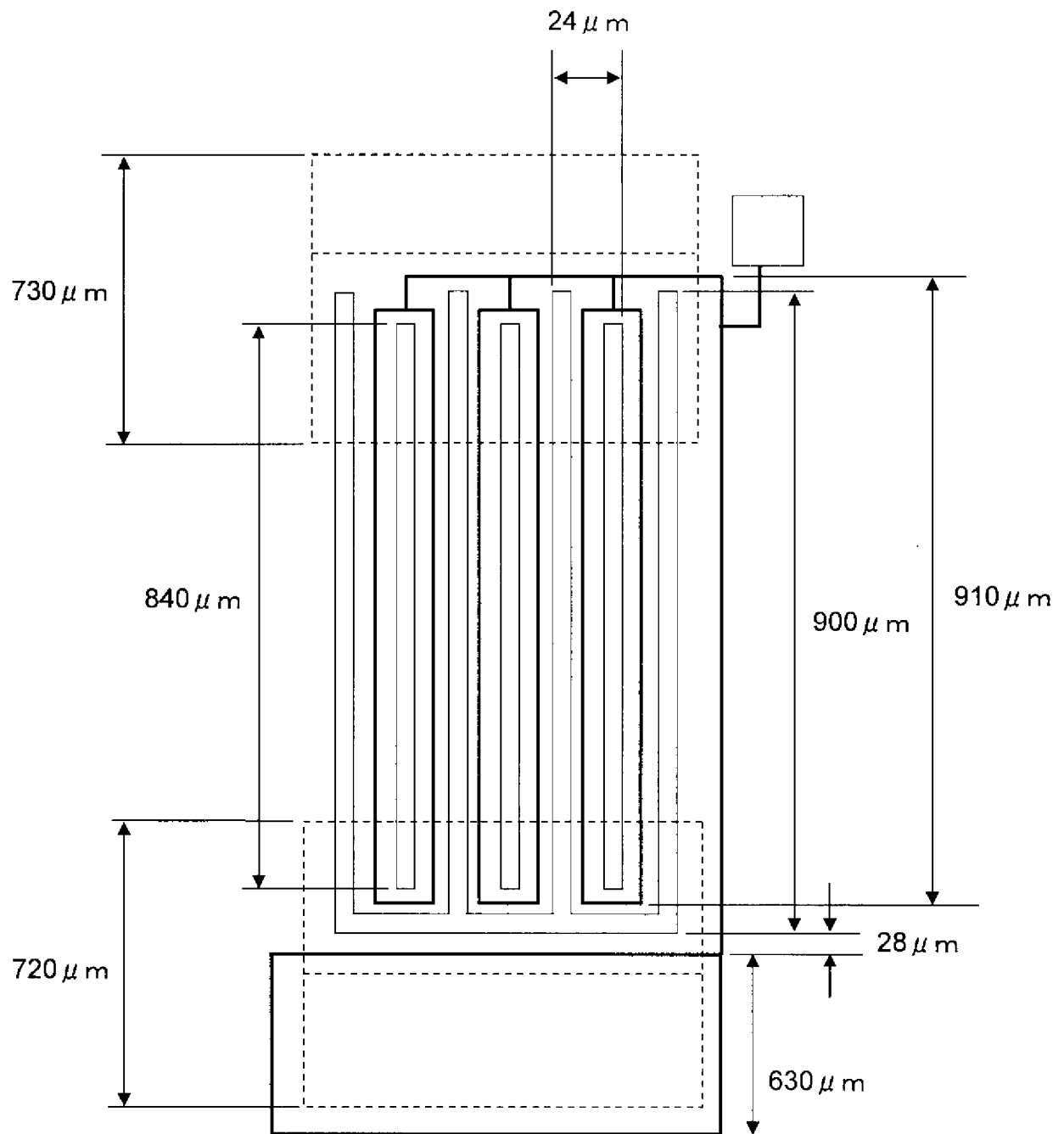
上記スイッチング素子(S 1, S 2)は複数であって、

上記複数のスイッチング素子(S 1, S 2)の上記ドレイン電極(1 2)は、同一の上記ドレイン電極パッド(3 1)を介して接続されていることを特徴とする半導体装置。

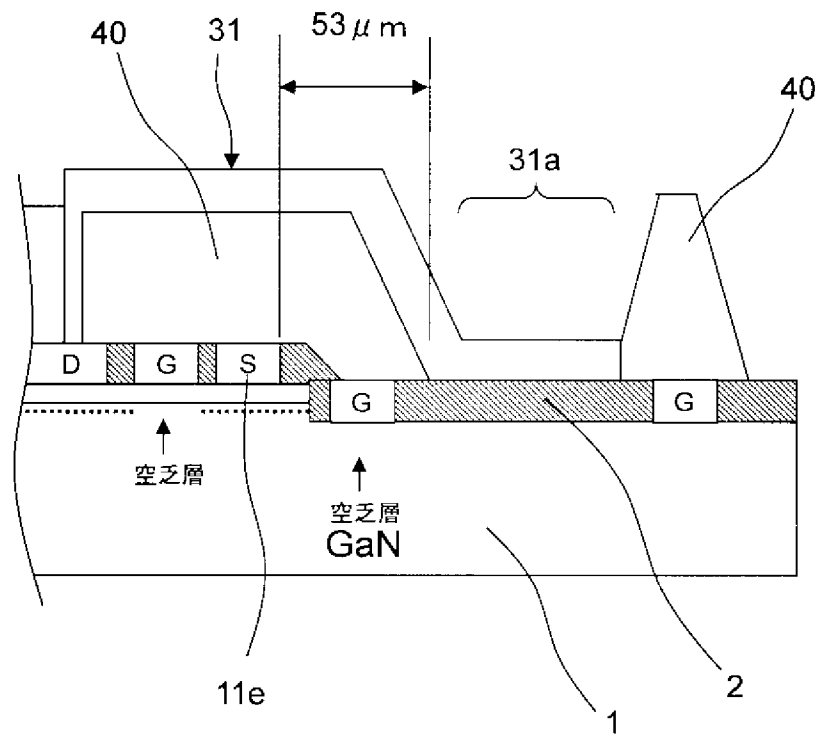
[図1A]



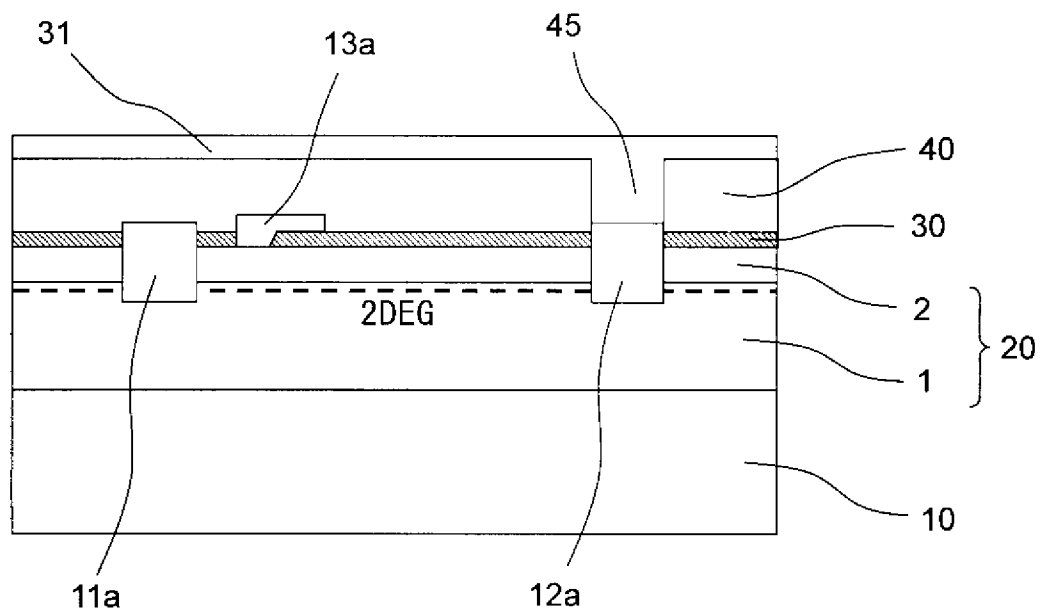
[図1C]



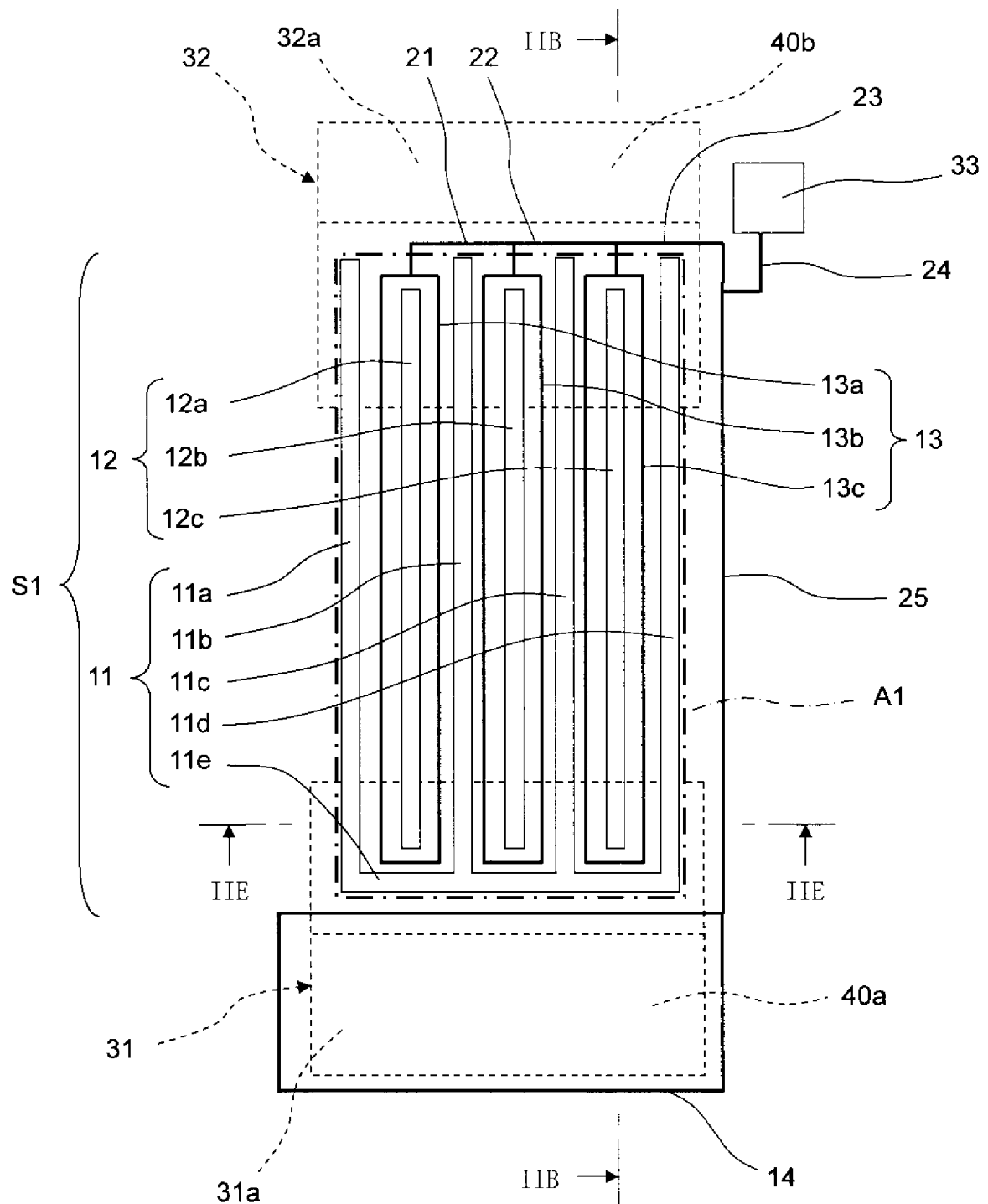
[図1D]



[図1E]

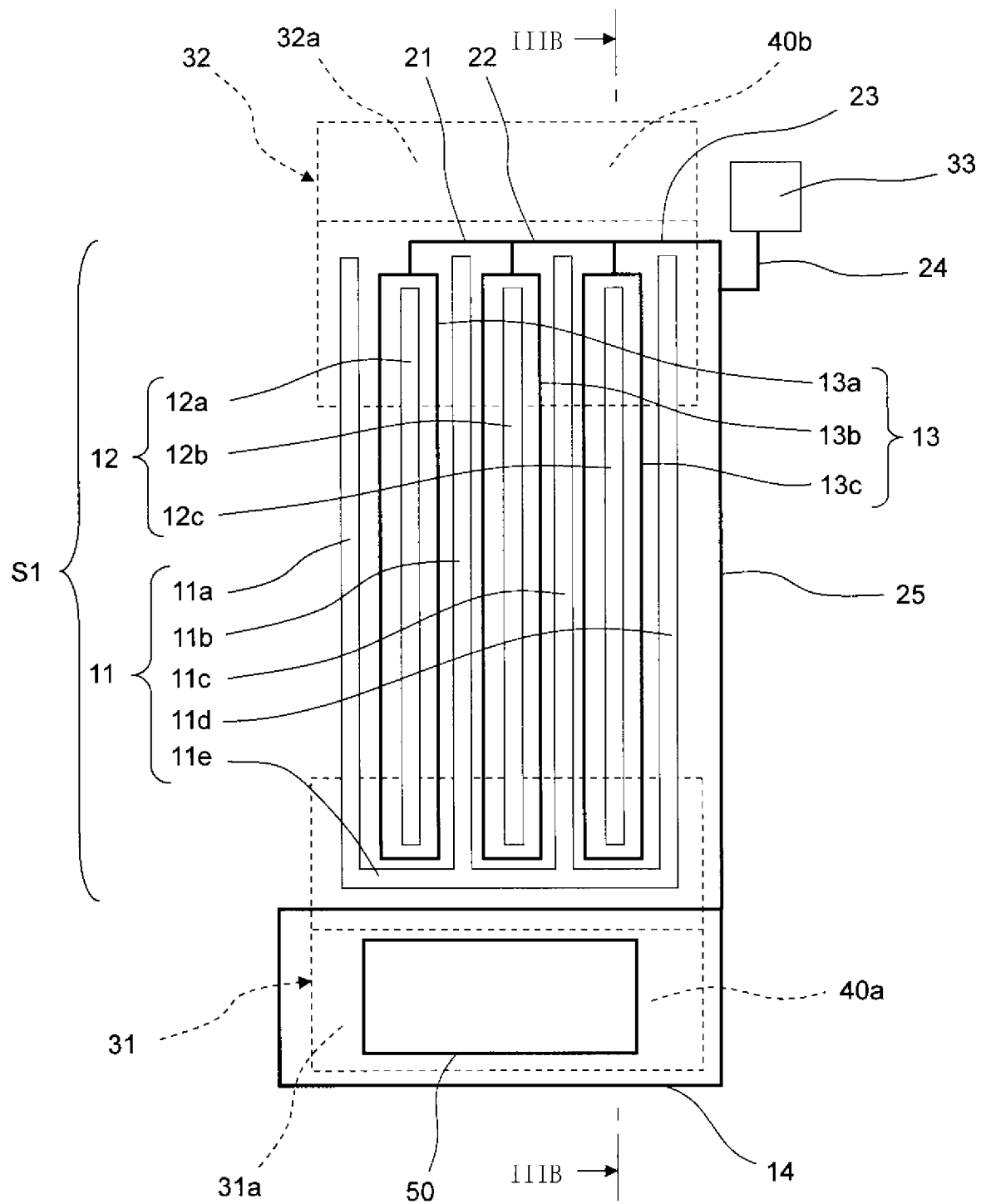


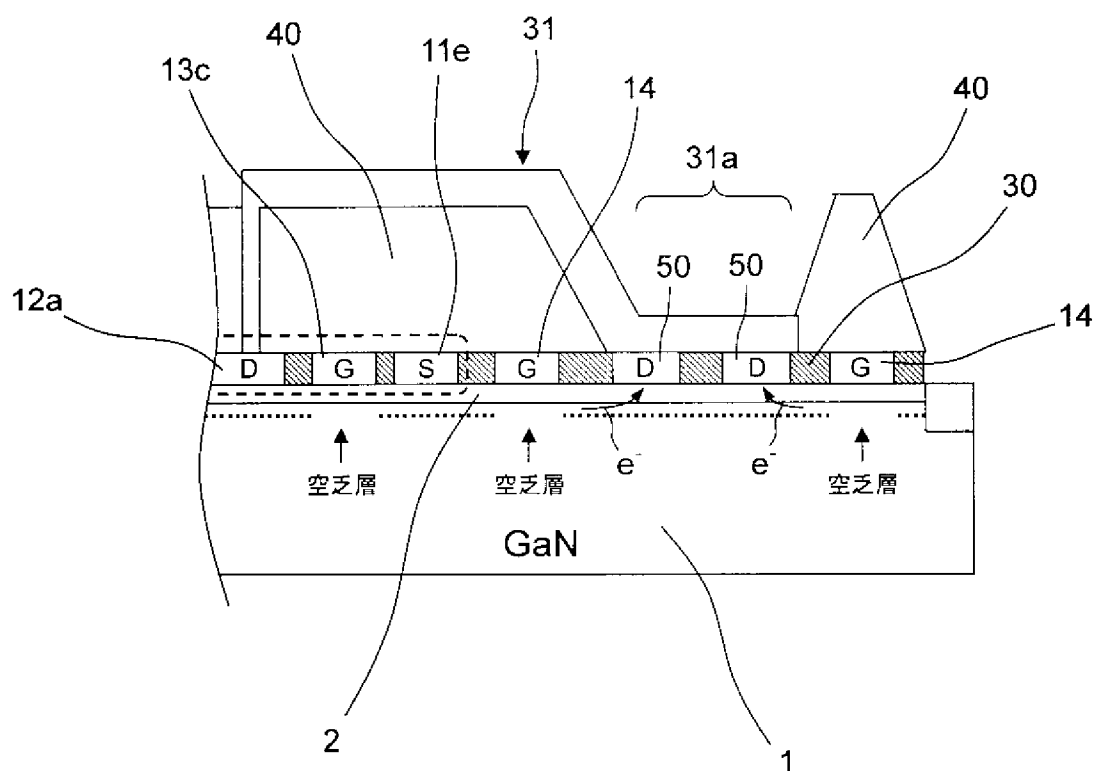
[図2A]



This cross-sectional diagram illustrates a semiconductor device structure. At the base is a Gallium Nitride (GaN) substrate. Above it is a buffer layer composed of alternating layers labeled D, G, S, L, G, and G. Arrows point to three regions within this buffer layer, each labeled "空乏層" (depletion layer). A dashed line separates the buffer layer from the upper structure. The upper structure includes a series of rectangular patterns (labeled 11e, 13c, 14, 30, 40) and a central trapezoidal feature (labeled 31, 31a). Various other labels like 12a, 1, and 2 indicate different parts or interfaces of the device.

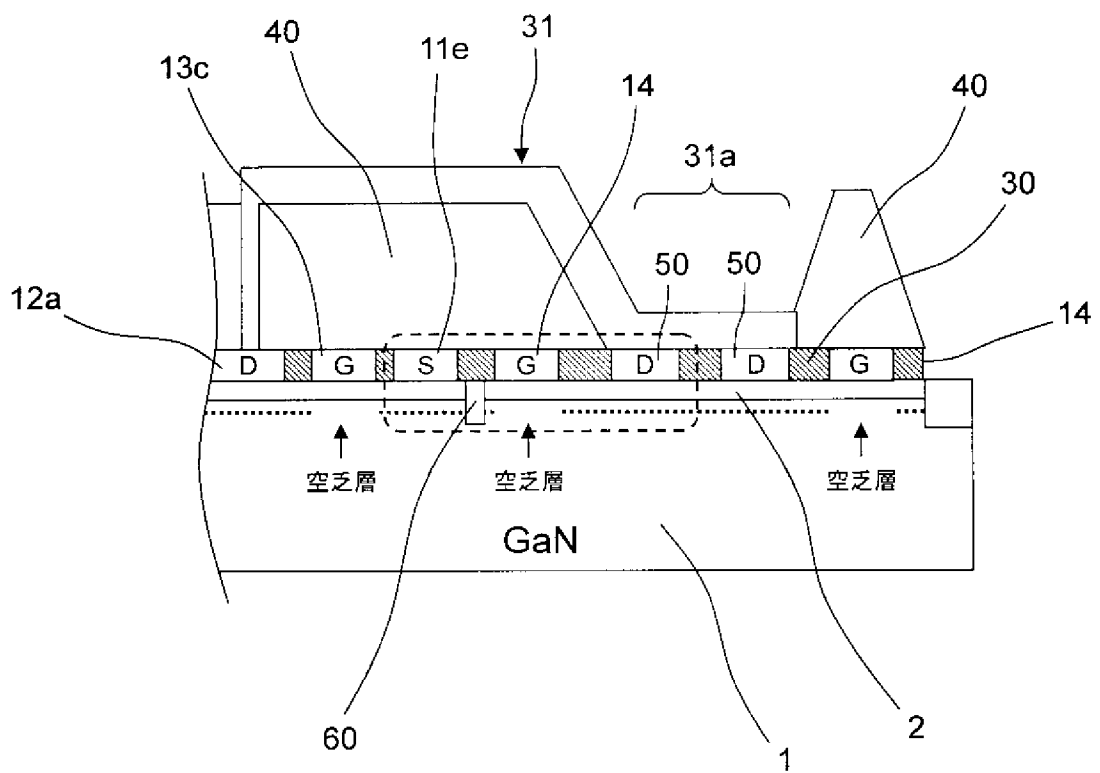
[図3A]



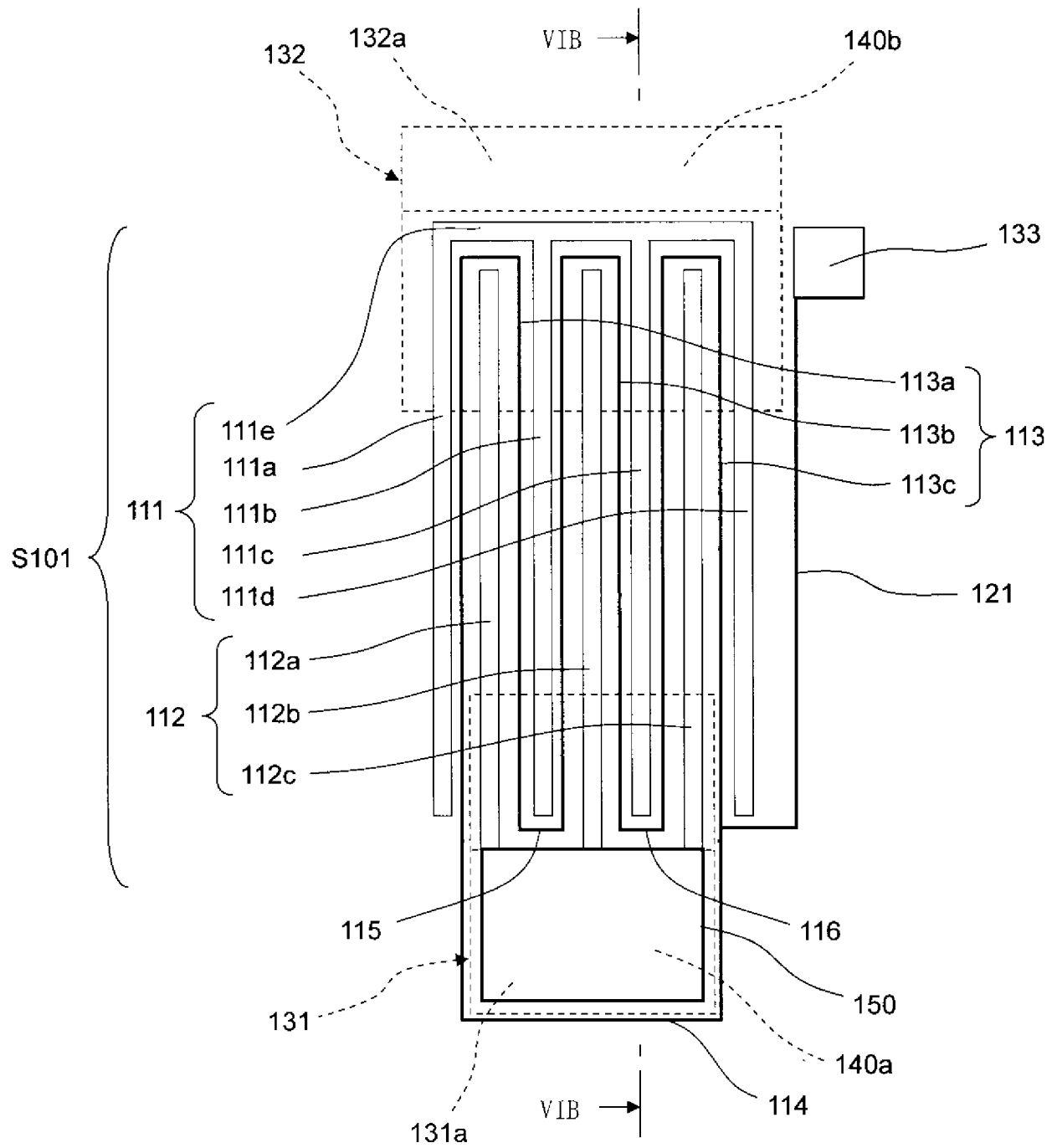


[illegible]

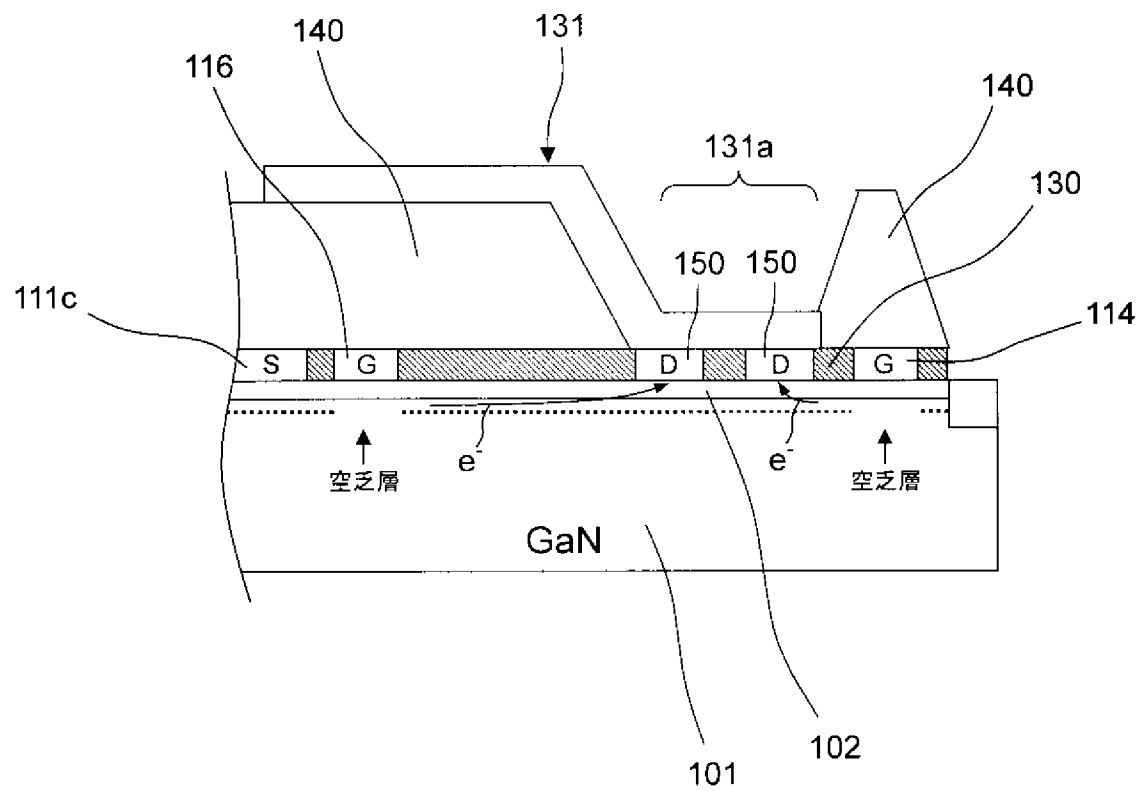
[図4B]



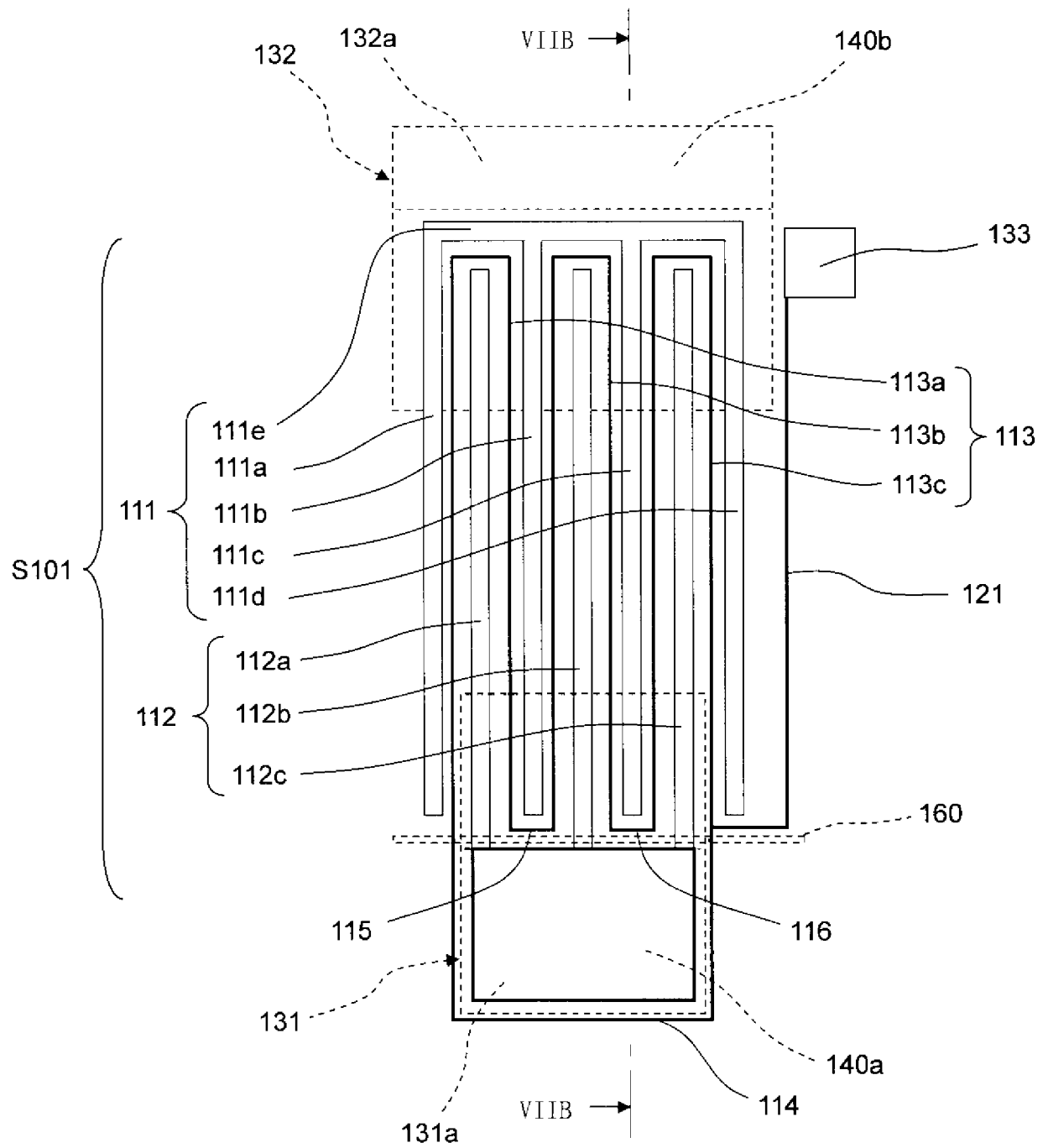
[図6A]



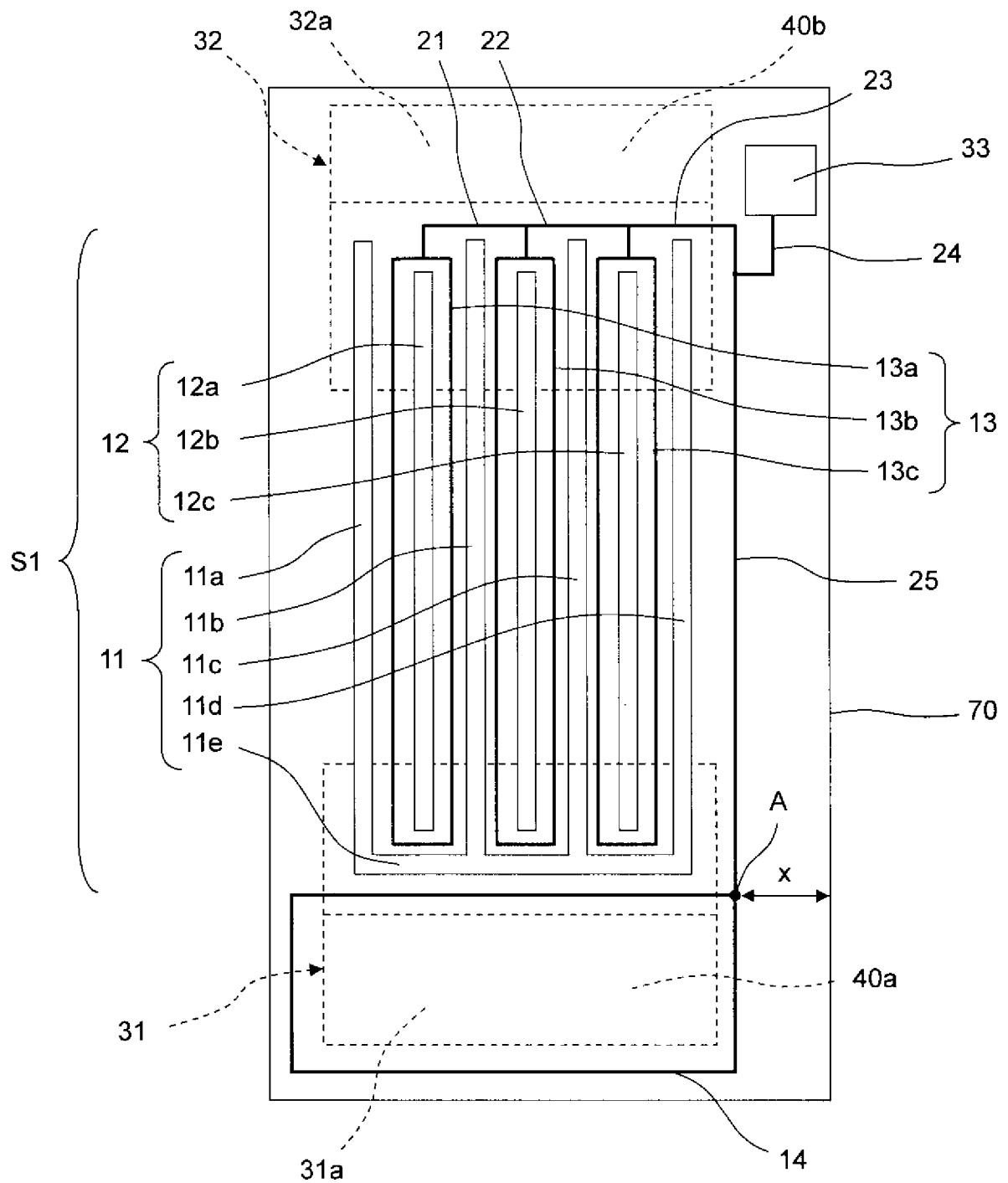
[図6B]



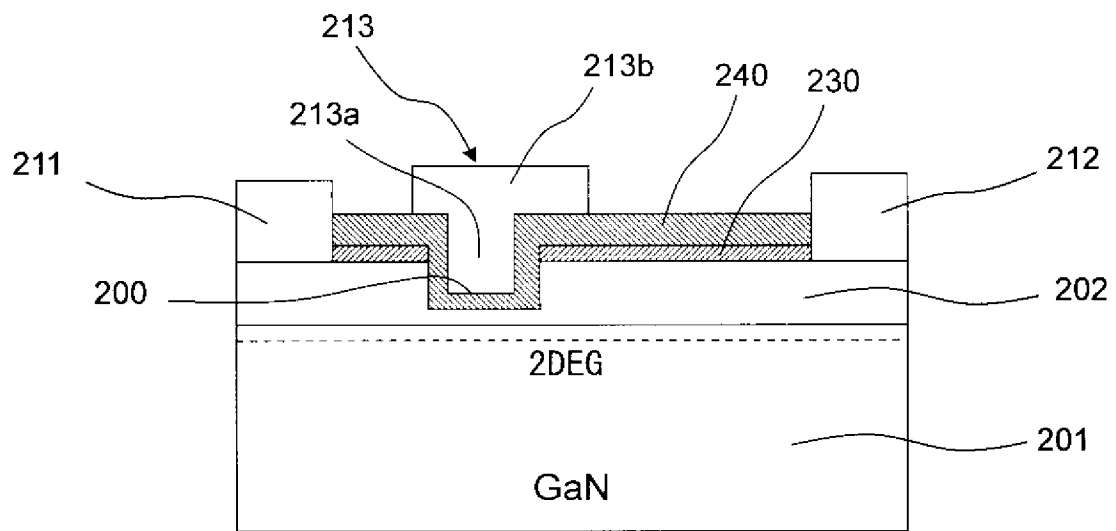
[図7A]



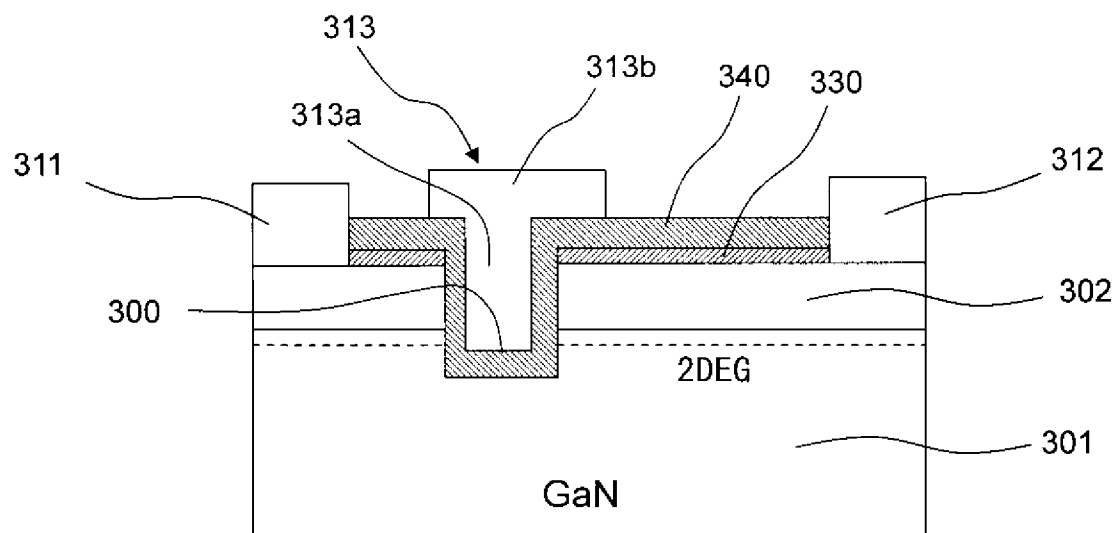
[図8]



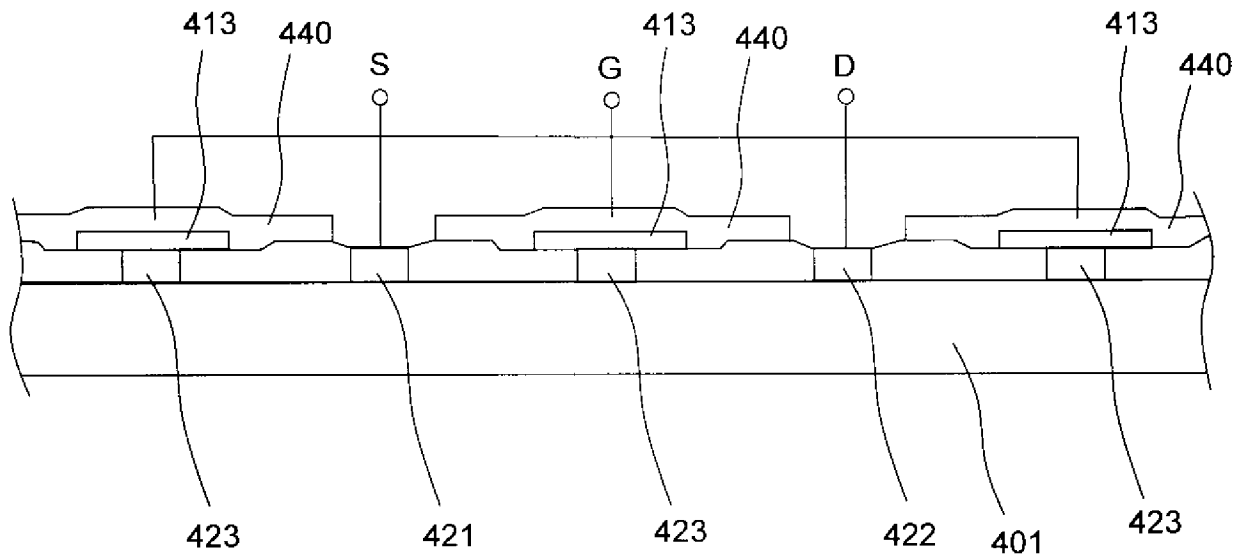
[図9]



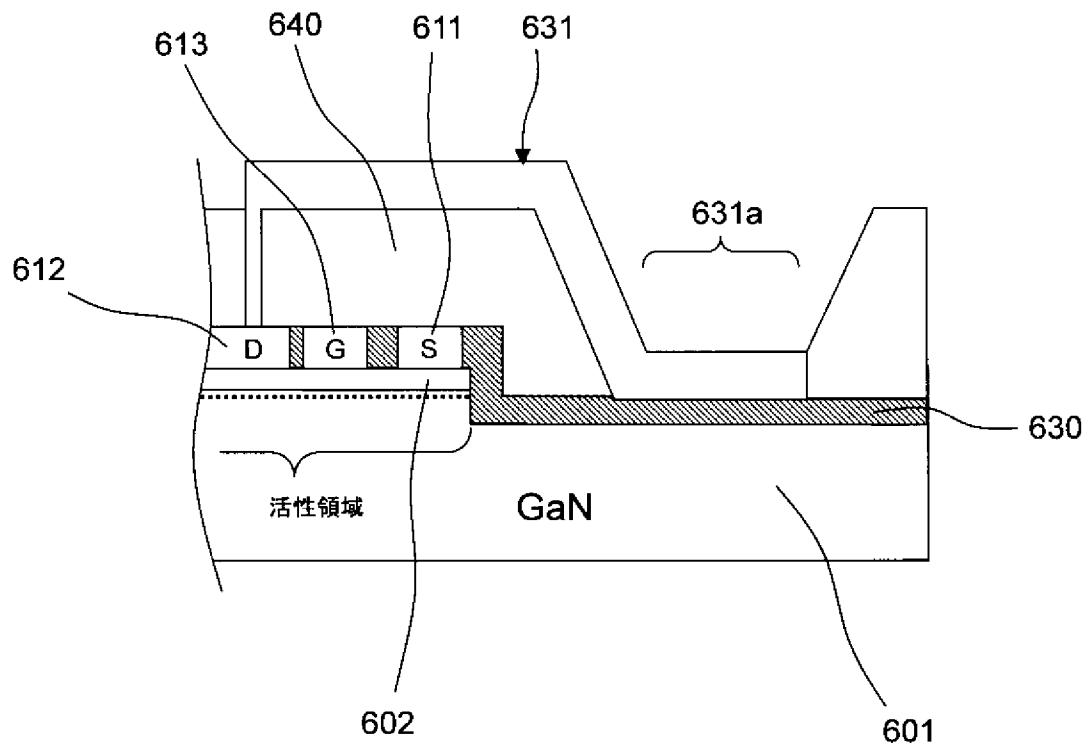
[図10]



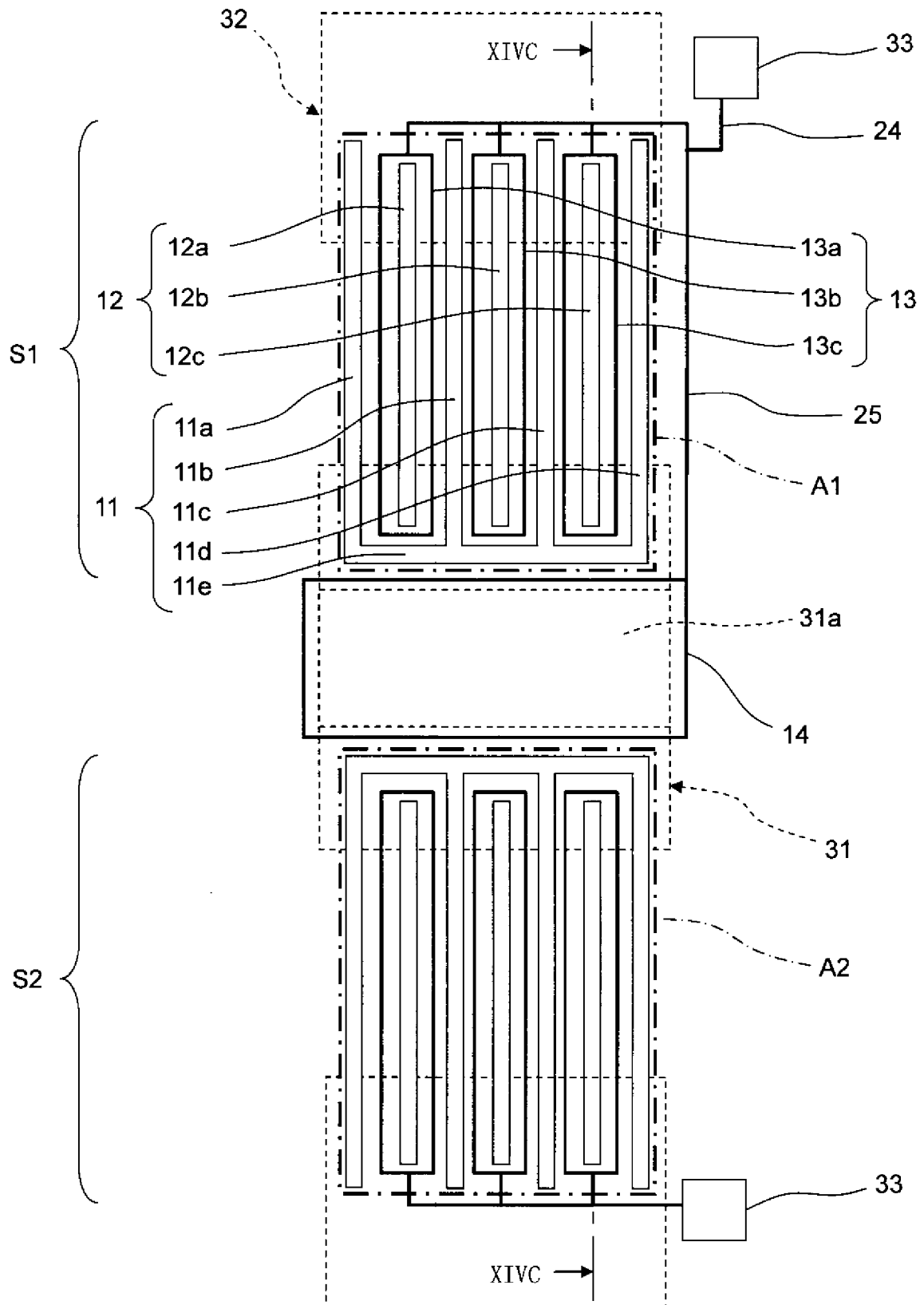
[図11]



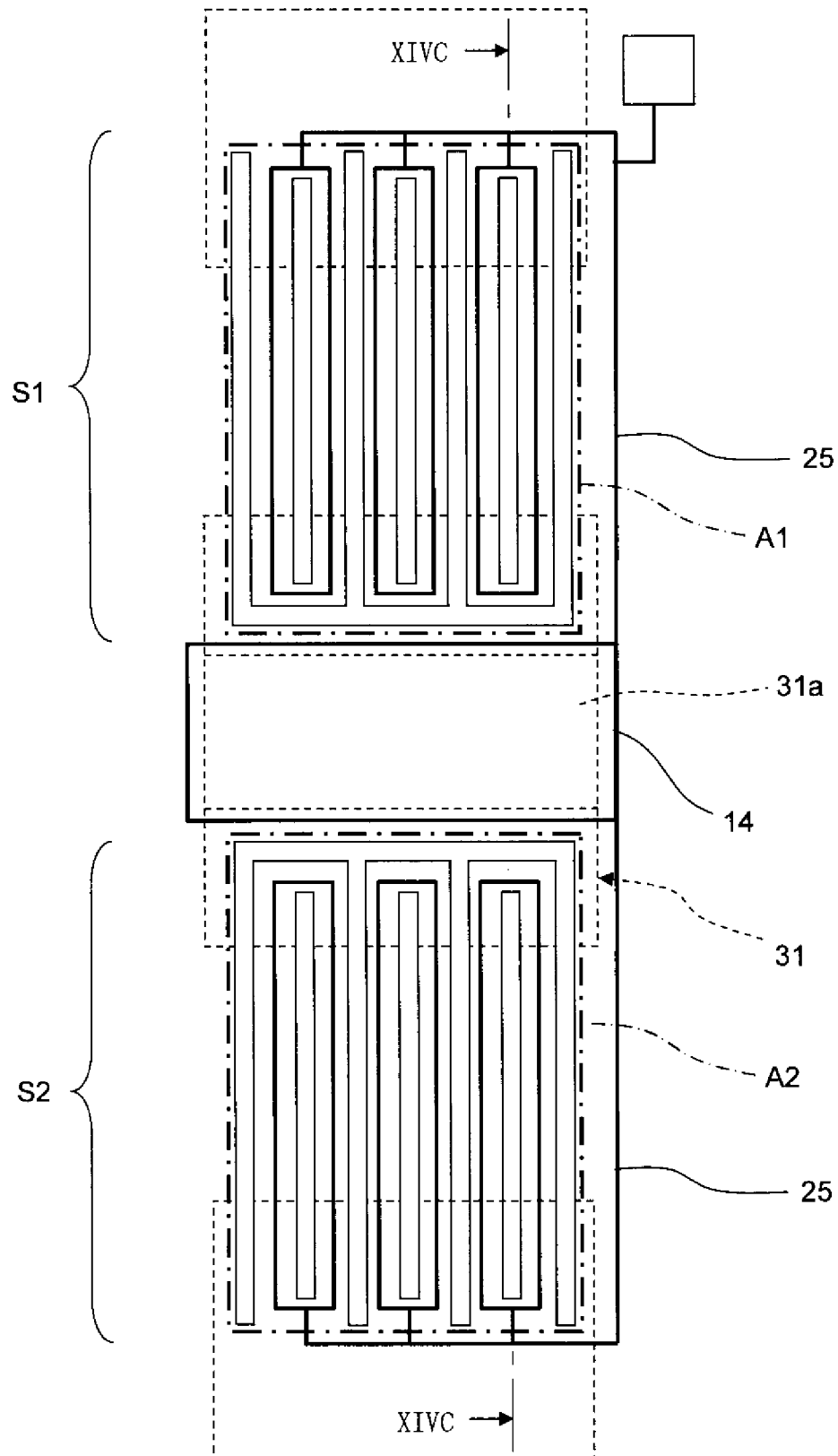
[図13]



[図14A]

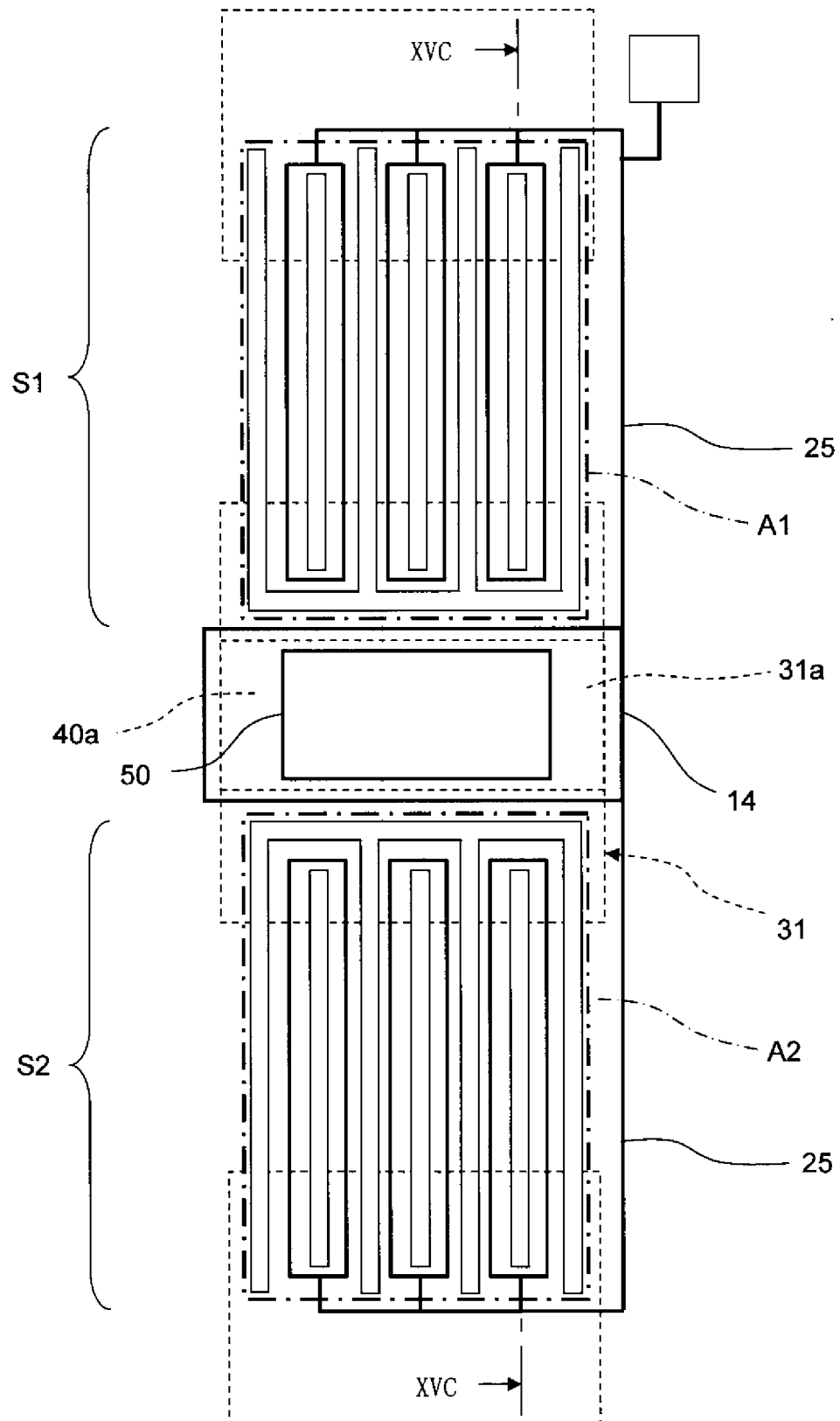


[図14B]

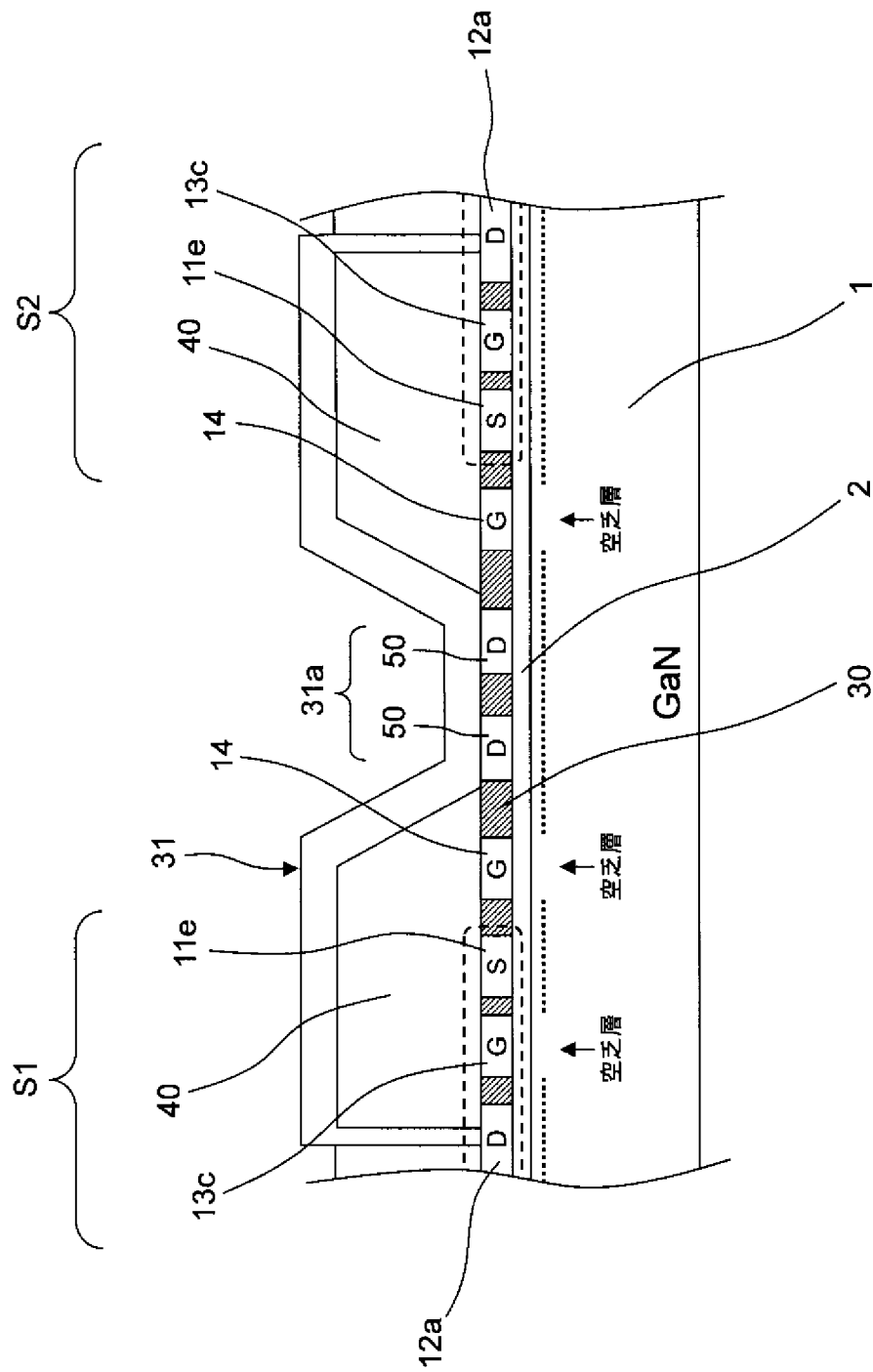


The diagram illustrates a semiconductor device 10 composed of two vertically stacked semiconductor chips, S1 and S2. Each chip contains multiple layers and substrates, with various components labeled numerically. The top chip S1 includes a first substrate 11, a second substrate 12, a third substrate 13, a fourth substrate 14, and a fifth substrate 15. The bottom chip S2 includes a sixth substrate 16, a seventh substrate 17, an eighth substrate 18, a ninth substrate 19, and a tenth substrate 20. Both chips feature a central opening or cavity, such as 40a in chip S1. Wire bonds 24 connect the chips to external pads 33. An XVC signal is indicated at the top and bottom of the assembly.

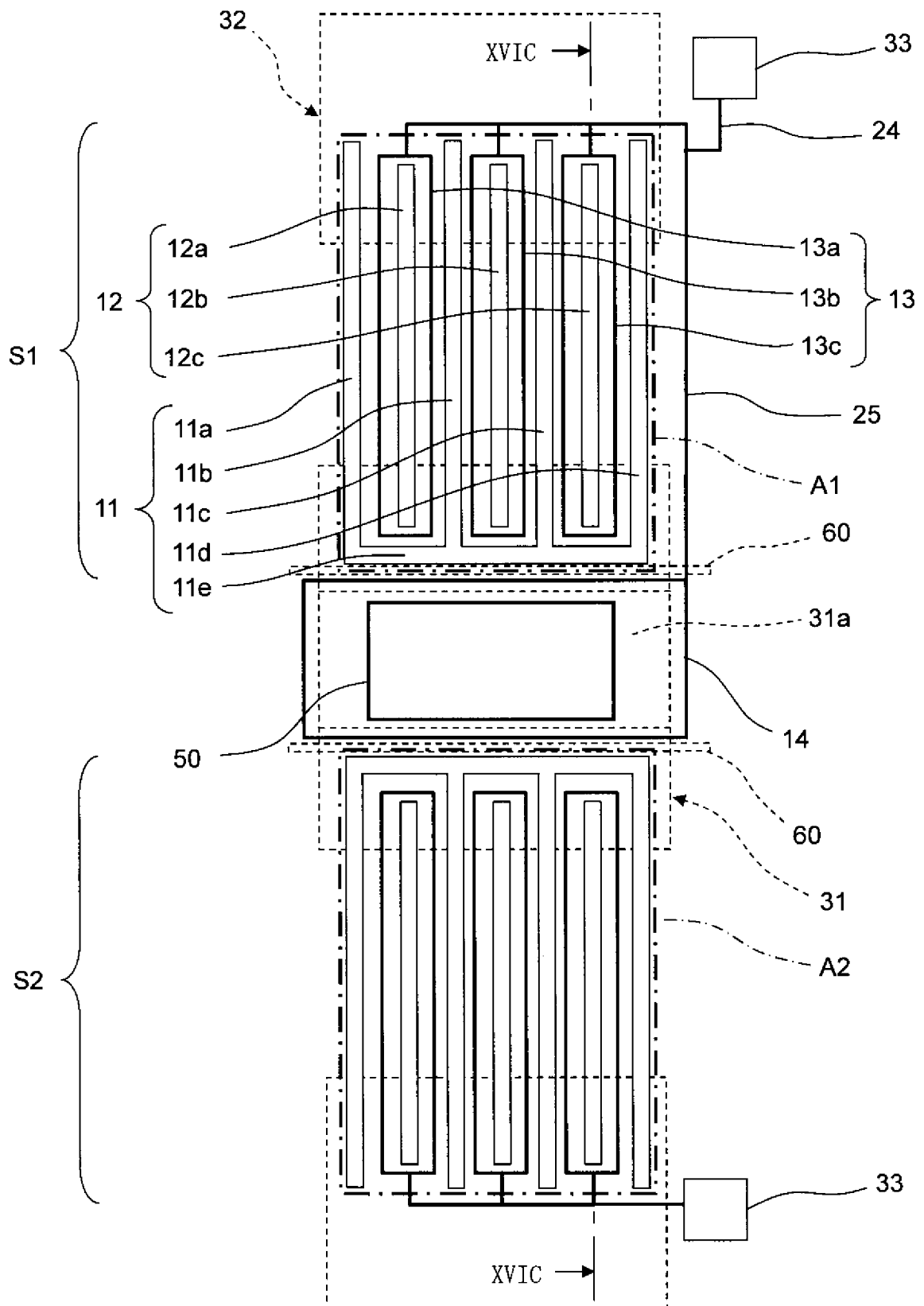
[図15B]



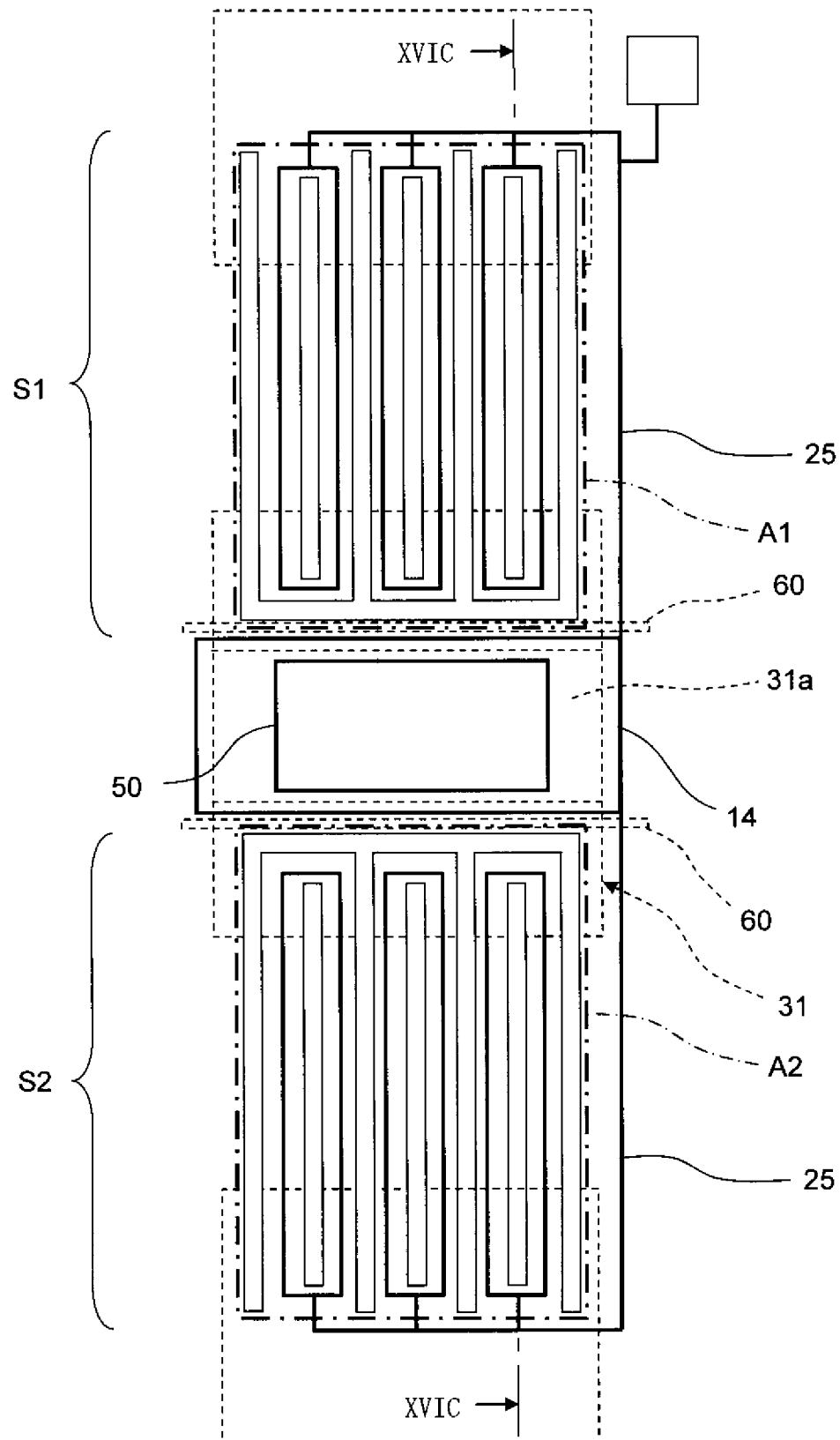
[図15C]



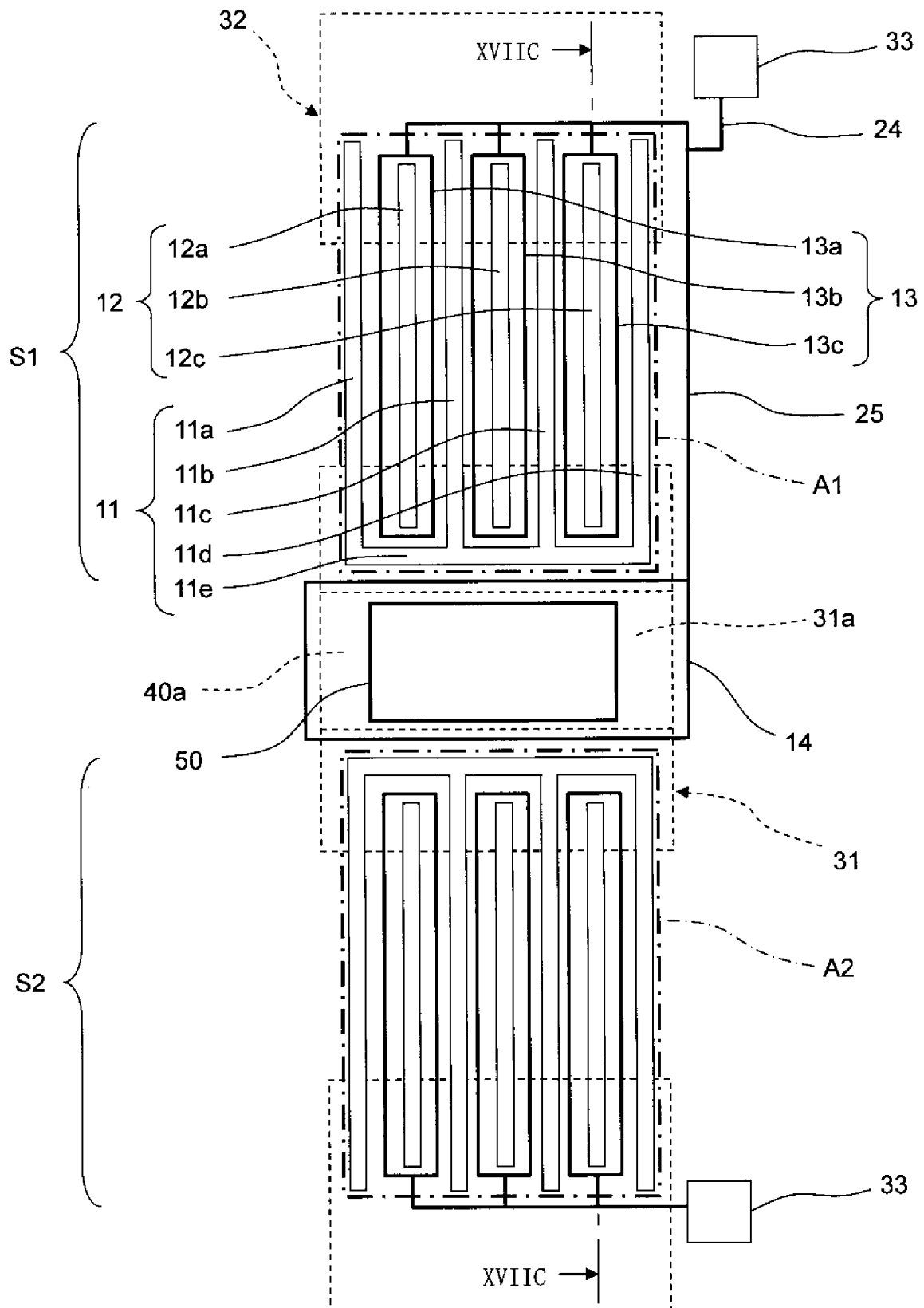
[図16A]



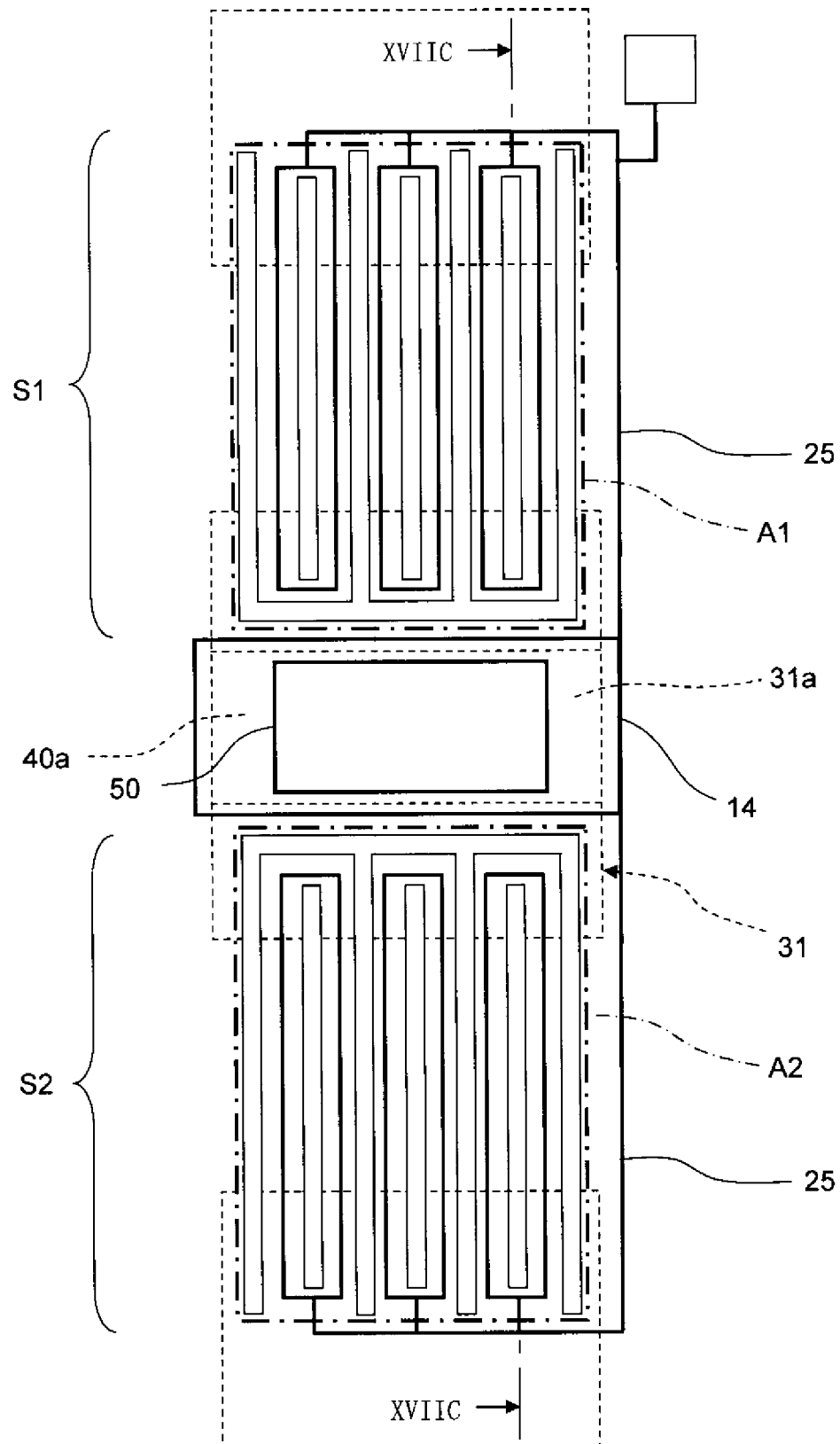
[図16B]



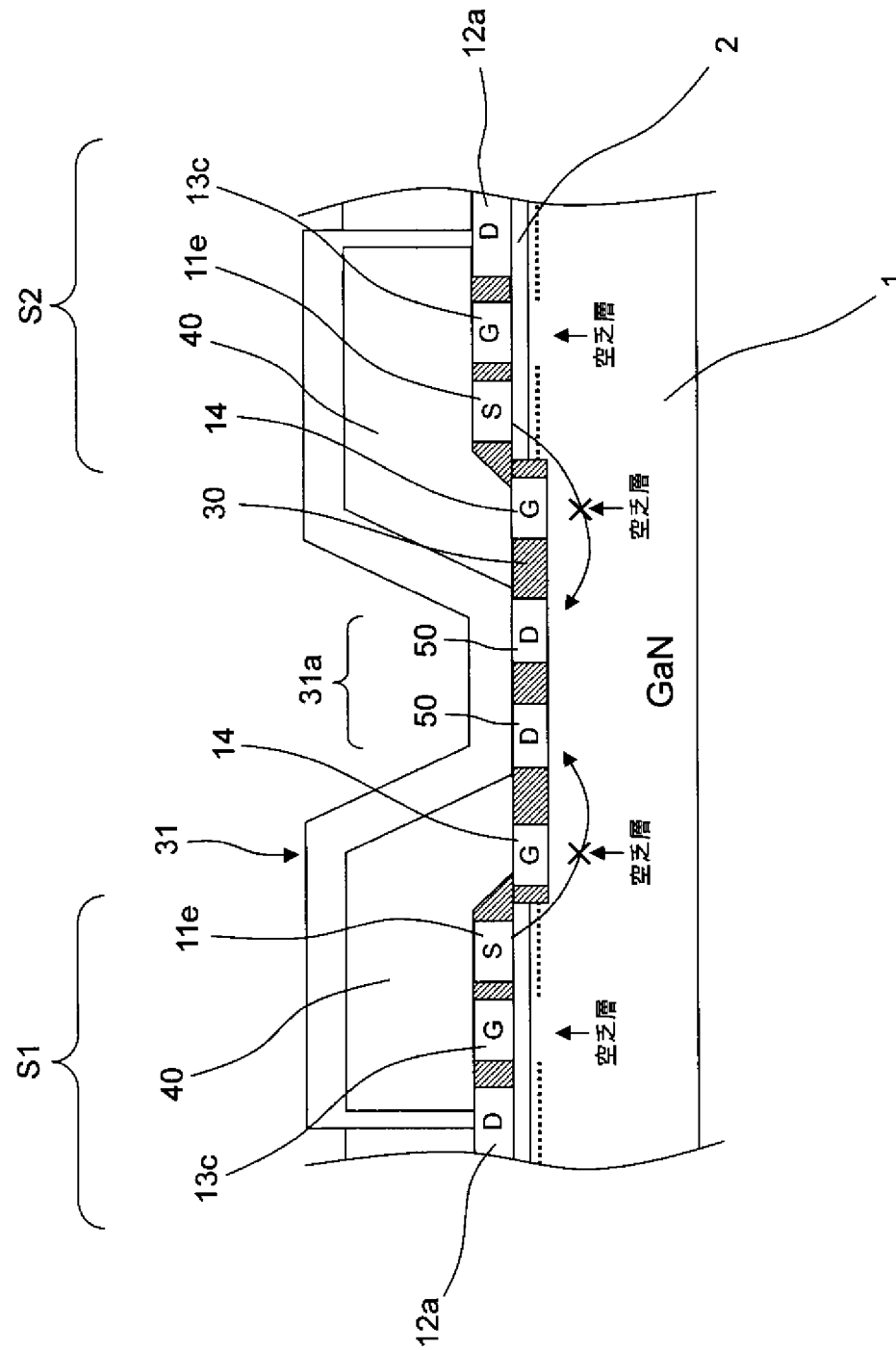
[図17A]



[図17B]



[図17C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051422

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/60(2006.01)i, H01L29/41(2006.01)i,
H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/60, H01L29/41, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-305954 A (Nichia Chemical Industries, Ltd.), 22 November 2007 (22.11.2007), fig. 2 to 4 (Family: none)	1-9
Y	JP 2011-023385 A (Mitsubishi Electric Corp.), 03 February 2011 (03.02.2011), fig. 6, 7, 11, 12 & US 2011/0006351 A1 & DE 102010026996 A & CN 101958321 A	1-9
Y	JP 2010-182924 A (The Furukawa Electric Co., Ltd.), 19 August 2010 (19.08.2010), fig. 6, 7 (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 March, 2012 (01.03.12)

Date of mailing of the international search report
13 March, 2012 (13.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051422

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-353992 A (Sanyo Electric Co., Ltd.), 22 December 2005 (22.12.2005), fig. 1 to 12 & US 2005/0277255 A1 & TW 258222 B & KR 10-0710775 B1 & CN 1747182 A	6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338(2006.01)i, H01L21/60(2006.01)i, H01L29/41(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L21/60, H01L29/41, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-305954 A (日亜化学工業株式会社) 2007. 11. 22, 図 2-4 (ファミリーなし)	1-9
Y	JP 2011-023385 A (三菱電機株式会社) 2011. 02. 03, 図 6, 7, 11, 12 & US 2011/0006351 A1 & DE 102010026996 A & CN 101958321 A	1-9
Y	JP 2010-182924 A (古河電気工業株式会社) 2010. 08. 19, 図 6, 7 (ファミリーなし)	1-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-353992 A (三洋電機株式会社) 2005.12.22, 図 1-12 & US 2005/0277255 A1 & TW 258222 B & KR 10-0710775 B1 & CN 1747182 A	6