(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3718081号
(P3718081)
(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]	F I		
G11C 29/00	G11C	29/00	603J
H01L 21/82	H01L	27/10	491
H01L 27/10	H01L	21/82	F

請求項の数 3　(全 9 頁)

(21)出願番号	特願平11-134883
(22)出願日	平成11年5月14日(1999.5.14)
(65)公開番号	特開2000-40387(P2000-40387A)
(43)公開日	平成12年2月8日(2000.2.8)
審査請求日	平成14年11月21日(2002.11.21)
(31)優先権主張番号	98-28423
(32)優先日	平成10年7月14日(1998.7.14)
(33)優先権主張国	韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一

最終頁に続く

(54)【発明の名称】熔断ヒューズボックス及び半導体メモリ装置

(57)【特許請求の範囲】
【請求項１】
行列状に配置された複数個の単位セルを有する半導体装置において、
連続的に並べて配置され、行または列を選択する多数個の信号発生回路と、
前記信号発生回路の出力信号線と交差する方向に配線され、前記多数個の信号発生回路の各々に対応するそれぞれの入力信号を伝送する多数個の溶断ヒューズとを備え、
前記溶断ヒューズは、平行に並べて配列されることを特徴とする半導体装置。
【請求項２】
前記信号発生回路は、ローデコーダであり、それらの出力信号線は、列方向に並べて配置されており、
前記溶断ヒューズは、行方向に並べて平行に配置されていることを特徴とする請求項1に記載の半導体装置。
【請求項３】
前記信号発生回路は、カラムデコーダであり、それらの出力信号線は、行方向に並べて配置されており、
前記溶断ヒューズは、列方向に並べて平行に配置されていることを特徴とする請求項1に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、半導体装置に係り、特にリペア(repair)用熔断ヒューズとこれを備える半導体装置に関する。

【０００２】

【従来の技術】

最近、半導体装置は微細化技術の発達と共に高速化及び高集積化されている。また、特に、半導体メモリ装置では高集積化と共に高収率化を達成することが重要である。そこで、半導体装置に内部にリダンダンシー回路を設け、これにより欠陥セルをリペアすることによって収率を向上させる技術がある。

【０００３】

SRAM、DRAM、EPROMなどのメモリは、工程欠陥による半導体装置の収率低下を防止するために、リダンダンシー回路を内蔵する。このようなリダンダンシー回路を設けて欠陥セルをリペアすることにより、一部に欠陥が存在する場合においても半導体装置の全体としての機能を確保することができる。すなわち、リダンダンシー回路として予備のメモリアレーを形成しておき、本体メモリアレーに欠陥がある場合に、その欠陥部分を予備のメモリアレーによって置換することによって、製造収率の低下を防止することができる。

【０００４】

通常、半導体メモリ装置は次のようなイネーブルパス(enable path)に従って動作する。半導体メモリ装置の動作を制御するローアドレスストローブ(Row Address Strobe、以下／RASと称する)信号がアクティブモードに移行した時に、半導体メモリ装置は、行アドレスを取り込む。そして、取り込まれたアドレスは、プリディコーディングされた後に、行デコーダに入力される。行デコーダは、本体メモリアレーのワードラインを選択するための本体デコーダと、予備のメモリアレーのワードラインを選択する予備デコーダとに区分される。

【０００５】

本体デコーダは、ノーマルデコーダと駆動デコーダで構成される。半導体メモリ装置のワードラインは、ノーマルデコーダによって1次的にディコーディングされた後に、駆動デコーダによって２次的にディコーディングされることによって選択される。

【０００６】

通常、0～Nのアドレスを使用する半導体メモリ装置では、駆動デコーダに入力されるアドレスは0と1の２ビットであり、ノーマルデコーダに入力されるアドレスは2～NのN-1ビットであるである。この場合、駆動デコーダによってディコーディングされるワードラインの数は2^2であり、ノーマルデコーダによってディコーディングされるワードラインの数は2^{N-1}である。したがって、ノーマルデコーダと駆動デコーダの出力信号の組み合わせによって選択されるワードラインの数は2^{N+1}である。ここで、通常の半導体メモリ装置では、駆動デコーダの出力信号はノーマルデコーダの出力信号よりも遅くイネーブルされる。

【０００７】

本体メモリアレーにおいて選択されるワードラインやワードラインと連結されたセルに欠陥が発生する場合、書込または読出の対象となるセルは、本体メモリアレーから予備のメモリアレーに置換される。

【０００８】

図1は、本体メモリアレーから予備のメモリアレーへの置換のための従来の構造を示す図面である。すなわち、行アドレスRA2～Nは、ノーマルデコーダ11、12、13、…のみならず、リダンダンシー用に設けられた予備デコーダ21にも入力される。そして、入力されるアドレスの組み合わせによって選択されるワードラインまたはセルに欠陥が存在する場合には、予備デコーダ21の出力信号XREDがイネーブルされてノーマルデコーダに入力される。そして、ノーマルデコーダを非活性化させることによって、ノーマルパス(normal path)をディスエーブルさせる。そして、予備デコーダ21の出力信号XREDは、予備ワードラインドライバ23を活性化させて予備のワードラインSWL0、SWL1、…をイネーブルさせる。

【０００９】

ところで、このような本体メモリアレーから予備のメモリアレーへの置換方法は、ノーマ

ルパスの信号に先立ってリダンダンシーパスの信号XREDをノーマルデコーダに入力させる必要があるという問題点を有する。すなわち、リダンダンシーパスの信号である予備デコーダの出力信号XREDがノーマルパスの信号より遅く入力される場合、欠陥が存在するノーマルワードラインがイネーブルされるのと同時に予備のワードラインもイネーブルされる。したがって、この場合、2個のワードラインが同時にイネーブルされて半導体装置は誤動作する。そこで、このような誤動作の発生を避けるためにはノーマルパスの信号を遅延させてイネーブルする必要がある、このために半導体メモリ装置の動作速度が低下するという問題が発生する。

【００１０】

【発明が解決しようとする課題】

本発明の目的は、例えば、動作速度の低下及びチップ面積の増加を最小化しつつ欠陥を有する部分を置換することが可能な半導体装置を提供することにある。

【００１１】

【課題を解決するための手段】

前記目的を達成するために本発明は、行列状に配列された複数個の単位セルを有する半導体装置に関する。

【００１２】

本発明の半導体装置は、多数個の信号発生回路と熔断ヒューズとを備える。前記多数個の信号発生回路は、並べて配置され、行または列を選択する信号を発生する。前記熔断ヒューズは、前記多数個の信号発生回路の各々に対応するそれぞれの入力信号を伝送し、また、前記信号発生回路の出力信号線と交差する方向に配置される。また、前記熔断ヒューズは、平行に並べて配置される。

【００１３】

前記信号発生回路は、その出力信号線が列方向に並べて配置されたローデコーダであり、前記熔断ヒューズは、行方向に並べて平行に配置されることが好ましい。

【００１４】

本発明の半導体装置によれば、動作速度の低下及びチップ面積の増加を最小化しつつ欠陥を有する部分を置換することが可能である。

【００１５】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態を詳しく説明する。なお、各図面において、同一の参照符号は同一の構成要素であることを示す。

【００１６】

図2は、本発明の好適な実施の形態に係る半導体装置の一部の構成を示す図である。この半導体装置では、本体メモリアレーから予備のメモリアレーへの置換のために熔断ヒューズを使用する。本発明の好適な実施の形態に係る熔断ヒューズを使用する半導体装置は、ノーマルデコーダ部30の内部、或いは、その出力ラインとワードラインドライバ51、52、53、…と間に熔断ヒューズ41、42、43、…を有する。ノーマルデコーダ部30は、多数個のノーマルデコーダ31、32、33、…を備える。

【００１７】

ノーマルデコーダ31、32、33、…は、半導体装置に入力されるアドレスRA2～Nを1次的にデコーディングする。駆動デコーダ71は、アドレスRA0、RA1をデコーディングして出力する。ワードラインドライバ51、52、53、…は、ノーマルデコーダ31、32、33、…のうち対応するノーマルデコーダの出力信号が活性化された場合に、駆動デコーダ71の出力信号に従って4個のワードラインのうちの一つのワードラインを選択して駆動する。

【００１８】

不良ビット(bit)が存在する場合は、不良ビットと関連するノーマルデコーダと連結される熔断ヒューズを切断することによって、ノーマルパスは基本的に遮断される。そして、かかる熔断ヒューズの遮断と共に活性化される信号であるリダンダンシーイネーブル信号RACTによって予備デコーダ61がイネーブルされる。

【００１９】
これにより、予備デコーダ61の出力信号の活性化と駆動デコーダ71の出力信号によって4個の予備ワードラインSWL0、SWL1、SWL2、SWL3のうちの一つの予備ワードラインが選択的に駆動される。従って、本発明の好適な実施の形態に係る熔断ヒューズを使用する転換回路によれば、ノーマルパスに意図的な遅延が発生することがなく、かつ不要な電流の消耗も発生しない。
【００２０】
図3は、図2に示す半導体装置に配置される熔断ヒューズの第1実施例を示す図面である。図3は、説明の便宜上、4個の熔断ヒューズ81、82、83、84によって一つの熔断ヒューズボックス80を構成した例である。
【００２１】
ノーマルデコーダ部30の出力信号は、熔断ヒューズ81、82、83、84を通してローデコーダ51a、52a、53a、54aに伝達される。なお、図3に示すローデコーダ51a、52a、53a、54aは、図2に示すワードラインドライバ51、52、53、54の一部を構成する要素である。
【００２２】
図3に示す第1実施例では、ローデコーダ51a、52a、53a、54aの出力信号のライン91、92、93、94は、列方向に並べて配置されている。また、熔断ヒューズ81、82、83、84も列方向に並べて配置されている。
【００２３】
この第１実施例では、熔断ヒューズ81、82、83、84の配置の最小間隔は2μmであり、熔断ヒューズの最小幅は1μmであるため、熔断ヒューズ間の最小ピッチは3μmとなる。これは熔断ヒューズ81、82、83、84を切断するためのレーザービームのスポットの大きさなどを考慮して定めた限界ピッチである。また、各熔断ヒューズの長さは5μmである。従って、熔断ヒューズボックス80がチップ上で占める最小限の面積は行方向に5μmであり、列方向に12μmとなる。
【００２４】
また、熔断ヒューズ81、82、83、84の限界ピッチに従って、ローデコーダ51a、52a、53a、54aの出力信号のライン91、92、93、94の間のピッチは3μmとなる。
【００２５】
図4は、図2に示す半導体装置に配置される熔断ヒューズの第2実施例を示す図面である。この第２実施例では、ノーマルデコーダ部30の出力信号は、熔断ヒューズ101、102、103、104を通してローデコーダ51b、52b、53b、54bに伝達される。図4に示すローデコーダ51b、52b、53b、54bは、図2に示すワードラインドライバ51、52、53、54の一部を構成する要素である。
【００２６】
図4に示す第2実施例では、ローデコーダ51b、52b、53b、54bの出力信号のライン91a、92a、93a、94aは、列方向に並べて配置されている。一方、熔断ヒューズ101、102、103、104は、行方向に並べて配置されている。すなわち、熔断ヒューズ101、102、103、104は、各々列方向に通るように配線され、全体として行方向に並べて配置されている。
【００２７】
以上のように、図4に示す第2実施例と図3に示す第1実施例との相違点は、複数の熔断ヒューズの配置方向にある。すなわち、ローデコーダ51a、52a、53a、54aの出力信号のライン91a、92a、93a、94aは、両実施例共に列方向に並べて配置されている。そして、図3に示す第1実施例では、熔断ヒューズ81、82、83、84が列方向に並べて配置されているが、図4に示す第2実施例では、熔断ヒューズ101、102、103、104が行方向に並べて配置されている。
【００２８】
図3に示す第１実施例と同様に、図4に示す第２実施例では、熔断ヒューズ101、102、103、104の配列の最小間隔は2μmであり、熔断ヒューズの最小幅は1μmであるため、熔断ヒューズ間の最小ピッチは3μmとなる。また、第２実施例において、各熔断ヒューズの長さ

は5μmである。

【００２９】

図4に示すように熔断ヒューズを行方向に並べて配置することによって、熔断ヒューズボックス100がチップ上で占める最小限の面積は、行方向に12μmであり、列方向に5μmとなる。なお、図4において、実線で示した部分と一点鎖線で示した部分とは相異なる層で構成され、交点において互いに接触していないことを示す。

【００３０】

図5は、熔断ヒューズを備えない半導体装置におけるローデコーダ及びそれに関連する部分の配置を示す図面である。図５に示す例において、ローデコーダ51c、52c、53c、54cの出力信号のライン111、112、113、114の配列のピッチは、16M-DRAMの場合は2μmとなる。従って、4個のローデコーダ51c、52c、53c、54cが占める列方向の長さは8μmである。

【００３１】

図3に示す第1実施例及び図4に示す第2実施例において、熔断ヒューズによるレイアウト面積の増加を見れば、次の通りである。

【００３２】

上述したように、図3に示す第1実施例において、4個のローデコーダ51a、52a、53a、54aが占める列方向の長さは12μmであり、図4に示す第2実施例において、4個のローデコーダ51b、52b、53b、54bが占める列方向の長さは8μmである。

【００３３】

例えば、列方向のセルの数が8K(1Kは1,024)であり、行方向のセルの数が2Kである16Mメモリアレーを仮定すれば、一つのノーマルデコーダによって駆動されるワードラインの数は4本である。

【００３４】

この場合、図5のように熔断ヒューズを備えない半導体装置における列方向の長さは、2μm×8K／4、即ち4000μmである。一方、図3に示す第1実施例のように熔断ヒューズを配置する半導体装置における列方向の長さは、3μm×8K／4、即ち6000μmである。従って、図３に示す第１実施例では、図５に示す例と比較して、列方向の長さは2000μm増加し、行方向の長さは5μm増加する。

【００３５】

しかし、図4に示す第2実施例は、図5に示す例と比較して、列方向の長さの増加はなく、列方向の長さは12μm増加する。これはメモリセルアレーのセルピッチ内で熔断ヒューズを設置可能であることをを示している。

【００３６】

したがって、図4に示す第2実施例のように、ローデコーダの出力信号のラインが通る方向（行方向）に対して垂直な方向（列方向）に通るように、各熔断ヒューズを配線する場合には、列方向の長さの増加を生じさせず、また、列方向の長さの増加を少量に抑えることができる。すなわち、このような熔断ヒューズの配線方向及び配置方向の差によって、図4に示す第2実施例は、図3に示す第1実施例に比べて、レイアウト面積において著しい利点を有する。

【００３７】

以上述べたように、本発明の好適な実施の形態に係る半導体装置によれば、動作速度を高速化すると共にチップ面積の増加を抑えつつ欠陥を有する部分を置換することができる。

【００３８】

以上、本発明を特定の実施の形態を挙げて説明したが、この説明は単なる例示であって、本技術分野の通常の知識を有する者であれば、この説明に基づいて多様な変形及び均等な他の実施の形態を実施可能であることを理解できるはずである。

【００３９】

例えば、上記の実施の形態では、第２実施例として、ローデコーダの出力ラインが通る方向（行方向）と熔断ヒューズが通る方向（列方向）が交差する場合に対してのみ記述したが、カラムデコーダの出力ラインが通る方向と熔断ヒューズが通る方向とが交差する場合

においても、半導体装置のチップの増加による問題点を最小化することができる。すなわち、本発明は、ローデコーダに対してのみならず、例えばカラムデコーダに代表される半導体装置の行と列を選択するための各種の信号発生回路に対しても適用することができる。

【００４０】

また、上記の実施の形態では、4個の熔断ヒューズによって一つのヒューズボックスをを構成する場合についてのみ説明したが、一つのヒューズボックスを構成する熔断ヒューズの数は、4個に限定されない。

【００４１】

【発明の効果】

本発明によれば、例えば、動作速度の低下及びチップ面積の増加を最少化しつつ欠陥を有する部分を置換することができる。

【図面の簡単な説明】

【図１】本体メモリアレーから予備のメモリアレーへの置換のための構造を示す図面である。

【図２】本体メモリアレーから予備のメモリアレーへの置換のための熔断ヒューズを有する本発明の好適な実施の形態に係る半導体装置の構成を示す図面である。

【図３】図2に示す半導体装置に適用される熔断ヒューズの第1実施例を示す図面である。

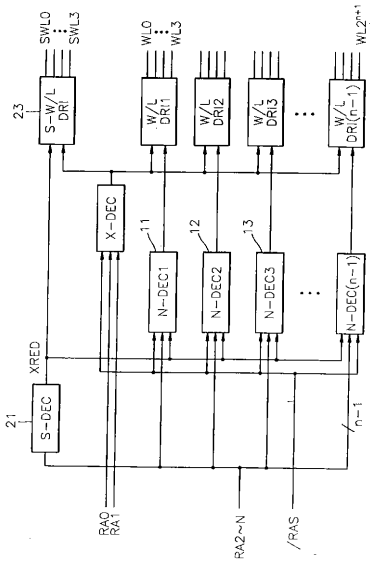
【図４】図2に示す半導体装置に適用される熔断ヒューズの第2実施例を示す図面である。

【図５】熔断ヒューズを備えない半導体装置におけるローデコーダとそれに関連する部分の配置とを示す図面である。

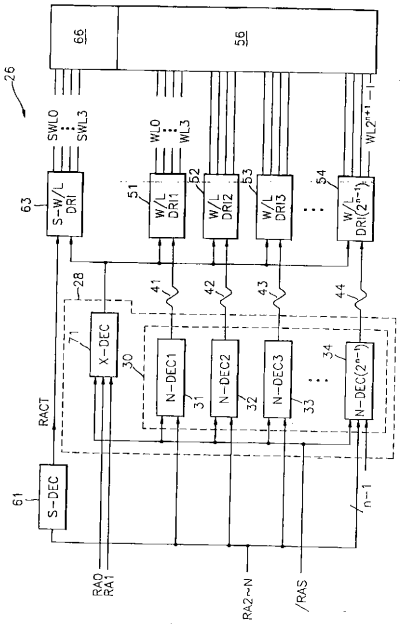
【符号の説明】

30　ノーマルデコーダ部
31,32,33　ノーマルデコーダ
41,42,43　熔断ヒューズ
61　予備デコーダ
63　予備ワードライン部
71　駆動デコーダ
RACT　リダンダンシーイネーブル信号
RA0,RA1,RA2　アドレス
/RAS　ローアドレスストローブ
SWL0...SWL3　予備ワードライン

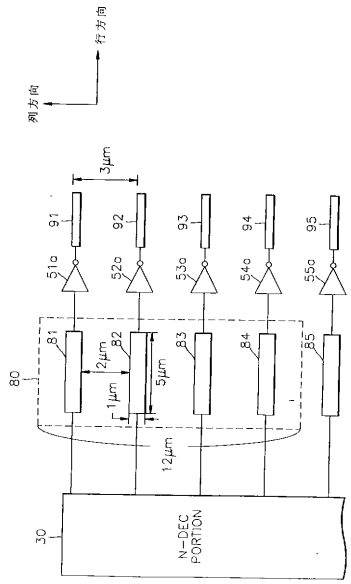
【図１】


SWL0
SWL3
WL0
WL3
WL2^n+1
23
S-W/L DRI
W/L DRI1
W/L DRI2
W/L DRI3
W/L DRI(n-1)
X-DEC
11
12
13
N-DEC1
N-DEC2
N-DEC3
N-DEC(n-1)
XRED
21
S-DEC
n-1
RA0
RA1
RA2~N
/RAS

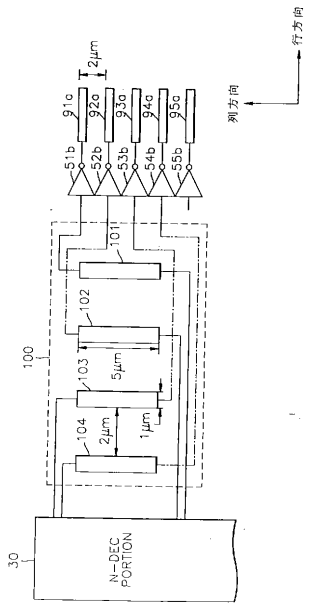
【図２】


26
66
56
SWL0
SWL3
WL0
WL3
WL2^n+1 -1
63
S-W/L DRI
51
W/L DRI1
52
W/L DRI2
53
W/L DRI3
54
W/L DRI(2^n-1)
28
41
42
43
44
71
X-DEC
30
N-DEC1
31
N-DEC2
32
N-DEC3
33
N-DEC(2^n)
34
RACT
61
S-DEC
n-1
RA0
RA1
RA2~N
/RAS

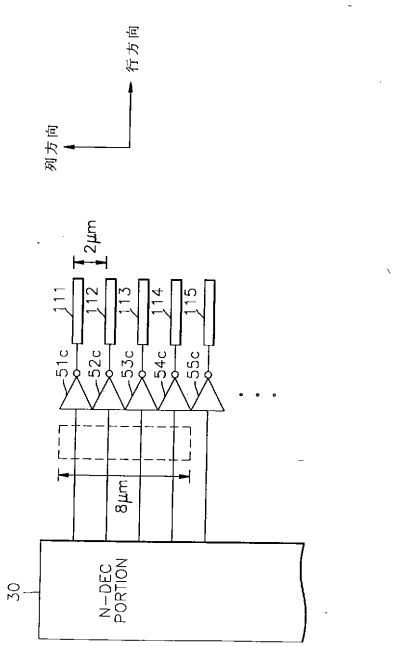
【図３】


行方向
列方向
3μm
91
92
93
94
95
51a
52a
53a
54a
55a
81
82
83
84
85
2μm
1μm
5μm
12μm
80
30
N-DEC PORTION

【図４】


行方向
列方向
2μm
91a
92a
93a
94a
95a
51b
52b
53b
54b
55b
101
102
103
104
100
5μm
1μm
2μm
30
N-DEC PORTION

【図５】


行方向
列方向
2μm
111
112
113
114
115
51c
52c
53c
54c
55c
8μm
30
N-DEC
PORTION

フロントページの続き

(72)発明者　李圭燦
大韓民国ソウル特別市江南区明逸洞１５番地三益グリーンアパート５０１棟７０５号
(72)発明者　李哲宇
大韓民国京畿道水原市八達区仁溪洞３６６番地仁溪三星アパート１０１棟９０５号

審査官　小松　正

(56)参考文献　特開昭５９－１５１４５４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11C 29/00
H01L 21/82
H01L 27/10