(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3722651号
(P3722651)
(45)発行日　平成17年11月30日(2005.11.30)　(24)登録日　平成17年9月22日(2005.9.22)

(51)Int.Cl.[7]	F I	
H01L 29/78	H01L	29/78　301X
H01L 21/265	H01L	21/265　602A
H01L 21/8238	H01L	29/78　301S
H01L 27/092	H01L	21/265　Z
	H01L	27/08　321C

請求項の数 5　(全 27 頁)

(21)出願番号　特願平11-183686
(22)出願日　平成11年6月29日(1999.6.29)
(65)公開番号　特開2000-91576(P2000-91576A)
(43)公開日　平成12年3月31日(2000.3.31)
審査請求日　平成14年1月11日(2002.1.11)
審判番号　不服2003-15643(P2003-15643/J1)
審判請求日　平成15年8月12日(2003.8.12)
(31)優先権主張番号　特願平10-203387
(32)優先日　平成10年7月17日(1998.7.17)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100065248
弁理士　野河　信太郎
(72)発明者　柴田　晃秀
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内
(72)発明者　岩田　浩
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

最終頁に続く

(54)【発明の名称】ダイナミック閾値動作トランジスタの製造方法

(57)【特許請求の範囲】

【請求項１】

ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタにおいて、半導体基板と、前記半導体基板内に形成された第１導電型のウェル領域と、前記半導体基板内かつ前記第１導電型のウェル領域上に形成された第２導電型のウェル領域と、前記第２導電型のウェル領域中に位置しかつ前記第２導電型のウェルより高い不純物濃度の高濃度埋込領域と、前記第２導電型のウェル領域と隣接する第２導電型のウェル領域とを電気的に分離するための溝型分離領域と、前記第２導電型のウェル領域の表面層に形成された第１導電型のソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第２導電型のウェル領域に電気的に接続されたゲート電極を備え、前記第２導電型のウェル領域と前記ソース領域及び前記ドレイン領域との間の接合容量、前記第２導電型のウェル領域と前記第１導電型のウェル領域との間の接合容量、及び前記第２導電型のウェル領域と前記チャネル領域中に形成される反転層との間の静電容量の和Ｃと、前記第２導電型のウェル領域の電気抵抗Ｒとの積τ（＝ＣＲ）が6×10^{-12}～5×10^{-11}秒であり、前記第２導電型のウェル領域のシート抵抗が３００Ω／□～１０ｋΩ／□であるダイナミック閾値動作トランジスタの製造方法であって、

前記第２導電型のウェル領域及び前記高濃度埋込領域が、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程を経ることにより形成され、

（１）前記イオン注入工程が、前記溝型分離領域の形成後前記ゲート絶縁膜の形成前に、

第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として１×１０^{14}ｃｍ$^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として１×１０^{14}ｃｍ$^{-2}$未満の条件下で行われ、
（２）前記熱処理工程が、前記ゲート絶縁膜の形成時及び前記ソース領域と前記ドレイン領域形成時の熱処理工程と同時に行われることを特徴とするダイナミック閾値動作トランジスタの製造方法。

【請求項２】
ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタにおいて、半導体基板と、前記半導体基板内に形成された第１導電型のウェル領域と、前記半導体基板内かつ前記第１導電型のウェル領域上に形成された第２導電型のウェル領域と、前記第２導電型のウェル領域中に位置しかつ前記第２導電型のウェルより高い不純物濃度の高濃度埋込領域と、前記第２導電型のウェル領域と隣接する第２導電型のウェル領域とを電気的に分離するための溝型分離領域と、前記第２導電型のウェル領域の表面層に形成された第１導電型のソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第２導電型のウェル領域に電気的に接続されたゲート電極を備え、前記第２導電型のウェル領域と前記ソース領域及び前記ドレイン領域との間の接合容量、前記第２導電型のウェル領域と前記第１導電型のウェル領域との間の接合容量、及び前記第２導電型のウェル領域と前記チャネル領域中に形成される反転層との間の静電容量の和Ｃと、前記第２導電型のウェル領域の電気抵抗Ｒとの積τ（＝ＣＲ）が６×１０$^{-12}$～５×１０$^{-11}$秒であり、前記第２導電型のウェル領域のシート抵抗が３００Ω／□～１０ｋΩ／□であるダイナミック閾値動作トランジスタの製造方法であって、
前記第２導電型のウェル領域及び前記高濃度埋込領域が、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程とを経ることにより形成され、かつ両工程が前記溝型分離領域の形成後前記ゲート絶縁膜の形成前に行われ、
（１）前記イオン注入工程が、前記第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として２×１０^{14}ｃｍ$^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として２×１０^{14}ｃｍ$^{-2}$未満の条件下で行われ、
（２）前記熱処理工程が、９００～１１００℃の温度で行われることを特徴とするダイナミック閾値動作トランジスタの製造方法。

【請求項３】
ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタにおいて、半導体基板と、前記半導体基板内に形成された第１導電型のウェル領域と、前記半導体基板内かつ前記第１導電型のウェル領域上に形成された第２導電型のウェル領域と、前記第２導電型のウェル領域中に位置しかつ前記第２導電型のウェルより高い不純物濃度の高濃度埋込領域と、前記第２導電型のウェル領域と隣接する第２導電型のウェル領域とを電気的に分離するための溝型分離領域と、前記第２導電型のウェル領域の表面層に形成された第１導電型のソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第２導電型のウェル領域に電気的に接続されたゲート電極を備え、前記第２導電型のウェル領域と前記ソース領域及び前記ドレイン領域との間の接合容量、前記第２導電型のウェル領域と前記第１導電型のウェル領域との間の接合容量、及び前記第２導電型のウェル領域と前記チャネル領域中に形成される反転層との間の静電容量の和Ｃと、前記第２導電型のウェル領域の電気抵抗Ｒとの積τ（＝ＣＲ）が６×１０$^{-12}$～５×１０$^{-11}$秒であり、前記第２導電型のウェル領域のシート抵抗が３００Ω／□～１０ｋΩ／□であるダイナミック閾値動作トランジスタの製造方法であって、
前記第２導電型のウェル領域及び前記高濃度埋込領域が、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程とを経ることにより形成され、

（１）前記イオン注入工程が、前記溝型分離領域の形成前に、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として１×１０^{14}ｃｍ$^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として１×１０^{14}ｃｍ$^{-2}$未満の条件下で行われ、
（２）前記熱処理工程が、８００～１０００℃の温度で行われる前記溝型分離領域の形成時の熱処理と同時に行われることを特徴とするダイナミック閾値動作トランジスタの製造方法。
【請求項４】
前記イオン注入工程が、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして８０～３４０ＫｅＶ、注入量として３×１０^{12}～５×１０^{13}ｃｍ$^{-2}$の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして２００～６５０ＫｅＶ、注入量として３×１０^{12}～５×１０^{13}ｃｍ$^{-2}$の条件下で行われる請求項１～３のいずれか１つに記載のダイナミック閾値動作トランジスタの製造方法。
【請求項５】
前記ソース領域及び前記ドレイン領域が積上げ型の構造を有し、これら領域が、前記ゲート電極の側壁に非導電性のサイドウォールスペーサーを介して、ポリシリコンからなる所望形状のサイドウォールスペーサーを形成し、ポリシリコンからなるサイドウォールスペーサーに不純物イオンを注入することにより形成される請求項１～４のいずれか１つに記載のダイナミック閾値動作トランジスタの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ダイナミック閾値動作トランジスタの製造方法に関する。更に詳しくは、本発明は、ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタの製造方法に関する。
【０００２】
【従来の技術】
ＭＯＳＦＥＴを用いたＣＭＯＳ回路において消費電力を減少させるには、電源電圧を下げることがもっとも有効である。しかし、単に電源電圧を低下させるとＭＯＳＦＥＴの駆動電流が低下し、回路の動作速度が遅くなる。この現象は、電源電圧がトランジスタの閾値の３倍以下になると顕著になることが知られている。
この現象を防ぐためには、閾値を低くすればよいが、そうするとＭＯＳＦＥＴのオフ時のリーク電流（以下、オフリーク）が増大するという問題が生じることとなる。そのためこの問題が生じない範囲で閾値の下限が規定される。閾値の下限は、電源電圧の下限に対応しているため、低消費電力化の限界を規定することとなる。
【０００３】
従来、この問題を緩和するために、ＭＯＳＦＥＴのオン時に、実効的な閾値を低下させることにより、低電源電圧で高駆動電流が得られるＳＯＩ基板を用いたダイナミック閾値動作トランジスタが提案されている（A Dynamic Threshold Voltage MOSFET(DTMOS) for Ultra-Low Voltage Operation, F.Assaderaghi et al., IEDM 94 Ext. Abst. p809(1994)）。また、高価なＳＯＩ基板を用いずにバルク基板を用いたダイナミック閾値動作トランジスタも提案されている（特開平１０－２２４６２号公報、Novel Bulk Threshold Voltage MOSFET(B-DTMOS) with Advanced Isolation (SITOS) and Gate to Shallow Well Contact(SSS-C)Processes for Ultra Low Power Dual Gate CMOS, H.Kotaki et al., IEDM Tech. Dig., p459, 1996）。双方のＭＯＳＦＥＴがオン時に実効的な閾値を低下させることができるのは、ゲート電極と基板（又はウェル領域）が電気的に短絡されているからである。
【０００４】
前者のＳＯＩ基板を用いたＮ型のダイナミック閾値動作トランジスタを図２７（ａ）及び

（ｂ）に示す。図２７（ａ）は完全空乏化型、図２７（ｂ）は部分空乏化型のトランジスタを示している。図中、１１１は半導体基板、１１２は埋め込み酸化膜層、１１３はボディ、１１４はソース領域、１１５はドレイン領域、１１６はゲート絶縁膜、１１７はゲート電極をそれぞれ示している。また、図示しないが、ゲート電極１１７はＰ型のボディ１１３とコンタクトホールを介して電気的に接続されている。ここで、完全空乏化とは、ゲート電極下のボディが完全に空乏化していることを意味し、部分空乏化とは、ゲート電極下のボディに空乏化していない部分があることを意味している。なお、極性（導電型）を反対にすることにより、Ｐ型のトランジスタを形成することができる。

【０００５】

後者のバルク基板を用いたＮ型のダイナミック閾値動作トランジスタを図２８に示す。なお、極性（導電型）を反対にすることにより、Ｐ型のものを形成することができる。図中、２１１は基板、２１２はＮ型のウェル領域（深いウェル領域）、２１３はＰ型のウェル領域（浅いウェル領域）、２１４は高濃度埋め込み領域、２１５は溝型分離領域、２１６はソース領域、２１７はドレイン領域、２１８はゲート絶縁膜、２１９はゲート電極をそれぞれ示している。また、図示しないが、ゲート電極２１９は浅いウェル領域２１３とコンタクト孔を介して電気的に接続されている。以下では、１つのＰ型のウェル領域（浅いウェル領域）内に形成されたトランジスタを、単に素子という。

【０００６】

以下、バルク基板を用いたダイナミック閾値動作トランジスタの動作原理を説明する。なお、ＳＯＩ基板を用いたトランジスタも同様の原理で動作する。上記トランジスタにおいて、ゲート電極の電位がローレベルにある時（オフ時）は浅いウェル領域の電位もローレベルにあり、実効的な閾値は通常のＭＯＳＦＥＴの場合と変わりない。したがって、リーク電流値は通常のＭＯＳＦＥＴの場合と同じである。

一方、ゲート電極の電位がハイレベルにある時（オン時）は浅いウェル領域の電位もハイレベルになり、基板バイアス効果により実効的な閾値が低下し、駆動電流は通常のＭＯＳＦＥＴの場合にくらべて増加する。このため、低電源電圧で低リーク電流を維持しながら大きな駆動電流を得ることができる。

【０００７】

次に、バルク基板を用いたダイナミック閾値動作トランジスタの素子分離について説明する。浅いウェル領域中の電位はゲート電極の電位により変動する。そのため、素子間に溝型分離領域を形成して、各素子を分離することにより、素子間の干渉を防いでいる。溝型分離領域の深さは、隣接する素子の浅いウェル領域が電気的に分離するように設定される。すなわち、浅いウェル領域と深いウェル領域の接合から伸びる空乏層が、隣接する素子の浅いウェル領域と深いウェル領域の接合から伸びる空乏層とつながらないように、溝型分離領域の深さが設定される。

【０００８】

基板バイアス効果を十分に働かせ、高速動作を実現するためには、ゲート電極の電位の変化が、速やかに浅いウェル領域に伝達される必要がある。そのため、図２８では、高濃度埋め込み領域が、不純物濃度が低い領域によってはさまれた構造を有している。この構造により、浅いウェル領域の電気抵抗が下がり、ゲート電極の電位の変化を速やかに浅いウェル領域に伝達することができる。同時に、チャネル領域の不純物濃度を低くすることができるため、低閾値を実現できると共に、ソース領域及びドレイン領域と浅いウェル領域との接合容量を小さく保つことができる。

【０００９】

【発明が解決しようとする課題】

前述のように、ダイナミック閾値動作トランジスタの動作においては、ゲート電極の電位の変化が、速やかに浅いウェル領域に伝達する必要がある。これに要する時間を図２９（ａ）及び（ｂ）を用いて説明する。図２９（ａ）はバルク基板を用いたダイナミック閾値動作トランジスタの模式図であり、図２９（ｂ）はその等価回路図である。図中、３１１は深いウェル領域、３１２は浅いウェル領域、３１３はソース領域、３１４はドレイン領

域、３１５はゲート絶縁膜、３１６はゲート電極、３１７はゲート入力端子、３１８はソース領域と浅いウェル領域との接合から伸びる空乏層領域、３１９はドレイン領域と浅いウェル領域との接合から伸びる空乏層領域、３２０はゲート空乏層領域、３２１は浅いウェル領域と深いウェル領域との接合から伸びる空乏層領域、３２２はソース入力端子、３２３はドレイン入力端子、３２４は深いウェル領域の端子、３２５は電荷反転層、３２６はソース領域と浅いウェル領域との接合から伸びる空乏層による容量、３２７はドレイン領域と浅いウェル領域との接合から伸びる空乏層による容量、３２８はゲート空乏層容量、３２９はゲート容量、３３０は浅いウェル領域と深いウェル領域との接合から伸びる空乏層による容量、３３１は浅いウェル領域の抵抗、３３２はゲート電極の抵抗をそれぞれ示している。なお、この図では素子分離領域は図示していない。

【００１０】

ゲート入力端子３１７に与えられた電位が、浅いウェル領域に伝達するのに要する時間の目安τは、

τ＝ＣＲ

Ｃ＝Ｃｓ＋Ｃｄ＋Ｃｄｅｐ＋Ｃｓｗ／ｄｗ

で表される。ここで、Ｃは、ソース領域と浅いウェル領域（ボディ）との接合容量Ｃｓ、ドレイン領域と浅いウェル領域（ボディ）との接合容量Ｃｄ、ゲート空乏層容量Ｃｄｅｐ、浅いウェル領域と深いウェル領域との接合容量Ｃｓｗ／ｄｗ（バルク基板を用いたダイナミック閾値動作トランジスタの場合のみ）の和である。また、Ｒは浅いウェル領域（ボディ）の抵抗である。なお、ゲート容量Ｃｇを充電するのに要する時間は、ゲート容量Ｃｇと抵抗Ｒｇとの積で表され、通常τより短い。

【００１１】

τはトランジスタがオン状態になり、次段の容量の充電が完了するのに要する時間より十分に短くなければならない。即ち、ゲート容量や配線容量等にまつわる時定数の和より十分短くなければならない。この条件を満たさない場合は、スイッチング動作が完了する間に、基板バイアス効果が十分得られず、回路の動作速度が著しく低下する。

【００１２】

上述のＳＯＩ基板を用いたダイナミック閾値動作トランジスタは、ボディの抵抗が高いという問題点が指摘されている。完全空乏化型の場合、ボディの厚さは３０ｎｍ程度と非常に薄いため、ボディ抵抗を下げるためにボディの不純物濃度を濃くすると閾値調整ができなくなってしまう。一方、部分空乏化型の場合、ボディの厚さは１００～１５０ｎｍ程度と比較的厚い。しかし、ボディの不純物濃度を$1\times10^{18}cm^{-3}$まで濃くしても、例えばゲート長０．１８μｍ、ゲート幅１．８μｍの素子において、Ｃを1×10^{-15}Ｆとしたときのτは約1×10^{-10}秒となる。これは他の遅延要因に比べて大きく、基板バイアス効果は殆ど得られない。また、ボディの濃度を濃くした場合、ソース領域及びドレイン領域との接合から伸びる空乏層が埋め込み酸化膜層に接しなくなり、接合容量が大幅に増加してしまう。これを防ぐためソース領域及びドレイン領域とボディとの接合深さを深くすると、短チャネル効果が著しく悪化してしまう。

以上のように、ＳＯＩ基板を用いたダイナミック閾値動作トランジスタでは、十分に短いτを得ることは困難である。

【００１３】

一方、バルク基板を用いたダイナミック閾値動作トランジスタ（以下、Ｂ－ＤＴＭＯＳ）の場合は、浅いウェル領域の深さに制限がない。従って、十分深い場所に高濃度不純物層を形成すれば、チャネル領域の濃度に影響を与えることなく浅いウェル領域を低抵抗化することが可能となる。これによりτを十分小さくすることができる。

【００１４】

浅いウェル領域の抵抗を下げるためには、不純物の注入量を増やせばよいことは明らかである。しかし、注入量を増加させていくと、オフ時のリーク電流値が急速に増大することがわかった。

【００１５】

図５は、浅いウェル領域の注入条件として、不純物イオン種を$^{11}B^{+}$、注入エネルギーを２５０ＫｅＶ、注入量を$1\times10^{14}cm^{-2}$としたＮ型のＢ－ＤＴＭＯＳのＩｄ（ドレイン電流）－Ｖｇ（ゲート電圧）特性を示している。この場合、オフ時のリーク電流（以下、オフリークと称する）は単位ゲート幅当たり9×10^{-10}Ａ／μｍとなり、電源電圧を０．５Ｖとしたときの駆動電流対オフリーク電流比は10^{4}程度である。この電流比は、低消費電力素子として必要とされる目安の10^{5}に及ばない。

【００１６】

このように、浅いウェル領域の抵抗を低減して、ゲート電極の電位の変化の伝達速度を向上するために不純物の注入量を増す方法では、オフリークが増大するという問題が生じる。また、浅いウェル領域と深いウェル領域から伸びる空乏層がより深くなるため、溝型分離領域を深くしなければならないという問題も生じる。

【００１７】

【課題を解決するための手段】

本発明の目的は、基板バイアス効果が十分に得られることにより高速動作が可能であり、かつオフリークが許容範囲にあるダイナミック閾値動作トランジスタの製造方法を提供することである。

【００１８】

かくして本発明によれば、ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタにおいて、半導体基板と、前記半導体基板内に形成された第１導電型のウェル領域と、前記半導体基板内かつ前記第１導電型のウェル領域上に形成された第２導電型のウェル領域と、前記第２導電型のウェル領域中に位置しかつ前記第２導電型のウェルより高い不純物濃度の高濃度埋込領域と、前記第２導電型のウェル領域と隣接する第２導電型のウェル領域とを電気的に分離するための溝型分離領域と、前記第２導電型のウェル領域の表面層に形成された第１導電型のソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第２導電型のウェル領域に電気的に接続されたゲート電極を備え、前記第２導電型のウェル領域と前記ソース領域及び前記ドレイン領域との間の接合容量、前記第２導電型のウェル領域と前記第１導電型のウェル領域との間の接合容量、及び前記第２導電型のウェル領域と前記チャネル領域中に形成される反転層との間の静電容量の和Ｃと、前記第２導電型のウェル領域の電気抵抗Ｒとの積τ（＝ＣＲ）が6×10^{-12}～5×10^{-11}秒であり、前記第２導電型のウェル領域のシート抵抗が３００Ω／□～１０ｋΩ／□であるダイナミック閾値動作トランジスタの製造方法であって、

前記第２導電型のウェル領域及び前記高濃度埋込領域が、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程を経ることにより形成され、

（１）前記イオン注入工程が、前記溝型分離領域の形成後前記ゲート絶縁膜の形成前に、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として$1\times10^{14}cm^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として$1\times10^{14}cm^{-2}$未満の条件下で行われ、

（２）前記熱処理工程が、前記ゲート絶縁膜の形成時及び前記ソース領域と前記ドレイン領域形成時の熱処理工程と同時に行われることを特徴とするダイナミック閾値動作トランジスタの製造方法が提供される。

【００１９】

また、本発明によれば、ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタにおいて、半導体基板と、前記半導体基板内に形成された第１導電型のウェル領域と、前記半導体基板内かつ前記第１導電型のウェル領域上に形成された第２導電型のウェル領域と、前記第２導電型のウェル領域中に位置しかつ前記第２導電型のウェルより高い不純物濃度の高濃度埋込領域と、前記第２導電型のウェル領域と隣接する第２導電型のウェル領域とを電気的に分離するための溝型分離領域と、前記第２導電型のウェル領域

の表面層に形成された第１導電型のソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第２導電型のウェル領域に電気的に接続されたゲート電極を備え、前記第２導電型のウェル領域と前記ソース領域及び前記ドレイン領域との間の接合容量、前記第２導電型のウェル領域と前記第１導電型のウェル領域との間の接合容量、及び前記第２導電型のウェル領域と前記チャネル領域中に形成される反転層との間の静電容量の和Ｃと、前記第２導電型のウェル領域の電気抵抗Ｒとの積τ（＝ＣＲ）が6×10^{-12}～5×10^{-11}秒であり、前記第２導電型のウェル領域のシート抵抗が３００Ω／□～１０ｋΩ／□であるダイナミック閾値動作トランジスタの製造方法であって、

前記第２導電型のウェル領域及び前記高濃度埋込領域が、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程とを経ることにより形成され、かつ両工程が前記溝型分離領域の形成後前記ゲート絶縁膜の形成前に行われ、

（１）前記イオン注入工程が、前記第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として$2\times10^{14}cm^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として$2\times10^{14}cm^{-2}$未満の条件下で行われ、

（２）前記熱処理工程が、９００～１１００℃の温度で行われることを特徴とするダイナミック閾値動作トランジスタの製造方法が提供される。

【００２０】

更に、本発明によれば、ゲート電極とウェル領域とを接続したダイナミック閾値動作トランジスタにおいて、半導体基板と、前記半導体基板内に形成された第１導電型のウェル領域と、前記半導体基板内かつ前記第１導電型のウェル領域上に形成された第２導電型のウェル領域と、前記第２導電型のウェル領域中に位置しかつ前記第２導電型のウェルより高い不純物濃度の高濃度埋込領域と、前記第２導電型のウェル領域と隣接する第２導電型のウェル領域とを電気的に分離するための溝型分離領域と、前記第２導電型のウェル領域の表面層に形成された第１導電型のソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第２導電型のウェル領域に電気的に接続されたゲート電極を備え、前記第２導電型のウェル領域と前記ソース領域及び前記ドレイン領域との間の接合容量、前記第２導電型のウェル領域と前記第１導電型のウェル領域との間の接合容量、及び前記第２導電型のウェル領域と前記チャネル領域中に形成される反転層との間の静電容量の和Ｃと、前記第２導電型のウェル領域の電気抵抗Ｒとの積τ（＝ＣＲ）が6×10^{-12}～5×10^{-11}秒であり、前記第２導電型のウェル領域のシート抵抗が３００Ω／□～１０ｋΩ／□であるダイナミック閾値動作トランジスタの製造方法であって、

前記第２導電型のウェル領域及び前記高濃度埋込領域が、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程とを経ることにより形成され、

（１）前記イオン注入工程が、前記溝型分離領域の形成前に、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として$1\times10^{14}cm^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として$1\times10^{14}cm^{-2}$未満の条件下で行われ、

（２）前記熱処理工程が、８００～１０００℃の温度で行われる前記溝型分離領域の形成時の熱処理と同時に行われることを特徴とするダイナミック閾値動作トランジスタの製造方法が提供される。

【００２４】

【発明の実施の形態】

本明細書において、第１導電型とは、Ｐ型又はＮ型を意味する。また、第２導電型とは、第１導電型がＰ型の場合はＮ型、Ｎ型の場合はＰ型を意味する。

本発明に使用することができる半導体基板としては、特に限定されないが、シリコン基板が好ましい。また、半導体基板は、Ｐ型及びＮ型の導電型を有していてもよい。

【００２５】

（溝型分離領域）

基板には、隣接する第２導電型のウェル領域を互いに電気的に分離するための領域に溝型の分離領域が形成される。ここで、溝型の分離領域とは、ＬＯＣＯＳ法により形成された分離領域でもよく、ＳＴＩ（Ｓｈａｌｌｏｗ　ＴｒｅｎｃｈＩｓｏｌａｔｉｏｎ）であってもよい。溝の領域に埋め込まれる物質は、隣接する第２導電型のウェル領域を互いに電気的に分離することができれば、酸化物に限るものでなく、例えば酸化膜に覆われたポリシリコンでもよい。また、これら分離領域を組み合わせてもよい。ＳＴＩからなる分離領域は、一般的に、半導体基板に溝を形成し、バイアスＣＶＤ法により溝を材料で埋め込み、ＣＭＰ（化学的機械的研磨）法で基板を平坦化することにより形成される。

【００２６】

この溝型の分離領域は、以下で説明する、第１導電型のウェル領域及び第２導電型のウェル領域の形成前、第１導電型のウェル領域の形成後かつ第２導電型のウェル領域の形成前、第２導電型のウェル領域の形成後かつ第１導電型のウェル領域の形成前、又は第１導電型のウェル領域及び第２導電形のウェル領域の形成後に形成することができる。

なお、本明細書において、第２導電型のウェル領域は、第１導電形のウェル領域と比較して基板表面から浅い領域に形成されているので浅いウェル領域、一方、第１導電型のウェル領域は深いウェル領域と称する。

【００２７】

溝型の分離領域を形成する工程における熱処理（酸化を含む）は、８００～１１５０℃で行うことができる。

【００２８】

（深いウェル領域）

次に、半導体基板には、第１導電型の深いウェル領域が形成される。Ｐ型を与える不純物イオンとしては$^{11}B^{+}$が挙げられ、Ｎ型を与える不純物イオンとしては$^{31}P^{+}$が挙げられる。深いウェル領域は、例えば、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして１００～４００ＫｅＶ、注入量として3×10^{12}～$1\times10^{14}cm^{-2}$の条件、又は不純物イオンとして$^{31}P^{+}$イオンを使用した場合、注入エネルギーとして２４０～７５０ＫｅＶ、注入量として3×10^{12}～$1\times10^{14}cm^{-2}$の条件で形成することができる。

【００２９】

（浅いウェル領域）

第１導電型の深いウェル領域上で、基板表面から見て浅い領域に、第２導電型の浅いウェル領域を形成する。

浅いウェル領域は、ゲート電極に与えられた電位が、浅いウェル領域に伝達するのに要する時間の目安τ＝ＣＲが5×10^{-11}秒以下（好ましくは6×10^{-12}～5×10^{-11}秒）となるように形成される。ここで、Ｃは、浅いウェル領域とソース領域及びドレイン領域との間の接合容量、浅いウェル領域と深いウェル領域との間の接合容量、及び浅いウェル領域とチャネル領域中に形成される反転層との間の静電容量の和を意味する。また、Ｒは、浅いウェル領域の電気抵抗を意味する。

これにより、バルク基板を用いたダイナミック閾値動作トランジスタの動作時において、基板バイアス効果が十分に得られ、高速かつ低消費電力のＣＭＯＳ回路を実現することができる。また、むやみに浅いウェル領域の不純物濃度を上げる必要はなく、低消費電力目的のＬＳＩを十分なスピードで動作させることが可能となる。その結果、オフ時のリーク電流を抑制することができる。つまり、浅いウェル領域の濃度の最適設計が可能となる。

もしくは、浅いウェル領域は、そのシート抵抗が１０ｋΩ／□以下（好ましくは３００Ω／□～１０ｋΩ／□）になるように形成される。

これにより、バルク基板を用いたダイナミック閾値動作トランジスタの動作時において、

基板バイアス効果が十分に得られ、高速かつ低消費電力のＣＭＯＳ回路を実現することができる。

【００３０】

具体的には、例えばゲート長が０．１８μｍ、ゲート幅が１．８μｍ、ソース領域及びドレイン領域の幅が０．５１μｍ、ソース領域及びドレイン領域と浅いウェル領域の接合付近の不純物濃度が$5\times10^{17}cm^{-3}$のとき、Ｃは約５．３×10^{-15}Ｆとなる。そのため浅いウェル領域の抵抗Ｒは約９．４ｋΩ以下（シート抵抗では９４０Ω／□以下）である必要がある。ここで、浅いウェル領域の不純物濃度を場所によらず一定とし、かつその厚さを5×10^{-7}ｍとすると、抵抗率が３．１×10^{-3}Ωｍ以下である必要がある。この時、不純物がＢ（Ｐ型の浅いウェル領域）の場合、濃度は約$9\times10^{16}cm^{-3}$以上となり、不純物がＰ（Ｎ型の浅いウェル領域）の場合、濃度は約$2\times10^{16}cm^{-3}$以上となる。現実の素子においては、浅いウェル領域の不純物濃度は一定でないので、深さ方向に平均した値が上の条件を満たせばよい。

【００３１】

また、例えばゲート長が０．１８μｍ、ゲート幅が１．８μｍ、ソース領域及びドレイン領域の幅が０．１２μｍ、ソース領域及びドレイン領域と浅いウェル領域の接合付近の不純物濃度が$5\times10^{17}cm^{-3}$のとき、Ｃは約１．９×10^{-15}Ｆとなる。そのため浅いウェル領域の抵抗Ｒは約２６ｋΩ以下（シート抵抗では２．６ｋΩ／□以下）である必要がある。ここで、浅いウェル領域の不純物濃度を場所によらず一定とし、かつその厚さを５×10^{-7}ｍとすると、抵抗率が１．１×10^{-3}Ωｍ以下である必要がある。この時、不純物がＢ（Ｐ型の浅いウェル領域）の場合、濃度は約$5\times10^{17}cm^{-3}$以上となり、不純物がＰ（Ｎ型の浅いウェル領域）の場合、濃度は約$8\times10^{16}cm^{-3}$以上となる。現実の素子においては、浅いウェル領域の不純物濃度は一定でないので、深さ方向に平均した値が上の条件を満たせばよい。

【００３２】

また、例えばゲート長が０．２５μｍ、ゲート幅が１．５μｍ、ソース領域及びドレイン領域の幅が０．１７μｍ、ソース領域及びドレイン領域と浅いウェル領域の接合付近の不純物濃度が$1\times10^{17}cm^{-3}$のとき、Ｃは約９×10^{-16}Ｆとなる。そのため浅いウェル領域の抵抗Ｒは約５６ｋΩ以下（シート抵抗では９．３ｋΩ／□以下）である必要がある。ここで、浅いウェル領域の不純物濃度を場所によらず一定とし、かつその厚さを５×10^{-7}ｍとすると、抵抗率が１．１×10^{-3}Ωｍ以下である必要がある。この時、不純物がＢ（Ｐ型の浅いウェル領域）の場合、濃度は約$5\times10^{17}cm^{-3}$以上となり、不純物がＰ（Ｎ型の浅いウェル領域）の場合、濃度は約$8\times10^{16}cm^{-3}$以上となる。現実の素子においては、浅いウェル領域の不純物濃度は一定でないので、深さ方向に平均した値が上の条件を満たせばよい。

【００３３】

浅いウェル領域は、イオン注入工程と注入された不純物イオンを活性化させるための熱処理工程を経ることにより形成される。浅いウェル領域の形成条件としては、以下の４条件が挙げられる。

【００３４】

(１)イオン注入工程を、溝型分離領域の形成後ゲート絶縁膜の形成前に、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として$1\times10^{14}cm^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として$1\times10^{14}cm^{-2}$未満の条件下で行い、

熱処理工程を、ゲート絶縁膜の形成時及びソース領域とドレイン領域形成時の熱処理工程と同時に行う。

【００３５】

（２）イオン注入工程を、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として$2\times10^{14}cm^{-2}$未満の条件下、又は

第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として２×１０^{14}ｃｍ$^{-2}$未満の条件下で行い、
熱処理工程を、９００～１１００℃の温度で行い、
両工程を溝型分離領域の形成後ゲート絶縁膜の形成前に行う。

【００３６】

（３）イオン注入工程を、溝型分離領域の形成前に、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として４×１０^{14}ｃｍ$^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として４×１０^{14}ｃｍ$^{-2}$未満の条件下で行い、
熱処理工程を、１０００～１１５０℃の温度で行われる溝型分離領域の形成時の熱処理と同時に行う。

【００３７】

（４）イオン注入工程を、溝型分離領域の形成前に、第２導電型の不純物イオンとして$^{11}B^{+}$イオンのとき、注入エネルギーとして６０～５００ＫｅＶ、注入量として１×１０^{14}ｃｍ$^{-2}$未満の条件下、又は第２導電型の不純物イオンとして$^{31}P^{+}$イオンのとき、注入エネルギーとして１３０～９００ＫｅＶ、注入量として１×１０^{14}ｃｍ$^{-2}$未満の条件下で行い、
熱処理工程を、８００～１０００℃の温度で行われる溝型分離領域の形成時の熱処理と同時に行う。

【００３８】

上記のように、浅いウェル領域形成の際のイオン注入量及び注入エネルギーを選択することにより、半導体基板の結晶へのダメージを抑制することができる。また、イオン注入後の熱処理工程の温度により、結晶欠陥の回復の程度が変わる。従って、より高い温度で熱処理を行えば、注入量の上限を高くすることができる。なお、注入エネルギーの下限は、ソース領域及びドレイン領域と、深いウェル領域との間のパンチスルーを防止するように設定される。
上記浅いウェル領域の形成により、ＰＮ接合に生じる逆方向及び順方向のリーク電流を抑制することができる。そのため、Ｎ型又はＰ型トランジスタのオフリークを抑制することができると共に、低電圧駆動に必要な低い閾値を実現することができる。

【００３９】

（１）の条件によれば、素子のオフリークを許容の範囲内に抑えることができる。更に、浅いウェル領域形成のためのイオン注入後に行われる熱処理を、ゲート絶縁膜形成工程や、ソース領域及びドレイン領域形成時の不純物イオンの活性化のためのアニール工程と兼用することが可能となる。従って、製造工程を簡略化できる。更に、最低限の熱処理を行うだけで浅いウェル領域を形成できるので、不純物イオンの拡散による注入プロファイルの広がりを最小限に抑えることができる。

【００４０】

特にＮ型の素子においては、溝型分離領域を構成する酸化膜付近で浅いウェル領域の不純物（例えば、ボロン）濃度が低下する現象を最低限に抑えることができる。従って、溝型分離領域近辺でのソース領域及びドレイン領域と深いウェル領域との間のパンチスルーを効果的に抑制することが可能となる。その結果溝型分離領域の深さを最低限に抑えることができる。これは、次の理由による。溝型分離領域を構成する酸化膜付近で浅いウェル領域のボロン濃度が低下した場合、浅いウェル領域と深いウェル領域との間の接合空乏層が広がる。そのため、浅いウェル領域と深いウェル領域間の接合空乏層と接触しない程度に浅いウェル領域を深く形成する必要が生じる。それに伴い、浅いウェル領域を素子毎に分離する溝型分離領域の深さをより深く形成する必要が生じるためである。

【００４１】

上記(１)の条件では、溝を浅く形成することができるので、溝を材料で埋め込むことが容易であり、ＳＴＩからなる溝型分離領域を簡便に形成することができる。

【００４２】
（２）の条件によれば、浅いウェル領域の形成のための熱処理工程を独立して行っているので、浅いウェル領域の形成のためのイオン注入による結晶欠陥が回復し、その結果、オフリークを低減することができる。条件(２)は、条件(１)と比べて、浅いウェル領域のイオン注入量の上限を２倍にすることができる。これにより、浅いウェル領域をより低抵抗化できるので、高速化に対応したＬＳＩを提供することができる。
【００４３】
（３）の条件によれば、溝型分離領域形成のための１０００～１１５０℃の熱処理前に、浅いウェル領域のイオン注入を行うことができるので、浅いウェル領域の深さ方向の不純物プロファイルを平坦に近くすることができる。その結果、閾値を制御するためのチャネル領域の不純物濃度を制御することが容易となる。また、高温で不純物拡散のための熱処理を行うので、不純物イオンの注入による結晶欠陥を著しく回復させることができ、オフリークを低減することが可能となる。条件（３）は、条件（１）と比べて、浅いウェル領域のイオン注入量の上限を４倍にすることができる。これにより、浅いウェル領域をより低抵抗化できるので、高速化に対応したＬＳＩを提供することができる。また、浅いウェル領域と溝型分離領域形成のための熱処理を同時に行うので、工程を簡略化でき、その結果製造コストを抑制することができる。
【００４４】
（４）の条件によれば、溝型分離領域形成のための８００～１０００℃の熱処理前に、浅いウェル領域のイオン注入を行うことができるので、（３）の条件に比べて、浅いウェル領域の不純物拡散を少なくすることができる。そのため、溝型分離領域と浅いウェル領域の深さを浅くすることができる。
【００４５】
ここで、上記イオン注入の条件は、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして８０～３４０ＫｅＶ、注入量として3×10^{12}～$5\times10^{13}cm^{-2}$の条件、又は不純物イオンとして$^{31}P^{+}$イオンを使用した場合、注入エネルギーとして２００～６５０ＫｅＶ、注入量として3×10^{12}～$5\times10^{13}cm^{-2}$の条件が好ましい。
【００４６】
より具体的には、前記ゲート電極に与えられた電位が、浅いウェル領域に伝達するのに要する時間の目安τを5×10^{-11}秒以下にするために、以下のように条件を設定することができる。
【００４７】
まず、Ｃが約1.9×10^{-15}ＦのＮ型ＭＯＳＦＥＴのＰ型の浅いウェル領域は、注入エネルギーが１００ｋｅＶ、注入量を$2.5\times10^{13}cm^{-2}$以上の条件で、$^{11}B^{+}$イオンを注入することにより形成することが好ましい。また、Ｃが約1.9×10^{-15}ＦのＰ型ＭＯＳＦＥＴのＮ型の浅いウェル領域は、注入エネルギーが２４０ｋｅＶ、注入量を$5\times10^{12}cm^{-2}$以上の条件で、$^{31}P^{+}$イオンを注入することにより形成することが好ましい。
【００４８】
（高濃度埋込領域）
更に、浅いウェル領域の抵抗を低減するための高濃度埋込領域を浅いウェル領域中に形成してもよい。高濃度埋込領域は、例えば、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして１００～４００ＫｅＶ、注入量として3×10^{12}～$1\times10^{14}cm^{-2}$の条件、又は不純物イオンとして$^{31}P^{+}$イオンを使用した場合、注入エネルギーとして２４０～７５０ＫｅＶ、注入量として2×10^{12}～$1\times10^{14}cm^{-2}$の条件で浅いウェル領域中に形成することができる。
【００４９】
（パンチスルーストッパー）
更にまた、基板表面領域で不純物濃度が薄くなりすぎることを防ぐために、浅いウェル領域の不純物イオンと同じ導電型（第２導電型）の不純物イオンを、浅いウェル領域内にパンチスルーストッパー注入してもよい。パンチスルーストッパー注入は、例えば、不純物

イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして１０～６０ＫｅＶ、注入量として５×１０^{11}～１×１０^{13}ｃｍ$^{-2}$の条件、又は不純物イオンとして$^{31}P^{+}$イオンを使用した場合、注入エネルギーとして３０～１５０ＫｅＶ、注入量として５×１０^{11}～１×１０^{13}ｃｍ$^{-2}$の条件で行うことができる。

【００５０】

（ゲート絶縁膜とゲート電極）

次に、ゲート絶縁膜とゲート電極がこの順で形成される。

ゲート絶縁膜としては、絶縁性を有する限りその材質は特に限定されない。ここで、シリコン基板を使用した場合は、シリコン酸化膜、シリコン窒化膜又はそれらの積層体を使用することができる。ゲート絶縁膜は、１～１０ｎｍの厚さを有することが好ましい。ゲート絶縁膜は、ＣＶＤ法、スパッタ法、熱酸化法等の方法で形成することができる。

【００５１】

次に、ゲート電極としては、導電性を有する限りその材質は特に限定されない。ここで、シリコン基板を使用した場合は、ポリシリコン、単結晶シリコン等のシリコン膜が挙げられる。また、前記以外にも、アルミニウム、銅等の金属膜が挙げられる。ゲート電極は、０．１～０．４μｍの厚さを有することが好ましい。ゲート電極は、ＣＶＤ法、熱酸化法、蒸着法等の方法で形成することができる。

【００５２】

ここで、ソース領域、ドレイン領域及びシリコン膜からなるゲート電極は、それぞれと接続する配線との導電性を向上させるために、その表面層がシリサイド化されていてもよい。シリサイドとしては、タングステンシリサイド、チタンシリサイド等が挙げられる。

更に、ゲート電極の側壁に、サイドウォールスペーサーを形成してもよい。このサイドウォールスペーサーの材質は特に限定されず、酸化シリコン、窒化シリコン等が挙げられる。

【００５３】

（ソース領域及びドレイン領域）

次に、浅いウェル領域の表面層には、第１導電型のソース領域及びドレイン領域が形成される。

ソース領域及びドレイン領域の形成方法は、例えば、ゲート電極をマスクとして不純物イオンを注入することにより自己整合的に形成することができる。ソース領域及びドレイン領域は、例えば、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして１～２０ＫｅＶ、注入量として１×１０^{15}～１×１０^{16}ｃｍ$^{-2}$の条件、又は不純物イオンとして$^{75}As^{+}$イオンを使用した場合、注入エネルギーとして３～１００ＫｅＶ、注入量として１×１０^{15}～１×１０^{16}ｃｍ$^{-2}$の条件で形成することができる。なお、ゲート電極の下の半導体基板の表面層はチャネル領域として機能する。

【００５４】

更に、ソース領域及び／又はドレイン領域は、ゲート電極側にＬＤＤ領域を備えていてもよい。ＬＤＤ領域の形成方法は、例えば、ゲート電極をマスクとして第１導電型の不純物イオンを注入することにより自己整合的に形成することができる。この場合、ソース領域及びドレイン領域は、ＬＤＤ領域を形成した後、ゲート電極の側壁にサイドウォールスペーサーを形成し、ゲート電極とサイドウォールスペーサーをマスクとしてイオン注入することにより自己整合的に形成することができる。ＬＤＤ領域は、例えば、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして１～２０ＫｅＶ、注入量として１×１０^{13}～５×１０^{14}ｃｍ$^{-2}$の条件、又は不純物イオンとして$^{75}As^{+}$イオンを使用した場合、注入エネルギーとして３～１００ＫｅＶ、注入量として５×１０^{13}～１×１０^{15}ｃｍ$^{-2}$の条件で形成することができる。

【００５５】

より好ましい条件は、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして１０～２０ＫｅＶ、注入量として１×１０^{14}～３×１０^{14}ｃｍ$^{-2}$の条件、又は不純物イオンとして$^{75}As^{+}$イオンを使用した場合、注入エネルギーとして５～４０ＫｅＶ、

注入量として1×10^{14}～$3\times10^{14}cm^{-2}$の条件である。
なお、ソース領域、ドレイン領域及びＬＤＤ領域形成用の不純物イオンとして、上記$^{11}B^{+}$や$^{75}As^{+}$以外にも、$^{31}P^{+}$、$^{122}Sb^{+}$、$^{115}In^{+}$、$^{49}BF^{2+}$等も使用することができる。

【００５６】
ソース領域及びドレイン領域の形成方法としては、積み上げ型のソース領域及びドレイン領域の形成方法も挙げられる。この場合は、以下の手順で形成することができる。ゲート電極を加工した後、ゲート電極の側壁に非導電性のサイドウォールスペーサーを形成し、その側壁に更にポリシリコンのサイドウォールスペーサーを形成する。このポリシリコンのサイドウォールスペーサーを形成する直前に、将来ソース領域及びドレイン領域になる部分の絶縁膜を除いておく。ポリシリコンのサイドウォールスペーサーは、そのままではゲート電極の周りを囲んだ環状の形状をしているので、少なくとも２箇所以上でその環をエッチングにより切断し、ポリシリコンが残っている部分（２つ以上の部分に別れている）にソース領域及びドレイン領域のイオン注入を行う。

【００５７】
ソース領域及びドレイン領域のイオン注入は、例えば、不純物イオンとして$^{11}B^{+}$イオンを使用した場合、注入エネルギーとして５～４０ＫｅＶ、注入量として1×10^{15}～$2\times10^{16}cm^{-2}$の条件、不純物イオンとして$^{75}As^{+}$イオンを使用した場合、注入エネルギーとして１０～１８０ＫｅＶ、注入量として1×10^{15}～$2\times10^{16}cm^{-2}$の条件、又は不純物イオンとして$^{31}P^{+}$イオンを使用した場合、注入エネルギーとして５～１００ＫｅＶ、注入量として1×10^{15}～$2\times10^{16}cm^{-2}$の条件で行うことができる。

【００５８】
この後、不純物イオンの活性化アニールを、適当な温度で適当な時間行うことにより、ポリシリコンのサイドウォールスペーサー中を不純物が拡散し、その結果ソース領域及びドレイン領域を形成することができる。
上記の方法によれば、浅い接合を持つソース領域及びドレイン領域を形成することができる。これは、ポリシリコン中の不純物の拡散速度が、単結晶中よりはるかに大きいためである。これにより、短チャネル効果の少ない素子を容易に形成することが可能となる。
この後、公知の手法により、配線層等を形成することにより半導体装置を形成することができる。
なお、上記では説明の便宜上、１つの素子の場合について述べているが、基板上に複数の素子が形成されている場合も本発明の範囲に含まれる。複数の素子が形成されている場合、それら素子の個々の構成要素（深いウェル領域、浅いウェル領域等）の導電型は、同一でも異なっていてもよい。例えば、本発明によれば、ＣＭＯＳのような基板上に異なる導電型の深い領域を有する素子を形成することができる。

【００５９】
実施の形態１
本発明の第１の実施の形態について、図１～１２に基づいて説明すれば以下の通りである。

【００６０】
（半導体装置の構成）
図１～４は、本発明の実施の第１の形態である半導体装置の製法によって作成された半導体素子の模式図である。図１は平面図であり、図２は図１の切断面線Ａ－Ａ’から見た断面図であり、図３は図１の切断面線Ｂ－Ｂ’から見た断面図であり、図４は図１の切断面線Ｃ－Ｃ’から見た断面図である。なお、図１ではシリサイド化された領域、層間絶縁膜及び上部メタル配線を、図２及び３では上部メタル配線を、図４では層間絶縁膜及び上部メタル配線を省略している。また、図１～図４は、浅いウェル領域が１つの導電型の素子のみを示している。しかしながら、これに限定されることなく、別の導電型の素子も同様な構造で作成することができ、更には、両導電型の素子を混在させることもできる。

【００６１】

図１～４の半導体装置１は、半導体基板１１内に、第１導電型の深いウェル領域１２と、この深いウェル領域１２上に深いウェル領域１２とは逆の導電型（第２導電型）の浅いウェル領域１３が形成されている。浅いウェル領域１３内には、浅いウェル領域１３の抵抗を低減するための高濃度埋込領域１４が形成されている。隣接する素子間の浅いウェル領域１３は、電気絶縁性の溝型分離領域１５によって相互に分離されている。浅いウェル領域１３には、浅いウェル領域１３と逆の導電型（第１導電型）のソース領域１６及びドレイン領域１７が形成されている。また、このソース領域１６とドレイン領域１７との間のチャネル領域上には、ゲート絶縁膜１８を介してゲート電極１９が形成されている。

【００６２】

ソース領域１６及びドレイン領域１７は、層間絶縁膜２０に形成されたコンタクト孔２１、２２を介して、上部メタル配線にそれぞれ電気的に接続されている。また、浅いウェル領域１３の上部かつ、ソース領域１６及びドレイン領域１７以外の領域には、第２導電型の不純物濃度の濃い領域２３が形成されており、領域２３はゲート電極１９と電気的に接続されている。この不純物濃度の濃い領域２３は、ゲート電極１９と浅いウェル領域１３をオーミック接続するためのものである。ゲート電極１９は、上部にシリサイド化された領域２４をもち、コンタクト孔２５を介して上部メタル配線に接続されている。また、浅いウェル領域１３が存在しない領域の深いウェル領域１２上に、第１導電型の不純物濃度の濃い領域２６が形成されており、ここでコンタクト孔２７を介して深いウェル領域と上部メタル配線とが接続されている。

【００６３】

（半導体装置の製造手順）

次に、図１～４に示す半導体装置１を含むＣＭＯＳ回路の作成手順を述べる。なお、図１～４はＮ型の素子のみが示され、Ｐ型の素子は省略されている。

・深いウェル領域

半導体基板１１のＮ型の素子を形成する領域にＮ型の不純物イオンを注入し（不純物イオン種$^{31}P^{+}$、注入エネルギー７００ＫｅＶ、注入量５×１０^{12}ｃｍ$^{-2}$）、Ｐ型素子を形成する領域にＰ型の不純物イオンを注入した（不純物イオン種$^{11}B^{+}$、注入エネルギー８０ＫｅＶ、注入量７×１０^{12}ｃｍ$^{-2}$）。その後１１００℃で２時間アニールしてＰ型及びＮ型の深いウェル領域１２を形成した。

【００６４】

・パンチスルーストッパー注入

次に、Ｎ型の深いウェル領域内に、パンチスルーストッパー注入（不純物イオン種$^{11}B^{+}$、注入エネルギー１５ＫｅＶ、注入量５×１０^{12}ｃｍ$^{-2}$）をした。一方、Ｐ型の深いウェル領域内にも、パンチスルーストッパー注入（不純物イオン種$^{31}P^{+}$、注入エネルギー８０ＫｅＶ、注入量３×１０^{12}ｃｍ$^{-2}$）をした。このパンチスルーストッパー注入は、後述する浅いウェル領域１３のイオン注入と、イオン種は同じであるが、より注入エネルギーが低いもので、表面から０．２μｍより浅い領域で不純物濃度が薄くなりすぎるのを防ぐために行われる。

【００６５】

・溝型分離領域

その後、溝型分離領域１５（深さ約１．８μｍ）を形成した。

・浅いウェル領域

次に、Ｎ型の深いウェル領域上に、Ｐ型の不純物イオンを注入し（不純物イオン種$^{11}B^{+}$、注入エネルギー２５０ＫｅＶ、注入量１×１０^{12}ｃｍ$^{-2}$～１×１０^{14}ｃｍ$^{-2}$）、Ｐ型の浅いウェル領域１３を形成した。一方、Ｐ型の深いウェル領域上にも、Ｎ型の不純物イオンを注入し（不純物イオン種$^{31}P^{+}$、注入エネルギー４５０ＫｅＶ、注入量１×１０^{12}ｃｍ$^{-2}$～１×１０^{14}ｃｍ$^{-2}$）、Ｎ型の浅いウェル領域１３を形成した。この浅いウェル領域１３を形成するためのイオン注入では、注入不純物は約０．６μｍの深さで濃度がピークとなり、その前後では濃度が薄くなっていくように行った。この濃度が濃い部分が、浅いウェル領域１３の抵抗を低減するための前記高濃度埋込領域１４となる。更に、閾値調整

のためのイオン注入を適宜行った。

【００６６】

・ゲート電極とゲート絶縁膜

その後、ゲート酸化（膜厚３ｎｍ）を行ってゲート絶縁膜１８を形成し、続いてポリシリコンを用いてゲート電極１９を形成した。

次いで、ＬＤＤ領域を形成するためのイオン注入（Ｎチャネル：不純物イオン種$^{75}As^{+}$、注入エネルギー２０ＫｅＶ、注入量$3\times10^{14}cm^{-2}$、Ｐチャネル：不純物イオン種$^{49}BF^{2+}$、注入エネルギー２０ＫｅＶ、注入量$4\times10^{13}cm^{-2}$）を行った。

【００６７】

この後、ゲート電極１９の側壁にサイドウォールスペーサーを形成した。次に、ソース領域１６、ドレイン領域１７及びチャネル領域以外の領域において、ゲート電極１９と浅いウェル領域１３を電気的に接続する領域を形成するために、該領域上のゲート電極及びゲート酸化膜を下地基板が露出するまでエッチングした。この露出した領域には不純物濃度の濃い領域２３が形成される。

【００６８】

・ソース領域及びドレイン領域

続いて、Ｎ型のソース領域及びドレイン領域を形成するために、不純物イオンを注入し（不純物イオン種$^{75}As^{+}$、注入エネルギー４０ＫｅＶ、注入量$3\times10^{15}cm^{-2}$）、８５０℃で３０分間活性化アニールを行った。一方、Ｐ型のソース領域及びドレイン領域を形成するために、不純物イオンを注入し（不純物イオン種$^{11}B^{+}$、注入エネルギー１５ＫｅＶ、注入量$3\times10^{15}cm^{-2}$）、ＲＴＡ処理（１０００℃、１０秒）を行った。これらの注入により、ソース領域１６及びドレイン領域１７の形成と共に不純物濃度の濃い領域２３と２６も形成できた。

【００６９】

その後、ソース領域１６及びドレイン領域１７、ゲート電極１９及び不純物濃度の濃い領域２３と２６の上層部をシリサイド化した。このシリサイド化により、ゲート電極１９と浅いウェル領域１３がオーミック接続される。そして、層間絶縁膜を形成し、そこにコンタクト孔２１、２２、２５及び２７を形成して、メタル工程により、ソース領域１６、ドレイン領域１７、ゲート電極１９及び深いウェル領域１２を上部メタル配線にそれぞれ接続する。

上記工程によりＣＭＯＳ回路が作成される。

なお、浅いウェル領域の熱処理は、ゲート絶縁膜の形成時と、ソース領域及びドレイン領域の熱処理工程時に同時に行った。

【００７０】

（実施の形態１の効果）

図５～８は、前述の手順で作成したゲート長が０．２６μｍのＮ型ＭＯＳＦＥＴの単位ゲート幅あたりのドレイン電流対ゲート電圧のグラフである。図５は、Ｐ型の浅いウェル領域の$^{11}B^{+}$イオン注入の注入量が$1\times10^{14}cm^{-2}$、図６は$5\times10^{13}cm^{-2}$、図７は$1\times10^{13}cm^{-2}$、図８は$5\times10^{12}cm^{-2}$のときの特性である。いずれの場合も注入エネルギーは２５０ＫｅＶである。

【００７１】

図９～１２は、前述の手順で作成したゲート長が０．５０μｍのＰ型ＭＯＳＦＥＴの単位ゲート幅あたりのドレイン電流対ゲート電圧のグラフである。図９は、Ｎ型の浅いウェル領域の$^{31}P^{+}$イオン注入の注入量が$1\times10^{14}cm^{-2}$、図１０は$5\times10^{13}cm^{-2}$、図１１は$1\times10^{13}cm^{-2}$、図１２は$5\times10^{12}cm^{-2}$のときの特性である。いずれの場合も注入エネルギーは４５０ＫｅＶである。

【００７２】

Ｎ型ＭＯＳＦＥＴの場合、浅いウェル領域１３の$^{11}B^{+}$イオン注入の注入量が$1\times10^{14}cm^{-2}$のときは、ゲート電極１９のバイアスが０Ｖと０．５Ｖでのドレイン電流比は10^{5}に及ばない。すなわち、低消費電力素子としてはオン・オフ電流比が十分ではない。一

方、浅いウェル領域１３の$^{11}B^{+}$イオン注入の注入量が５×１０^{13}ｃｍ$^{-2}$以下のときは、ドレイン電流比は１０^{5}程度かそれ以上であり、十分なオン・オフ電流比が得られることが分かる。

【００７３】

また、Ｐ型ＭＯＳＦＥＴの場合、浅いウェル領域１３の$^{31}P^{+}$イオン注入の注入量が１×１０^{14}ｃｍ$^{-2}$のときは、ゲート電極１９のバイアスが０Ｖと－０．５Ｖでのドレイン電流比は１０^{5}に及ばない。すなわち、低消費電力素子としてはオン・オフ電流比が十分ではない。一方、浅いウェル領域の$^{31}P^{+}$イオン注入の注入量が５×１０^{13}ｃｍ$^{-2}$以下のときは、ドレイン電流比は１０^{6}以上であり、十分なオン・オフ電流比が得られることが分かる。

【００７４】

図１３及び図１４は、前述の手順で作成した、ソース領域１６又はドレイン領域１７と浅いウェル領域１３の接合の単位面積当たりの逆方向リーク電流をプロットしたグラフである。図１３は、Ｎ型のソース領域又はドレイン領域とＰ型の浅いウェル領域の接合の逆方向リーク電流、図１４は、Ｐ型のソース領域又はドレイン領域とＮ型の浅いウェル領域の接合の逆方向リーク電流を表している。どちらの型においても、浅いウェル領域の注入量が５×１０^{13}ｃｍ$^{-2}$までは逆方向リーク電流は比較的ゆるやかに増加するが、浅いウェル領域の注入量が１×１０^{14}ｃｍ$^{-2}$になると、逆方向リーク電流が大幅に増加している。

【００７５】

図１５及び図１６は、前述の手順で作成した、ソース領域１６又はドレイン領域１７と浅いウェル領域１３の接合の単位面積当たりの順方向リーク電流をプロットしたグラフである。図１５は、Ｎ型のソース領域及びドレイン領域とＰ型の浅いウェル領域の接合の順方向リーク電流、図１６は、Ｐ型のソース領域及びドレイン領域とＮ型の浅いウェル領域の接合の順方向リーク電流を表している。通常は、浅いウェル領域の注入量が増加して不純物濃度が濃くなれば、順方向リーク電流は減少するはずである。しかし、図１５が示すように、Ｎ型のソース領域及びドレイン領域とＰ型の浅いウェル領域の接合では、浅いウェル領域の注入量の増加とともに順方向リーク電流が増加し、特に注入量が１×１０^{14}ｃｍ$^{-2}$になると大きく増加する。また、図１６が示すように、Ｐ型のソース領域及びドレイン領域とＮ型の浅いウェル領域の接合では、浅いウェル領域の注入量の増加とともに順方向リーク電流が減少するが、注入量が１×１０^{14}ｃｍ$^{-2}$になると、接合間の電圧が０．４Ｖ以下で、順方向リーク電流が増加に転じる。

【００７６】

上述のように、ソース領域１６又はドレイン領域１７と浅いウェル領域１３の接合の順方向リーク電流及び逆方向リーク電流が、浅いウェル領域の注入量の増加とともに増えた要因は、不純物注入によりシリコン格子に欠陥が生じ、特定のエネルギーに欠陥準位が生じたためである。特に、浅いウェル領域の注入量が１×１０^{14}ｃｍ$^{-2}$になったときに、リーク電流が大きく増加したのは、この特定のエネルギーに多数の欠陥準位が生じるようになったためと考えられる。この接合リーク電流の増加が、ＭＯＳＦＥＴのオフリークの増加の原因となっている。

【００７７】

以上述べたように、Ｎ型（Ｐ型）ＭＯＳＦＥＴの場合は浅いウェル領域の$^{11}B^{+}$（$^{31}P^{+}$）の注入量が１×１０^{14}ｃｍ$^{-2}$以上では、オフリークが素子特性に大きな影響を与えるが、それ未満の場合は、その影響は無視できる。それゆえ、Ｎ型（Ｐ型）ＭＯＳＦＥＴの場合は浅いウェル領域の$^{11}B^{+}$（$^{31}P^{+}$）の注入量を１×１０^{14}ｃｍ$^{-2}$未満にすることが望ましい。

【００７８】

本実施の形態では、浅いウェル領域のイオン注入を行った後の主な熱処理は、ゲート酸化（９００℃）と不純物活性化のための熱処理（８５０℃、３０分間、窒素雰囲気下でのアニール処理及び１０００℃、１０秒のＲＴＡ処理）のみである。しかしながら、十分高い温度で熱処理を行えば、リーク電流をひきおこす結晶欠陥を回復することができる。

【００７９】
それゆえ、浅いウェル領域が、イオン注入工程と注入された不純物イオンを活性化させるための９００～１１００℃の熱処理工程とを経ることにより形成され、かつ両工程が溝型分離領域の形成後、ゲート絶縁膜の形成前に行われる場合は、浅いウェル領域の$^{11}B^{+}$（$^{31}P^{+}$）の注入量を$2\times10^{14}cm^{-2}$未満にすることが望ましい。また、１０００～１１５０℃での溝型分離領域の熱処理工程前に、浅いウェル領域形成のためのイオン注入を行う場合は、浅いウェル領域の$^{11}B^{+}$（$^{31}P^{+}$）の注入量を$4\times10^{14}cm^{-2}$未満にすることが望ましい。
【００８０】
Ｎ型のＭＯＳＦＥＴの場合、浅いウェル領域１３の$^{11}B^{+}$の注入エネルギーが６０ＫｅＶで不純物濃度のピークの深さが約０．２μｍになり、チャネルの濃度に強く影響を及ぼすようになる。そのため６０ＫｅＶ未満では、浅いウェル領域の低抵抗化と低電圧駆動のための低閾値化の両立が困難になる。一方、浅いウェル領域の$^{11}B^{+}$の注入エネルギーが５００ＫｅＶで不純物濃度のピークの深さが約１μｍになる。
【００８１】
そのため、５００ＫｅＶより大きい場合、溝型分離領域１５の深さを２μｍ以上にしなければならなくなり、また、表面付近の不純物濃度が非常に低くなるため、それを補う注入が新たに必要となる。その上、注入エネルギーが増するほどシリコン基板結晶へのダメージが増えてオフリークが増大してしまう。それゆえ、Ｎ型ＭＯＳＦＥＴの場合の浅いウェル領域の$^{11}B^{+}$の注入エネルギーは、６０ＫｅＶ以上５００ＫｅＶ以下が望ましい。
【００８２】
Ｐ型のＭＯＳＦＥＴの場合、浅いウェル領域１３の$^{31}P^{+}$の注入エネルギーが１５０ＫｅＶで不純物濃度のピークの深さが約０．２μｍになり、チャネルの濃度に強く影響を及ぼすようになる。そのため１５０ＫｅＶ未満では、浅いウェル領域の低抵抗化と低電圧駆動のための低閾値化の両立が困難になる。一方、浅いウェル領域の$^{11}B^{+}$の注入エネルギーが９００ＫｅＶで不純物濃度のピークの深さが約１μｍになる。
【００８３】
そのため、９００ＫｅＶより大きい場合、溝型分離領域１５の深さを２μｍ以上にしなければならなくなる。また、表面付近の不純物濃度が非常に低くなるため、それを補う注入が新たに必要となる。その上、注入エネルギーが増加するほどシリコン基板結晶へのダメージが増えてオフリーク電流が増大してしまう。それゆえ、Ｐ型ＭＯＳＦＥＴの場合の浅いウェル領域の$^{31}P^{+}$の注入エネルギーは、１５０ＫｅＶ以上９００ＫｅＶ以下が望ましい。
【００８４】
上記の製造方法によれば、浅いウェル領域形成の際の$^{11}B^{+}$イオン及び$^{31}P^{+}$イオンの注入量及び注入エネルギーを制限することにより、シリコン基板結晶へのダメージを制限することができる。また、濃度が最大となる深さがチャネルより深くなるように注入エネルギーの下限を設定することにより、チャネル付近での不純物濃度が低く抑えられる。
【００８５】
したがって、ＰＮ接合での逆方向及び順方向リーク電流を抑制することができ、ＭＯＳＦＥＴのオフリークを抑えることができ、かつ低電圧駆動に必要な低閾値を実現できる。
【００８６】
実施の形態２
本発明の第２の実施の形態について、図１７～２０に基づいて説明すれば以下の通りである。
【００８７】
図１７～２０は、本発明の第２の実施の形態である半導体装置の製法によって作成された半導体素子を模式的に示す断面図である。図１７は平面図であり、図１８は図１７の切断面線Ａ－Ａ’から見た断面図であり、図１９は図１７の切断面線Ｂ－Ｂ’から見た断面図であり、図２０は図１７の切断面線Ｃ－Ｃ’から見た断面図である。なお、図１７ではシ

リサイド化された領域、層間絶縁膜及び上部メタル配線を、図１８、１９では上部メタル配線を、図２０では層間絶縁膜及び上部メタル配線を省略している。

【００８８】

この半導体素子２は、前記半導体素子１にフィールド酸化膜２８が加わったもので、上記半導体素子１の形成過程中、溝型分離領域１５の形成後にフィールド酸化膜２８を形成して作成した。溝型分離領域１５を形成する場合、その幅を基板上の場所に応じて変えることは困難である。したがって、大きな幅の素子分離領域を形成する必要がある場合には、フィールド酸化膜２８を形成することが有効となる。これにより、素子分離に要する面積が小さい溝型分離領域と、大きな幅のフィールド酸化膜を必要に応じて混在させることにより、素子分離に要する面積を最小限に抑えることが可能になる。なお、フィールド酸化膜２８の形成により、浅いウェル領域１３の形成のため不純物注入によるシリコン基板結晶へのダメージ等に影響はなく、得られるＭＯＳＦＥＴ素子の特性は前記半導体素子１の場合と変わらない。

【００８９】

したがって、この場合もまた、ウェル領域形成の際の$^{11}B^{+}$イオン及び$^{31}P^{+}$イオンの注入量及び注入エネルギーを制限することにより、シリコン基板結晶へのダメージを制限することができる。また、濃度が最大となる深さがチャネルより深くなるように注入エネルギーの下限を設定することにより、チャネル付近での不純物濃度が低く抑えられる。

したがって、ＰＮ接合での逆方向及び順方向リーク電流を抑制することができ、ＭＯＳＦＥＴのオフリークを抑えることができ、かつ低電圧駆動に必要な低閾値を実現できる。

【００９０】

本発明の第１の実施の形態又は第２の実施の形態である半導体装置の製法で形成されたＭＯＳＦＥＴを用いたリングオッシレーターの１段当たりの遅延時間のグラフを図２６に示す。バルク基板を用いたダイナミック閾値動作トランジスタの動作電圧として適当な０．５Ｖ動作のとき、１段当たりの遅延時間は約１×１０^{-10}秒となる。この遅延時間には、上述の接合容量によるものの他に、ゲート容量や配線容量が寄与している。時定数τは、この遅延時間に比べて十分に小さいことが望ましい。したがって、Ｎ型及びＰ型ＭＯＳＦＥＴの時定数τが５×１０^{-11}秒以下であることが望ましい。

【００９１】

実施の形態３

本発明の第３の実施の形態について、図２１～図２３に基づいて説明すれば以下の通りである。

図２１～２３は、本発明の第３の実施の形態である半導体装置の製法によって作成された半導体素子を模式的に示す図である。図２１は平面図であり、図２２は図２１の切断面線Ａ－Ａ’から見た断面図であり、図２３は図２１の切断面線Ｂ－Ｂ’から見た断面図である。なお、図２１ではシリサイド化された領域、層間絶縁膜及び上部メタル配線を、図２２、２３では上部メタル配線を省略している。

【００９２】

この半導体素子は、前記実施の形態の半導体素子とは、ソース領域及びドレイン領域が積み上げ型になっている点で異なっている。この素子の形成手順を下記する。

【００９３】

ゲート電極の作成までは、前記実施の形態の半導体素子１と同様の手順で形成する。次に、ゲート電極の側壁に、シリコン窒化膜からなるサイドウォールスペーサー２９を形成した。更に、サイドウォールスペーサー２９の側壁にポリシリコンからなるサイドウォールスペーサーを形成した。このポリシリコンからなるサイドウォールスペーサーは、サイドウォールスペーサー２９により、ゲート電極１９と電気的に絶縁されている。この時点では、ポリシリコンからなるサイドウォールスペーサーは、ゲート電極の周囲を環状に取り囲んでいる。

【００９４】

次に、レジストからなるマスクを用いて、ポリシリコンからなるサイドウォールスペーサ

ーの２箇所をエッチングで除去する。更に、ポリシリコンからなるサイドウォールスペーサーに、ソース領域及びドレイン領域形成のためのイオン注入及び不純物の活性化のためのアニールを行うことにより、積上げ型のソース領域３０及びドレイン領域３１を形成した。

【００９５】

なお、ポリシリコンからなるサイドウォールスペーサーのエッチングによりゲート電極１９の一部とその下のゲート酸化膜１８も同時に除去され浅いウェル領域１３が露出した部分にも、ソース領域及びドレイン領域形成のための不純物イオンが注入され、後のアニールにより不純物濃度の濃い領域２３も形成された。なお、不純物濃度の濃い領域２３は、浅いウェル領域１３と同じ導電型であり、逆極性の素子のソース領域及びドレイン領域形成のための不純物イオン注入時に同時に注入された。

次に、シリサイド化工程を行い、ゲート電極１９と浅いウェル領域１３をオーミック接続した。その後、前記実施の形態の半導体素子１と同様の手順でコンタクト工程及びメタル工程を行った。

上記工程により、半導体素子３を形成した。

【００９６】

ソース領域及びドレイン領域を積上げ型にすることにより、ソース領域及びドレイン領域と浅いウェル領域の接合の深さを浅くすることが容易となる。これは、ポリシリコン中の不純物の拡散速度が、単結晶中よりもはるかに大きいためである。このため、短チャネル効果の少ない素子を容易に作成することが可能となる。更に、ソース領域及びドレイン領域の面積を大幅に縮小することができる。例えば、前記実施の形態の半導体素子１では、コンタクト形成時のマージンを考慮すると、ソース領域及びドレイン領域の幅を、最小加工寸法の３倍程度にする必要がある。

これに対して、ソース領域及びドレイン領域を積上げ型にした場合、最小加工寸法の２／３倍程度まで幅を縮小することが可能である。これにより、ソース領域及びドレイン領域と浅いウェル領域の接合容量は、約２／９倍に大幅に減少する。一方、この構造では、浅いウェル領域のゲート長方向の長さが、半導体素子１と比べて、１／３程度に縮小される。このため、実施の形態１及び２の場合と同じ条件で浅いウェル領域形成のためのイオン注入を行うと、浅いウェル領域の抵抗が約３倍高くなる。しかしながら、Ｃの中で、ソース領域及びドレイン領域と浅いウェル領域の接合容量が支配的であれば、トータルとして時定数τは減少する。

【００９７】

実施の形態４

本発明の第４の実施の形態について、図２４～図２６に基づいて説明すれば以下の通りである。

【００９８】

図２４及び図２５は、本発明の第１の実施の形態又は第２の実施の形態である半導体装置の製法で形成されるＭＯＳＦＥＴ素子の、浅いウェル領域１３のシート抵抗に対して、接合容量と浅いウェル領域の抵抗の積である時定数をプロットしたグラフをあらわす。図２４はＮ型のＭＯＳＦＥＴの、図２５はＰ型のＭＯＳＦＥＴの時定数のグラフを示す。ここで、容量Ｃは、ソース領域１６と浅いウェル領域１３の接合容量Ｃｓ、ドレイン領域１７と浅いウェル領域１３の接合容量Ｃｄ、ゲート空乏層容量Ｃｄｅｐ、浅いウェル領域１３と深いウェル領域１２の接合容量Ｃｓｗ／ｄｗの和である。接合容量Ｃと浅いウェル領域の抵抗Ｒの積τは時間の次元をもち、ＣＭＯＳ回路の状態が遷移するとき接合容量Ｃを充電するのに要する時間の目安となり、全体の遅延時間に寄与する。容量Ｃは、実際のＭＯＳＦＥＴ素子では非常に小さい値であるので、次の方法により、容量Ｃを求めた。まず、このＭＯＳＦＥＴと同じ不純物プロファイルと同じ不純物プロファイルを持つ大面積のソース領域、ドレイン領域、浅いウェル領域及び深いウェル領域を形成する。それぞれの接合容量を測定し、この容量を実際のＭＯＳＦＥＴ素子の接合の面積に換算することにより容量Ｃを求めた。図２４及び図２５は、ゲート長が０．２５μｍで、ゲート幅が２．５μ

mの場合についてプロットしている。

【００９９】

Ｎ型及びＰ型ＭＯＳＦＥＴのいずれの場合も浅いウェル領域１３のシート抵抗Ｒｗが増加すると時定数τも増加し、Ｒｗが１０ｋΩ／□のときτは約５×１０^{-11}秒になる。この時浅いウェル領域の抵抗Ｒは約１００ｋΩである。

【０１００】

注入量が増すにつれて、浅いウェル領域のシート抵抗が減少し、時定数も小さくなっているが、Ｐ型及びＮ型のいずれの浅いウェル領域の場合も、不純物イオンの注入量が$１\times１０^{14}ｃｍ^{-2}$に達すると、素子のオフリークが急激に増大した。従って、本実施の形態の条件で形成した素子においては、浅いウェル領域のシート抵抗を、Ｎ型ＭＯＳＦＥＴの場合は４００～１００００Ωとし、Ｐ型ＭＯＳＦＥＴの場合は３００～１００００Ωとするのが好ましい。従って、図２４及び２５より、本実施の形態の条件で形成した素子は、τを６×１０^{-12}～５×１０^{-11}秒とするのが好ましい。但し、浅いウェル領域形成のための熱処理を、溝型の素子分離領域の形成時の熱処理と兼ねれば、イオン注入による結晶欠陥を回復させることができると共に、浅いウェル領域を低抵抗化ことが可能となる。

【０１０１】

なお、実施の形態３の積上げ型のソース領域及びドレイン領域を用いた素子では、実施の形態１及び２の素子に比べて、大幅にＣを小さくすることができる。即ち、実施の形態１及び２の素子の場合は、ソース領域及びドレイン領域の幅が最小加工寸法の約３倍必要なのに対して、実施の形態３の素子では約２／３倍でよいからである。そのため、Ｃｄｅｐ がＣに比べて無視できるとき、実施の形態３の素子では、実施の形態１及び２の素子に比べて、Ｃが約２／９倍となり、Ｒは約９／２倍の大きさまで許容される。

【０１０２】

このようにして、ゲート電極の電位の変化がウェル領域に伝播する時間の目安となる時定数τを十分に小さくすることができ、ダイナミック閾値トランジスタの基板バイアス効果を十分に引き出し、低動作電圧での高速動作が可能となる。

【０１０３】

【発明の効果】

本発明の半導体装置及びその製造方法によれば、バルク基板を用いたダイナミック閾値トランジスタにおいて、浅いウェル領域の設計の最適条件を提供することが可能となる。そのため、デバイス設計コスト削減、熱処理プロセスの削減、過剰なイオン注入量の削減による作業行程の短縮等によるトータルコスト削減効果がある。

また、不純物注入によるシリコン基板結晶へのダメージを制限することができ、かつ濃度が最大となる深さがチャネルより深くなるため、チャネル付近での不純物濃度が低く抑えられる。従って、ＰＮ接合での逆方向及び順方向リーク電流が抑制され、ＭＯＳＦＥＴのオフリークを抑えることができ、かつ低電圧駆動に必要な低閾値をもつ高性能なＭＯＳＦＥＴ素子が実現される。

【０１０４】

更に、本発明の半導体装置によれば、ゲート電極の電位の変化がウェル領域を伝播する時間の目安となるＣＲ時定数を、ゲート容量、配線容量、配線抵抗等の他の遅延要因に比べて十分小さくすることができる。したがって、ダイナミック閾値トランジスタの基板バイアス効果を十分に引き出すことが可能になり、低動作電圧での高速動作が可能な高性能なＭＯＳＦＥＴ素子が実現される。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態の半導体素子の製造方法で作成した半導体素子の平面図である。

【図２】図１の切断面線Ａ－Ａ’から見た断面図である。

【図３】図１の切断面線Ｂ－Ｂ’から見た断面図である。

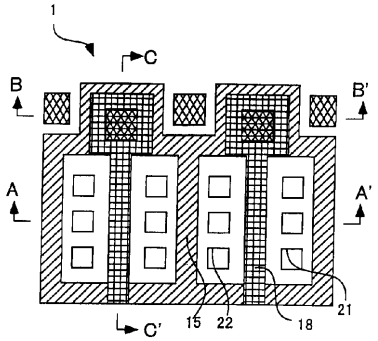
【図４】図１の切断面線Ｃ－Ｃ’から見た断面図である。

【図５】図１で示すＮ型の半導体素子の、浅いウェル領域形成の際の$^{11}Ｂ^{+}$イオンの注入

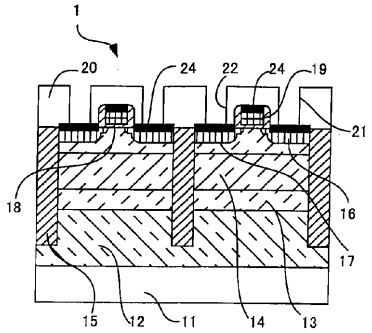
量が１×１０^{14}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図６】図１で示すＮ型の半導体素子の、浅いウェル領域形成の際の^{11}Ｂ$^{+}$イオンの注入量が５×１０^{13}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図７】図１で示すＮ型の半導体素子の、浅いウェル領域形成の際の^{11}Ｂ$^{+}$イオンの注入量が１×１０^{13}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図８】図１で示すＮ型の半導体素子の、浅いウェル領域形成の際の^{11}Ｂ$^{+}$イオンの注入量が５×１０^{12}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図９】図１で示すＰ型の半導体素子の、浅いウェル領域形成の際の^{31}Ｐ$^{+}$イオンの注入量が１×１０^{14}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図１０】図１で示すＰ型の半導体素子の、浅いウェル領域形成の際の^{31}Ｐ$^{+}$イオンの注入量が５×１０^{13}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図１１】図１で示すＰ型の半導体素子の、浅いウェル領域形成の際の^{31}Ｐ$^{+}$イオンの注入量が１×１０^{13}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図１２】図１で示すＰ型の半導体素子の、浅いウェル領域形成の際の^{31}Ｐ$^{+}$イオンの注入量が５×１０^{12}ｃｍ$^{-2}$の場合の動作特性を示すグラフである。
【図１３】図１で示すＮ型の半導体素子の、浅いウェル領域形成の際のイオン注入量に対するソース領域及びドレイン領域と浅いウェル領域の接合の逆方向電流を示すグラフである。
【図１４】図１で示すＰ型の半導体素子の、浅いウェル領域形成の際のイオン注入量に対するソース領域及びドレイン領域と浅いウェル領域の接合の逆方向電流を示すグラフである。
【図１５】図１で示すＮ型の半導体素子の、浅いウェル領域形成の際のイオン注入量に対するソース領域及びドレイン領域と浅いウェル領域の接合の順方向電流を示すグラフである。
【図１６】図１で示すＰ型の半導体素子の、浅いウェル領域形成の際のイオン注入量に対するソース領域及びドレイン領域と浅いウェル領域の接合の順方向電流を示すグラフである。
【図１７】本発明の実施の第２の形態の半導体素子の製造方法で作成した半導体素子の平面図である。
【図１８】図１７の切断面線Ａ－Ａ’から見た断面図である。
【図１９】図１７の切断面線Ｂ－Ｂ’から見た断面図である。
【図２０】図１７の切断面線Ｃ－Ｃ’から見た断面図である。
【図２１】本発明の実施の第３の形態の半導体素子の製造方法で作成した半導体素子の平面図である。
【図２２】図２１の切断面線Ａ－Ａ’から見た断面図である。
【図２３】図２１の切断面線Ｂ－Ｂ’から見た断面図である。
【図２４】図１で示すＮ型の半導体素子の浅いウェル領域のシート抵抗に対する、浅いウェル領域のシート抵抗と接合容量の積である時定数の関係を示すグラフである。
【図２５】図１で示すＰ型の半導体素子の浅いウェル領域のシート抵抗に対する、浅いウェル領域のシート抵抗と接合容量の積である時定数の関係を示すグラフである。
【図２６】図１で示す半導体素子で構成されたリングオッシレーターの１段当たりの遅延時間を示すグラフである。
【図２７】従来技術のＳＯＩ基板を用いたダイナミック閾値動作トランジスタを示す断面図である。
【図２８】従来技術のバルク基板を用いたダイナミック閾値動作トランジスタを示す断面図である。
【図２９】ゲート電極に与えられた電位が、浅いウェル領域に伝わる時定数τを説明する概念図である。
【符号の説明】
１、２、３　半導体装置

１１、１１１、２１１　半導体基板
１２、２１２、３１１　深いウェル領域
１３、２１３、３１２　浅いウェル領域
１４、２１４　高濃度埋込領域
１５、２１５　溝型分離領域
１６、１１４、２１６、３１３　ソース領域
１７、１１５、２１７、３１４　ドレイン領域
１８、１１６、２１８、３１５　ゲート絶縁膜
１９、１１７、２１９、３１６　ゲート電極
２０　層間絶縁膜
２１、２２、２５、２７　コンタクト孔
２３、２６　不純物の濃い領域
２４　シリサイド化された領域
２８　フィールド酸化膜
２９　シリコン窒化膜のサイドウォールペーサー
３０　積上げ型のソース領域
３１　積上げ型のドレイン領域
１１２　埋め込み酸化膜層
１１３　ボディ
３１７　ゲート入力端子
３１８　ソース領域と浅いウェル領域との接合から伸びる空乏層領域
３１９　ドレイン領域と浅いウェル領域との接合から伸びる空乏層領域
３２０　ゲート空乏層領域
３２１　浅いウェル領域と深いウェル領域との接合から伸びる空乏層領域
３２２　ソース入力端子
３２３　ドレイン出力端子
３２４　深いウェル領域の端子
３２５　電荷反転層
３２６　ソース領域と浅いウェル領域との接合から伸びる空乏層による容量
３２７　ドレイン領域と浅いウェル領域との接合から伸びる空乏層による容量
３２８　ゲート空乏層容量
３２９　ゲート容量
３３０　浅いウェル領域と深いウェル領域との接合から伸びる空乏層による容量
３３１　浅いウェル領域の抵抗
３３２　ゲート電極の抵抗

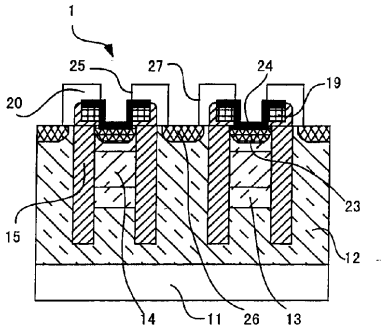
【図１】



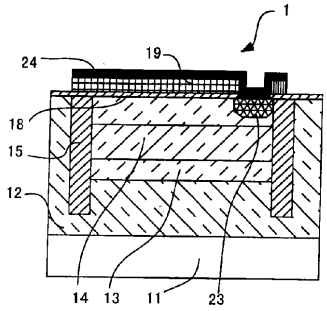
【図２】



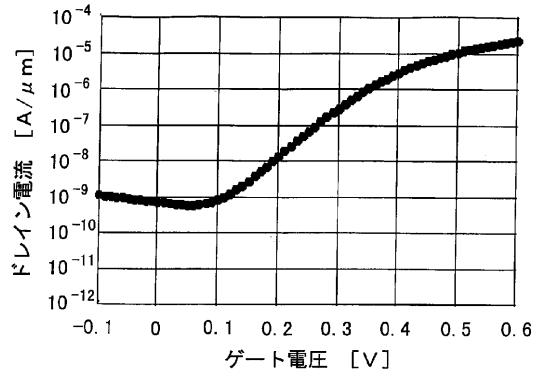
【図３】



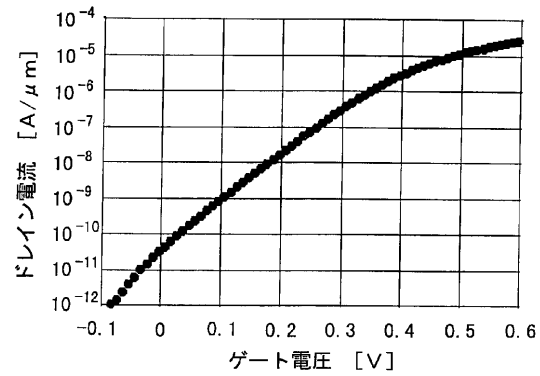
【図４】



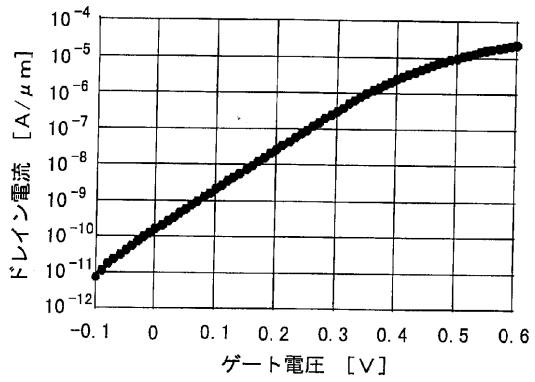
【図５】



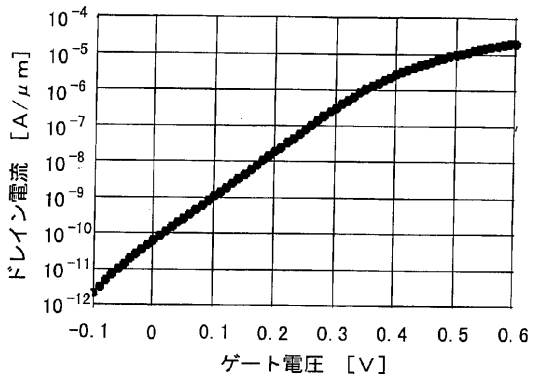
【図６】



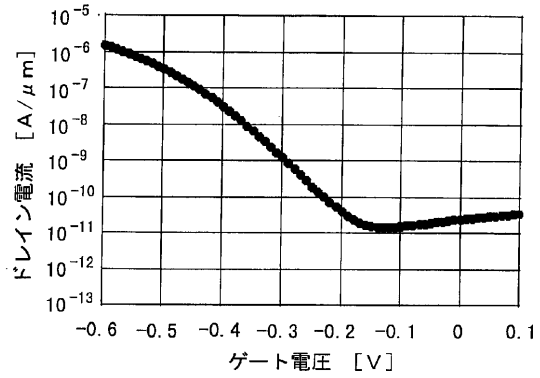
【図７】



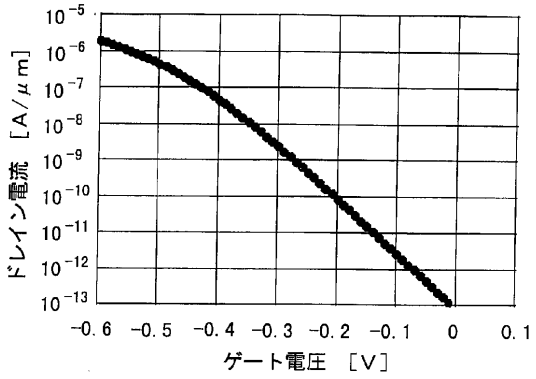
【図８】



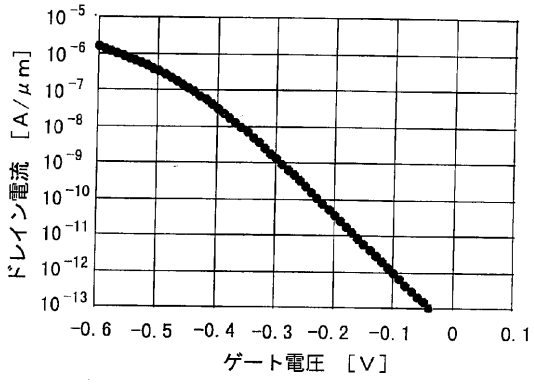
【図９】



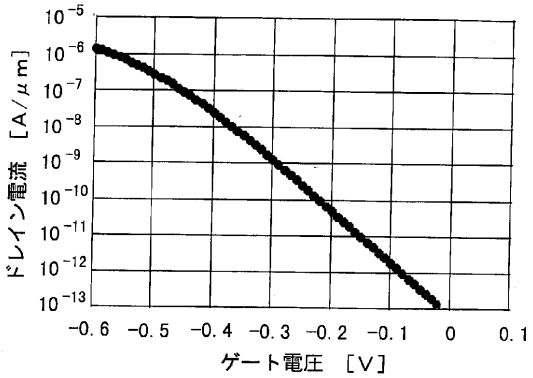
【図１１】



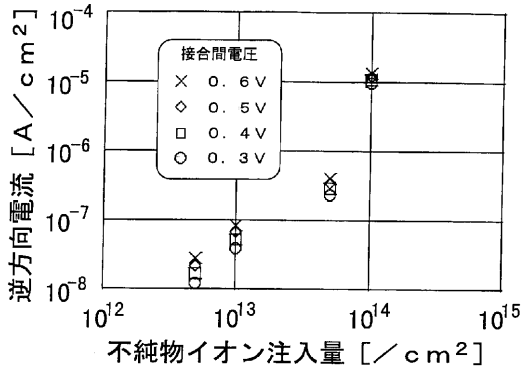
【図１０】



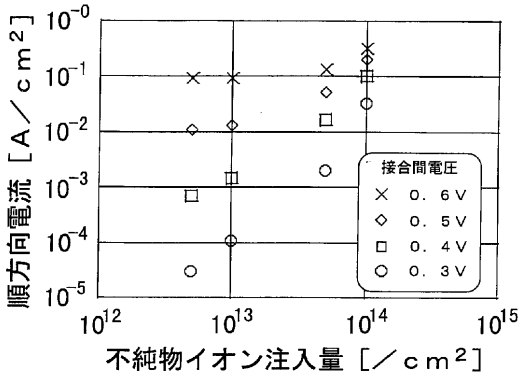
【図１２】



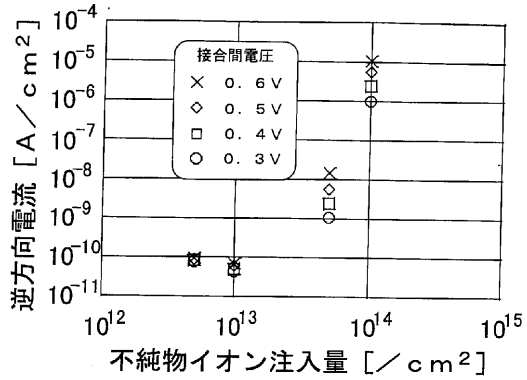
【図１３】



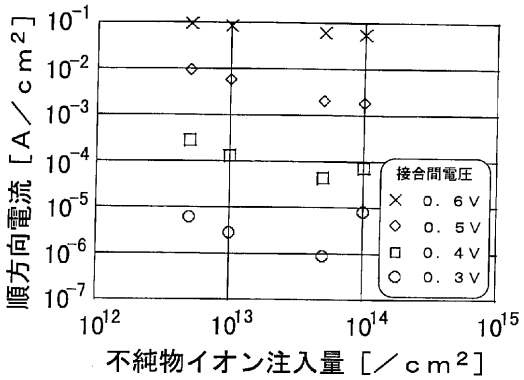
【図１５】



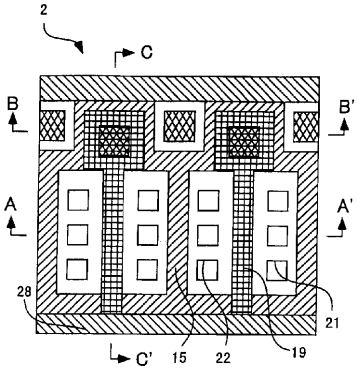
【図１４】



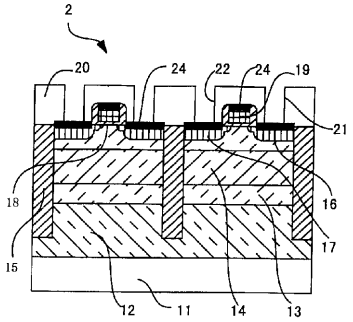
【図１６】



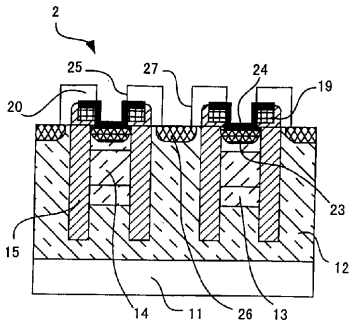
【図１７】



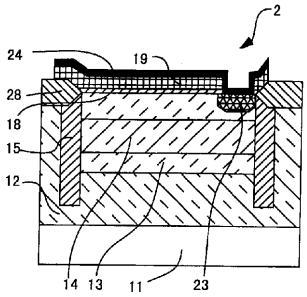
【図１８】



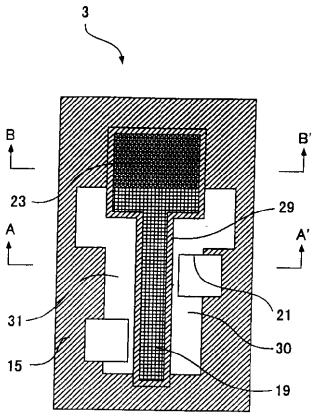
【図１９】



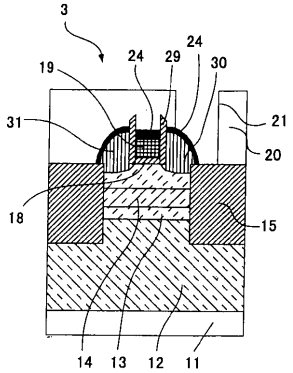
【図２０】



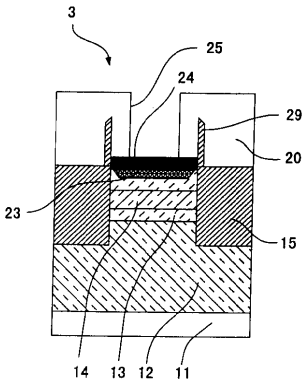
【図２１】



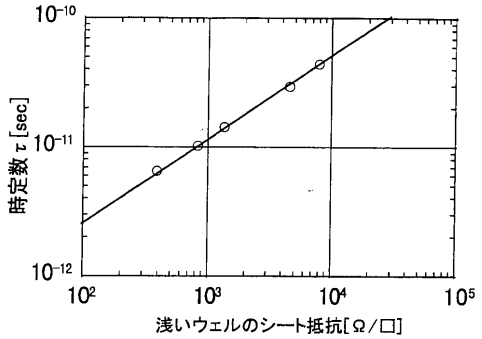
【図２２】



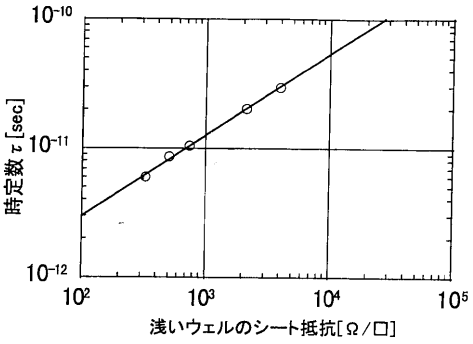
【図２３】



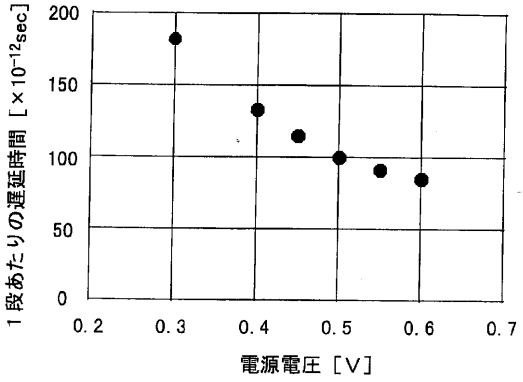
【図２４】



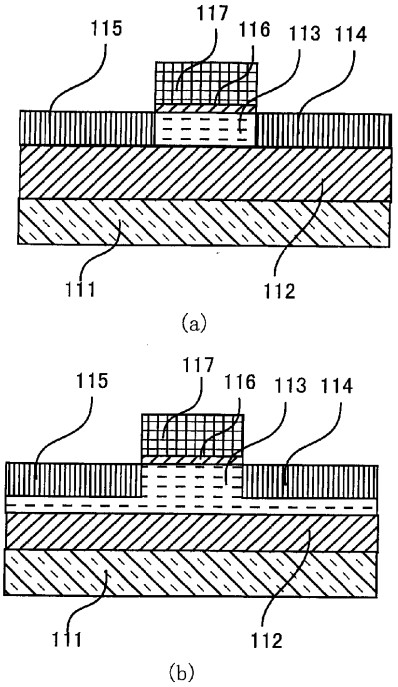
【図２５】



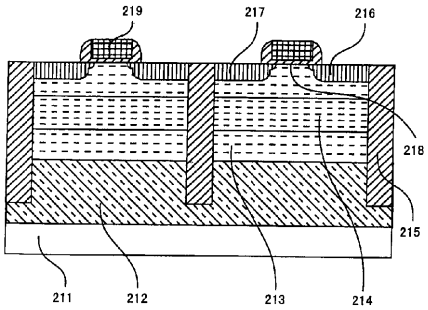
【図２６】



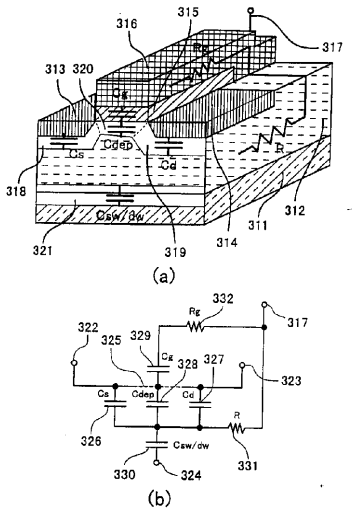
【図２７】



【図２８】



【図２９】



フロントページの続き

合議体
審判長　河合　章
審判官　瀧内　健夫
審判官　河本　充雄

(56)参考文献　特開平１０－１６３３４２（ＪＰ，Ａ）
特開平７－９９３０９（ＪＰ，Ａ）
特開平３－７４８４８（ＪＰ，Ａ）