



(12)发明专利申请

(10)申请公布号 CN 107463473 A

(43)申请公布日 2017. 12. 12

(21)申请号 201710783768.4

(22)申请日 2017.09.01

(71)申请人 珠海泰芯半导体有限公司

地址 519000 广东省珠海市香洲区高新区
唐家湾镇港湾大道科技一路10号主楼
第六层605房B单元

(72)发明人 洪灏

(74)专利代理机构 广东朗乾律师事务所 44291

代理人 杨焕军

(51)Int.Cl.

G06F 11/22(2006.01)

G06F 11/26(2006.01)

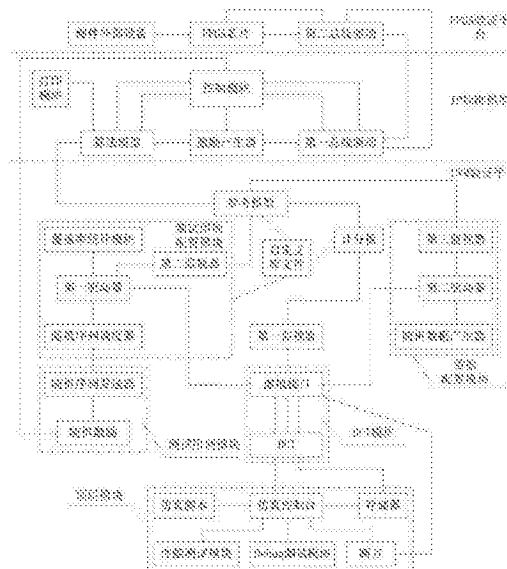
权利要求书3页 说明书6页 附图1页

(54)发明名称

基于UVM和FPGA的芯片软硬件仿真环境

(57)摘要

本发明公开了一种基于UVM和FPGA的芯片软硬件仿真环境。所述仿真环境包括FPGA验证平台、UVM验证平台以及IP标准模型。IP标准模型与FPGA验证平台连接,驱动FPGA进行仿真验证,并将FPGA验证的结果作为现场环境配置发送给UVM验证平台。UVM验证平台与IP标准模型连接,调用IP标准模型中的算法对FPGA验证的结果进行UVM仿真验证。本发明通过IP标准模型连接FPGA验证平台和UVM验证平台,做成了一个能同时进行FPGA验证和UVM验证的软硬件仿真验证环境。FPGA验证专注于芯片应用层,完成芯片代码针对大量随机激励场景的验证;UVM验证专注于芯片底层,通过直接调用IP标准模型中的算法对FPGA验证的结果进行进一步验证;两种验证相互配合,加快了芯片验证的周期、提高了芯片验证的质量。



1. 一种基于UVM和FPGA的芯片软硬件仿真环境,包括FPGA验证平台、UVM验证平台;其特征在于:所述仿真环境还包括IP标准模型;所述IP标准模型与FPGA验证平台连接,驱动FPGA进行仿真验证,并将FPGA验证的结果作为现场环境配置发送给UVM验证平台;所述UVM验证平台与IP标准模型连接,调用IP标准模型中的算法对FPGA验证的结果进行UVM仿真验证。

2. 根据权利要求1所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:

所述IP标准模型包括控制模块、打印模块、算法模型、激励产生器、第一总线驱动;所述控制模块分别与算法模型、第一总线驱动双向连接,并与打印模块、激励产生器、UVM验证平台单向连接;所述打印模块与算法模型连接;所述激励产生器分别与算法模型、第一总线驱动连接;所述第一总线驱动与FPGA验证平台双向连接;

所述控制模块控制激励产生器产生激励信号,控制算法模型根据待测芯片生成算法,控制第一总线驱动将激励信号发送给FPGA验证平台,控制打印模块在算法模型中设置错误打印点,即打印断点;所述打印模块通过在算法模型中设置打印断点,实现问题的快速定位;所述激励产生器将激励信号直接发送给算法模型进行仿真,并将仿真结果发送给控制模块;所述激励产生器通过第一总线驱动将激励信号发送到FPGA验证平台进行仿真,并将仿真结果通过第一总线驱动发送给控制模块;

所述控制模块将FPGA验证平台输出的仿真结果与算法模型输出的仿真结果进行比较,并将比较结果即FPGA验证的结果作为现场环境配置发送给UVM验证平台。

3. 根据权利要求2所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述FPGA验证平台包括FPGA芯片以及第二总线驱动;所述第二总线驱动分别与第一总线驱动、FPGA芯片双向连接;所述第二总线驱动通过第一总线驱动接收激励产生器输出的激励信号,并将激励信号发送给FPGA芯片;所述FPGA芯片根据输入的激励信号进行仿真,并将仿真结果通过第二驱动总线发送给第一总线驱动,进而发送给控制模块。

4. 根据权利要求3所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述FPGA验证平台还包括硬件外部设备;所述硬件外部设备与FPGA芯片双向连接,接收FPGA的驱动,并将结果反馈给FPGA芯片。

5. 根据权利要求2所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:

所述UVM验证平台包括测试用例模块、测试用例配置模块、数据配置模块、参考模型、计分板、DUT模块以及第一监视器;所述测试用例模块与控制模块、测试用例配置模块连接;所述测试用例配置模块分别与参考模型、DUT模块连接;所述数据配置模块分别与参考模型、DUT模块连接;所述参考模型与算法模型、计分板连接;所述DUT模块与第一监视器、计分板依次连接;

所述测试用例模块接收控制模块输出的FPGA验证的结果并产生随机测试用例发送给测试用例配置模块;所述测试用例配置模块存储测试用例模块输出的随机测试用例并将随机测试用例分别配置给参考模型和DUT模块;所述数据配置模块产生随机数据并将这些随机数据分别配置给参考模型和DUT模块;

所述参考模型直接调用算法模型中的算法对随机测试用例下的随机数据进行仿真,并将仿真结果发送给计分板;所述DUT模块针对随机测试用例下的随机数据进行仿真,并将仿真结果发送给第一监视器;所述第一监视器将DUT模块输出的仿真结果发送给计分板;所述计分板将第一监视器采集的DUT模块输出的仿真结果与参考模型输出的仿真结果进行比

较,并将比较结果作为UVM验证的结果打印出来。

6. 根据权利要求5所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述数据配置模块包括随机数据产生器、第二驱动器以及第三监视器;所述随机数据产生器与第二驱动器、DUT模块依次连接;所述随机数据产生器产生随机数据,通过第二驱动器将随机数据发送给DUT模块并驱动DUT模块进行仿真;所述随机数据产生器与第二驱动器、第三监视器、参考模型依次连接;所述第三监视器通过第二驱动器接收随机数据产生器输出的随机数据,并在第二驱动器的驱动下将随机数据发送给参考模型进行仿真。

7. 根据权利要求6所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述测试用例模块包括随机激励和随机序列产生器;所述随机激励与控制模块、随机序列产生器连接,接收控制模块输出的FPGA验证的结果并产生随机激励场景发送给随机序列产生器;所述随机序列产生器根据随机激励场景产生随机测试用例并发送给测试用例配置模块。

8. 根据权利要求7所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述测试用例配置模块包括随机序列调度器、第一驱动器、第二监视器;所述随机序列调度器与随机序列产生器连接,接收并存储随机序列产生器输出的随机测试用例;所述随机序列调度器与第一驱动器、DUT模块依次连接,通过第一驱动器将随机测试用例发送给DUT模块并驱动DUT模块进行仿真;所述随机序列调度器与第一驱动器、第二监视器以及参考模型依次连接;所述第二监视器通过第一驱动器接收随机序列调度器输出的随机测试用例,并在第一驱动器的驱动下将随机测试用例发送给参考模型进行仿真。

9. 根据权利要求8所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述测试用例配置模块还包括覆盖率统计模块;所述覆盖率统计模块与第一驱动器连接,通过第一驱动器接收随机序列调度器输出的随机测试用例,对随机测试用例的覆盖率进行统计。

10. 根据权利要求7或8所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述DUT模块包括DUT和虚拟接口;所述虚拟接口与第一驱动器、DUT连接,接收第一驱动器输出的随机测试用例并发送给DUT;所述虚拟接口与第二驱动器、DUT连接,接收第二驱动器输出的随机数据并发送给DUT;所述DUT与虚拟接口、第一监视器依次连接,针对随机测试用例下的随机数据进行仿真并将仿真结果通过虚拟接口发送给第一监视器,进而发送给计分板。

11. 根据权利要求10所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述UVM验证平台还包括顶层模块;所述顶层模块包括仿真脚本、控制台、断言、存储器;所述控制台与仿真脚本、DUT依次连接,加载仿真脚本代码,将封装的各种配置参数输出到整个UVM验证平台;所述控制台与存储器连接,接收仿真脚本的命令完成存储器的初始化;所述存储器与DUT双向连接,与DUT进行数据交互;所述断言与控制台和虚拟接口连接,通过控制台接收仿真脚本的命令,实时监测虚拟接口。

12. 根据权利要求11所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述顶层模块还包括性能测试模块、Debug测试模块;所述控制台与性能测试模块、Debug测试模块连接,对整个UVM验证平台进行性能测试和Debug测试;所述性能测试模块是用来判断系统的性能是否符合预期;所述Debug测试模块,即消除故障测试模块,是用来检测系统

故障的消除是否完成。

13. 根据权利要求10所述的一种基于UVM和FPGA的芯片软硬件仿真环境,其特征在于:所述UVM验证平台还包括自定义库文件;所述自定义库文件分别与参考模型、计分板以及测试用例配置模块连接,将封装的所有全局变量、事件、打印控制发送给参考模型、计分板和测试用例配置模块。

基于UVM和FPGA的芯片软硬件仿真环境

技术领域

[0001] 本发明涉及芯片仿真验证领域,尤其涉及一种基于UVM和FPGA的芯片软硬件仿真环境。

背景技术

[0002] 近年来,随着大规模SOC和多核设计的出现,专用集成芯片(ASIC)设计的越来越复杂,芯片的功能复杂度大大增加,使得芯片的验证要求越来越高。如何在短时间内完成芯片功能验证,保证逻辑功能正确,对验证环境的完备性、自动化和重用性提出了更高的要求。

[0003] FPGA验证采用硬件描述语言对待测设计编写测试用例,简单仿真后综合出网表并下载到目标板上进行调试,通过观察输出波形来判断所设计的功能是否正确。传统的FPGA验证采用定向测试,针对所有的功能点逐个构造测试用例,工作量大,总会有人为疏漏,难以做到全覆盖,比较适合大型、复杂程度低的芯片验证。虽然针对上述问题,FPGA随机验证的出现可以让芯片代码遍历更多的场景。但是,FPGA随机验证主要是针对应用层进行验证,无法捕捉到芯片底层的内容,不能得到芯片内部的一些信息,若代码覆盖率、场景组合情况、性能统计等),无法对芯片存在的问题进行定位。

[0004] 相比FPGA验证,UVM验证具有面向对象编程、约束随机激励、功率覆盖率检查、断言等属性,比较容易进行问题定位。基于UVM的验证环境和验证方法学可以创造坚实、可重用、自动化、易维护、具互操作性的测试流程组件,得到了业界普遍认可和采用。但是由于仿真速度受限,UVM验证不能遍历太多场景,适合小型、复杂的芯片验证。

发明内容

[0005] 本发明的目的旨在提供一种基于UVM和FPGA的芯片软硬件仿真环境,加快芯片验证的周期、提高芯片验证的效率和质量。

[0006] 为了实现本发明的目的,本发明采取了如下的技术方案:

[0007] 一种基于UVM和FPGA的芯片软硬件仿真环境,包括FPGA验证平台、UVM验证平台;其特征在于:所述仿真环境还包括IP标准模型;所述IP标准模型与FPGA验证平台连接,驱动FPGA进行仿真验证,并将FPGA验证的结果作为现场环境配置发送给UVM验证平台;所述UVM验证平台与IP标准模型连接,调用IP标准模型中的算法对FPGA验证的结果进行UVM仿真验证。

[0008] 进一步地,所述IP标准模型包括控制模块、打印模块、算法模型、激励产生器、第一总线驱动;所述控制模块分别与算法模型、第一总线驱动双向连接,并与打印模块、激励产生器、UVM验证平台单向连接;所述打印模块与算法模型连接;所述激励产生器分别与算法模型、第一总线驱动连接;所述第一总线驱动与FPGA验证平台双向连接;

[0009] 所述控制模块控制激励产生器产生激励信号,控制算法模型根据待测芯片生成算法,控制第一总线驱动将激励信号发送给FPGA验证平台,控制打印模块在算法模型中设置错误打印点,即打印断点;所述打印模块通过在算法模型中设置打印断点,实现问题的快速

定位;所述激励产生器将激励信号直接发送给算法模型进行仿真,并将仿真结果发送给控制模块;所述激励产生器通过第一总线驱动将激励信号发送到FPGA验证平台进行仿真,并将仿真结果通过第一总线驱动发送给控制模块;

[0010] 所述控制模块将FPGA验证平台输出的仿真结果与算法模型输出的仿真结果进行比较,并将比较结果即FPGA验证的结果作为现场环境配置发送给UVM验证平台。

[0011] 进一步地,所述FPGA验证平台包括FPGA芯片以及第二总线驱动;所述第二总线驱动分别与第一总线驱动、FPGA芯片双向连接;所述第二总线驱动通过第一总线驱动接收激励产生器输出的激励信号,并将激励信号发送给FPGA芯片;所述FPGA芯片根据输入的激励信号进行仿真,并将仿真结果通过第二驱动总线发送给第一总线驱动,进而发送给控制模块。

[0012] 进一步地,所述FPGA验证平台还包括硬件外部设备;所述硬件外部设备与FPGA芯片双向连接,接收FPGA的驱动,并将结果反馈给FPGA芯片。

[0013] 进一步,所述UVM验证平台包括测试用例模块、测试用例配置模块、数据配置模块、参考模型、计分板、DUT(design under testbench,待测设计)模块(以下同)以及第一监视器;所述测试用例模块与控制模块、测试用例配置模块连接;所述测试用例配置模块分别与参考模型、DUT模块连接;所述数据配置模块分别与参考模型、DUT模块连接;所述参考模型与算法模型、计分板连接;所述DUT模块与第一监视器、计分板依次连接;

[0014] 所述测试用例模块接收控制模块输出的FPGA验证的结果并产生随机测试用例发送给测试用例配置模块;所述测试用例配置模块存储测试用例模块输出的随机测试用例并将随机测试用例分别配置给参考模型和DUT模块;所述数据配置模块产生随机数据并将这些随机数据分别配置给参考模型和DUT模块;

[0015] 所述参考模型直接调用算法模型中的算法对随机测试用例下的随机数据进行仿真,并将仿真结果发送给计分板;所述DUT模块针对随机测试用例下的随机数据进行仿真,并将仿真结果发送给第一监视器;所述第一监视器将DUT模块输出的仿真结果发送给计分板;所述计分板将第一监视器采集的DUT模块输出的仿真结果与参考模型输出的仿真结果进行比较,并将比较结果作为UVM验证的结果打印出来。

[0016] 进一步地,所述数据配置模块包括随机数据产生器、第二驱动器以及第三监视器;所述随机数据产生器与第二驱动器、DUT模块依次连接;所述随机数据产生器产生随机数据,通过第二驱动器将随机数据发送给DUT模块并驱动DUT模块进行仿真;所述随机数据产生器与第二驱动器、第三监视器、参考模型依次连接;所述第三监视器通过第二驱动器接收随机数据产生器输出的随机数据,并在第二驱动器的驱动下将随机数据发送给参考模型进行仿真。

[0017] 进一步地,所述测试用例模块包括随机激励和随机序列产生器;所述随机激励与控制模块、随机序列产生器连接,接收控制模块输出的FPGA验证的结果并产生随机激励场景发送给随机序列产生器;所述随机序列产生器根据随机激励场景产生随机测试用例并发送给测试用例配置模块。

[0018] 进一步地,所述测试用例配置模块包括随机序列调度器、第一驱动器、第二监视器;所述随机序列调度器与随机序列产生器连接,接收并存储随机序列产生器输出的随机测试用例;所述随机序列调度器与第一驱动器、DUT模块依次连接,通过第一驱动器将随机

测试用例发送给DUT模块并驱动DUT模块进行仿真；所述随机序列调度器与第一驱动器、第二监视器以及参考模型依次连接；所述第二监视器通过第一驱动器接收随机序列调度器输出的随机测试用例，并在第一驱动器的驱动下将随机测试用例发送给参考模型进行仿真。

[0019] 进一步地，所述测试用例配置模块还包括覆盖率统计模块；所述覆盖率统计模块与第一驱动器连接，通过第一驱动器接收随机序列调度器输出的随机测试用例，对随机测试用例的覆盖率进行统计。

[0020] 进一步地，所述DUT模块包括DUT和虚拟接口；所述虚拟接口与第一驱动器、DUT连接，接收第一驱动器输出的随机测试用例并发送给DUT；所述虚拟接口与第二驱动器、DUT连接，接收第二驱动器输出的随机数据并发送给DUT；所述DUT与虚拟接口、第一监视器依次连接，针对随机测试用例下的随机数据进行仿真并将仿真结果通过虚拟接口发送给第一监视器，进而发送给计分板。

[0021] 进一步地，所述UVM验证平台还包括顶层模块；所述顶层模块包括仿真脚本、控制台、断言、存储器；所述控制台与仿真脚本、DUT依次连接，加载仿真脚本代码，将封装的各种配置参数输出到整个UVM验证平台；所述控制台与存储器连接，接收仿真脚本的命令完成存储器的初始化；所述存储器与DUT双向连接，与DUT进行数据交互；所述断言与控制台和虚拟接口连接，通过控制台接收仿真脚本的命令，实时监测虚拟接口。

[0022] 进一步地，所述顶层模块还包括性能测试模块、Debug测试模块；所述控制台与性能测试模块、Debug测试模块连接，对整个UVM验证平台进行性能测试和Debug测试；所述性能测试模块是用来判断系统的性能是否符合预期；所述Debug测试模块，即消除故障测试模块，是用来检测系统故障的消除是否完成。

[0023] 进一步地，所述UVM验证平台还包括自定义库文件；所述自定义库文件分别与参考模型、计分板以及测试用例配置模块连接，将封装的所有全局变量、事件、打印控制发送给参考模型、计分板和测试用例配置模块。

[0024] 本发明有益效果：

[0025] 由以上技术方案可知，本发明通过IP标准模型连接FPGA验证平台和UVM验证平台，做成了一个能同时进行FPGA验证和UVM验证的软硬件仿真验证环境。其中，FPGA验证专注于芯片应用层，完成芯片代码针对大量随机激励场景的验证；IP标准模型驱动FPGA验证平台进行仿真验证，并将FPGA验证的结果作为现场环境配置发送给UVM验证平台；UVM验证专注于芯片底层，通过直接调用IP标准模型中的算法对FPGA验证的结果进行进一步验证；两种验证相互配合，加快了芯片验证的周期、提高了芯片验证的质量。同时，本发明通过在IP标准模型中采用打印模块设置错误打印点，可以实现问题的快速定位；本发明通过在UVM验证平台中采用覆盖率统计模块可以实现覆盖率的收集。

附图说明

[0026] 为了更清楚地说明本发明实施例，下面对实施例中所需要使用的附图做简单的介绍。下面描述中的附图仅仅是本发明中的实施例，对于本领域的普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他附图。

[0027] 图1是本发明的总体结构框图；

具体实施方式

[0028] 下面结合附图,对本发明进行详细的说明。

[0029] 为了使本发明的目的、技术方案、优点更加清楚明白,以下结合附图及实施例对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0030] 如图1所示,一种基于UVM和FPGA的芯片软硬件仿真环境,包括FPGA验证平台、UVM验证平台、IP标准模型。IP标准模型与FPGA验证平台连接,驱动FPGA进行仿真验证,并将FPGA验证的结果作为现场环境配置发送给UVM验证平台。UVM验证平台与IP标准模型连接,调用IP标准模型中的算法进行仿真验证。由于已经把算法模型从FPGA验证和UVM验证中独立出来,此时只需要对算法模型中的算法进行修改,即可完成对不同DUT(design under testbench,待测设计)(以下同)的仿真验证。若FPGA验证出现错误,UVM验证平台可以利用现场环境配置里的错误场景列表,进行问题仿真定位,再进行批量回归,确保问题的解决。

[0031] 如图1所示,IP标准模型包括控制模块、打印模块、算法模型、激励产生器、第一总线驱动。控制模块分别与算法模型、第一总线驱动双向连接,并与打印模块、激励产生器、UVM验证平台单向连接。打印模块与算法模型连接激励产生器分别与算法模型、第一总线驱动连接。所述第一总线驱动与FPGA验证平台双向连接。

[0032] 控制模块控制激励产生器产生激励信号,控制算法模型根据待测芯片生成算法,控制第一总线驱动将激励信号发送给FPGA验证平台,控制打印模块在算法模型中设置错误打印点,即打印断点。IP标准模型通过打印模块在算法模型中设置打印断点,实现问题的快速定位。激励产生器将激励信号直接发送给算法模型进行仿真,并将仿真结果发送给控制模块。同时,激励产生器通过第一总线驱动将激励信号发送到FPGA验证平台进行仿真,并将仿真结果通过第一总线驱动发送给控制模块。控制模块将FPGA验证平台输出的仿真结果与算法模型输出的仿真结果进行比较,并将比较结果即FPGA验证的结果作为现场环境配置发送给UVM验证平台。

[0033] 在本实施例中,算法模型首先通过C模型或MATLAB模型构建标准模型,然后在控制模块的作用下,根据实际芯片的实现方式改写标准模型,得到准确算法。

[0034] 在本实施例中,控制模块通过打印的方式将FPGA验证的结果配置给UVM验证平台。

[0035] 如图1所示,FPGA验证平台包括FPGA芯片、第二总线驱动以及硬件外部设备。第二总线驱动分别与第一总线驱动、FPGA芯片双向连接,通过第一总线驱动接收激励发生器输出的激励信号,并将激励信号发送给FPGA芯片;FPGA芯片根据输入的激励信号进行仿真,并将仿真结果通过第二驱动总线发送给第一总线驱动,进而发送给控制模块。硬件外部设备与FPGA芯片双向连接,接收FPGA的驱动,并将结果反馈给FPGA芯片。

[0036] 如图1所示,UVM验证平台包括测试用例模块、测试用例配置模块、数据配置模块、参考模型、计分板、DUT模块、第一监视器、顶层模块以及自定义库文件。测试用例模块与控制模块、测试用例配置模块连接。测试用例配置模块分别与参考模型、DUT模块连接。数据配置模块分别与参考模型、DUT模块连接。参考模型与算法模型、计分板连接。DUT模块与第一监视器、计分板依次连接。顶层模块与DUT模块连接。自定义库文件分别与参考模型、计分板以及测试用例配置模块连接。

[0037] 测试用例模块接收控制模块输出的FPGA验证的结果并产生随机测试用例发送给测试用例配置模块。测试用例配置模块存储测试用例模块输出的随机测试用例并将随机测试用例分别配置给参考模型和DUT模块。数据配置模块产生随机数据并将这些随机数据分别配置给参考模型和DUT模块。

[0038] 参考模型直接调用算法模型中的算法对随机测试用例下的随机数据进行仿真,并将仿真结果发送给计分板。DUT模块针对随机测试用例下的随机数据进行仿真,并将仿真结果发送给第一监视器。第一监视器讲DUT模块输出的仿真结果发送给计分板。计分板将第一监视器采集的DUT模块输出的仿真结果与参考模型输出的仿真结果进行比较,并将比较结果作为UVM验证的结果打印出来。计分板根据打印的结果首先可以确认仿真是否正确,然后根据参考模型中的错误打印点即可实现问题的定位。

[0039] 自定义库文件将封装的所有全局变量、事件、打印控制发送给参考模型、计分板和测试用例配置模块。此时UVM验证平台可以直接调用自定义库文件中的代码,减少了不必要的代码量,而且直接修改和扩展自定义库文件便可以完成对整个UVM验证平台的底层修改。

[0040] 如图1所示,测试用例模块包括随机激励和随机序列产生器。随机激励与控制模块、随机序列产生器连接,接收控制模块输出的FPGA验证的结果并产生随机激励场景发送给随机序列产生器。随机序列产生器根据随机激励场景产生随机测试用例并发送给测试用例配置模块。

[0041] 如图1所示,测试用例配置模块包括随机序列调度器、第一驱动器、第二监视器、覆盖率统计模块。随机序列调度器与随机序列产生器连接,接收并存储随机序列产生器输出的随机测试用例。随机序列调度器与第一驱动器、DUT模块依次连接,通过第一驱动器将随机测试用例发送给DUT模块并驱动DUT模块进行仿真。随机序列调度器与第一驱动器、第二监视器以及参考模型依次连接。第二监视器通过第一驱动器接收随机序列调度器输出的随机测试用例,并在第一驱动器的驱动下将随机测试用例发送给参考模型进行仿真。覆盖率统计模块与第一驱动器连接,通过第一驱动器接收随机序列调度器输出的随机测试用例,对测试用例的覆盖率进行统计。

[0042] 如图1所示,数据配置模块包括随机数据产生器、第二驱动器以及第三监视器。随机数据产生器与第二驱动器、DUT模块依次连接。随机数据产生器产生随机数据,通过第二驱动器将随机数据发送给DUT模块并驱动DUT模块进行仿真。随机数据产生器与第二驱动器、第三监视器、参考模型依次连接。第三监视器通过第二驱动器接收随机数据产生器输出的随机数据,并在第二驱动器的驱动下将随机数据发送给参考模型进行仿真。

[0043] 如图1所示,DUT模块包括DUT和虚拟接口。虚拟接口与第一驱动器、DUT连接,接收第一驱动器输出的随机测试用例并发送给DUT。虚拟接口与第二驱动器、DUT连接,接收第二驱动器输出的随机数据并发送给DUT。DUT与虚拟接口、第一监视器依次连接,针对随机测试用例下的随机数据进行仿真并将仿真结果通过虚拟接口发送给第一监视器,进而发送给计分板。

[0044] 如图1所示,顶层模块包括仿真脚本、控制台、断言、存储器、性能测试模块、Debug测试模块。控制台与仿真脚本、DUT依次连接,加载仿真脚本代码,将封装的各种配置参数输出到整个UVM验证平台。控制台与存储器连接,接收仿真脚本的命令完成存储器的初始化。存储器与DUT双向连接,与DUT进行数据交互。断言与控制台和虚拟接口连接,通过控制台接

收仿真脚本的命令,实时监测虚拟接口并能快速定位接口问题。控制台与性能测试模块、Debug测试模块连接,对整个UVM验证平台进行性能测试和Debug测试。性能测试模块是用来判断系统的性能是否符合预期。Debug测试模块,即消除故障测试模块,是用来检测系统故障的消除是否完成。

[0045] 以上所述仅是本发明的优选实施例,本发明的保护范围并不仅局限于上述实施例,凡属于本发明思路下的技术方案均属于本发明的保护范围。应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理前提下的若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

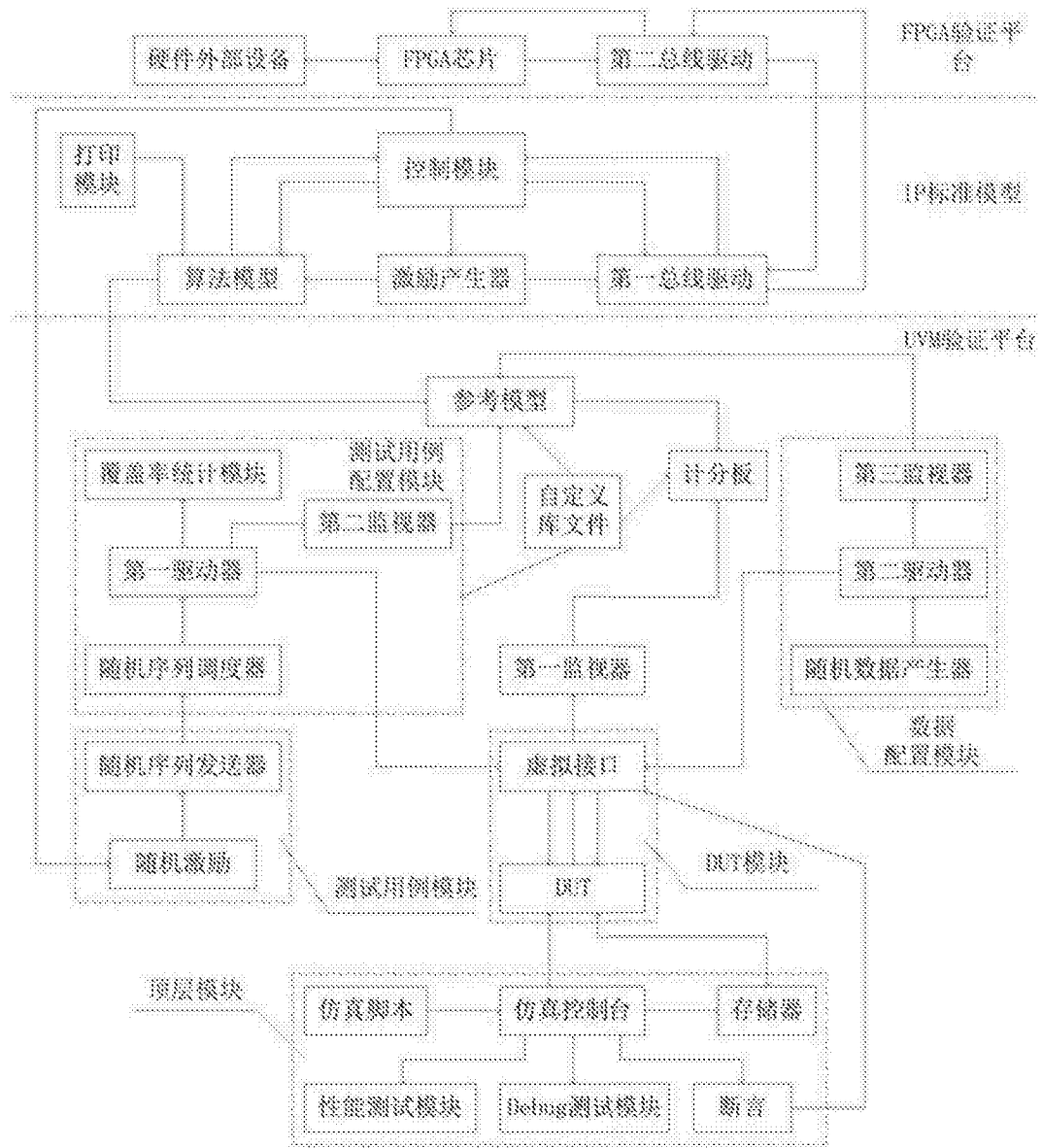


图1