

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 12 日 (12.07.2018)



(10) 国际公布号
WO 2018/126676 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2017/096203

(22) 国际申请日: 2017 年 8 月 7 日 (07.08.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710005218.X 2017 年 1 月 4 日 (04.01.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。鄂尔多斯市源盛光电有限责任
公司 (ORDOS YUANSHEG OPTOELECTRONICS
CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔

多斯市东胜区鄂尔多斯装备制造基地,
Inner Mongolia 017020 (CN)。

(72) 发明人: 丁多龙 (DING, Duolong); 中国北京市经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
刘华锋 (LIU, Huafeng); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。赵生伟
(ZHAO, Shengwei); 中国北京市经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。孙超超 (SUN,
Chaochao); 中国北京市经济技术开发区地泽路
9 号, Beijing 100176 (CN)。王超 (WANG, Chao);
中国北京市经济技术开发区地泽路 9 号, Beijing
100176 (CN)。吕景萍 (LV, Jingping); 中国北京
市经济技术开发区地泽路 9 号, Beijing 100176
(CN)。杨盟 (YANG, Meng); 中国北京市经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。杨
磊 (YANG, Lei); 中国北京市经济技术开发区

(54) Title: PIXEL STRUCTURE AND METHOD FOR MANUFACTURING SAME, ARRAY SUBSTRATE, AND DISPLAY DE-
VICE

(54) 发明名称: 像素结构及其制作方法、阵列基板和显示装置

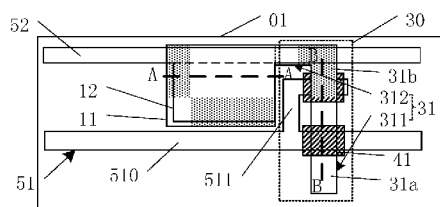


图 2a

(57) Abstract: A pixel structure and a method for manufacturing same, an array substrate, and a display device. The pixel structure comprises: a signal line (51); a common electrode line (52) extending in the same direction as the signal line (51); a transistor (30) comprising a semiconductor layer (31), the semiconductor layer (31) comprising a source area (31a) and a drain area (31b); a first storage electrode (11) insulated from the common electrode line (52) and connected to the drain area (31b) of the semiconductor layer (31); and a second storage electrode (12) connected to the common electrode line (52) and insulated from the first storage electrode (11). In the pixel structure, both the first storage electrode (11) and the second storage electrode (12) comprise portions located between the signal line (51) and the common electrode line (52) and overlapped with each other to form a first storage capacitor. The pixel structure has large storage capacitance.

(57) 摘要: 一种像素结构及其制作方法、阵列基板和显示装置, 像素结构包括: 信号线(51); 公共电极线(52), 与信号线(51)的延伸方向相同; 晶体管(30), 包括半导体层(31), 半导体层(31)包括源极区(31a)和漏极区(31b); 第一存储电极(11), 与公共电极线(52)绝缘、与半导体层(31)的漏极区(31b)连接; 第二存储电极(12), 与公共电极线(52)连接且与第一存储电极(11)绝缘。在像素结构中, 第一存储电极(11)和第二存储电极(12)都包括位于信号线(51)和公共电极线(52)之间且彼此交叠的部分, 以形成第一存储电容。该像素结构具有较大的存储电容。



地泽路9号, Beijing 100176 (CN)。 胡重粮(HU, Chongliang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 谢霖(XIE, Lin); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 顺布乐(SHUN, Bule); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 孙士民(SUN, Shimin); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

像素结构及其制作方法、阵列基板和显示装置

技术领域

- 5 本公开实施例涉及一种像素结构及其制作方法、阵列基板和显示装置。

背景技术

液晶显示器是一种通过电场改变液晶分子的排列状态来调制背光的透过情况以实现显示的显示器件。

- 10 目前，用户对液晶显示器的性能要求越来越高，例如不断追求更高的分辨率、亮度和对比度，更大的屏幕尺寸，更快的响应速度等性能。

发明内容

- 本公开实施例提供一种像素结构及其制作方法、阵列基板和显示装置，
15 本公开实施例可以提高像素结构的存储电容。

- 本公开的至少一个实施例提供一种像素结构，其包括：信号线；公共电极线，其与所述信号线的延伸方向相同；晶体管，其包括半导体层，所述半导体层包括源极区和漏极区；第一存储电极，其与所述公共电极线绝缘、与
20 所述半导体层的漏极区连接；以及第二存储电极，其与所述公共电极线连接且与所述第一存储电极绝缘。在该像素结构中，所述第一存储电极和所述第二存储电极都包括位于所述信号线和所述公共电极线之间且彼此交叠的部分，以形成第一存储电容。

- 例如，所述的像素结构还包括承载基板，所述信号线、公共电极线、晶体管、第一存储电极和第二存储电极都位于所述承载基板上；所述第一存储
25 电极和所述第二存储电极的所述彼此交叠的部分在所述承载基板上的正投影至少位于所述信号线和所述公共电极线在所述承载基板上的正投影之间。

例如，所述信号线和所述公共电极线同层设置。

例如，所述第一存储电极还与所述公共电极线交叠，以形成第二存储电容。

- 30 例如，所述第一存储电极与所述半导体层同层设置。

例如，所述第二存储电极与所述公共电极线同层设置。

例如，所述的像素结构还包括第三存储电极，所述第三存储电极与所述第一存储电极连接且与所述第二存储电极绝缘，并且所述第三存储电极与所述第二存储电极彼此交叠以形成第三存储电容。

5 例如，所述的像素结构还包括承载基板，所述信号线、公共电极线、晶体管、第一存储电极、第二存储电极和第三存储电极都位于所述承载基板上；所述第三存储电极与所述第二存储电极的所述彼此交叠的部分在所述承载基板上的正投影至少位于所述信号线和所述公共电极线在所述承载基板上的正投影之间。

10 例如，所述第三存储电极通过过孔与所述第一存储电极连接，所述过孔在所述承载基板上的正投影位于所述公共电极线与所述信号线在所述承载基板上的正投影之间。

15 例如，所述的像素结构还包括像素电极，所述第三存储电极位于所述像素电极与所述第一存储电极之间，并且所述第三存储电极与所述像素电极连接。

例如，所述半导体层包括彼此连接且延伸方向相交的第一延伸部和第二延伸部，所述第一延伸部包括所述源极区，所述第二延伸部沿所述公共电极线延伸且与所述第一存储电极连接。

20 例如，所述第二延伸部与所述公共电极线彼此绝缘并且彼此交叠，以形成第四存储电容。

例如，所述的像素结构还包括与所述公共电极线相交且与所述源极区连接的数据线，所述数据线与所述第一延伸部彼此交叠。

例如，所述第一延伸部包括依次连接的所述源极区、第一沟道区、连接区、第二沟道区和所述漏极区。

25 例如，所述信号线为栅线，所述第一沟道区与所述信号线彼此交叠。

例如，所述信号线包括凸出部，所述凸出部与所述第二沟道区彼此交叠。

本公开的至少一个实施例还提供一种阵列基板，其包括根据以上任一项所述的像素结构。

30 本公开的至少一个实施例还提供一种显示装置，其包括以上所述的阵列基板。

本公开的至少一个实施例还提供一种像素结构的制作方法，其包括：在承载基板上形成彼此间隔开的信号线和公共电极线；在所述承载基板上形成晶体管，其包括半导体层，所述半导体层包括源极区和漏极区；在所述承载基板上形成第一存储电极，其与所述公共电极线绝缘、与所述半导体层的漏极区连接；以及在所述承载基板上形成第二存储电极，其与所述公共电极线连接且与所述第一存储电极绝缘。在该方法中，所述第一存储电极和所述第二存储电极在所述承载基板上的正投影都包括位于所述信号线和所述公共电极线在所述承载基板上的正投影之间且彼此交叠的部分，以形成第一存储电容。

例如，在所述承载基板上形成导电层，所述导电层包括所述信号线、所述公共电极线和所述第二存储电极；在所述承载基板上形成半导体层薄膜，所述半导体层薄膜包括所述半导体层和所述第一存储电极；以及在所述导电层和所述半导体层薄膜之间形成将所述第一存储电极和所述第二存储电极彼此绝缘的绝缘层。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1a 为一种像素结构的俯视示意图；

图 1b 为图 1a 所示的像素结构的电路图；

图 2a 为本公开实施例提供的像素结构的俯视示意图一；

图 2b 为图 2a 中的第一存储电极与半导体层的示意图；

图 2c 为图 2a 中的第二存储电极与公共电极线的示意图；

图 2d 为图 2a 中的信号线的示意图；

图 2e 为沿图 2a 中 A-A 和 B-B 的剖视示意图；

图 3 为本公开实施例提供的像素结构的俯视示意图二；

图 4a 为本公开实施例提供的像素结构的俯视示意图三；

图 4b 为沿图 4a 中 A-A 和 B-B 的剖视示意图；

图 5 为本公开实施例提供的像素结构的电路示意图；

图 6 为本公开实施例提供的像素结构的电压保持能力的示意图;

图 7 为本公开实施例提供的阵列基板的俯视示意图;

图 8 为本公开实施例提供的阵列基板在工作时栅扫描信号的时序示意图;

5 图 9a 至图 9c 为本公开实施例提供的像素结构的制作方法中依次形成导电层、绝缘层和半导体层薄膜的结构示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,10 所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。

除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属15 领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。20 “上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

图 1a 为一种像素结构的俯视示意图;图 1b 为图 1a 所示的像素结构的电路图。如图 1a 和图 1b 所示,该像素结构包括栅线 5、数据线 7、晶体管 3 25 和像素电极 9。该晶体管 3 的半导体层 3a 包括两个与遮光层 4 和栅线 5 交叠的沟道区,并且包括与数据线 7 通过过孔 6c 连接的源极区以及与像素电极 9 通过过孔 6a 连接的漏极区;该晶体管为双栅极晶体管,包括如图 1b 所示的源极晶体管 MOS-1 和漏极晶体管 MOS-2。在液晶显示器中,该像素结构的存储电容由像素电极和公共电极(公共电极在工作时被施加电压 V_{com})之间形成的液晶电容 LC 构成。30

本申请的发明人注意到，在大尺寸、高分辨率的液晶显示器中，如图 1a 和图 1b 所示的像素结构的因存储电容不足而存在像素有效充放电时间不足、像素电压保持能力不足等问题。

本公开实施例公开了一种像素结构及其制作方法、阵列基板和显示装置，

5 下面结合附图对本公开实施例进行详细说明。

本公开的至少一个实施例提供一种像素结构，如图 2a 至图 2e 所示，该像素结构包括：信号线 51；公共电极线 52，其与信号线 51 的延伸方向大致相同；晶体管 30，其包括半导体层 31，半导体层 31 包括源极区 31a 和漏极区 31b；第一存储电极 11，其与公共电极线 52 绝缘（例如通过如图 2e 所示的绝缘层 62 与公共电极线 52 绝缘），并且与半导体层 31 的漏极区 31b 连接；
10 第二存储电极 12，其与公共电极线 52 连接以在工作时被施加公共电极信号，并且与第一存储电极 11 绝缘（例如通过绝缘层 62 与第一存储电极 11 绝缘）。在该像素结构中，第一存储电极 11 和第二存储电极 12 包括设置于信号线 51 和公共电极线 52 之间且彼此交叠的部分，以通过第一存储电极 11 和第二存储电极 12 形成第一存储电容。
15

本公开实施例在用于液晶显示装置中时，像素结构的存储电容除了包括由像素电极和公共电极形成的液晶电容之外，还包括由例如与像素电极不同层设置的第一存储电极 11 和例如与公共电极不同层设置的第二存储电极 12 形成的第一存储电容，该第一存储电容与液晶电容并联以增大像素结构的存储电容，因此本公开实施例可以有效提高像素有效充放电时间和像素电压保持能力、降低漏电流造成的电荷损失比例；另一方面，本公开实施例由于增大了像素结构的存储电容，可以有效改善因栅线、数据线等制作工艺波动造成的驱动电阻增大、闪烁（flicker）和串扰等不良；再一方面，与如图 1a 所示的像素结构相比，本公开实施例通过利用信号线 51 与公共电极线 52 之间的非显示区域形成第一存储电容，充分利用了像素结构中的闲置空间，减少了空间浪费。
20
25

例如，本公开实施例提供的像素结构还包括承载基板 01，承载基板 01 的承载面承载有上述信号线、公共电极线、晶体管、第一存储电极和第二存储电极。在这种情况下，第一存储电极 11 和第二存储电极 12 的彼此交叠的部分在承载基板 01 上的正投影至少位于信号线 51 和公共电极线 52 在承载基
30

板 01 上的正投影之间；并且，本公开实施例中提及的“交叠”都是指在垂直于承载基板 01 的承载面的方向上的交叠。

例如，信号线 51 与公共电极线 52 可以同层设置，这样二者可以通过对同一薄膜进行图案化处理形成，以简化制作工艺。例如，信号线 51 与公共电极线 52 都可以通过栅极金属层形成。

例如，信号线 51 可以与晶体管 30 的栅极、源极区或者漏极区电连接。例如，信号线 51 可以为栅线，即信号线 51 在工作时被施加栅扫描信号。

例如，如图 2a 所示，第一存储电极 11 还与公共电极线 52 交叠，以形成第二存储电容，从而进一步增大像素结构的存储电容。

10 例如，第一存储电极 11 可以与半导体层 31 同层设置（即位于同一层中）。例如，如图 2b 所示，第一存储电极 11 与半导体层 31 可以一体成型，以简化像素结构。在本公开实施例中，第一存储电极 11 和半导体层 31 同层设置，使得二者可以通过对同一薄膜进行图案化处理形成，以减少制作工艺。

15 例如，第二存储电极 12 可以与公共电极线 52 同层设置。例如，如图 2c 所示，第二存储电极 12 与公共电极线 52 可以一体成型，以简化像素结构。在本公开实施例中，第二存储电极 12 和公共电极线 52 同层设置，使得二者可以通过对同一薄膜进行图案化处理形成，以减少制作工艺。

20 在本公开实施例中，通过将第一存储电极 11 与半导体层 31 同层设置、并且将第二存储电极 12 与公共电极线 52 同层设置，只需要对像素结构制作工艺中的用于制作半导体层和公共电极线的掩膜版进行修改即可实现，不需要增加其它步骤，因此本公开实施例的制作工艺简单。

25 在本公开实施例中，晶体管 30 的漏极区 31b 与像素结构的像素电极（如后面的图 4a 和图 4b 所示）连接，以控制像素结构的液晶电容的工作状态。由于第一存储电极 11 与晶体管 30 的漏极区 31b 连接，因此，晶体管 30 还可以控制第一存储电容的工作状态。

例如，晶体管 30 的半导体层 31 可以采用低温多晶硅材料、金属氧化物或非晶硅等半导体材料制作。

30 例如，可以将晶体管 30 的半导体层 31 的平面形状设置为 L 形。例如，如图 2a 和图 2b 所示，半导体层 31 包括彼此连接且延伸方向相交的第一延伸部 311 和第二延伸部 312，第一延伸部 311 包括源极区 31a，第二延伸部 312

大致沿公共电极线 52 延伸且与第一存储电极 11 连接。与图 1a 所示的晶体管 3 中的 U 形半导体层 3a 相比,本公开实施例中的 L 形半导体层 31 占据的空间更小,从而与半导体层 31 同层设置的第一存储电极 11 可以制作得更大,以获得较大的存储电容。

5 例如,如图 2a 所示,第二延伸部 312 与公共电极线 52 彼此绝缘并且彼此交叠,以形成第四存储电容。由于通过第二延伸部 312 与公共电极线 52 形成第四存储电容,像素结构的存储电容被进一步增大;此外,通过使第二延伸部 312 与公共电极线 52 彼此交叠,有利于获得面积更大的第一存储电极 11,从而获得较大的存储电容。

10 例如,如图 2a、图 2b 和图 2e 所示,第一延伸部 311 可以包括依次连接的源极区 31a、第一沟道区 31c、连接区 31d、第二沟道区 31e 和漏极区 31b。在这种情况下,晶体管 30 为双栅极晶体管,以提高晶体管 30 的稳定性。例如,在本公开的其它实施例中,晶体管 30 也可以为单栅极晶体管,在这种情况下,第一延伸部 311 也可以只包括依次连接的源极区 31a、第一沟道区 31c
15 和漏极区 31b。

 例如,在半导体层 31 的采用低温多晶硅材料制作的情况下,第一沟道区 31c 和第二沟道区 31e 都可以为非掺杂区,源极区 31a、漏极区 31b 和连接区 31d 都可以为掺杂区。

 例如,在信号线 51 为栅线的情况下,如图 2a 所示,第一沟道区 31c 与
20 信号线 51 彼此交叠。在本公开实施例中,利用栅线的与第一沟道区 31c 交叠的部分形成晶体管 30 的第一栅极,有利于简化晶体管 30 的结构。

 例如,在信号线 51 为栅线的情况下,如图 2a、图 2d 和图 2e 所示,信号线 51 包括与公共电极线 52 的延伸方向大致相同的主体部 510 和从主体部 510 伸出的凸出部 511,主体部 510 与第一沟道区 31c 交叠,凸出部 511 与第二沟道区 31e 交叠。在本公开实施例中,通过使栅线形成与第二沟道区 31e
25 交叠的凸出部 511,可以形成晶体管 30 的第二栅极,并且使晶体管 30 的结构简单。

 例如,凸出部 511 的平面形状可以为 L 形。通过采用包括主体部 510 和 L 形凸出部 511 的信号线 51 形成晶体管 30 的两个栅极,有利于减小半导体
30 层 31 占用的空间,以获得较大的第一存储电容。

例如，如图 2a、图 2b 和图 2e 所示，本公开的至少一个实施例提供的像素结构还可以包括遮光层 41，其位于半导体层 31 的面向承载基板 01 的一侧并且与第一沟道区 31c 和第二沟道区 31e 交叠。例如，像素结构还可以包括覆盖遮光层 41 的缓冲绝缘层 61，以将遮光层 41 与半导体层 31 绝缘。

5 例如，如图 3 所示，像素结构还包括与公共电极线 52 相交且与源极区 31a 连接（例如通过过孔 60c 连接）的数据线 71，数据线 71 与第一延伸部 311 交叠。例如，在这种情况下，信号线 51 可以为栅线。在本公开实施例中，第一延伸部 311 与数据线 71 交叠，有利于增大与半导体层 31 同层设置的第一存储电极 11 的面积，以获得较大的存储电容。

10 例如，如图 4a 和图 4b 所示，本公开的至少一个实施例提供的像素结构还可以包括第三存储电极 13，第三存储电极 13 与第一存储电极 11 连接且与第二存储电极 12 绝缘，并且第三存储电极 13 与第二存储电极 12 彼此交叠以形成第三存储电容。在本公开实施例中，第三存储电极 13 与第一存储电极 11 连接，从而由第二、三存储电极形成的第三存储电容与由第一、二存储电极形成的第一存储电容并联，以进一步增大像素结构的存储电容。

15 例如，第三存储电极 13 与第二存储电极 12 的彼此交叠的部分在承载基板上的正投影至少位于信号线 51 和公共电极线 52 在承载基板上的正投影之间。这样可以进一步提高信号线 51 和公共电极线 52 的正投影之间的非显示区域的利用率，并且增大存储电容。

20 例如，第三存储电极 13 与数据线 71 同层设置，以简化制作工艺。

25 例如，如图 4a 和图 4b 所示，在垂直于承载基板（图中未示出）的承载面的方向上，第二存储电极 12 位于第一存储电极 11 和第三存储电极 13 之间，第三存储电极 13 通过贯穿第一存储电极 11 和第三存储电极 13 之间的绝缘层中的过孔 60a 与第一存储电极 11 连接，并且第二存储电极 12 中设置有允许过孔 60a 通过的开口。例如，过孔 60a 在承载基板上的正投影位于公共电极线 52 与信号线 51 在承载基板上的正投影之间。例如，在垂直于承载基板的承载面的方向上，第三存储电极 13 与第二存储电极 12 之间设置有中间绝缘层 63，过孔 60a 贯穿中间绝缘层 63 和绝缘层 62。在本公开实施例中，用于第三存储电极 13 与第一存储电极 11 的电连接的整个连接过孔 60a 的正投影
30 位于公共电极线 52 与信号线 51 的正投影之间，可以避免制作过孔 60a 时对

公共电极线 52 造成损伤。

例如，如图 4a 和图 4b 所示，本公开的至少一个实施例提供的像素结构还可以包括像素电极 91，在垂直于承载基板的承载面的方向上，第三存储电极 13 位于像素电极 91 与第一存储电极 11 之间，并且第三存储电极 13 与像素电极 91 连接，例如二者通过至少贯穿覆盖第三存储电极 13 的绝缘层 64 的过孔 60b 连接。在本公开实施例中，由于第一存储电极 11 与晶体管 30 的漏极区 31b 连接，通过第三存储电极 13 将像素电极 91 与第一存储电极 11 连接起来，可以实现像素电极 91 与漏极区 31b 之间的连接，与像素电极 91 和漏极区 31b 之间通过过孔直接连接的方式相比，本公开实施例可以减小像素电极 91 与漏极区 31b 之间的连接过孔的制作难度。

例如，如图 4a 和图 4b 所示，本公开的至少一个实施例提供的像素结构还可以包括公共电极 81。例如，公共电极 81 通过钝化绝缘层 65 与像素电极 91 间隔开，以通过公共电极 81 与像素电极 91 形成液晶电容。

例如，公共电极 81 与第二存储电极 12 可以与同一公共电极线 52 连接，也可以分别与不同的公共电极线连接；例如，公共电极 81 可以位于像素电极 91 之下，如图 4b 所示，或者公共电极 81 也可以位于像素电极 91 之上。

图 5 为本公开实施例提供的像素结构的电路示意图。如图 5 所示，本公开实施例提供的像素结构包括晶体管 30，其例如为包括源极晶体管 MOS-1 和漏极晶体管 MOS-2 的双栅极晶体管，该晶体管 30 的源极区连接数据线 Da，且栅极连接栅线 Sc；该像素结构还包括液晶电容 LC 和增加的存储电容 Cs，这两个电容的一个电极板都与晶体管 30 的漏极区连接并且另一个电极板都被施加公共电极信号 Vcom，因此，该像素结构的存储电容为 LC 与 Cs 并联之后的电容。与图 1a 和图 1b 所示的像素结构相比，本公开实施例由于增加了电容 Cs，因此增大了存储电容。

图 6 为本公开实施例提供的像素结构的电压保持能力的示意图。在图 6 中，Da 表示数据信号，Sc 表示栅扫描信号，Re 表示实际的像素电压，Vgl 表示栅线的关断电压，Vcom 表示公共电极信号，Vgh 表示栅线的开启电压， $\Delta V = V_d - V_s$ 表示像素电压保持能力。与图 1a 和图 1b 所示的像素结构相比，在采用相同的晶体管而具有相同的漏电流的情况下，由于本公开实施例增大了存储电容，因此像素电压保持能力增强；而且，即使保持像素电压的电荷

有很小的一部分分散在连接像素电极的寄生电容上，由于本公开实施例增大了存储电容，因此可以减小寄生电容对像素电极的电压的扰动。

例如，在本公开的以上任一实施例中，缓冲绝缘层 61、绝缘层 62、中间绝缘层 63、绝缘层 64 和钝化绝缘层 65 都可以采用无机材料（例如 Si_3N_4 、 SiO_2 等）或有机材料（例如树脂等）制作，例如，在绝缘层 64 为平坦层的情况下，其可以采用有机材料制作，以具有较大的厚度，从而起到平坦化作用；例如，像素电极 91 和公共电极 81 都可以采用诸如氧化铟锌、氧化铟锡等透明导电金属氧化物材料制作；例如，遮光层 41、信号线 51、公共电极线 52 和数据线 71 都可以采用诸如铝、铝合金、铜、铜合金、钛、锆、钼、钨、钨合金等金属材料制作。

本公开的至少一个实施例还提供一种阵列基板，其包括以上任一项实施例提供的像素结构。

例如，如图 7 所示，在阵列基板中，像素结构呈矩阵排列。每个像素结构包括相邻的信号线 51a、51b，在该相邻的信号线 51a、51b 的在承载基板上的正投影之间设置有公共电极线 52，信号线 51a 与公共电极线 52 之间的距离小于信号线 51b 到公共电极线 52 的距离；在每个像素结构中，第一存储电极 11 和第二存储电极 12 位于公共电极线 52 与距离其较近的信号线 51a 之间。

图 8 为阵列基板在工作时栅扫描信号的时序示意图。如图 8 所示，栅极驱动电路的时钟信号如 CLK 所示，例如，在阵列基板的工作过程中，可以分别从两侧对栅线 G1、G2...Gx 施加扫描信号，参见一侧的扫描开始信号 STVR 以及与该侧相对的另一侧的扫描开始信号 STVL。例如，在阵列基板的工作过程中，连接第二存储电极的公共电极线可以一直被施加公共电极信号，通过与第一存储电极连接的晶体管控制由第一、二存储电极形成的第一存储电容的工作状态。

本公开的至少一个实施例提供一种显示装置，其包括以上实施例提供的阵列基板。

例如，该显示装置还包括黑矩阵，如图 7 所示的公共电极线 52 与距离其较近的信号线 51a 以及它们之间的区域被黑矩阵遮挡，从而该区域为非显示区。本公开实施例在该非显示区设置由第一存储电极和第二存储电极形成的

第一存储电容，既增大了像素结构的存储电容，又充分利用了非显示区的空间，以避免对开口率造成影响。

例如，本公开实施例提供的显示装置可以为：液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开的至少一个实施例还提供一种像素结构的制作方法，以如图 2a 所示的像素结构为例，该方法包括：在承载基板 01 上形成彼此间隔开的信号线 51 和公共电极线 52，公共电极线 52 与信号线 51 的延伸方向大致相同；在承载基板 01 上形成晶体管 30，其包括半导体层 31，半导体层 31 包括源极区 31a 和漏极区 31b；在承载基板 01 上形成第一存储电极 11，其与公共电极线 52 绝缘、与半导体层 31 的漏极区 31b 连接；在承载基板 01 上形成第二存储电极 12，其与公共电极线 52 连接且与第一存储电极 11 绝缘。在该方法中，第一存储电极 11 和第二存储电极 12 在承载基板 01 上的正投影都包括位于信号线 51 和公共电极线 52 在承载基板 01 上的正投影之间且彼此交叠的部分，以形成第一存储电容。

例如，如图 9a 至 9c 所示，本公开的至少一个实施例提供的方法可以包括：如图 9a 所示，在承载基板 01 上形成导电层 50，导电层 50 包括信号线 51、公共电极线 52 和第二存储电极 12；如图 9b 所示，在承载基板 01 上形成绝缘层 62；如图 9c 所示，在承载基板 01 上形成半导体层薄膜 31'，半导体层薄膜 31' 包括半导体层 31 和第一存储电极 11。在该方法中，绝缘层 62 形成在导电层 50 和半导体层薄膜 31' 之间以将第一存储电极 11 和第二存储电极 12 彼此绝缘。

图 9a 至图 9c 以先形成导电层 50，后形成半导体薄膜 31' 为例进行说明；在其它实施例中，也可以先形成半导体薄膜 31'，后形成导电层 50。

例如，导电层 50 为对金属薄膜进行图案化处理后形成的栅金属层，在这种情况下，信号线 51 可以为栅线。

例如，半导体层薄膜 31' 通过对半导体材料形成的整层薄膜进行图案化处理形成。

本公开实施例提供的方法中的各部件的设置方式可参考像素结构的实施例中的相关描述，重复之处不再赘述。

综上所述，本公开实施例在用于液晶显示装置中时，像素结构的存储电容除了包括由像素电极和公共电极形成的液晶电容之外，还包括由第一存储电极和第二存储电极形成的第一存储电容，该第一存储电容与液晶电容并联以增大像素结构的存储电容，因此本公开实施例可以有效提高像素有效充放电时间和像素电压保持能力、降低漏电流造成的电荷损失比例；另一方面，本公开实施例由于增大了像素结构的存储电容，可以有效改善因栅线、数据线等制作工艺波动造成的驱动电阻增大、闪烁（flicker）和串扰等不良；再一方面，本公开实施例通过利用信号线与公共电极线之间的区域形成第一存储电容，充分利用了像素结构中的闲置空间，减少了空间浪费。

有以下几点需要说明：（1）本公开实施例附图中，只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计；（2）为了清晰起见，在用于描述本公开的实施例的附图中，层或区域的厚度并非按照实际比例绘制，而是被一定程度放大；（3）在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合。

以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

本申请要求于 2017 年 1 月 4 日递交的中国专利申请第 201710005218.X 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种像素结构，包括：

信号线；

5 公共电极线，其与所述信号线的延伸方向相同；

晶体管，其包括半导体层，所述半导体层包括源极区和漏极区；

第一存储电极，其与所述公共电极线绝缘、与所述半导体层的漏极区连接；以及

第二存储电极，其与所述公共电极线连接且与所述第一存储电极绝缘，

10 其中，所述第一存储电极和所述第二存储电极包括位于所述信号线和所述公共电极线之间且彼此交叠的部分，以形成第一存储电容。

2、根据权利要求1所述的像素结构，还包括承载基板，其中，

所述信号线、公共电极线、晶体管、第一存储电极和第二存储电极都位于所述承载基板上；

15 所述第一存储电极和所述第二存储电极的所述彼此交叠的部分在所述承载基板上的正投影至少位于所述信号线和所述公共电极线在所述承载基板上的正投影之间。

3、根据权利要求1或2所述的像素结构，其中，所述信号线和所述公共电极线同层设置。

20 4、根据权利要求1-3中任一项所述的像素结构，其中，所述第一存储电极还与所述公共电极线交叠，以形成第二存储电容。

5、根据权利要求1-4中任一项所述的像素结构，其中，所述第一存储电极与所述半导体层同层设置。

25 6、根据权利要求1-5中任一项所述的像素结构，其中，所述第二存储电极与所述公共电极线同层设置。

7、根据权利要求1所述的像素结构，还包括第三存储电极，其中，所述第三存储电极与所述第一存储电极连接且与所述第二存储电极绝缘，并且所述第三存储电极与所述第二存储电极彼此交叠以形成第三存储电容。

8、根据权利要求7所述的像素结构，还包括承载基板，其中，

30 所述信号线、公共电极线、晶体管、第一存储电极、第二存储电极和第

三存储电极都位于所述承载基板上；

所述第三存储电极与所述第二存储电极的所述彼此交叠的部分在所述承载基板上的正投影至少位于所述信号线和所述公共电极线在所述承载基板上的正投影之间。

5 9、根据权利要求 8 所述的像素结构，其中，所述第三存储电极通过过孔与所述第一存储电极连接，所述过孔在所述承载基板上的正投影位于所述公共电极线与所述信号线在所述承载基板上的正投影之间。

10 10、根据权利要求 7-9 中任一项所述的像素结构，还包括像素电极，其中，所述第三存储电极位于所述像素电极与所述第一存储电极之间，并且所述第三存储电极与所述像素电极连接。

11、根据权利要求 1-10 中任一项所述的像素结构，其中，所述半导体层包括彼此连接且延伸方向相交的第一延伸部和第二延伸部，所述第一延伸部包括所述源极区，所述第二延伸部沿所述公共电极线延伸且与所述第一存储电极连接。

15 12、根据权利要求 11 所述的像素结构，其中，所述第二延伸部与所述公共电极线彼此绝缘并且彼此交叠，以形成第四存储电容。

13、根据权利要求 11 或 12 所述的像素结构，还包括与所述公共电极线相交且与所述源极区连接的数据线，所述数据线与所述第一延伸部交叠。

20 14、根据权利要求 11-13 中任一项所述的像素结构，其中，所述第一延伸部包括依次连接的所述源极区、第一沟道区、连接区、第二沟道区和所述漏极区。

15、根据权利要求 14 所述的像素结构，其中，所述信号线为栅线，所述第一沟道区与所述信号线彼此交叠。

25 16、根据权利要求 15 所述的像素结构，其中，所述信号线包括凸出部，所述凸出部与所述第二沟道区彼此交叠。

17、一种阵列基板，包括根据权利要求 1-16 中任一项所述的像素结构。

18、一种显示装置，包括根据权利要求 17 所述的阵列基板。

19、一种像素结构的制作方法，包括：

在承载基板上形成彼此间隔开的信号线和公共电极线；

30 在所述承载基板上形成晶体管，其包括半导体层，所述半导体层包括源

极区和漏极区；

在所述承载基板上形成第一存储电极，其与所述公共电极线绝缘、与所述半导体层的漏极区连接；以及

5 在所述承载基板上形成第二存储电极，其与所述公共电极线连接且与所述第一存储电极绝缘，

其中，所述第一存储电极和所述第二存储电极在所述承载基板上的正投影都包括位于所述信号线和所述公共电极线在所述承载基板上的正投影之间且彼此交叠的部分，以形成第一存储电容。

20、根据权利要求 19 所述的制作方法，其中，

10 在所述承载基板上形成导电层，其中，所述导电层包括所述信号线、所述公共电极线和所述第二存储电极；

在所述承载基板上形成半导体层薄膜，其中，所述半导体层薄膜包括所述半导体层和所述第一存储电极；以及

15 在所述导电层和所述半导体层薄膜之间形成将所述第一存储电极和所述第二存储电极彼此绝缘的绝缘层。

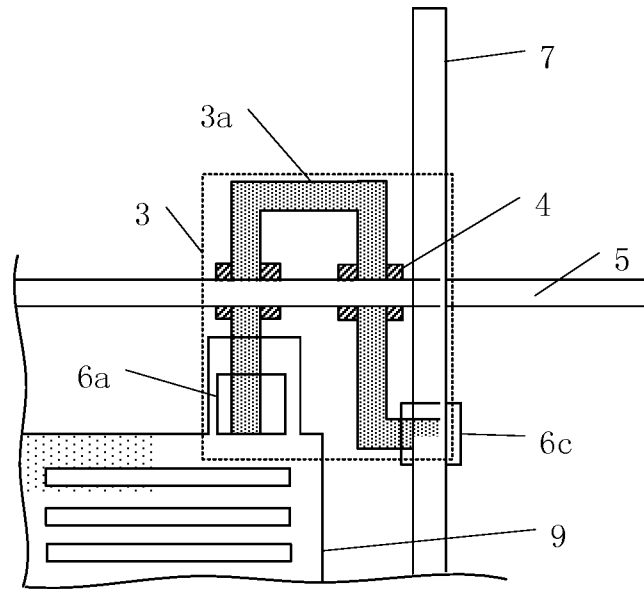


图 1a

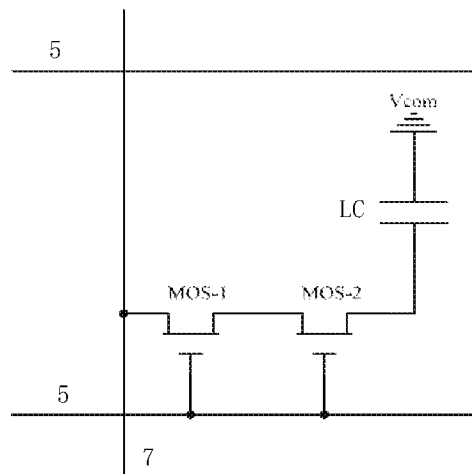


图 1b

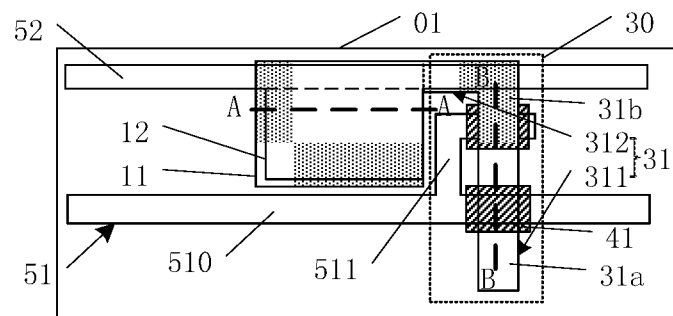


图 2a

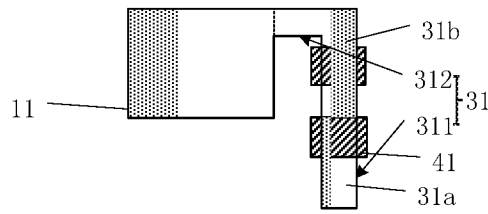


图 2b

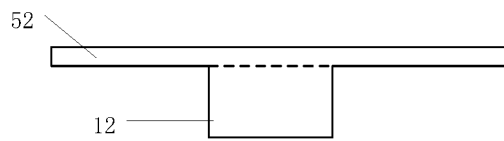


图 2c

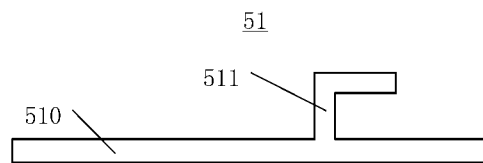


图 2d

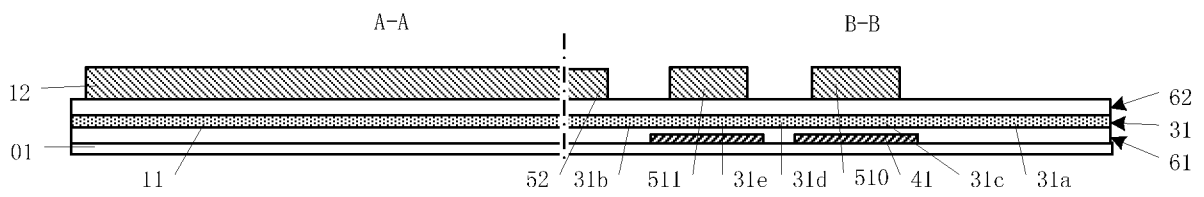


图 2e

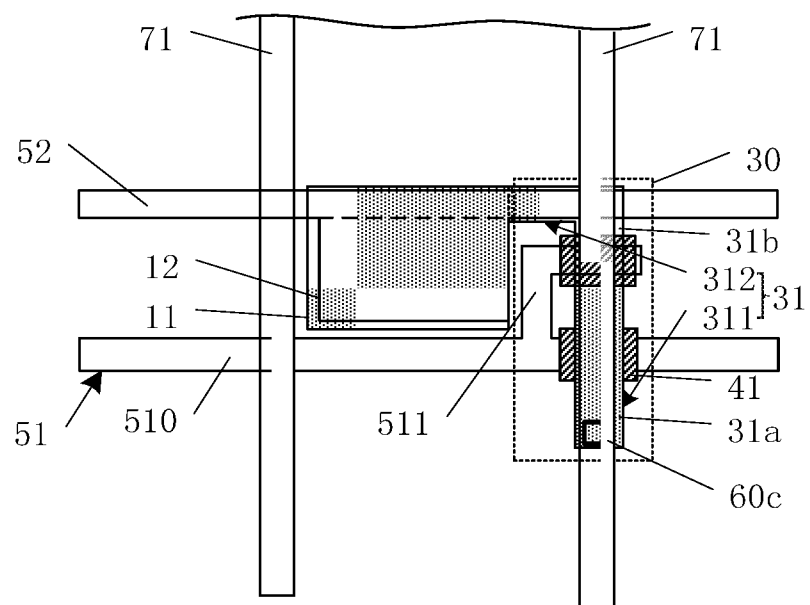


图 3

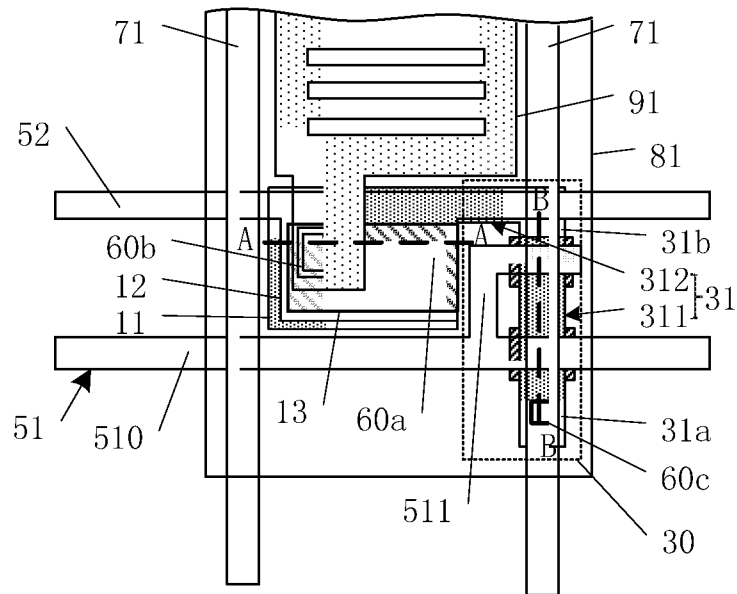


图 4a

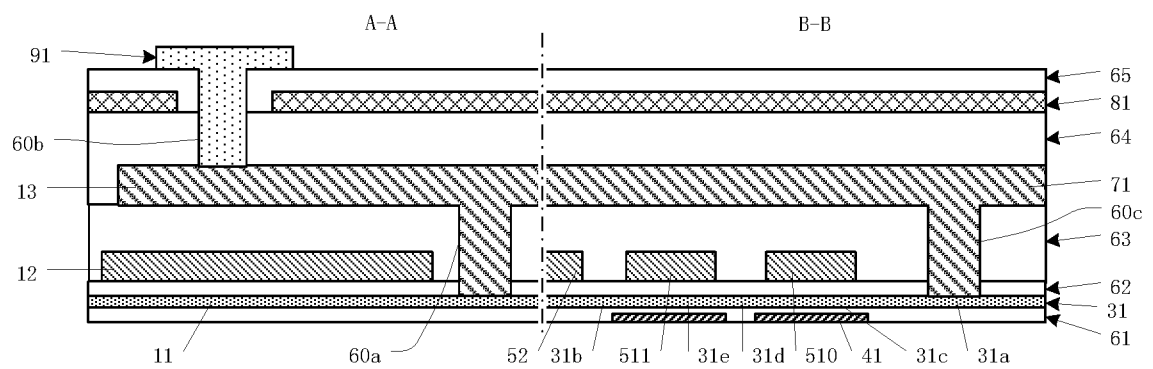


图 4b

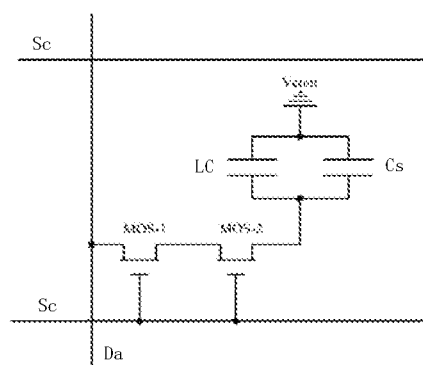


图 5

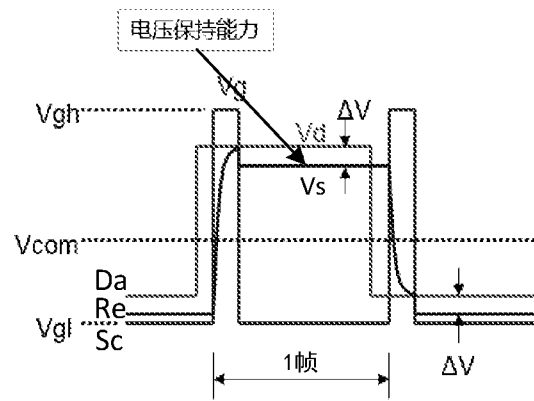


图 6

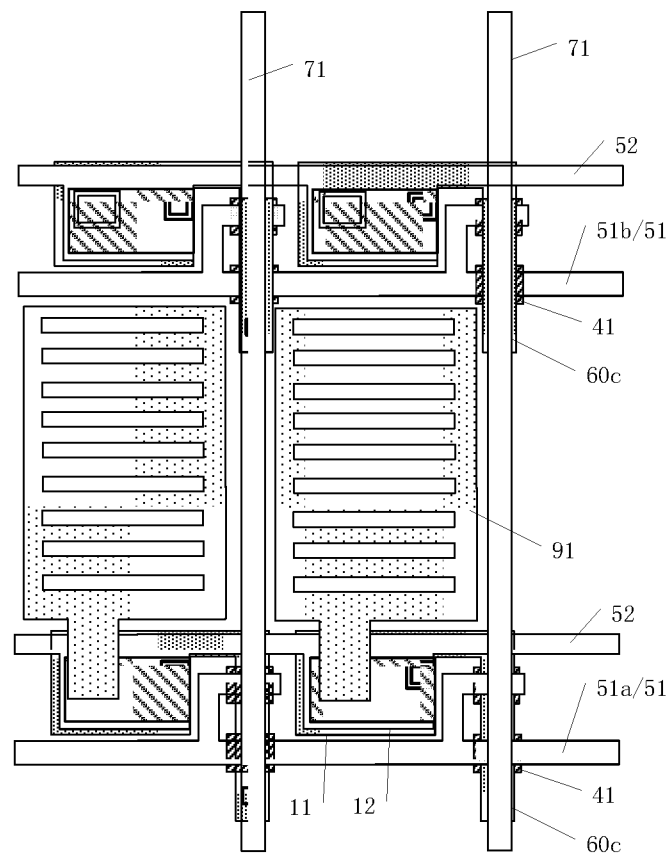


图 7

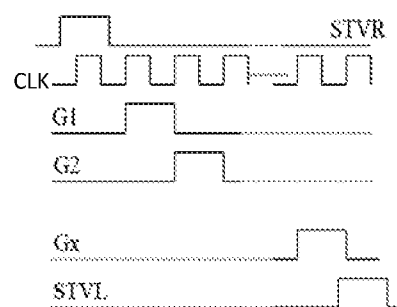


图 8

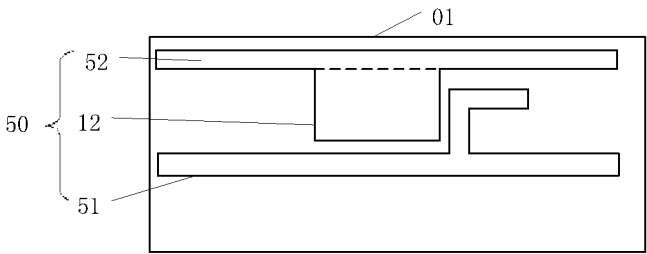


图 9a

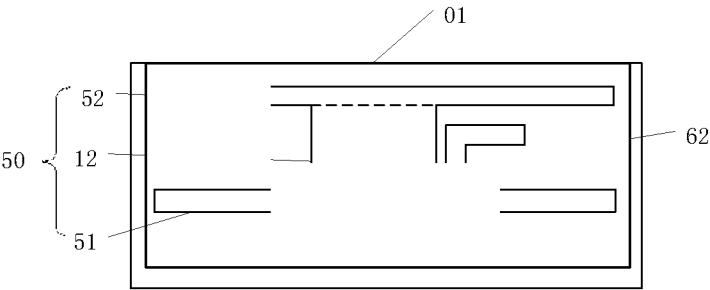


图 9b

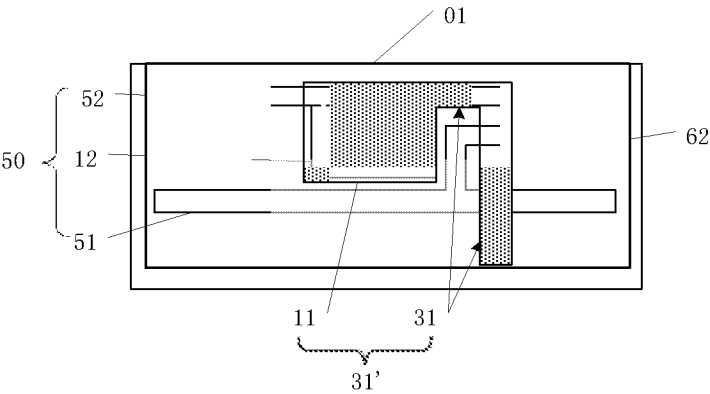


图 9c

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/096203

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC, PATENTICS: 像素, TFT, 晶体管, 液晶, 信号线, 存储电极, 公共电极线, 电容, 存储电容, 半导体层, 延伸, 交叠, 重叠, 重合, 数据线, 第一存储电极 or 上存储电极, 第二存储电极 or 下存储电极, first w storage w electrode, storage w electrode?, common w line?, overlap+, overla+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106483728 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 March 2017 (08.03.2017), claims 1-15, and description, paragraphs [0038]-[0062]	1-20
X	CN 104298034 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 21 January 2015 (21.01.2015), description, paragraphs [0046]-[0054], and figures 7 and 8	1-3, 5, 6, 17-20
Y	CN 104298034 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 21 January 2015 (21.01.2015), description, paragraphs [0046]-[0054], and figures 7 and 8	4, 7-10
Y	CN 102269901 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 07 December 2011 (07.12.2011), description, paragraphs [0040]-[0047], and figures 1 and 2	4, 7-10
A	CN 1797162 A (LG. PHILIPS LCD CO., LTD.) 05 July 2006 (05.07.2006), entire document	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 October 2017	Date of mailing of the international search report 07 November 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer XIAO, Xia Telephone No. (86-10) 61648221

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2017/096203

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104460067 A (NANJING CEC PANDA LIQUID CRYSTAL DISPLAY TECHNOLOGY CO., LTD.) 25 March 2015 (25.03.2015), entire document	1-20
A	CN 1992293 A (LG. PHILIPS LCD CO., LTD.) 04 July 2007 (04.07.2007), entire document	1-20
A	US 2006125989 A1 (PARK, SEUNG RYULL et al.) 15 June 2006 (15.06.2006), entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/096203

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106483728 A	08 March 2017	None	
CN 104298034 A	21 January 2015	None	
CN 102269901 A	07 December 2011	US 9012273 B2	21 April 2015
		KR 20110133923 A	14 December 2011
		TW I531846 B	01 May 2016
		TW 201219945 A	16 May 2012
		KR 101482627 B1	14 January 2015
		US 2014141574 A1	22 May 2014
		US 2011297941 A1	08 December 2011
		JP 5762775 B2	12 August 2015
		JP 2011257735 A	22 December 2011
		CN 102269901 B	13 April 2016
		US 8643013 B2	04 February 2014
CN 1797162 A	05 July 2006	US 7719622 B2	18 May 2010
		CN 100440016 C	03 December 2008
		US 2006146210 A1	06 July 2006
		KR 100614323 B1	21 August 2006
		JP 4395130 B2	06 January 2010
		TW I286843 B	11 September 2007
		JP 2006189830 A	20 July 2006
		US 8174657 B2	08 May 2012
		US 2010201898 A1	12 August 2010
		KR 20060077475 A	05 July 2006
		TW 200623426 A	01 July 2006
CN 104460067 A	25 March 2015	None	
CN 1992293 A	04 July 2007	US 2010213463 A1	26 August 2010
		KR 20070071012 A	04 July 2007
		GB 2434687 A	01 August 2007

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/096203

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2006125989 A1	15 June 2006	US 2007164284 A1	19 July 2007
		FR 2895805 B1	27 September 2013
		GB 2434687 B	05 March 2008
		US 8058651 B2	15 November 2011
		US 7923309 B2	12 April 2011
		JP 2007183604 A	19 July 2007
		GB 0625091 D0	24 January 2007
		FR 2895805 A1	06 July 2007
		JP 5220308 B2	26 June 2013
		CN 1992293 B	29 August 2012
		KR 101109978 B1	29 February 2012
		US 8031279 B2	04 October 2011
		US 7515237 B2	07 April 2009
		US 2009185092 A1	23 July 2009
		KR 20060066486 A	16 June 2006

国际检索报告

国际申请号

PCT/CN2017/096203

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC, PATENTICS: 像素, TFT, 晶体管, 液晶, 信号线, 存储电极, 公共电极线, 电容, 存储电容, 半导体层, 延伸, 交叠, 重叠, 重合, 数据线, 第一存储电极 or 上存储电极, 第二存储电极 or 下存储电极, first w storage w electrode, storage w electrode?, common w line?, overlap+, overla+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106483728 A (京东方科技集团股份有限公司 等) 2017年 3月 8日 (2017 - 03 - 08) 权利要求1-15, 说明书第[0038]-[0062]段	1-20
X	CN 104298034 A (京东方科技集团股份有限公司 等) 2015年 1月 21日 (2015 - 01 - 21) 说明书第[0046]-[0054]段, 图7、8	1-3, 5, 6, 17-20
Y	CN 104298034 A (京东方科技集团股份有限公司 等) 2015年 1月 21日 (2015 - 01 - 21) 说明书第[0046]-[0054]段, 图7、8	4, 7-10
Y	CN 102269901 A (三星移动显示器株式会社) 2011年 12月 7日 (2011 - 12 - 07) 说明书第[0040]-[0047]段、图1、2	4, 7-10
A	CN 1797162 A (LG. 飞利浦LCD株式会社) 2006年 7月 5日 (2006 - 07 - 05) 全文	1-20
A	CN 104460067 A (南京中电熊猫液晶显示科技有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-20

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 10月 25日

国际检索报告邮寄日期

2017年 11月 7日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

肖霞

传真号 (86-10) 62019451

电话号码 (86-10) 61648221

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 1992293 A (LG. 飞利浦LCD株式会社) 2007年 7月 4日 (2007 - 07 - 04) 全文	1-20
A	US 2006125989 A1 (PARK, SEUNG RYULL 等) 2006年 6月 15日 (2006 - 06 - 15) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/096203

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106483728	A	2017年 3月 8日	无			
CN	104298034	A	2015年 1月 21日	无			
CN	102269901	A	2011年 12月 7日	US	9012273	B2	2015年 4月 21日
				KR	20110133923	A	2011年 12月 14日
				TW	I531846	B	2016年 5月 1日
				TW	201219945	A	2012年 5月 16日
				KR	101482627	B1	2015年 1月 14日
				US	2014141574	A1	2014年 5月 22日
				US	2011297941	A1	2011年 12月 8日
				JP	5762775	B2	2015年 8月 12日
				JP	2011257735	A	2011年 12月 22日
				CN	102269901	B	2016年 4月 13日
				US	8643013	B2	2014年 2月 4日
CN	1797162	A	2006年 7月 5日	US	7719622	B2	2010年 5月 18日
				CN	100440016	C	2008年 12月 3日
				US	2006146210	A1	2006年 7月 6日
				KR	100614323	B1	2006年 8月 21日
				JP	4395130	B2	2010年 1月 6日
				TW	I286843	B	2007年 9月 11日
				JP	2006189830	A	2006年 7月 20日
				US	8174657	B2	2012年 5月 8日
				US	2010201898	A1	2010年 8月 12日
				KR	20060077475	A	2006年 7月 5日
				TW	200623426	A	2006年 7月 1日
CN	104460067	A	2015年 3月 25日	无			
CN	1992293	A	2007年 7月 4日	US	2010213463	A1	2010年 8月 26日
				KR	20070071012	A	2007年 7月 4日
				GB	2434687	A	2007年 8月 1日
				US	2007164284	A1	2007年 7月 19日
				FR	2895805	B1	2013年 9月 27日
				GB	2434687	B	2008年 3月 5日
				US	8058651	B2	2011年 11月 15日
				US	7923309	B2	2011年 4月 12日
				JP	2007183604	A	2007年 7月 19日
				GB	0625091	D0	2007年 1月 24日
				FR	2895805	A1	2007年 7月 6日
				JP	5220308	B2	2013年 6月 26日
				CN	1992293	B	2012年 8月 29日
US	2006125989	A1	2006年 6月 15日	KR	101109978	B1	2012年 2月 29日
				US	8031279	B2	2011年 10月 4日
				US	7515237	B2	2009年 4月 7日
				US	2009185092	A1	2009年 7月 23日
				KR	20060066486	A	2006年 6月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)