

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7010167号

(P7010167)

(45)発行日 令和4年1月26日(2022.1.26)

(24)登録日 令和4年1月17日(2022.1.17)

(51)国際特許分類

F I

H 0 1 L 23/48 (2006.01)

H 0 1 L 23/48

P

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/04

C

H 0 1 L 25/18 (2006.01)

請求項の数 14 (全24頁)

(21)出願番号	特願2018-139471(P2018-139471)	(73)特許権者	000004260
(22)出願日	平成30年7月25日(2018.7.25)		株式会社デンソー
(65)公開番号	特開2020-17623(P2020-17623A)		愛知県刈谷市昭和町1丁目1番地
(43)公開日	令和2年1月30日(2020.1.30)	(74)代理人	100106149
審査請求日	令和2年6月1日(2020.6.1)		弁理士 矢作 和行
		(74)代理人	100121991
			弁理士 野々部 泰平
		(74)代理人	100145595
			弁理士 久保 貴則
		(72)発明者	神谷 広佑
			愛知県刈谷市昭和町1丁目1番地 株式
			会社デンソー内
		(72)発明者	田辺 龍太
			愛知県刈谷市昭和町1丁目1番地 株式
			会社デンソー内

最終頁に続く

(54)【発明の名称】 半導体装置

## (57)【特許請求の範囲】

## 【請求項1】

上下アーム回路の1つのアームを構成する半導体装置であって、  
第1主電極(32)と、前記第1主電極との間に主電流が流れる第2主電極(33)と、  
を有する少なくとも1つの半導体素子(30)と、  
前記第1主電極に接続された第1主端子(60C)及び前記第2主電極に接続された第2  
主端子(60E)を有するとともに、前記第1主端子及び前記第2主端子の少なくとも一  
方を複数有し、前記第1主端子と前記第2主端子とが、前記半導体素子の厚み方向に直交  
する一方向において側面同士が対向するように隣り合って配置された主端子(60)と、  
備え、  
前記一方向において配置が連続する3つ以上の前記主端子により主端子群(61)が構成  
され、  
前記主端子群を構成する前記主端子それぞれの少なくとも一部が、前記一方向において、  
前記半導体素子の両端面(36, 37)から延長された延長線間の領域(A1)内に配置  
されている半導体装置。

## 【請求項2】

前記主端子群を構成する一部の前記主端子は、それぞれの全体が前記領域内に配置され、  
残りの前記主端子はそれぞれの一部が前記領域内に配置されている請求項1に記載の半導  
体装置。

## 【請求項3】

前記主端子群を構成する前記主端子は、それぞれの全体が前記領域内に配置されている前記主端子を複数含む請求項 2 に記載の半導体装置。

【請求項 4】

前記主端子群を構成する複数の前記主端子について、それぞれの全体が前記領域内に配置されている請求項 1 に記載の半導体装置。

【請求項 5】

前記主端子の数が奇数とされている請求項 1 ～ 4 いずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 1 主端子及び前記第 2 主端子は、前記一方向において、前記半導体素子の中心を通る中心線に対して線対称配置とされている請求項 5 に記載の半導体装置。

10

【請求項 7】

前記第 1 主端子及び前記第 2 主端子のうち、数が少ない前記主端子のほうが数が多い前記主端子よりも断面積が大きくされている請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 8】

数が少ない前記主端子の延設長さが、数が多い前記主端子よりも長くされている請求項 7 に記載の半導体装置。

【請求項 9】

前記主端子の数が偶数とされている請求項 1 ～ 4 いずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 1 主端子及び前記第 2 主端子の延設長さが等しく、且つ、断面積も等しくされている請求項 9 に記載の半導体装置。

20

【請求項 11】

前記主端子群を構成する前記主端子の数が 5 以上とされている請求項 1 ～ 10 いずれか 1 項に記載の半導体装置。

【請求項 12】

すべての前記主端子によって前記主端子群が構成されている請求項 1 ～ 11 いずれか 1 項に記載の半導体装置。

【請求項 13】

リードフレームの一部として、前記第 1 主端子及び前記第 2 主端子の少なくとも一方とともに設けられた連結部（86、86C、86E）をさらに備え、

30

前記連結部によって、前記第 1 主端子及び前記第 2 主端子のうちの少なくとも一方において、同じ前記主端子同士が連結されている請求項 1 ～ 12 いずれか 1 項に記載の半導体装置。

【請求項 14】

上下アーム回路の 1 つのアームを構成する半導体装置であって、

第 1 主電極（32）及び前記第 1 主電極との間に主電流が流れる第 2 主電極（33）をそれぞれ有し、少なくとも第 1 半導体素子（30a）及び第 2 半導体素子（30b）を含む複数の半導体素子（30）と、

前記第 1 主電極に接続された第 1 主端子（60C）及び前記第 2 主電極に接続された第 2 主端子（60E）を有するとともに、前記第 1 主端子及び前記第 2 主端子をそれぞれ複数有し、前記第 1 主端子と前記第 2 主端子とが、前記半導体素子の厚み方向に直交する一方向において側面同士が対向するように交互に配置された主端子（60）と、備え、

40

前記第 1 半導体素子及び前記第 2 半導体素子は、前記一方向に並んで配置されるとともに、前記第 1 主端子及び前記第 2 主端子の間で互いに並列に接続されており、

前記一方向において配置が連続する 2 つ以上の前記主端子により構成された主端子群（62）として第 1 群（62a）及び第 2 群（62b）を有し、

前記第 1 群を構成する前記主端子それぞれの少なくとも一部が、前記一方向において、前記第 1 半導体素子の両端面（36a、37a）から延長された延長線間の領域（A1a）内に配置され、前記第 2 群を構成する前記主端子それぞれの少なくとも一部が、前記一方向において、前記第 2 半導体素子の両端面（36b、37b）から延長された延長線間の

50

領域（ A 1 b ）内に配置され、

リードフレームの一部として、前記第 1 主端子及び前記第 2 主端子の少なくとも一方とともに設けられた連結部（ 8 6 , 8 6 C , 8 6 E ）をさらに備え、

前記連結部によって、前記第 1 主端子及び前記第 2 主端子のうちの少なくとも一方において、同じ前記主端子同士が連結されている半導体装置。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

この明細書における開示は、半導体装置に関する。

【背景技術】

【 0 0 0 2 】

特許文献 1 には、上下アーム回路の 1 つのアームを構成する半導体装置が開示されている。この半導体装置は、第 1 主電極及び第 2 主電極を有する半導体素子と、第 1 主電極に接続された第 1 主端子と、第 2 主電極に接続された第 2 主端子を備えている。

【先行技術文献】

【特許文献】

【 0 0 0 3 】

【文献】特開 2 0 1 5 - 8 2 6 1 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

上記した半導体装置は、第 1 主端子及び第 2 主端子をそれぞれ 1 つ有している。第 1 主端子及び第 2 主端子は、半導体素子の厚み方向に直交する一方向、具体的には主端子の板幅方向に並んで配置されている。第 1 主端子及び第 2 主端子は、板面同士ではなく、側面同士が対向している。このような対向配置により主回路の配線インダクタンスを低減することができるものの、側面は板面に対して小さい。インダクタンスのさらなる低減が求められている。

【 0 0 0 5 】

本開示はこのような課題に鑑みてなされたものであり、上下アーム回路の 1 つのアームを構成する半導体装置において、従来よりもインダクタンスを低減することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本開示は、上記目的を達成するために以下の技術的手段を採用する。なお、括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、技術的範囲を限定するものではない。

【 0 0 0 7 】

本開示のひとつである半導体装置は、

上下アーム回路の 1 つのアームを構成する半導体装置であって、

第 1 主電極（ 3 2 ）と、第 1 主電極との間に主電流が流れる第 2 主電極（ 3 3 ）と、を有する少なくとも 1 つの半導体素子（ 3 0 ）と、

第 1 主電極に接続された第 1 主端子（ 6 0 C ）及び第 2 主電極に接続された第 2 主端子（ 6 0 E ）を有するとともに、第 1 主端子及び第 2 主端子の少なくとも一方を複数有し、第 1 主端子と第 2 主端子とが、半導体素子の厚み方向に直交する一方向において側面同士が対向するように隣り合って配置された主端子（ 6 0 ）と、

備え、

一方向において配置が連続する 3 つ以上の主端子により主端子群（ 6 1 ）が構成され、主端子群を構成する主端子それぞれの少なくとも一部が、一方向において、半導体素子の両端面（ 3 6 , 3 7 ）から延長された延長線間の領域（ A 1 ）内に配置されている。

【 0 0 0 8 】

この半導体装置は、第 1 主端子及び第 2 主端子の少なくとも一方を複数有しており、第 1

10

20

30

40

50

主端子と第2主端子とが一方方向において隣り合って配置されている。また、隣り合う第1主端子と第2主端子の側面同士が対向している。このように、第1主端子と第2主端子との対向部分を複数有するため、インダクタンスを効果的に低減することができる。

【0009】

また、主端子群を構成する主端子それぞれの少なくとも一部が、一方方向において、半導体素子の両端面から延長された延長線間の領域内に配置されている。したがって、主端子と主電極との電流経路を簡素化し、これによりインダクタンスを低減することができる。

【0010】

以上により、本開示の半導体装置によれば、従来よりもインダクタンスを低減することができる。

【0011】

本開示の他のひとつである半導体装置は、

上下アーム回路の1つのアームを構成する半導体装置であって、

第1主電極(32)及び第1主電極との間に主電流が流れる第2主電極(33)をそれぞれ有し、少なくとも第1半導体素子(30a)及び第2半導体素子(30b)を含む複数の半導体素子(30)と、

第1主電極に接続された第1主端子(60c)及び第2主電極に接続された第2主端子(60e)を有するとともに、第1主端子及び第2主端子をそれぞれ複数有し、第1主端子と第2主端子とが、半導体素子の厚み方向に直交する一方方向において側面同士が対向するように交互に配置された主端子(60)と、備え、

第1半導体素子及び第2半導体素子は、一方方向に並んで配置されるとともに、第1主端子及び第2主端子の間で互いに並列に接続されており、

一方方向において配置が連続する2つ以上の主端子により構成された主端子群(62)として第1群(62a)及び第2群(62b)を有し、

第1群を構成する主端子それぞれの少なくとも一部が、一方方向において、第1半導体素子の両端面(36a, 37a)から延長された延長線間の領域(A1a)内に配置され、第2群を構成する主端子それぞれの少なくとも一部が、一方方向において、第2半導体素子の両端面(36b, 37b)から延長された延長線間の領域(A1b)内に配置され、

リードフレームの一部として、第1主端子及び第2主端子の少なくとも一方とともに設けられた連結部(86, 86c, 86e)をさらに備え、

連結部によって、第1主端子及び第2主端子のうちの少なくとも一方において、同じ主端子同士が連結されている。

【0012】

この半導体装置は、第1主端子及び第2主端子をそれぞれ複数有しており、第1主端子と第2主端子とが一方方向において交互に配置されている。また、隣り合う第1主端子と第2主端子の側面同士が対向している。このように、第1主端子と第2主端子との対向部分を複数有するため、インダクタンスを効果的に低減することができる。

【0013】

また、第1群を構成する主端子それぞれの少なくとも一部が、一方方向において、第1半導体素子の両端面から延長された延長線間の領域内に配置されている。したがって、主端子と主電極との電流経路を簡素化し、これによりインダクタンスを低減することができる。

同じく、第2群を構成する主端子それぞれの少なくとも一部が、一方方向において、第2半導体素子の両端面から延長された延長線間の領域内に配置されている。したがって、主端子と主電極との電流経路を簡素化し、これによりインダクタンスを低減することができる。

【0014】

以上により、本開示の半導体装置によれば、従来よりもインダクタンスを低減することができる。

【図面の簡単な説明】

【0015】

【図1】第1実施形態の半導体装置が適用される電力変換装置の概略構成を示す図である。

10

20

30

40

50

【図 2】半導体装置を示す斜視図である。

【図 3】図 2 の III-III 線に沿う断面図である。

【図 4】半導体装置を主端子側から見た平面図である。

【図 5】図 2 に対して封止樹脂体を省略した図である。

【図 6】リードフレームの不要部分をカットする前の斜視図である。

【図 7】I G B T と主端子の位置関係を示す平面図である。

【図 8】第 1 変形例を示す斜視図である。

【図 9】第 2 変形例を示す斜視図である。

【図 10】第 3 変形例を示す斜視図である。

【図 11】主端子トータルのインダクタンスの磁場解析結果を示す図である。

10

【図 12】第 4 変形例を示す斜視図である。

【図 13】第 5 変形例を示す平面図であり、図 7 に対応している。

【図 14】第 6 変形例を示す平面図であり、図 7 に対応している。

【図 15】第 2 実施形態の半導体装置を示す平面図であり、図 7 に対応している。

【図 16】第 3 実施形態の半導体装置を示す平面図であり、図 7 に対応している。

【図 17】第 7 変形例を示す断面図であり、図 3 に対応している。

【図 18】図 17 の XVIII-XVIII 線に沿う断面図である。

【図 19】第 4 実施形態の半導体装置を示す断面図である。

【図 20】I G B T と主端子の位置関係を示す平面図であり、図 7 に対応している。

【発明を実施するための形態】

20

【0016】

図面を参照しながら、複数の実施形態を説明する。複数の実施形態において、機能的に及び/又は構造的に対応する部分には同一の参照符号を付与する。以下において、半導体素子の厚み方向を Z 方向、Z 方向に直交する一方向を X 方向と示す。また、Z 方向及び X 方向の両方向に直交する方向を Y 方向と示す。特に断わりのない限り、上記した X 方向及び Y 方向により規定される X Y 面に沿う形状を平面形状とする。

【0017】

(第 1 実施形態)

【0018】

(電力変換装置の概略構成)

30

図 1 に示す電力変換装置 1 は、たとえば電気自動車やハイブリッド自動車に搭載される。電力変換装置 1 は、車両に搭載された直流電源 2 から供給される直流電圧を、三相交流に変換して、三相交流方式のモータ 3 に出力するように構成されている。モータ 3 は、車両の走行駆動源として機能する。電力変換装置 1 は、モータ 3 により発電された電力を、直流に変換して直流電源 2 に充電することもできる。このように、電力変換装置 1 は、双方向の電力変換が可能となっている。

【0019】

電力変換装置 1 は、平滑コンデンサ 4 と、電力変換器であるインバータ 5 を有している。平滑コンデンサ 4 の正極側端子は、直流電源 2 の高電位側の電極である正極に接続され、負極側端子は、直流電源 2 の低電位側の電極である負極に接続されている。インバータ 5 は、入力された直流電力を所定周波数の三相交流に変換し、モータ 3 に出力する。インバータ 5 は、モータ 3 により発電された交流電力を、直流電力に変換する。

40

【0020】

インバータ 5 は、三相分の上下アーム回路を備えて構成されている。各相の上下アーム回路は、正極側の電源ラインである高電位電源ライン 6 と、負極側の電源ラインである低電位電源ライン 7 との間で、2 つのアームが直列に接続されてなる。各相の上下アーム回路において、上アームと下アームの接続点は、モータ 3 への出力ライン 8 に接続されている。

【0021】

本実施形態では、各アームを構成する半導体素子として、絶縁ゲートバイポーラトランジスタ(以下、I G B T と示す)を採用している。半導体装置 10 は、I G B T 30 を備え

50

ている。IGBT30には、還流用のダイオードであるFWD35が逆並列に接続されている。1つのアームは、1つの半導体装置10により構成されている。IGBT30は、ゲート電極31を有している。

【0022】

また、IGBT30として、nチャネル型を採用している。上アームにおいて、IGBT30のコレクタ電極32が、高電位電源ライン6に接続されている。下アームにおいて、IGBT30のエミッタ電極33が、低電位電源ライン7に接続されている。そして、上アームにおけるIGBT30のエミッタ電極33と、下アームにおけるIGBT30のコレクタ電極32が相互に接続されている。

【0023】

電力変換装置1は、上記した平滑コンデンサ4及びインバータ5に加えて、直流電源2から供給される直流電圧を昇圧する昇圧コンバータ、インバータ5や昇圧コンバータを構成する半導体素子の駆動回路、駆動回路に駆動指令を出力する制御回路などを備えてもよい。

【0024】

(半導体装置の概略構成)

図2～図7に示すように、半導体装置10は、封止樹脂体20、IGBT30、導電部材40、ターミナル50、主端子60、及び信号端子70を備えている。なお、図5は、図2に対して、封止樹脂体20を省略した図である。図6は、封止樹脂体20の成形後であって、タイバーなど、リードフレーム90の不要部分を除去する前の状態を示している。図7は、IGBT30と主端子60との位置関係を示す平面図であり、封止樹脂体20の一部、導電部材40E、及びターミナル50を省略して図示している。

【0025】

封止樹脂体20は、たとえばエポキシ系樹脂からなる。封止樹脂体20は、たとえばトランスファモールド法により成形されている。図2～図4に示すように、封止樹脂体20は、Z方向において、一面21と、一面21と反対の裏面22を有している。一面21及び裏面22は、たとえば平坦面となっている。封止樹脂体20は、一面21と裏面22とをつなぐ側面を有している。本実施形態では、封止樹脂体20が、平面略矩形状をなしている。

【0026】

半導体素子としてのIGBT30は、Si、SiC、GaNなどの半導体基板(半導体チップ)に構成されている。半導体装置10は、1つのIGBT30を備えている。本実施形態では、IGBT30にFWD35が一体的に形成されている。すなわち、IGBT30として、RC(Reverse Conducting)-IGBTを採用している。

【0027】

IGBT30は、Z方向に主電流が流れるように縦型構造をなしている。図示を省略するが、IGBT30は、上記したゲート電極31を有している。ゲート電極31はトレンチ構造をなしている。図3に示すように、IGBT30は、自身の厚み方向、すなわちZ方向において、一面側にコレクタ電極32を有し、一面と反対の裏面側にエミッタ電極33を有している。コレクタ電極32はFWD35のカソード電極も兼ねており、エミッタ電極33はFWD35のアノード電極も兼ねている。コレクタ電極32は、一面のほぼ全面に形成されている。エミッタ電極33は、裏面の一部に形成されている。コレクタ電極32及びエミッタ電極33が主電極に相当する。また、コレクタ電極32が第1主電極、エミッタ電極33が第2主電極に相当する。

【0028】

図3及び図7に示すように、IGBT30は、エミッタ電極33が形成された裏面に、信号用の電極であるパッド34を有している。パッド34は、エミッタ電極33とは別の位置に形成されている。パッド34は、エミッタ電極33と電氣的に分離されている。パッド34は、Y方向において、エミッタ電極33の形成領域とは反対側の端部に形成されている。

【0029】

10

20

30

40

50

本実施形態では、ＩＧＢＴ３０のそれぞれが、５つのパッド３４を有している。具体的には、５つのパッド３４として、ゲート電極用、エミッタ電極３３の電位を検出するケルビンエミッタ用、電流センス用、ＩＧＢＴ３０の温度を検出する温度センサ（感温ダイオード）のアノード電位用、同じくカソード電位用を有している。５つのパッド３４は、平面略矩形状のＩＧＢＴ３０において、Ｙ方向の一端側にまとめて形成されるとともに、Ｘ方向に並んで形成されている。

#### 【００３０】

導電部材４０は、ＩＧＢＴ３０と主端子６０とを電氣的に中継する。すなわち、主電極の配線としての機能を果たす。本実施形態の導電部材４０は、ＩＧＢＴ３０の熱を半導体装置１０の外部に放熱する機能も果たす。このため、導電部材４０は、ヒートシンクとも称される。導電部材４０は、電気伝導性及び熱伝導性を確保すべく、Ｃｕなどの金属材料を少なくとも用いて形成されている。

10

#### 【００３１】

導電部材４０は、ＩＧＢＴ３０を挟むように対をなして設けられている。導電部材４０のそれぞれは、Ｚ方向からの投影視において、ＩＧＢＴ３０を内包するように設けられている。半導体装置１０は、一对の導電部材４０として、ＩＧＢＴ３０のコレクタ電極３２側に配置された導電部材４０Ｃと、エミッタ電極３３側に配置された導電部材４０Ｅを有している。導電部材４０Ｃがコレクタ電極３２と後述する主端子６０Ｃとを電氣的に中継し、導電部材４０Ｅがエミッタ電極３３と後述する主端子６０Ｅとを電氣的に中継する。

#### 【００３２】

20

図３，図５，及び図７に示すように、導電部材４０Ｃは、Ｚ方向において厚肉の部分である本体部４１Ｃと、本体部４１Ｃよりも薄肉の部分である延設部４２Ｃを有している。本体部４１Ｃは、厚みがほぼ一定の平面略形状をなしている。本体部４１Ｃは、Ｚ方向において、ＩＧＢＴ３０側の実装面４３Ｃと、実装面４３Ｃと反対の放熱面４４Ｃを有している。延設部４２Ｃは、Ｙ方向において、本体部４１Ｃの端部から延設されている。延設部４２Ｃは、本体部４１ＣとＸ方向の長さ、すなわち幅を同じにしてＹ方向に延設されている。延設部４２ＣにおけるＩＧＢＴ３０側の面は、本体部４１Ｃの実装面４３Ｃと略面一となっており、ＩＧＢＴ３０と反対の面は、封止樹脂体２０によって封止されている。延設部４２Ｃは、少なくとも主端子６０の配置側の端部に設けられれば良い。本実施形態では、本体部４１Ｃの両端にそれぞれ設けられている。図７では、本体部４１Ｃと延設部４２Ｃとの境界を二点鎖線で示している。

30

#### 【００３３】

図３及び図５に示すように、導電部材４０Ｅは、Ｚ方向において厚肉の部分である本体部４１Ｅと、本体部４１Ｅよりも薄肉の部分である延設部４２Ｅを有している。本体部４１Ｅは、厚みがほぼ一定の平面略形状をなしている。本体部４１Ｅは、Ｚ方向において、ＩＧＢＴ３０側の実装面４３Ｅと、実装面４３Ｅと反対の放熱面４４Ｅを有している。延設部４２Ｅは、Ｙ方向において、本体部４１Ｅの端部から延設されている。延設部４２Ｅは、本体部４１ＥとＸ方向の長さ、すなわち幅を同じにしてＹ方向に延設されている。延設部４２ＥにおけるＩＧＢＴ３０側の面は、本体部４１Ｅの実装面４３Ｅと略面一となっており、ＩＧＢＴ３０と反対の面は、封止樹脂体２０によって封止されている。延設部４２Ｅは、少なくとも主端子６０の配置側の端部に設けられれば良い。本実施形態では、本体部４１Ｅの両端にそれぞれ設けられている。なお、本実施形態では、導電部材４０Ｃ，４０Ｅとして共通部品を採用している。

40

#### 【００３４】

導電部材４０Ｃの本体部４１Ｃにおける実装面４３Ｃには、ＩＧＢＴ３０のコレクタ電極３２が、はんだ８０を介して接続されている。接続方法としては、はんだ接合に限定されない。導電部材４０Ｃの大部分は封止樹脂体２０によって覆われている。導電部材４０Ｃの放熱面４４Ｃは、封止樹脂体２０から露出されている。放熱面４４Ｃは、一面２１と略面一となっている。導電部材４０Ｃの表面のうち、はんだ８０との接続部、放熱面４４Ｃ、及び主端子６０の連なる部分を除く部分が、封止樹脂体２０によって覆われている。

50

## 【 0 0 3 5 】

ターミナル 5 0 は、I G B T 3 0 と導電部材 4 0 E との間に介在している。ターミナル 5 0 は略直方体をなしており、その平面形状（平面略矩形状）はエミッタ電極 3 3 とほぼ一致している。ターミナル 5 0 は、I G B T 3 0 のエミッタ電極 3 3 と導電部材 4 0 E との電気伝導、熱伝導経路の途中に位置するため、電気伝導性及び熱伝導性を確保すべく、Cu などの金属材料を少なくとも用いて形成されている。ターミナル 5 0 は、エミッタ電極 3 3 に対向配置され、はんだ 8 1 を介してエミッタ電極 3 3 と接続されている。接続方法としては、はんだ接合に特に限定されない。ターミナル 5 0 は、後述するリードフレーム 9 0 の一部分として構成されてもよい。

## 【 0 0 3 6 】

導電部材 4 0 E の本体部 4 1 E における実装面 4 3 E には、I G B T 3 0 のエミッタ電極 3 3 が、はんだ 8 2 を介して電氣的に接続されている。具体的には、導電部材 4 0 E とターミナル 5 0 とが、はんだ 8 2 を介して接続されている。そして、エミッタ電極 3 3 と導電部材 4 0 E とは、はんだ 8 1、ターミナル 5 0、及びはんだ 8 2 を介して、電氣的に接続されている。導電部材 4 0 E も、封止樹脂体 2 0 によって大部分が覆われている。導電部材 4 0 E の放熱面 4 4 E は、封止樹脂体 2 0 から露出されている。放熱面 4 4 E は、裏面 2 2 と略面一となっている。導電部材 4 0 E の表面のうち、はんだ 8 2 との接続部、放熱面 4 4 E、及び主端子 6 0 の連なる部分を除く部分が、封止樹脂体 2 0 によって覆われている。

## 【 0 0 3 7 】

主端子 6 0 は、半導体装置 1 0 と外部機器とを電氣的に接続するための外部接続端子のうち、主電流が流れる端子である。半導体装置 1 0 は、複数の主端子 6 0 を備えている。主端子 6 0 は、対応する導電部材 4 0 に連なっている。同一の金属部材を加工することで、主端子 6 0 を対応する導電部材 4 0 と一体的に設けてもよいし、別部材である主端子 6 0 を接続によって導電部材 4 0 に連なる構成としてもよい。本実施形態では、図 6 に示すように、主端子 6 0 は、信号端子 7 0 とともに、リードフレーム 9 0 の一部分として構成されており、導電部材 4 0 とは別部材とされている。図 3 に示すように、主端子 6 0 は、封止樹脂体 2 0 の内部で、対応する導電部材 4 0 に連なっている。

## 【 0 0 3 8 】

図 3 及び図 4 に示すように、主端子 6 0 のそれぞれは、対応する導電部材 4 0 から Y 方向に延設され、封止樹脂体 2 0 の 1 つの側面 2 3 から外部に突出している。主端子 6 0 は、封止樹脂体 2 0 の内外にわたって延設されている。主端子 6 0 は、I G B T 3 0 の主電極と電氣的に接続された端子である。半導体装置 1 0 は、主端子 6 0 として、コレクタ電極 3 2 と電氣的に接続された主端子 6 0 C と、エミッタ電極 3 3 と電氣的に接続された主端子 6 0 E を有している。主端子 6 0 C が第 1 主端子に相当し、主端子 6 0 E が第 2 主端子に相当する。主端子 6 0 C はコレクタ端子、主端子 6 0 E はエミッタ端子とも称される。

## 【 0 0 3 9 】

主端子 6 0 C は、導電部材 4 0 C に連なっている。具体的には、延設部 4 2 C の 1 つにおける I G B T 3 0 側の面に、はんだ 8 3 を介して接続されている。接続方法としては、はんだ接合に特に限定されない。主端子 6 0 C は、導電部材 4 0 C から Y 方向に延設され、封止樹脂体 2 0 の側面 2 3 から外部に突出している。主端子 6 0 E は、導電部材 4 0 E に連なっている。具体的には、延設部 4 2 E の 1 つにおける I G B T 3 0 側の面に、はんだ 8 4 を介して接続されている。接続方法としては、はんだ接合に特に限定されない。主端子 6 0 E は、導電部材 4 0 E から主端子 6 0 C と同じ方向である Y 方向に延設され、図 3 及び図 4 に示すように、主端子 6 0 C と同じ側面 2 3 から外部に突出している。主端子 6 0 C、6 0 E の詳細については、後述する。

## 【 0 0 4 0 】

信号端子 7 0 は、対応する I G B T 3 0 のパッド 3 4 に接続されている。半導体装置 1 0 は、複数の信号端子 7 0 を有している。本実施形態では、ボンディングワイヤ 8 5 を介して接続されている。信号端子 7 0 は、封止樹脂体 2 0 の内部でボンディングワイヤ 8 5 と

10

20

30

40

50



接続されている。各パッド 34 に接続された 5 つの信号端子 70 は、それぞれ Y 方向に延設されており、封止樹脂体 20 における側面 23 と反対の側面 24 から外部に突出している。信号端子 70 は、上記したようにリードフレーム 90 の一部分として構成されている。なお、同一の金属部材を加工することで、信号端子 70 を、主端子 60C とともに導電部材 40C と一体的に設けてもよい。

#### 【0041】

なお、リードフレーム 90 は、図 6 に示すようにカット前の状態で、外周枠部 91 と、タイバー 92 を有している。主端子 60 及び信号端子 70 のそれぞれは、タイバー 92 を介して外周枠部 91 に固定されている。封止樹脂体 20 の成形後、外周枠部 91 やタイバー 92 など、リードフレーム 90 の不要部分を除去することで、主端子 60 及び信号端子 70 が電氣的に分離され、半導体装置 10 が得られる。リードフレーム 90 としては、厚みが一定のもの、部分的に厚みが異なる異形材のいずれも採用が可能である。

10

#### 【0042】

以上のように構成される半導体装置 10 では、封止樹脂体 20 により、IGBT 30、導電部材 40 それぞれの一部、ターミナル 50、主端子 60 それぞれの一部、及び信号端子 70 それぞれの一部が、一体的に封止されている。すなわち、1 つのアームを構成する要素が封止されている。このため、半導体装置 10 は、1 in 1 パッケージとも称される。

#### 【0043】

また、導電部材 40C の放熱面 44C が、封止樹脂体 20 の一面 21 と略面一とされている。また、導電部材 40E の放熱面 44E が、封止樹脂体 20 の裏面 22 と略面一とされている。半導体装置 10 は、放熱面 44C、44E がともに封止樹脂体 20 から露出された両面放熱構造をなしている。このような半導体装置 10 は、たとえば、導電部材 40 を、封止樹脂体 20 とともに切削加工することで形成することができる。また、放熱面 44C、44E が、封止樹脂体 20 を成形する型のキャビティ壁面に接触するようにして、封止樹脂体 20 を成形することによって形成することもできる。

20

#### 【0044】

##### (主端子詳細)

主端子 60 は、主端子 60C、60E の少なくとも一方を複数有している。主端子 60C と主端子 60E とは、板面同士が対向するのではなく、側面同士が対向するように、主端子 60 の板幅方向である X 方向に並んで配置されてる。半導体装置 10 は、隣り合う主端子 60C、60E による側面对向部を複数有している。板面とは、主端子 60 の表面のうち、主端子 60 の板厚方向の面であり、側面とは板面をつなぐ面であって主端子 60 の延設方向に沿う面である。主端子 60 の残りの表面は、延設方向における両端面、すなわち突出先端面と後端面である。側面对向部を構成する側面は、主端子 60 の板厚方向において少なくとも一部が対向すればよい。たとえば板厚方向にずれて設けられてもよい。ただし、全面対向の方が効果的である。

30

#### 【0045】

板幅方向は、IGBT 30 の板厚方向、すなわち Z 方向に直交しており、板幅方向 (X 方向) が、一方向に相当する。主端子 60 の側面は、板面よりも面積が小さい面である。主端子 60C、60E は、互いに隣り合うように配置されている。互いに隣り合うことにより、主端子 60C、60E をそれぞれ複数有する構成では、主端子 60C と主端子 60E とが交互に配置されることとなる。主端子 60C、60E は、順に配置されている。

40

#### 【0046】

図 7 に示すように、X 方向において配置が連続する 3 つ以上の主端子 60 により主端子群 61 が構成されている。上記したように主端子 60C、60E は隣り合って配置されており、主端子群 61 は主端子 60C、60E を両方含み、且つ、主端子 60C、60E の少なくとも一方を複数含んで構成されている。主端子群 61 を構成する主端子 60 は、それぞれの少なくとも一部が所定の領域 A1 内に配置されている。領域 A1 は、X 方向において、IGBT 30 の一方の端面 36 から仮想的に延長された延長線 L1 と、端面 36 とは反対の端面 37 から仮想的に延長された延長線 L2 との間の領域である。X 方向において

50

、延長線 L 1 , L 2 間の長さは、 I G B T 3 0 の幅、すなわち素子幅に一致する。

【 0 0 4 7 】

本実施形態では、主端子 6 0 C , 6 0 E が、その全長において同じ方向 ( Y 方向 ) に延設されている。主端子 6 0 は、平面一直線状をなし、 X 方向への延設部分を有していない。主端子 6 0 C の厚みは、本体部 4 1 C よりも薄くされており、たとえば延設部 4 2 C とほぼ同じとされている。主端子 6 0 E の厚みは、本体部 4 1 E よりも薄くされており、たとえば延設部 4 2 E とほぼ同じとされている。主端子 6 0 の厚みは全長でほぼ一定とされており、主端子 6 0 C , 6 0 E でほぼ同じ厚みとされている。主端子 6 0 の幅 W 1 は全長でほぼ一定とされており、主端子 6 0 C , 6 0 E で同じ幅とされている。また、 X 方向において隣り合う主端子 6 0 の間隔 P 1 も、すべての主端子 6 0 で同じとされている。間隔 P 1 は、端子間ピッチとも称される。

10

【 0 0 4 8 】

主端子 6 0 のそれぞれは、封止樹脂体 2 0 内に屈曲部を 2 箇所有している。これにより、主端子 6 0 は Z Y 平面において略クランク状をなしている。主端子 6 0 において、上記した屈曲部よりも先端の部分は平板状をなしており、この平板状部分の一部が、封止樹脂体 2 0 から突出している。封止樹脂体 2 0 からの突出部分、すなわち上記した平板状部分において、主端子 6 0 C , 6 0 E は、図 3 及び図 4 に示すように、 Z 方向においてほぼ同じ位置に配置されている。また、平板状部分において、主端子 6 0 C , 6 0 E の板厚方向は、 Z 方向に略一致している。これにより、主端子 6 0 C の側面と主端子 6 0 E の側面が、 Z 方向のほぼ全域で対向している。さらに、主端子 6 0 C , 6 0 E の平板状部分の延設長さがほぼ同じであり、 Y 方向においてほぼ同じ位置に配置されている。これにより、主端子 6 0 C , 6 0 E の側面は、平板状部分においてほぼ全面で対向している。

20

【 0 0 4 9 】

図 2 , 図 5 ~ 図 7 に示すように、半導体装置 1 0 は、奇数本の主端子 6 0 、具体的には 9 本の主端子 6 0 を備えている。うち 4 本が主端子 6 0 C 、残りの 5 本が主端子 6 0 E となっている。主端子 6 0 C , 6 0 E は X 方向において交互に配置されており、これにより半導体装置 1 0 は、側面对向部を 8 つ有している。 X 方向両端には主端子 6 0 E が配置されており、両端の主端子 6 0 E を除く 7 本の主端子 6 0 により、主端子群 6 1 が構成されている。主端子群 6 1 は、奇数本 ( 7 本 ) の主端子 6 0 、具体的には 4 本の主端子 6 0 C と 3 本の主端子 6 0 E によって構成されている。主端子群 6 1 を構成しない 2 本の主端子 6 0 E は、それぞれの全体が X 方向において領域 A の外に配置されている。主端子群 6 1 を構成する主端子 6 0 のほうが、主端子群 6 1 を構成しない主端子 6 0 よりも多い構成となっている。

30

【 0 0 5 0 】

主端子群 6 1 を構成する 7 本の主端子 6 0 のうち、両端に位置する 2 本の主端子 6 0 C は、 X 方向においてそれぞれの一部が領域 A 1 内に配置されている。残りの 5 本の主端子 6 0 は、 X 方向においてそれぞれの全体が領域 A 1 内に配置されている。このように、主端子群 6 1 を構成する一部の主端子 6 0 は、それぞれの全体が領域 A 1 内に配置され、残りの主端子 6 0 は、それぞれの一部が領域 A 1 内に配置されている。特に本実施形態では、主端子群 6 1 を構成する複数 ( 5 本 ) の主端子 6 0 それぞれの全体が領域 A 1 内に配置されている。

40

【 0 0 5 1 】

上記したように、主端子 6 0 C , 6 0 E は同じ幅 W 1 とされており、主端子 6 0 C , 6 0 E の間隔 P 1 も、すべての主端子 6 0 で同じとされている。そして、奇数本の主端子 6 0 のうち、 X 方向において真ん中 ( 中央 ) に配置された主端子 6 0 E における幅の中心が、 I G B T 3 0 の中心を通る中心線 C L 上に位置している。このように、主端子 6 0 C 、 6 0 E は、 X 方向において、 I G B T 3 0 の中心を通る中心線 C L に対して線対称配置とされている。なお、複数の主端子 6 0 C は中心線 C L に対して線対称配置とされ、複数の主端子 6 0 E は中心線 C L に対して線対称配置とされている。また、主端子群 6 1 を構成する奇数本の主端子 6 0 も、中心線 C L に対して線対称配置とされている。中心線 C L の延

50

設方向は、Z方向及びX方向に直交している。

【0052】

(半導体装置の効果)

上記したように、本実施形態の半導体装置10は、主端子60C, 60Eの少なくとも一方を複数有しており、主端子60C, 60EがX方向において隣り合って配置されている。そして、隣り合う主端子60C, 60Eの側面同士が対向している。主端子60C, 60Eで主電流の向きは逆向きとなる。このように、主端子60C, 60Eは、主電流が流れたときに生じる磁束をお互いに打ち消すように配置されている。したがって、インダクタンスを低減することができる。特に本実施形態では、主端子60C, 60Eの側面对向部を複数有するため、インダクタンスを効果的に低減することができる。同じ種類の主端子60を複数にして並列化するため、インダクタンスを低減することができる。

10

【0053】

また、連続して配置された少なくとも3本の主端子60によって主端子群61が構成されている。主端子群61を構成する主端子60は、それぞれの少なくとも一部が、X方向において、IGBT30の両端面36, 37から延長された延長線L1, L2間の領域A1内に配置されている。すなわち、複数の側面对向部が領域A1内に配置されている。これにより、主端子群61を構成する主端子60とIGBT30の主電極との電流経路を簡素化、具体的には電流経路を短くすることができる。したがって、インダクタンスを低減することができる。

【0054】

以上により、本実施形態の半導体装置10によれば、従来よりも主回路配線のインダクタンスを低減することができる。なお、側面同士が対向するように複数の主端子60がX方向に並んで配置され、主端子60C, 60Eの少なくとも一方を複数有し、少なくとも3本の主端子60により主端子群61が構成され、一部分において同じ種類の主端子60が連続して配置されるようにしてもよい。これによれば、主端子60C, 60Eの少なくとも一方を複数にして並列化するため、インダクタンスを低減することができる。また、主端子群61を有することで、主端子群61を構成する主端子60とIGBT30の主電極との電流経路を簡素化することができる。これにより、インダクタンスを低減することができる。したがって、本実施形態に準ずる効果を奏することができる。しかしながら、本実施形態に示したように、主端子60C, 60Eを隣り合うように配置したほうが、磁束打消しの効果によってインダクタンスをさらに低減することができる。

20

30

【0055】

主端子群61において、X方向において全体が領域A1内に配置される主端子60のほうが、一部のみが領域A1内に配置される主端子60よりも、電流経路の簡素化の点ではより好ましい。本実施形態では、主端子群61を構成する主端子60の一部についてそれぞれの全体が領域A1内に配置され、残りの主端子60についてそれぞれの一部が領域A1内に配置されている。主端子群61が、電流経路の簡素化についてより効果的な主端子60を含むため、インダクタンスを効果的に低減することができる。特に本実施形態では、全体が領域内に配置される主端子60を複数含んでいる。電流経路の簡素化についてより効果的な主端子60を複数含むため、インダクタンスをより効果的に低減することができる。

40

【0056】

本実施形態では、主端子60の本数が奇数とされている。奇数の場合、X方向において対称性を取りやすく、主端子60とのIGBT30との電流経路の偏りを抑制することができる。また、X方向における主端子60の並び順が、一面21側から見ても、裏面22側から見ても同じである。したがって、半導体装置10の配置の自由度を向上することができる。

【0057】

特に本実施形態では、主端子60C, 60Eは、X方向において、IGBT30の中心線CLに対して線対称配置とされている。これにより、IGBT30の主電流は、中心線CLに対して線対称となるように流れる。主電流は、中心線CLの左右でほぼ均等に流れる

50

。したがって、インダクタンスをさらに低減することができる。また局所的な発熱を抑制することができる。

【 0 0 5 8 】

本実施形態では、奇数本の主端子 6 0 として 9 本の例を示したが、これに限定されない。たとえば図 8 ~ 図 1 0 に示す変形例のように構成してもよい。図 8 ~ 図 1 0 では、便宜上、封止樹脂体 2 0 及び信号端子 7 0 を省略して図示している。図 8 ~ 図 1 0 では、便宜上、領域 A 1 の図示を省略し、領域 A 1 を規定する延長線 L 1 , L 2 を示している。

【 0 0 5 9 】

図 8 に示す第 1 変形例では、半導体装置 1 0 が 3 本の主端子 6 0、具体的には、1 本の主端子 6 0 C と 2 本の主端子 6 0 E を備えている。すなわち、2 つの側面对向部を有している。そして、すべての主端子 6 0 によって主端子群 6 1 が構成されている。真ん中に配置された主端子 6 0 C は、X 方向において全体が上記した領域 A 1 に配置され、両端の主端子 6 0 E は、それぞれの一部が領域 A 1 に配置されている。

10

【 0 0 6 0 】

図 9 に示す第 2 変形例では、半導体装置 1 0 が 5 本の主端子 6 0、具体的には、2 本の主端子 6 0 C と 3 本の主端子 6 0 E を備えている。すなわち、4 つの側面对向部を有している。そして、すべての主端子 6 0 によって主端子群 6 1 が構成されている。両端の主端子 6 0 E は、それぞれの一部が領域 A 1 に配置され、残り 3 本の主端子 6 0 はそれぞれの全体が領域 A 1 に配置されている。

【 0 0 6 1 】

図 1 0 に示す第 3 変形例では、半導体装置 1 0 が 7 本の主端子 6 0、具体的には、3 本の主端子 6 0 C と 4 本の主端子 6 0 E を備えている。すなわち、6 つの側面对向部を有している。そして、すべての主端子 6 0 によって主端子群 6 1 が構成されている。両端の主端子 6 0 E は、それぞれの一部が領域 A 1 に配置され、残り 5 本の主端子 6 0 はそれぞれの全体が領域 A 1 に配置されている。

20

【 0 0 6 2 】

図 1 1 は、半導体装置 1 0 が備える主端子トータルのインダクタンスについて磁場解析を行った結果を示している。この磁場解析（シミュレーション）では、導電部材 4 0 の X 方向の長さ（幅）を 1 7 mm、主端子 6 0 の間隔 P 1 を 1 . 0 mm とした。また、同じ半導体装置 1 0 を構成する主端子 6 0 において、幅 W 1 を互いに等しいものとした。たとえば主端子 6 0 を 3 本有する構成の場合、図 1 1 では 3 端子と示している。図 1 1 では、比較例として主端子を 2 本のみ有する構成（2 端子）を示している。9 端子は、本実施形態に示した構成（図 7 参照）と同じ配置の結果を示している。同様に、3 端子、5 端子、7 端子は、それぞれ第 1 変形例（図 8 参照）、第 2 変形例（図 9 参照）、第 3 変形例（図 1 0 参照）に示した構成と同じ配置の結果である。

30

【 0 0 6 3 】

端子数が増えるほど、1 本当たりの幅は狭くなり、インダクタンス（自己インダクタンス）は増加する。しかしながら、側面对向部が増加し、主端子群 6 1 を構成する主端子 6 0 の本数も、所定の端子数までは端子数が増えるほど増加するため、インダクタンスを低減できる。3 端子、5 端子、及び 7 端子は、図 8 ~ 図 1 0 に示したように、すべての主端子 6 0 によって主端子群 6 1 が構成されている。すなわち、すべての主端子 6 0 が領域 A 1 内に配置されている。また、9 端子は、図 7 に示したように、7 本の主端子 6 0 によって主端子群 6 1 が構成されている。

40

【 0 0 6 4 】

図 1 1 の結果から、3 本以上の主端子 6 0 により構成される主端子群 6 1 を備えることで、体格の増大を抑制しつつ、比較例に較べて主端子トータルのインダクタンスを低減できることが明らかである。3 端子以上では、上記したインダクタンス低減の効果が幅減少によるインダクタンス増加を上回り、インダクタンスが低減するためであると考えられる。特に 5 本以上の主端子 6 0 による主端子群 6 1 を備える構成とすると、比較例に較べてインダクタンスを半減以下にできる、すなわちインダクタンス低減に効果的であることが明

50

らかである。

【 0 0 6 5 】

なお、9端子は、上記したように主端子群61を構成する7本の主端子60と、領域A1の外に配置された2本の主端子60を備えている。このように2本の主端子60が領域A1外とされてはいるものの、主端子群61を構成しない主端子60よりも多い主端子60、すなわち大部分の主端子60が領域A1に配置されている。また、側面对向部の数も7端子に較べて側面对向部が2つ多い。よって、7端子よりも低いインダクタンスを示している。

【 0 0 6 6 】

上記した実施形態及び変形例では、主端子60Eが両端に配置される構成、すなわち主端子60Eのほうが主端子60Cよりも多い構成の例を示したがこれに限定されない。奇数本の主端子60において、主端子60Cを主端子60Eよりも多い構成としてもよい。

10

【 0 0 6 7 】

すべての主端子60において、封止樹脂体20からの突出部分の長さが等しい例を示したが、これに限定されない。バスバーなどとの接続性を考慮し、隣り合う主端子60C、60Eで突出部分の長さを異ならせてもよい。たとえば図12に示す第4変形例では、主端子60Cを主端子60Eよりも長くしている。

【 0 0 6 8 】

図13に示す第5変形例では、本数が少ない主端子60Cの断面積を、本数が多い主端子60Eの断面積よりも大きくし、これにより、主端子60Cトータルと主端子60Eトータルのインピーダンスをほぼ一致させている。したがって、本数が少ない主端子60Cの発熱を抑制することができる。図13では、幅を広くすることにより主端子60Cの断面積を主端子60Eの断面積よりも大きくしているが、主端子60Cの厚みを主端子60Eよりも厚くしてもよい。また、幅と厚みの両方を調整してもよい。図13では、本数が少ない主端子60Cの延設方向の長さを、主端子60Eの延設方向の長さよりも長くしている。長いほうが断面積が大きいため、主端子60の剛性を確保することができる。図12及び図13では7端子の例を示しているが、これに限定されるものではない。

20

【 0 0 6 9 】

封止樹脂体20からの突出部分において、延設方向の全長で隣り合う主端子60C、60Eが対向する例を示したが、これに限定されない。突出部分の一部で、側面同士が対向しない構成としてもよい。たとえば主端子60C、60Eの少なくとも一方において、突出先端部分が屈曲しており、これにより突出先端部分で対向しない構成としてもよい。延設長さが等しくても、バスバーなどとの接続性を高めることができる。しかしながら、インダクタンス低減の効果は減少する。

30

【 0 0 7 0 】

主端子60の本数が奇数において、主端子群61を構成する主端子60の本数も奇数の例を示したが、これに限定されない。主端子群61を、偶数本(4本以上)の主端子60により構成してもよい。

【 0 0 7 1 】

半導体装置10は、少なくとも1つのIGBT30を備えればよい。たとえば複数のIGBT30を備え、これらIGBT30が主端子60C、60Eの間で互いに並列接続される構成において、各IGBT30に対して上記した主端子60の配置を適用してもよい。

40

【 0 0 7 2 】

図14に示す第6変形例のように、主端子群61を構成するすべての主端子60それぞれの全体が領域A1内に配置されてもよい。IGBT30の主電極ととの間の電流経路をより簡素化できる。図14では、7本の主端子60のうち、5本の主端子60によって主端子群61が構成されている。そして、主端子群61を構成する5本の主端子60は、それぞれの全体が領域A1内に配置されている。

【 0 0 7 3 】

(第2実施形態)

50

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体装置 10 と共通する部分についての説明は省略する。

【0074】

先行実施形態では、半導体装置 10 が奇数本（3 本以上）の主端子 60 を備える例を示した。これに対し、本実施形態の半導体装置 10 は、偶数本（4 本以上）の主端子 60 を備えている。それ以外の構成は、先行実施形態と同じである。

【0075】

図 15 に示す例では、半導体装置 10 が 4 本の主端子 60、具体的には主端子 60C、60E を 2 本ずつ備えている。主端子 60C と主端子 60E は交互に配置されている。4 本的主端子 60 は、幅 W1 及び厚みのそれぞれが互いに等しくされている。すなわち、延設方向に直交する断面積が互いに等しくされている。また、Y 方向の延設長さも、4 本の主端子 60 で互いに等しくされている。

10

【0076】

また、すべての主端子 60 により主端子群 61 が構成されている。両端に配置された 2 本的主端子 60C、60E は、X 方向においてそれぞれの一部が領域 A1 内に配置されている。真ん中の 2 本の主端子 60C、60E は、X 方向においてそれぞれの全体が領域 A1 内に配置されている。

【0077】

このように構成される半導体装置 10 によっても、先行実施形態に準ずる効果を奏することができる。具体的には、主端子 60C、60E の側面对向部を複数有するため、インダクタンスを効果的に低減することができる。また、主端子群 61 を有するため、主端子群 61 を構成する主端子 60 と IGBT 30 の主電極との電流経路を簡素化し、インダクタンスを低減することができる。以上により、従来よりも主回路配線のインダクタンスを低減することができる。図 11 には、4 端子の結果も示している。図 11 の結果から、4 端子の場合でも、体格の増大を抑制しつつ、比較例に較べて主端子トータルのインダクタンスを低減できることが明らかである。

20

【0078】

本実施形態では、すべての主端子 60 によって主端子群 61 が構成されているため、インダクタンスを効果的に低減することができる。なお、主端子 60 の本数が偶数の場合にも、連続して配置された 3 本以上の主端子 60 によって主端子群 61 が構成されればよい。したがって、4 本の主端子 60 を備える構成において、3 本により主端子群 61 が構成され、残りの 1 本が領域 A1 の外に配置された構成としてもよい。このように、主端子 60 の本数が偶数において、主端子群 61 を、奇数本（3 本以上）の主端子 60 により構成してもよい。

30

【0079】

本実施形態では、主端子 60 の本数が偶数であり、主端子 60C と主端子 60E とが同じ本数であるため、主端子 60C と主端子 60E とで流れる主電流が均等となり、これにより発熱のばらつきを抑制することができる。特に本実施形態では、主端子 60C、60E の延設長さが等しく、且つ、断面積も等しくされており、これにより、主端子 60C と主端子 60E のインピーダンスがほぼ等しくなっている。したがって、発熱ばらつきを効果的に抑制することができる。

40

【0080】

主端子 60 の本数として 4 本の例を示したが、これに限定されない。4 本以上の偶数であればよい。たとえば 6 本的主端子 60 を備える構成、8 本的主端子 60 を備える構成としてもよい。

【0081】

先行実施形態の第 4 変形例、第 5 変形例で示したように、隣り合う主端子 60C、60E で突出部分の長さを異ならせてもよい。また、主端子 60C、60E のうち、突出部分の長さが長いほうの断面積を、短いほうの断面積よりも大きくしてもよい。これにより剛性を確保することができる。また、主端子 60C と主端子 60E とでインピーダンスを揃え

50

ることができる。先行実施形態に記載のように、突出部分の一部で、側面同士が対向しない構成としてもよい。

#### 【0082】

(第3実施形態)

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体装置10と共通する部分についての説明は省略する。

#### 【0083】

本実施形態では、リードフレームの一部として、主端子60C、60Eの少なくとも一方とともに設けられた連結部をさらに備え、連結部によって、主端子60C、60Eの少なくとも一方において、同じ主端子同士が連結されている。

10

#### 【0084】

図16に示す例では、半導体装置10が5本の主端子60、具体的には2本の主端子60Cと3本の主端子60Eを備えている。また、上記したリードフレーム90が、主端子60E同士を連結する連結部86を有している。封止樹脂体20からの突出長さは、主端子60Eのほうが主端子60Cよりも長くされており、連結部86は主端子60Eの突出先端部分を連結している。連結部86はX方向に延設されており、Y方向において主端子60Cとは離れて設けられている。連結部86は、Z方向において主端子60C、60Eの突出部分と同じ位置に配置されている。

#### 【0085】

このように、連結部86によって同電位の主端子60(主端子60E)を連結すると、バスバーなどとの接続点を減らすことができる。すなわち、接続性を向上することができる。特に図16では、本数の多い主端子60Eを連結している。これによれば、同一のリードフレーム90に主端子60C、60E及び連結部86を備える構成において、接続点をより少なくすることができる。

20

#### 【0086】

なお、主端子60Eに代えて、主端子60Cを連結部86にて連結してもよい。主端子60C、60Eのうち、本数の少ないほうを連結してもよい。主端子60の本数及び配置は図16に示す例に限定されない。主端子60C、60Eの一方のみに連結部86を設ける場合、連結部86を上記したように主端子60C、60Eの突出分と同一平面に設けることもできる。偶数本の主端子60を備える構成と組み合わせてもよい。

30

#### 【0087】

また、主端子60C、60Eのそれぞれを連結部にて連結してもよい。図17及び図18に示す第7変形例では、導電部材40C、40Eが本体部41C、41Eを有し、延設部42C、42Eを有していない。そして、同一のリードフレームに、導電部材40C、主端子60C、及び信号端子70が構成されている。また、主端子60Cを含むリードフレームとは別のリードフレームに、導電部材40E及び主端子60Eが構成されている。主端子60C、60Eは対応する導電部材40C、40Eから延設されている。図18は、図17のXVIII-XVIIIに沿う半導体装置10の断面図である。

#### 【0088】

第7変形例では、主端子60C側のリードフレームに連結部86Cが設けられ、主端子60E側のリードフレームに連結部86Eが設けられている。そして、連結部86Cにより、突出先端部にて主端子60C同士が連結されている。また、連結部86Eにより、突出先端部にて主端子60E同士が連結されている。主端子60C、60Eは突出部分に屈曲部を有しており、これにより連結部86C、86EがZ方向において離反している。すなわち、連結部86C、86Eは、Z方向において互いに異なる位置に配置されている。したがって、延設長さが同じでも、主端子60C、60Eのそれぞれを連結部86C、86Eにて連結することができる。そして、接続点数をさらに少なくすることができる。

40

#### 【0089】

(第4実施形態)

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体装置

50

10と共通する部分についての説明は省略する。

【0090】

本実施形態の半導体装置10は、複数のIGBT30を備え、これらIGBT30は主端子60C、60Eの間で互いに並列接続されている。すなわち、1つのアームが並列接続された複数のIGBT30によって構成されている。図19及び図20に示す例では、半導体装置10が、IGBT30として、第1半導体素子に相当するIGBT30aと、第2半導体素子に相当するIGBT30bを備えている。なお、図19は、図20に示すXIX-XIX線に対応する半導体装置10の断面図である。

【0091】

IGBT30a、30bのコレクタ電極32は、同じ導電部材40Cの実装面43Cに接続されている。また、IGBT30a、30bのエミッタ電極33は、個別に配置されたターミナル50を介して、同じ導電部材40Eの実装面43Eに接続されている。本実施形態では、2つのIGBT30a、30bが、互いにほぼ同じ平面形状、具体的には平面略矩形状をなすとともに、互いにほぼ同じ大きさとはほぼ同じ厚みを有している。IGBT30a、30bは、Z方向においてほぼ同じ高さに位置するとともに、X方向において横並びで配置されている。

10

【0092】

本実施形態では、X方向において配置が連続する2本以上の主端子60によって主端子群62が構成されている。半導体装置10は、主端子群62として、IGBT30aに対応する主端子群62aと、IGBT30bに対応する主端子群62bを有している。主端子群62aが第1群に相当し、主端子群62bが第2群に相当する。

20

【0093】

主端子群62aを構成する主端子60それぞれの少なくとも一部が、X方向において、IGBT30aの両端面36a、37aから延長された延長線L1a、L2a間の領域A1a内に配置されている。また、主端子群62bを構成する主端子60それぞれの少なくとも一部が、X方向において、IGBT30bの両端面36b、37bから延長された延長線L1b、L2b間の領域A1b内に配置されている。

【0094】

図19及び図20に示す例では、半導体装置10が5本の主端子60を備えている。具体的には、2本の主端子60Cと3本の主端子60Eを備えている。主端子60の幅W1及び厚みは互いに等しく、間隔P1もすべて等しくされている。そして、真ん中の主端子60Eが領域A1a、A1bの外に配置されている。X方向において真ん中の主端子60EよりもIGBT30a側に配置された2本の主端子60C、60Eにより主端子群62aが構成され、真ん中の主端子60EよりもIGBT30b側に配置された2本の主端子60C、60Eにより主端子群62bが構成されている。

30

【0095】

さらに、主端子群62aを構成する主端子60C、60Eはそれぞれの全体が領域A1aに配置されている。同じく、主端子群62bを構成する主端子60C、60Eはそれぞれの全体が領域A1bに配置されている。そして、2つのIGBT30の素子的中心を通る中心線CLmに対して、5本の主端子60が線対称配置とされている。素子的中心とは、IGBT30a、30bの並び方向において中心間の中央位置であり、中心線CLmは、並び方向に直交し、素子的中心を通る仮想線である。

40

【0096】

本実施形態では、複数のIGBT30が並列接続された半導体装置10において、主端子60Cと主端子60Eとが交互に配置されている。そして、隣り合う主端子60C、60Eの側面同士が対向している。このように、主端子60Cと主端子60Eとの側面对向部を複数、具体的には4つ有するため、インダクタンスを効果的に低減することができる。

【0097】

また、主端子群62aを構成する主端子60C、60Eそれぞれの少なくとも一部が、領域A1a内に配置されている。したがって、主端子群62aを構成する主端子60C、6

50



0 E と I G B T 3 0 a の主電極との電流経路を簡素化し、これによりインダクタンスを低減することができる。同じく、主端子群 6 2 b を構成する主端子 6 0 C , 6 0 E それぞれの少なくとも一部が領域 A 1 b 内に配置されている。したがって、主端子群 6 2 b を構成する主端子 6 0 C , 6 0 E と I G B T 3 0 b の主電極との電流経路を簡素化し、これによりインダクタンスを低減することができる。

【 0 0 9 8 】

以上により、本実施形態の半導体装置 1 0 によれば、従来よりも主回路配線のインダクタンスを低減することができる。

【 0 0 9 9 】

特に本実施形態では奇数本の主端子 6 0 が、2 つの I G B T 3 0 の中心線 C L m に対して線対称配置とされている。換言すれば、側面对向部が線対称配置とされている。したがって、I G B T 3 0 a , 3 0 b の主電流は、中心線 C L m に対して線対称となるように流れる。すなわち、I G B T 3 0 a 側のインダクタンスと、I G B T 3 0 b 側のインダクタンスがほぼ等しくなっている。このように、インダクタンスを揃えることで、電流アンバランスを抑制することができる。

10

【 0 1 0 0 】

なお、2 つの I G B T 3 0 が並列接続される例を示したが、これに限定されない。3 つ以上の I G B T 3 0 が並列接続される構成にも適用できる。

【 0 1 0 1 】

主端子 6 0 の本数は上記例に限定されない。主端子群 6 2 のそれぞれが、主端子 6 0 C , 6 0 E を含む 2 本以上の主端子 6 0 により構成されればよい。たとえば、7 本の主端子 6 0 を備え、3 本ずつの主端子 6 0 によって主端子群 6 2 a , 6 2 b が構成されてもよい。

20

【 0 1 0 2 】

第 3 実施形態に示した連結部 8 6 ( 8 6 C , 8 6 E ) を本実施形態に示した構成に組み合わせてもよい。

【 0 1 0 3 】

この明細書の開示は、例示された実施形態に制限されない。開示は、例示された実施形態と、それらに基づく当業者による変形態様を包含する。たとえば、開示は、実施形態において示された要素の組み合わせに限定されない。開示は、多様な組み合わせによって実施可能である。開示される技術的範囲は、実施形態の記載に限定されない。開示されるいくつかの技術的範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものと解されるべきである。

30

【 0 1 0 4 】

半導体装置 1 0 をインバータ 5 に適用する例を示したが、これに限定されない。たとえば昇圧コンバータに適用することもできる。また、インバータ 5 及び昇圧コンバータの両方に適用することもできる。

【 0 1 0 5 】

I G B T 3 0 と一体的に F W D 3 5 が形成される例を示したが、これに限定されない。F W D 3 5 を別チップとしてもよい。

【 0 1 0 6 】

40

半導体素子として I G B T 3 0 の例を示したが、これに限定されない。たとえば M O S F E T を採用することもできる。

【 0 1 0 7 】

両面放熱構造の半導体装置 1 0 として、ターミナル 5 0 を備える例を示したが、これに限定されない。ターミナル 5 0 を備えない構成としてもよい。たとえば、ターミナル 5 0 の代わりに、導電部材 4 0 E に、エミッタ電極 3 3 に向けて突出する凸部を設けてもよい。

【 0 1 0 8 】

放熱面 4 4 C , 4 4 E が、封止樹脂体 2 0 から露出される例を示したが、封止樹脂体 2 0 から露出されない構成としてもよい。たとえば図示しない絶縁部材によって放熱面 4 4 C , 4 4 E を覆ってもよい。絶縁部材を放熱面 4 4 C , 4 4 E に貼り合わせた状態で、封止

50

樹脂体 2 0 を成形してもよい。

【符号の説明】

【 0 1 0 9 】

1 ... 電力変換装置、2 ... 直流電源、3 ... モータ、4 ... 平滑コンデンサ、5 ... インバータ、  
6 ... 高電位電源ライン、7 ... 低電位電源ライン、8 ... 出力ライン、1 0 ... 半導体装置、2  
0 ... 封止樹脂体、2 1 ... 一面、2 2 ... 裏面、2 3 , 2 4 ... 側面、3 0 , 3 0 a , 3 0 b ...  
I G B T、3 1 ... ゲート電極、3 2 ... コレクタ電極、3 3 ... エミッタ電極、3 4 ... パッド  
、3 5 ... F W D、3 6 , 3 7 ... 端面、4 0 , 4 0 C , 4 0 E ... 導電部材、4 1 C , 4 1 E  
... 本体部、4 2 C , 4 2 E ... 延設部、4 3 C , 4 3 E ... 実装面、4 4 C , 4 4 E ... 放熱面  
、5 0 ... ターミナル、6 0 , 6 0 C , 6 0 E ... 主端子、6 1 , 6 2 , 6 2 a , 6 2 b ... 主  
端子群、7 0 ... 信号端子、8 0 ~ 8 4 ... はんだ、8 5 ... ボンディングワイヤ、8 6 , 8 6  
C , 8 6 E ... 連結部、9 0 ... リードフレーム、9 1 ... 外周枠部、9 2 ... タイバー

10

20

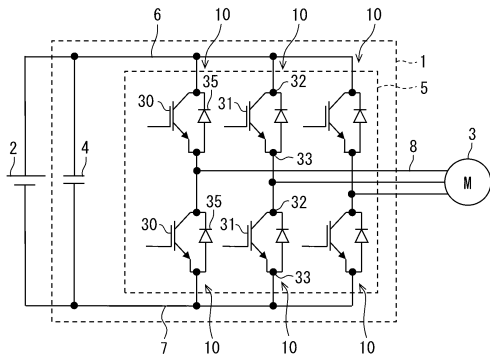
30

40

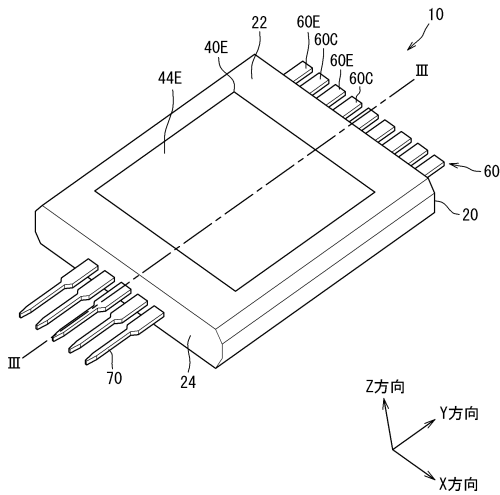
50

【図面】

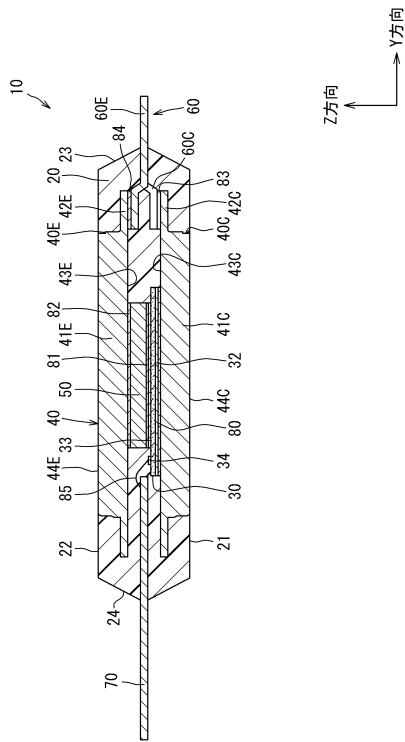
【図 1】



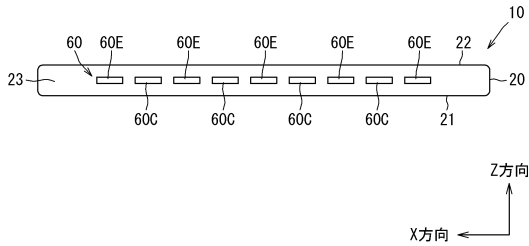
【図 2】



【図 3】



【図 4】



10

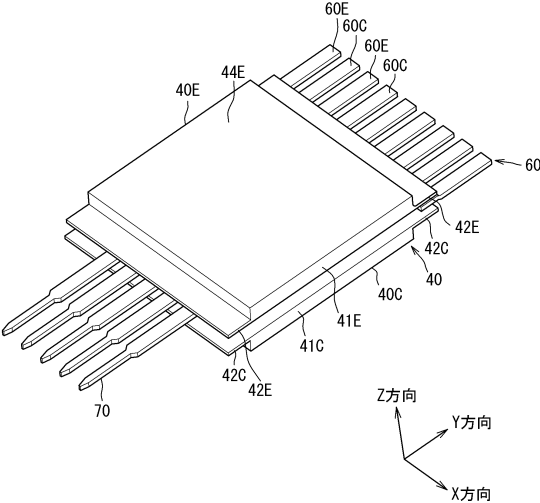
20

30

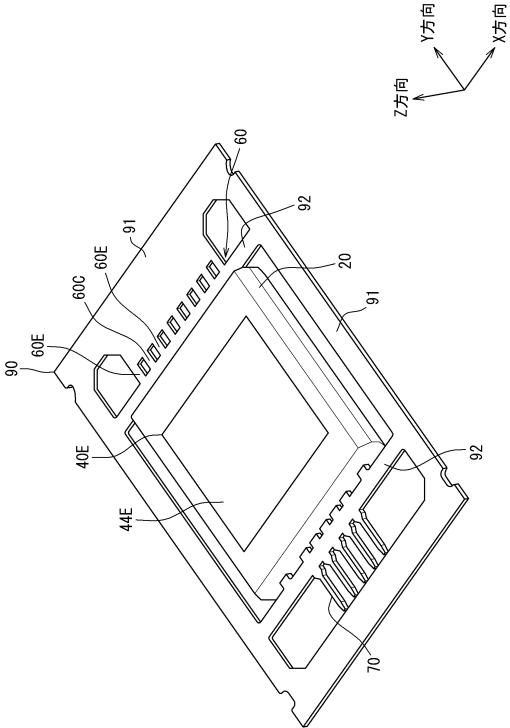
40

50

【図 5】



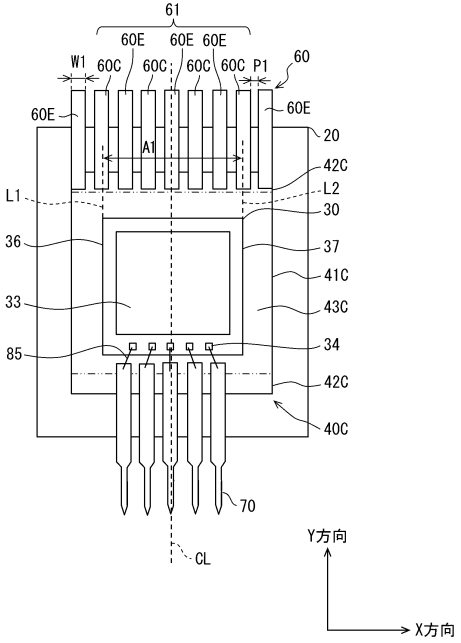
【図 6】



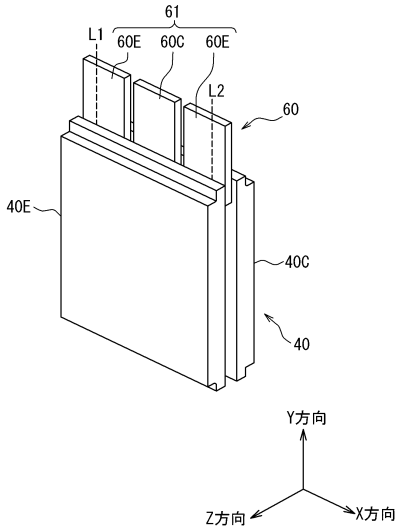
10

20

【図 7】



【図 8】

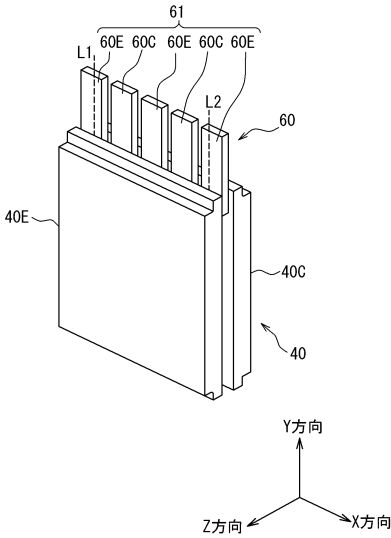


30

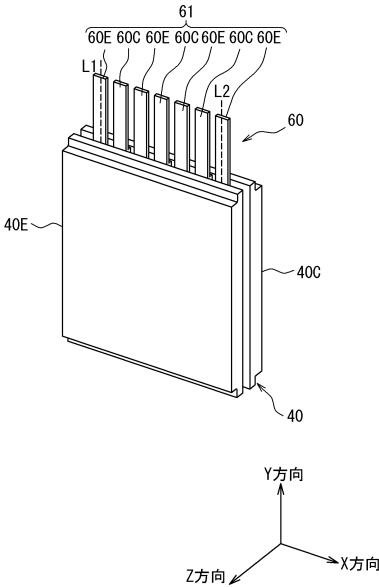
40

50

【図 9】

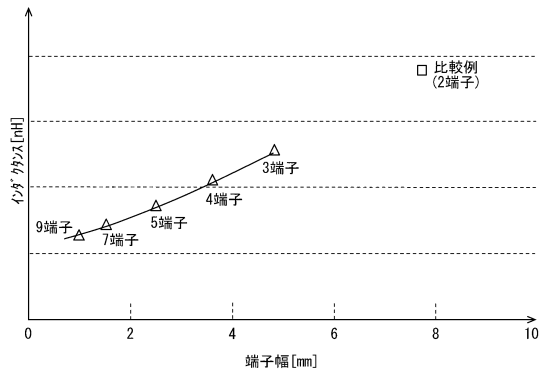


【図 10】

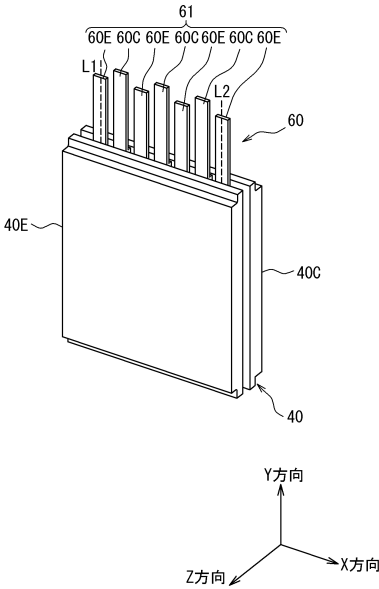


10

【図 11】



【図 12】



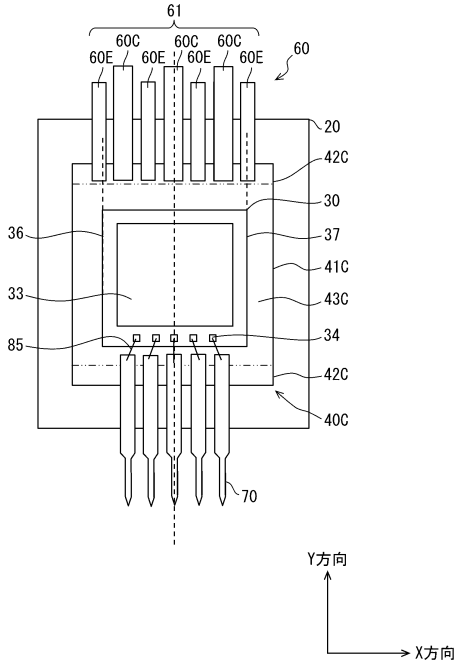
20

30

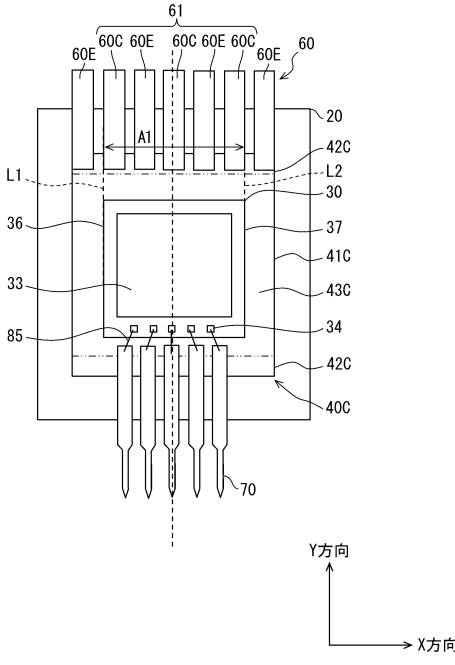
40

50

【図 1 3】

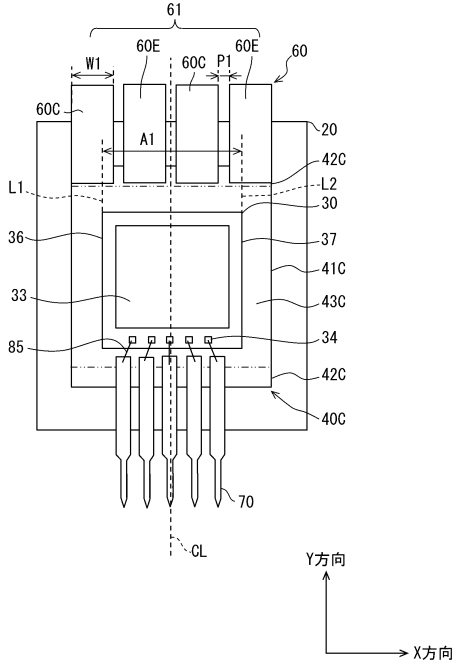


【図 1 4】

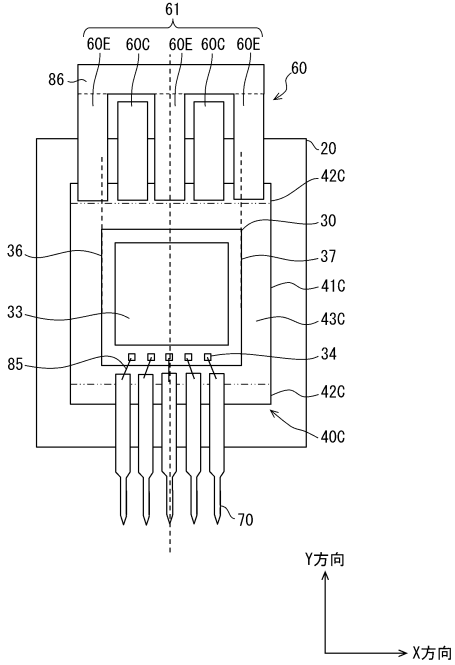


10

【図 1 5】



【図 1 6】



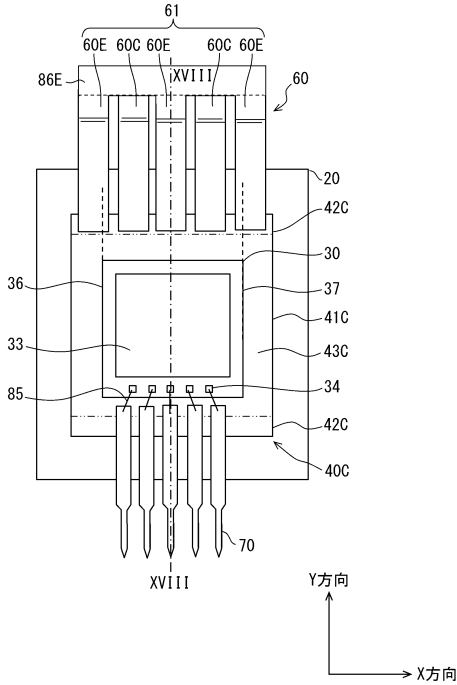
20

30

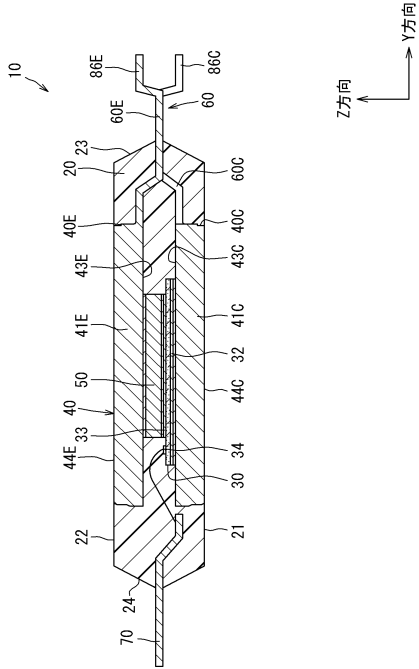
40

50

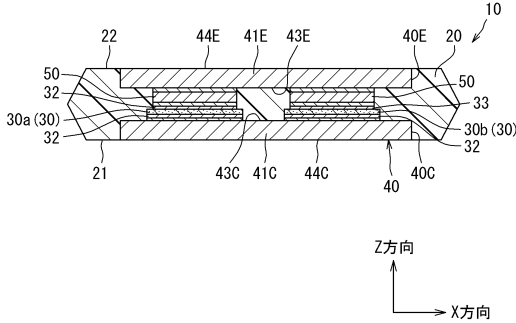
【図 17】



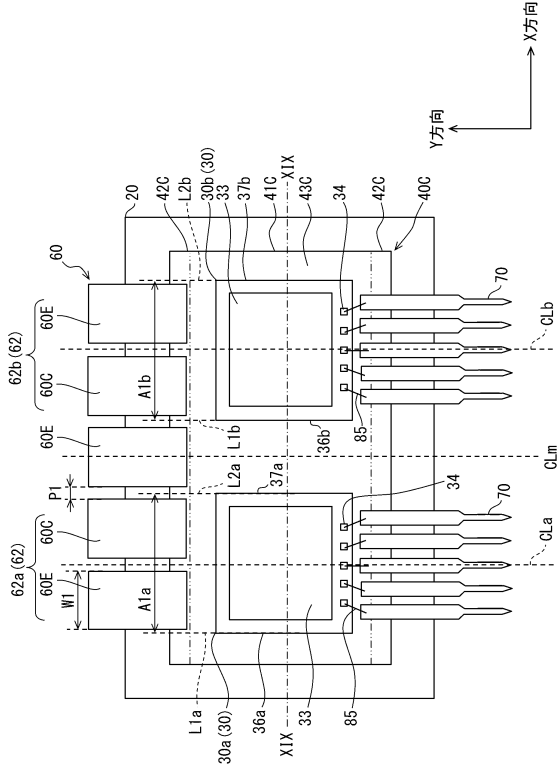
【図 18】



【図 19】



【図 20】



10

20

30

40

50

## フロントページの続き

- (72)発明者 佐野 友久  
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 長瀬 拓生  
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 石野 寛  
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 大前 翔一郎  
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- 審査官 馬場 慎
- (56)参考文献 特開 2 0 1 8 - 0 7 8 1 8 4 ( J P , A )  
特開 2 0 1 6 - 2 2 6 1 3 1 ( J P , A )  
特開 2 0 1 4 - 0 5 0 2 0 6 ( J P , A )  
特開 2 0 1 5 - 1 1 5 4 6 4 ( J P , A )  
特開 2 0 1 4 - 0 9 3 4 2 1 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 1 L 2 3 / 4 8  
H 0 1 L 2 5 / 0 7  
H 0 1 L 2 5 / 1 8