



(12) 发明专利

(10) 授权公告号 CN 101689509 B

(45) 授权公告日 2011.05.25

(21) 申请号 200880022833.0

代理人 屠长存

(22) 申请日 2008.05.20

(51) Int. Cl.

(30) 优先权数据

H01L 21/336 (2006.01)

11/771,721 2007.06.29 US

H01L 29/78 (2006.01)

(85) PCT申请进入国家阶段日

(56) 对比文件

2009.12.29

US 2004/0191974 A1, 2004.09.30,

(86) PCT申请的申请数据

CN 1846305 A, 2006.10.11,

PCT/US2008/064192 2008.05.20

CN 1771590 A, 2006.05.10,

(87) PCT申请的公布数据

US 6794252 B2, 2004.09.21,

W02009/005903 EN 2009.01.08

CN 1443367 A, 2003.09.17,

(73) 专利权人 飞思卡尔半导体公司

审查员 李惟芬

地址 美国得克萨斯

(72) 发明人 G·V·卡尔维 C·卡帕索

斯里坎斯·B·萨马弗达姆

詹姆斯·K·谢弗 W·J·泰勒

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

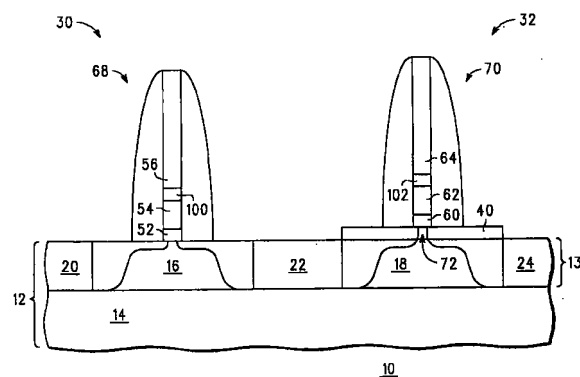
权利要求书 3 页 说明书 8 页 附图 8 页

(54) 发明名称

用于形成双金属栅极结构的方法

(57) 摘要

一种用于形成半导体结构 (10) 的方法包括：在半导体层上形成沟道区层 (40)，其中该半导体层包括第一和第二阱区 (16、18)；在该沟道区层上形成保护层 (80)；在第一阱区上形成第一栅极电介质层 (26)；在第一栅极电介质上形成第一金属栅极电极层 (28)；去除保护层；在沟道区层上形成第二栅极电介质层 (42)；在第二栅极电介质层上形成第二金属栅极电极层 (44)；以及在第一阱区上形成包括第一栅极电介质层和第一金属栅极电极层中的每一个的一部分的第一栅极堆叠 (58)，并且在沟道区层上形成包括第二栅极电介质层和第二金属栅极电极层中的每一个的一部分的第二栅极堆叠 (66)。



1. 一种用于形成半导体结构的方法,该方法包括:

在半导体层上形成沟道区层,所述半导体层包括第一阱区和第二阱区,并且所述沟道区层形成在所述第二阱区上;

在所述沟道区层上形成保护层;

在所述第一阱区上形成第一栅极电介质层;

在所述第一栅极电介质层上形成第一金属栅极电极层;

在形成所述第一金属栅极电极层之后去除所述保护层;

在所述沟道区层上形成第二栅极电介质层;

在所述第二栅极电介质层上形成第二金属栅极电极层,其中所述第二金属栅极电极层是不同于所述第一金属栅极电极层的金属;以及

在所述第一阱区上形成包括所述第一栅极电介质层和所述第一金属栅极电极层中的每一个的一部分的第一栅极堆叠,并且在所述沟道区层上和所述第二阱区上形成包括所述第二栅极电介质层和所述第二金属栅极电极层中的每一个的一部分的第二栅极堆叠。

2. 根据权利要求1所述的方法,还包括:

使用所述第一栅极堆叠形成具有第一导电类型的第一器件,以及使用所述第二栅极堆叠形成具有不同于所述第一导电类型的第二导电类型的第二器件,其中所述第二器件的沟道区在所述沟道区层中。

3. 根据权利要求1所述的方法,还包括在形成所述第一栅极堆叠和所述第二栅极堆叠之前,在所述第一金属栅极电极层和所述第二金属栅极电极层中的每一个上形成导电栅极加厚层。

4. 根据权利要求1所述的方法,其中形成所述沟道区层包括生长不同于所述半导体层的半导体材料的半导体材料。

5. 根据权利要求4所述的方法,其中形成所述沟道区层包括在所述第二阱区上外延生长硅锗。

6. 根据权利要求1所述的方法,其中形成所述保护层包括沉积从由氧化物和氮化物组成的组中选择材料。

7. 根据权利要求1所述的方法,其中形成所述第一栅极电介质层包括形成第一高k电介质层,并且形成所述第二栅极电介质层包括形成第二高k电介质层,该第二高k电介质层包括不同于所述第一高k电介质层的高k电介质。

8. 一种用于形成半导体结构的方法,该方法包括:

在半导体层上形成沟道区层,所述半导体层包括第一阱区和第二阱区,并且所述沟道区层形成在所述第二阱区上而不形成在所述第一阱区上;

在所述沟道区层上形成保护层;

在所述半导体层和所述保护层上形成第一栅极电介质层;

在所述第一栅极电介质层上形成第一金属栅极电极层;

去除所述第一栅极电介质层和所述第一金属栅极电极层的覆盖所述保护层的部分;

去除所述保护层;

在所述第一金属栅极电极层和所述沟道区层上形成第二栅极电介质层;

在所述第二栅极电介质层上形成第二金属栅极电极层,其中所述第二金属栅极电极层

是不同于所述第一金属栅极电极层的金属；

去除所述第二金属栅极电极层和所述第二栅极电介质层的覆盖所述第一金属栅极电极层的部分；以及

在所述第一阱区上形成包括所述第一栅极电介质层和所述第一金属栅极电极层中的每一个的一部分的第一栅极堆叠，并且在所述沟道区层上和所述第二阱区上形成包括所述第二栅极电介质层和所述第二金属栅极电极层中的每一个的一部分的第二栅极堆叠。

9. 根据权利要求 8 所述的方法，其中形成所述保护层包括沉积从由氧化物和氮化物组成的组中选择材料。

10. 根据权利要求 8 所述的方法，还包括：

使用所述第一栅极堆叠形成具有第一导电类型的第一器件，以及使用所述第二栅极堆叠形成具有不同于所述第一导电类型的第二导电类型的第二器件，其中所述第二器件的沟道区在所述沟道区层中。

11. 根据权利要求 8 所述的方法，其中形成所述沟道区层包括生长不同于所述半导体层的半导体材料的半导体材料。

12. 根据权利要求 11 所述的方法，其中形成所述沟道区层包括在所述第二阱区上外延生长硅锗。

13. 根据权利要求 8 所述的方法，其中形成所述第一栅极电介质层包括形成第一高 k 电介质层，并且形成所述第二栅极电介质层包括形成第二高 k 电介质层，该第二高 k 电介质层包括不同于所述第一高 k 电介质层的高 k 电介质。

14. 根据权利要求 8 所述的方法，还包括在所述第一金属栅极电极层上形成导电层，其中在所述第一金属栅极电极层和所述沟道区层上形成第二栅极电介质层包括在所述导电层和所述沟道区层上形成所述第二栅极电介质层。

15. 根据权利要求 14 所述的方法，其中去除所述第二金属栅极电极层和所述第二栅极电介质层的覆盖所述第一金属栅极电极层的部分包括使用所述导电层作为蚀刻阻挡层。

16. 根据权利要求 8 所述的方法，还包括在所述第二金属栅极电极层上形成导电层。

17. 一种用于形成半导体结构的方法，该方法包括：

在半导体层上形成沟道区层，所述半导体层包括第一阱区和第二阱区，并且所述沟道区层形成在所述第二阱区上；

在所述沟道区层上形成保护层；

在所述第一阱区上形成第一高 k 栅极电介质层；

在所述第一高 k 栅极电介质层上形成第一金属栅极电极层；

在形成所述第一金属栅极电极层之后去除所述保护层；

在所述沟道区层上形成第二高 k 栅极电介质层，所述第二高 k 栅极电介质层具有不同于所述第一高 k 栅极电介质层的高 k 电介质；

在所述第二高 k 栅极电介质层上形成第二金属栅极电极层，其中所述第二金属栅极电极层是不同于所述第一金属栅极电极层的金属；

在所述第一阱区上形成包括所述第一高 k 栅极电介质层和所述第一金属栅极电极层中的每一个的一部分的第一栅极堆叠，并且在所述沟道区层上和所述第二阱区上形成包括所述第二高 k 栅极电介质层和所述第二金属栅极电极层中的每一个的一部分的第二栅极

堆叠 ;以及

使用所述第一栅极堆叠形成具有第一导电类型的第一器件,以及使用所述第二栅极堆叠形成具有不同于所述第一导电类型的第二导电类型的第二器件,其中所述第二器件的沟道区在所述沟道区层中。

18. 根据权利要求 17 所述的方法,还包括在形成所述第一栅极堆叠和所述第二栅极堆叠之前在所述第一金属栅极电极层和所述第二金属栅极电极层中的每一个上形成导电栅极加厚层。

19. 根据权利要求 17 所述的方法,其中形成所述沟道区层包括生长不同于所述半导体层的半导体材料的半导体材料。

20. 根据权利要求 17 所述的方法,其中形成所述保护层包括沉积从由氧化物和氮化物组成的组中选择材料。

用于形成双金属栅极结构的方法

技术领域

[0001] 本公开一般涉及半导体处理,并且更具体地,涉及用于形成双金属栅极结构的方法。

背景技术

[0002] 在半导体处理领域中,随着栅极电介质厚度不断下降,多晶硅栅极结构的使用变得越来越不可行。当半导体处理不使用二氧化硅作为栅极电介质以利于电介质具有高介电常数(也称为高k电介质)时,多晶硅栅极变得更成问题。克服由多晶硅栅极引入的一些问题的一种方案是使用金属栅极。在双金属栅极工艺中,第一金属用于形成PMOS(p沟道金属氧化物半导体)器件的栅极,第二不同金属用于形成NMOS(n沟道MOS)器件。通过使用不同的金属,可以针对每种类型的器件优化功函数。然而,在传统的双金属栅极集成(integration)中,一些处理步骤,如金属蚀刻和硬掩模去除,可能损伤双金属栅极结构的高k栅极电介质,从而降低器件性能。

附图说明

[0003] 通过示例的方式说明本发明,并且本发明不受附图的限制,在附图中同样的附图标记表示类似的要素。出于简明和清晰的目的,示出图中的要素,并且所述要素不一定按比例绘出。

[0004] 图1示出根据一个实施例在半导体层上具有沟道区层的半导体结构的截面图。

[0005] 图2示出根据一个实施例在半导体层上和沟道区层上形成保护层并且在保护层上形成图案化掩模层之后的图1的半导体结构的截面图。

[0006] 图3示出根据一个实施例在去除保护层的暴露部分之后的图2的半导体结构的截面图。

[0007] 图4示出根据一个实施例在去除在图2中形成的图案化掩模层之后的图3的半导体结构的截面图。

[0008] 图5示出根据一个实施例在半导体层和保护层上形成栅极电介质层、在电介质层上形成栅极电极层、在栅极电极层上形成导电层以及在导电层上形成图案化掩模层之后的图4的半导体结构的截面图。

[0009] 图6示出根据一个实施例在使用在图5中形成的图案化掩模层图案化在图5中形成的栅极电介质层、栅极电极层和导电层之后的图5的半导体结构的截面图。

[0010] 图7示出根据一个实施例在去除在图5中形成的图案化掩模层之后的图6的半导体结构的截面图。

[0011] 图8示出根据一个实施例在去除保护层之后的图7的半导体结构的截面图。

[0012] 图9示出根据一个实施例在导电层和沟道区层上形成栅极电介质层、在栅极电介质层上形成栅极电极层、在栅极电极层上形成导电层以及在栅极电极层上形成图案化掩模层之后的图8的半导体结构的截面图。

[0013] 图 10 示出根据一个实施例在去除在图 9 中形成的导电层、栅极电极层和栅极电介质层的一部分之后的图 9 的半导体结构的截面图。

[0014] 图 11 示出根据一个实施例在去除在图 9 中形成的图案化掩模层之后并且在导电层上形成栅极加厚层和在栅极加厚层上形成图案化掩模层之后的图 10 的半导体结构的截面图。

[0015] 图 12 示出根据一个实施例在形成两个栅极堆叠之后的图 11 的半导体结构的截面图。

[0016] 图 13 示出根据一个实施例在形成具有图 12 的栅极堆叠的基本完整的半导体器件之后的图 12 的半导体结构的截面图。

具体实施方式

[0017] 第一金属栅极用于 NMOS 器件并且第二不同金属栅极用于 PMOS 器件的双金属栅极集成可以用于解决与多晶硅栅极相关的问题,并且使得能够针对每种器件优化功函数。此外,通过对 PMOS 器件和 NMOS 器件的沟道区使用不同材料可以进一步提高所述器件的性能。例如,当在一种半导体材料(例如硅)中形成 NMOS 器件的沟道区时,该器件可能表现得很好,而当在不同的半导体材料(例如硅锗)中形成 PMOS 器件的沟道区时,该器件可能表现得更好。因此,下面描述的一个实施例包括双金属集成,其还考虑到 NMOS 器件和 PMOS 器件的不同类型沟道区。

[0018] 图 1 示出具有半导体衬底 12 的半导体结构 10。半导体衬底 12 包括埋入氧化物层 14 和埋入氧化物层 14 上的半导体层 13。半导体层 13 包括将用于形成 NMOS 器件的 NMOS 阱区 16 和将用于形成 PMOS 器件的 PMOS 阱区 18。半导体层 13 还包括隔离区 20、22 和 24 以隔离不同的阱区。注意,每个阱区,例如阱区 16 和 18,可以用于形成任意数量的器件。在所示出的实施例中,半导体衬底被示为半导体层 13 覆盖埋入氧化物层 14 的绝缘体上半导体(SOI)衬底。然而,在可选实施例中,衬底 12 可以是不存在埋入氧化物层 14 的体半导体衬底。半导体层 13 可以包括任何半导体材料。在一个实施例中,半导体层 13 是硅层。

[0019] 半导体层 13 包括在其中将形成一个或多个 NMOS 器件的 NMOS 器件区 30 和在其中将形成一个或多个 PMOS 器件的 PMOS 器件区 32。注意, NMOS 器件区 30 可以包括任意数量的 NMOS 阱区,如 NMOS 阱区 16,并且 PMOS 器件区 32 可以包括任意数量的 PMOS 阱区,如 PMOS 阱区 18。

[0020] 图 1 还示出了在 PMOS 器件区 32 内的 PMOS 阱区 18 上形成的沟道区层 40。沟道区层 40 是将包含 PMOS 器件的沟道区的层。因此,沟道区层 40 可以是包括不同于半导体层 13 的(或 NMOS 阱区 16 的)半导体材料的半导体材料并且可以更适合于 PMOS 器件的层。例如,它可以是影响应变、带隙、迁移率等或者它们的任意组合的材料。例如,在一个实施例中,沟道区层 40 是与硅相比使得能够改进的 PMOS 器件的硅锗层。因此,在一个实施例中,半导体层 13 的阱区 16 和 18 可以是硅,而沟道区层 40 可以是硅锗。在一个实施例中,硅锗在大约 550 至 700 摄氏度范围的温度下外延生长到大约 2 至 15 纳米范围的厚度,并且具有大约 10%至 50%范围的锗浓度。

[0021] 图 2 示出在半导体层 13 上和沟道区层 40 上形成保护层 80 之后的半导体结构 10。在一个实施例中,通过毯式沉积具有大约 5 至 20 纳米范围的厚度的氧化物形成保护层 80。

在可选实施例中,保护层 80 可以包括等离子体增强氮化物。图 2 还示出了在 PMOS 器件区 32 中的保护层 80 上形成的图案化掩模层 82。在一个实施例中,图案化掩模层 82 可以包括光致抗蚀剂。在一个实施例中,可以使用传统处理形成图案化掩模层 82。

[0022] 图 3 示出在使用图案化掩模层 82 去除保护层 80 的暴露部分之后的半导体结构 10。因此,注意,通过使用图案化掩模层 82,可以去除 NMOS 器件区 30 内的保护层 80 的那些部分以露出半导体层 13 的 NMOS 阱区 16。在一个实施例中,可以使用传统蚀刻工艺和化学药品去除保护层 80 的暴露部分。

[0023] 图 4 示出在去除图案化掩模层 82 之后的半导体结构 10。在一个实施例中,使用传统处理去除图案化掩模层 82。

[0024] 图 5 示出在 NMOS 区 30 中在半导体层 13 和保护层 80 上形成栅极电介质层 26、在栅极电介质层 26 上形成栅极电极层 28、在栅极电极层 28 上形成导电层 84 以及在导电层 84 上形成图案化掩模层 34 之后的半导体结构 10。在一个实施例中,在半导体层 13 和保护层 80 上毯式沉积栅极电介质层 26,并且在栅极电介质层 26 上毯式沉积栅极电极层 28。在一个实施例中,栅极电介质层 26 是例如包括铪氧化物或铪锆氧化物的高 k 栅极电介质。(注意,如在本文中所使用的,高 k 电介质是指介电常数 k 比二氧化硅的介电常数 k 更高的电介质。)此外,栅极电介质层 26 可以包括不只一个层,如被氧化物覆盖的高 k 电介质层。在一个实施例中,栅极电介质层 26 可以具有大约 1 至 5 纳米范围的厚度。在一个实施例中,栅极电极层 28 包括金属,例如,钽碳化物、钽氮化物、钛氮化物等。在一个实施例中,栅极电极层 28 具有大约 2 至 10 纳米范围的厚度。在所示出的实施例中,注意,栅极电介质层 26 和栅极电极层 28 分别是将被用于在 NMOS 器件区 30 中形成 NMOS 器件的栅极电介质层和栅极电极层。

[0025] 仍然参考图 5,在一个实施例中,导电层 84 是原位掺杂的多晶硅层。在一个实施例中,导电层 84 具有大约 2 至 20 纳米范围的厚度。在可选实施例中,不存在导电层 84。此外,在一个实施例中,图案化掩模层 34 包括光致抗蚀剂并且可以使用传统处理形成。

[0026] 图 6 示出在使用图案化掩模层 34 去除栅极电介质层 26、栅极电极层 28 和导电层 84 的暴露部分之后的半导体结构 10。因此,注意,通过使用图案化掩模层 34 可以去除 PMOS 器件区 32 内的栅极电介质层 26、栅极电极层 28 和导电层 84 的那些部分。在一个实施例中,可以使用湿蚀刻蚀穿至少导电层 84,同时可以使用湿蚀刻或干蚀刻蚀穿栅极电极层 28 和栅极电介质层 26。注意,在所示出的实施例中,在蚀刻 PMOS 器件区 32 内的栅极电介质层 26、栅极电极层 28 和导电层 84 期间保护层 80 保护沟道区 40。

[0027] 图 7 示出在去除图案化掩模层 34 之后的半导体结构 10。在一个实施例中,可以使用传统处理去除图案化掩模层 34。

[0028] 图 8 示出在去除保护层 80 之后的半导体结构 10。在一个实施例中,使用氢氟酸 (HF) 去除 PMOS 器件区 32 中的保护层 80。

[0029] 图 9 示出在 NMOS 器件区 30 中的导电层 84 上和 PMOS 器件区 32 中的沟道区层 40 上形成栅极电介质层 42、在栅极电介质层 42 上形成栅极电极层 44、在栅极电极层 44 上形成导电层 92 以及在 PMOS 器件区 32 中在导电层 92 上形成图案化掩模层 46 之后的半导体结构 10。在一个实施例中,在导电层 84、半导体层 13 和沟道区 40 上毯式沉积栅极电介质层 42,并且在栅极电介质层 42 上毯式沉积栅极电极层 44。在一个实施例中,栅极电介质

层 42 是例如包括铪氧化物或铪锆氧化物的高 k 栅极电介质。(注意,在一个实施例中,使用不同于栅极电介质 26 的高 k 电介质形成栅极电介质层 42。)此外,栅极电介质层 42 可以包括不止一个层,如被氧化物覆盖的高 k 电介质层。在一个实施例中,栅极电介质层 42 可以具有大约 1 至 5 纳米范围的厚度。在一个实施例中,栅极电极层 44 包括金属,例如,钼氮化物、钌等。此外,在一个实施例中,由不同于栅极电极层 28 的金属的金属形成栅极电极层 44。在一个实施例中,栅极电极层 44 具有大约 2 至 10 纳米范围的厚度。在所示出的实施例中,注意,栅极电介质层 42 和栅极电极层 44 分别是将被用于形成 PMOS 器件区 32 中的 PMOS 器件的栅极电介质层和栅极电极层。

[0030] 仍然参照图 9,在一个实施例中,导电层 92 是原位掺杂的多晶硅层。在一个实施例中,导电层 92 具有大约 3 至 15 纳米范围的厚度。在可选实施例中,不存在导电层 92。此外,在一个实施例中,图案化掩模层 46 包括光致抗蚀剂并且可以使用传统处理形成。

[0031] 注意,可以将 NMOS 器件区 30 称为第一器件区,类似地,可以将 NMOS 阱区 16 称为第一阱区,并且可以将 PMOS 器件区 32 称为第二器件区,类似地,可以将 PMOS 阱区 18 称为第二阱区。此外,注意,极性可以反转,这样使得第一器件区对应于 PMOS 器件区,第二器件区对应于 NMOS 器件区。类似地,在本实施例中,第一阱区对应于 PMOS 阱区,而第二阱区对应于 NMOS 阱区。此外,在此情况下,栅极电介质层 26 和栅极电极层 28 将分别对应于将被用于形成 PMOS 器件的栅极电介质层和栅极电极层,而栅极电介质层 42 和栅极电极层 44 将分别对应于将被用于形成 NMOS 器件的栅极电介质层和栅极电极层。

[0032] 图 10 示出在使用图案化掩模层 46 去除 NMOS 器件区 30 中的导电层 92、栅极电极层 44 和栅极电介质层 42 的暴露部分之后的半导体结构 10。因此,注意,通过使用图案化掩模层 46 可以蚀刻 NMOS 器件区 30 内的导电层 92、栅极电极层 44 和栅极电介质层 42 的那些部分,其中,在一个实施例中,导电层 86 作为该蚀刻的蚀刻阻挡层并且在该蚀刻期间用于保护下面的栅极电极层 28。在可选实施例中,不存在导电层 84。在该可选实施例中,栅极电极层 28 可以制得较厚,其中栅极电极层 28 的顶部部分在蚀刻导电层 92、栅极电极层 44 和栅极电介质层 42 期间将被去除。这样,栅极电极层 44 的剩余部分将具有足以适当地作为栅极电极工作的厚度。在一个实施例中,可以使用传统蚀刻去除导电层 92、栅极电极层 44 和栅极电介质层 42 的所述部分。

[0033] 图 11 示出在去除图案化掩模层 46 之后的半导体结构 10。注意,导电层 92 在去除图案化掩模层 46 期间起到保护下面的栅极电极层 44 的作用。在一个实施例中,可以使用灰尘 (ash) 或“过氧硫酸 (Piranha)”清洗去除图案化掩模层 46,其中如果不存在导电保护层 92,则灰尘或“过氧硫酸”可能损伤栅极电极层 44。在可选实施例中,可以不存在导电层 92。例如,在一个实施例中,可以利用能够不损伤下面的层(如栅极电极层 44)的溶剂去除图案化掩模层 46。

[0034] 图 11 还示出在导电层 84 和 92 上形成栅极加厚层 48 以及在栅极加厚层 48 上形成图案化掩模层 50 之后的半导体结构 10。注意,如果不存在导电层 84,则在栅极电极 28 上直接形成栅极加厚层 48,并且如果不存在导电层 92,则在栅极电极 44 上直接形成栅极加厚层 48。在一个实施例中,栅极加厚层 48 包括导电材料,例如多晶硅,并且因此也可以被称为导电栅极加厚层。此外,栅极加厚层 48 可以包括一个或多个导电材料层。在一个实施例中,栅极加厚层 48 起到加厚正在形成的器件的栅极堆叠的作用,使得当进行源极和漏极注

入时,栅极堆叠足够厚,从而阻止在沟道区中的注入。在可选实施例中,可以不形成栅极加厚层。图案化掩模层 50 限定与正在形成的器件的栅极堆叠相对应的位置。在所示出的实施例中,图案化掩模层 50 限定 NMOS 器件区 30 中的栅极堆叠位置和 PMOS 器件区 32 中的栅极堆叠位置。在一个实施例中,图案化掩模层 50 包括光致抗蚀剂。在一个实施例中,可以使用传统处理形成栅极加厚层 48 和图案化掩模层 50。

[0035] 图 12 示出在使用图案化掩模层 50 形成栅极堆叠 58 和 66 并且随后去除图案化掩模层 50 之后的半导体结构 10。因此,使用图案化掩模层 50 从器件区 30 和 32 去除栅极加厚层 48 的暴露部分,从 NMOS 器件区 30 去除导电层 84、栅极电极层 28 和栅极电介质层 26 的一部分,并且从 PMOS 器件区 32 去除导电层 92、栅极电极层 44 和栅极电介质层 42 的一部分,从而产生 NMOS 器件区 30 中的栅极堆叠 58 和 PMOS 器件区 32 中的栅极堆叠 66。注意,在图 13 中所示的实施例的蚀刻期间,同时蚀刻两个金属栅极电极层(栅极电极层 28 和 44)。在一个实施例中,可以根据栅极电极层 28 和 44 的相对蚀刻速率调整它们的厚度,从而使得能够在相同的总时间中蚀刻这两个层。在一个实施例中,可以使用传统处理形成栅极堆叠 58 和 66 以及图案化掩模层 50。

[0036] 如图 13 中所示,栅极堆叠 58 包括 NMOS 阱区 16 上(由栅极电介质层 26 形成)的栅极电介质 52、栅极电介质 52 上(由栅极电极层 28 形成)的栅极电极 54、栅极电极 54 上(由导电层 84 形成)的导电层 100 以及栅极电极 54 上(由栅极加厚层 48 形成)的栅极加厚物 56。栅极堆叠 66 包括沟道区层 40 上(由栅极电介质层 42 形成)的栅极电介质 60、栅极电介质 60 上(由栅极电极层 44 形成)的栅极电极 62、栅极电极 62 上(由导电层 92 形成)的导电层 102 以及栅极电极 62 上(由栅极加厚层 48 形成)的栅极加厚物 64。

[0037] 图 14 示出在形成基本完整的 NMOS 器件 68 和 PMOS 器件 70 之后的半导体结构 10。使用 NMOS 器件区 30 中的栅极堆叠 58 形成 NMOS 器件 68 并且使用 PMOS 器件区 32 中的栅极堆叠 66 形成 PMOS 器件。针对每个器件,可以使用传统处理形成隔离物(spacer)和源极区/漏极区。注意,在半导体层 13 的 NMOS 阱区 16 中的栅极电介质 52 下的 NMOS 器件 68 的源极区/漏极区之间形成沟道区。然而,PMOS 器件 70 的沟道区位于沟道区层 40 中的栅极电介质 60 下的 PMOS 器件 70 的源极区/漏极区之间而不是在半导体层 13 中。这样,NMOS 和 PMOS 器件 68 和 70 可以包括不同金属栅极电极并且可以被形成沟道区具有不同半导体材料。因此,通过选择不同的金属栅极电极和不同的沟道区材料可以分别优化 NMOS 器件和 PMOS 器件。

[0038] 因此,可以理解,通过使用保护层 80,可以在不损伤先前形成的沟道区层 40 的情况下从器件区 32 蚀刻栅极电极层 28 和栅极电介质层 26(以及导电层 84,如果存在的话)。此外,使用导电层 84 和 92,在形成双金属栅极结构所需的后续处理期间(如在去除覆盖层期间)可以相应地保护下面的层,如栅极电极层 28 和 44。这样,可以形成更适合于在器件区 32 中形成的特定类型器件(不管它是 PMOS 器件还是 NMOS 器件)的沟道区层,同时使得能够实现不损伤沟道区/栅极电介质界面的双金属集成。

[0039] 在可选实施例中,注意,可以使用例如沟道区层 40 的沟道区层形成 NMOS 器件而不是 PMOS 器件。在另一个实施例中,可以使用例如沟道区层 40 的沟道区层形成 NMOS 和 PMOS 器件二者。例如,在形成栅极电介质层 26 之前,还可以在阱区 16 上形成沟道区层。

[0040] 一个实施例涉及用于形成半导体结构的方法,该方法包括:在半导体层上形成沟

道区层,其中该半导体层包括第一阱区和第二阱区,并且其中该沟道区层形成在第二阱区上;在沟道区层上形成保护层;在第一阱区上形成第一栅极电介质层;在第一栅极电介质上形成第一金属栅极电极层;在形成第一金属栅极电极层之后去除保护层;在沟道区层上形成第二栅极电介质层;在第二栅极电介质层上形成第二金属栅极电极层,其中第二金属栅极电极层是不同于第一金属栅极电极层的金属;以及在第一阱区上形成包括第一栅极电介质层和第一金属栅极电极层中的每一个的一部分的第一栅极堆叠,并且在沟道区层上和第二阱区上形成包括第二栅极电介质层和第二金属栅极电极层中的每一个的一部分的第二栅极堆叠。

[0041] 在进一步的实施例中,该方法还包括使用第一栅极堆叠形成具有第一导电类型的第一器件并且使用第二栅极堆叠形成具有不同于第一导电类型的第二导电类型的第二器件,其中第二器件的沟道区在沟道区层中。

[0042] 在另一个进一步的实施例中,在形成第一栅极堆叠和第二栅极堆叠之前,该方法还包括在第一金属栅极电极层和第二金属栅极电极层中的每一个上形成导电栅极加厚层。

[0043] 在另一个进一步的实施例中,形成沟道区层包括生长不同于该半导体层的半导体材料的半导体材料。在更进一步的实施例中,形成沟道区层包括在第二阱区上外延生长硅锗。

[0044] 在另一个进一步的实施例中,形成保护层包括沉积从由氧化物和氮化物组成的组中选择材料。

[0045] 在另一个进一步的实施例中,形成第一栅极电介质层包括形成第一高 k 电介质层,并且形成第二栅极电介质层包括形成第二高 k 电介质层,该第二高 k 电介质层包括不同于第一高 k 电介质层的高 k 电介质。

[0046] 在另一个实施例中,用于形成半导体结构的方法包括:在半导体层上形成沟道区层,其中该半导体层包括第一阱区和第二阱区,并且其中该沟道区层形成在第二阱区上而不形成在第一阱区上;在沟道区层上形成保护层;在半导体层和保护层上形成栅极电介质层;在第一栅极电介质层上形成第一金属栅极电极层;去除第一栅极电介质层和第一金属栅极电极层的覆盖保护层的部分;去除保护层;在第一栅极电极层和沟道区层上形成第二栅极电介质层;在第二栅极电介质层上形成第二金属栅极电极层,其中第二金属栅极电极层是不同于第一金属栅极电极层的金属;去除第二金属栅极电极层和第二栅极电介质层的覆盖第一栅极电极层的部分;以及在第一阱区上形成包括第一栅极电介质层和第一金属栅极电极层中的每一个的一部分的第一栅极堆叠,并且在沟道区层上和第二阱区上形成包括第二栅极电介质层和第二金属栅极电极层中的每一个的一部分的第二栅极堆叠。

[0047] 在该另一个实施例的进一步的实施例中,形成保护层包括沉积从由氧化物和氮化物组成的组中选择材料。

[0048] 在该另一个实施例的另一个进一步的实施例中,使用第一栅极堆叠形成具有第一导电类型的第一器件,并且使用第二栅极堆叠形成具有不同于第一导电类型的第二导电类型的第二器件,其中第二器件的沟道区在沟道区层中。

[0049] 在该另一个实施例的另一个进一步的实施例中,形成沟道区层包括生长不同于所述半导体层的半导体材料的半导体材料。在进一步的实施例中,形成沟道区层包括在第二阱区上外延生长硅锗。

[0050] 在该另一个实施例的另一个进一步的实施例中,形成第一栅极电介质层包括形成第一高 k 电介质层,并且形成第二栅极电介质层包括形成第二高 k 电介质层,该第二高 k 电介质层包括不同于第一高 k 电介质层的高 k 电介质。

[0051] 在该另一个实施例的另一个进一步的实施例中,该方法还包括在第一栅极电极层上形成导电层,其中在第一栅极电极层和沟道区层上形成第二栅极电介质层包括在导电层和沟道区层上形成第二栅极电介质层。在更进一步的实施例中,去除第二金属栅极电极层和第二栅极电介质层的覆盖第一栅极电极层的部分包括使用导电层作为蚀刻阻挡层。

[0052] 在该另一个实施例的另一个进一步的实施例中,该方法还包括在第二金属栅极电极层上形成导电层。

[0053] 在另一个实施例中,用于形成半导体结构的方法包括:在半导体层上形成沟道区层,其中该半导体层包括第一阱区和第二阱区,并且其中沟道区层形成在第二阱区上;在沟道区层上形成保护层;在第一阱区上形成第一高 k 栅极电介质层;在第一高 k 栅极电介质上形成第一金属栅极电极层;在形成第一金属栅极电极层之后去除保护层;在该沟道区层上形成第二高 k 栅极电介质层,其中第二高 k 栅极电介质层具有不同于第一高 k 栅极电介质层的高 k 电介质;在第二高 k 栅极电介质层上形成第二金属栅极电极层,其中该第二金属栅极电极层是不同于第一金属栅极电极层的金属;在第一阱区上形成包括第一高 k 栅极电介质层和第一金属栅极电极层中的每一个的一部分的第一栅极堆叠,并且在沟道区层上和第二阱区上形成包括第二高 k 栅极电介质层和第二金属栅极电极层中的每一个的一部分的第二栅极堆叠;以及使用第一栅极堆叠形成具有第一导电类型的第一器件,并且使用第二栅极堆叠形成具有不同于第一导电类型的第二导电类型的第二器件,其中第二器件的沟道区在所述沟道区层中。

[0054] 在该另一个实施例的进一步的实施例中,在形成第一栅极堆叠和第二栅极堆叠之前,该方法还包括在第一金属栅极电极层和第二金属栅极电极层中的每一个上形成导电栅极加厚层。

[0055] 在该另一个实施例的另一个进一步的实施例中,形成沟道区层包括生长不同于该半导体层的半导体材料的半导体材料。

[0056] 在该另一个实施例的另一个进一步的实施例中,形成保护层包括沉积从由氧化物和氮化物组成的组中选择材料。

[0057] 尽管已经关于特定的导电类型或电势极性描述了本发明,但是技术人员应该理解导电类型和电势极性可以相反。

[0058] 此外,在说明书和权利要求书中,术语“前”、“后”、“顶”、“底”、“上”、“下”等(若有的话),是被用于说明性的目的并且不一定用于描述永久的相对位置。应该理解,这样使用的所述术语在适当的情况下是可互换的,使得本文中描述的本发明的实施例能够例如以本文中所示出或描述的取向以外的其它取向操作。

[0059] 尽管本文中参考特定实施例描述了本发明,但是在不偏离以下权利要求书中给出的本发明的范围的情况下可以做出各种修改和变化。因此,说明书和附图将被认为是说明性的而不是限制性的,并且所有这样的修改都意图被包括在本发明的范围内。在本文中关于特定实施例描述的任何益处、优点或问题的解决方案都不意图被理解为任何一个或全部权利要求的关键的、必须的或基本的特征或要素。

[0060] 此外,如本文中所使用的术语“一”或“一个”被定义为一个或一个以上。另外,权利要求中对引导性短语(如“至少一个”和“一个或多个”)的使用不应该被解释为暗示由不定冠词“一”或“一个”对另一个权利要求要素的引导将包含所引导的权利要求要素的任何特定权利要求限制于只包含一个该要素的发明,即使同一个权利要求包括引导性短语“一个或多个”或者“至少一个”以及例如“一”或“一个”的不定冠词也是如此。这同样适用于定冠词的使用。

[0061] 除非另外说明,如“第一”和“第二”等术语被用于任意地区分该术语所描述的要素。因此,这些术语不一定意图表示这些要素的时间或其它优先次序。

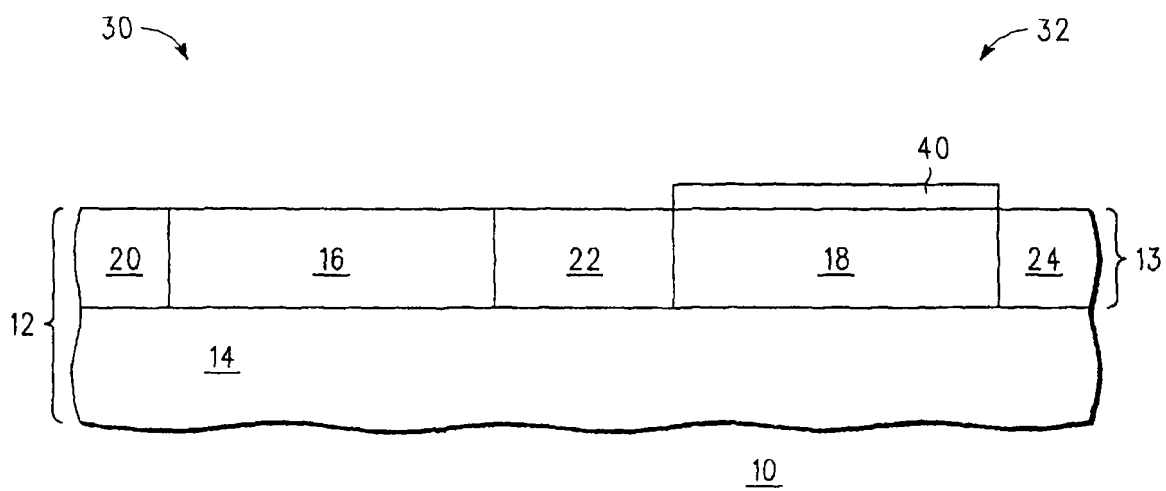


图 1

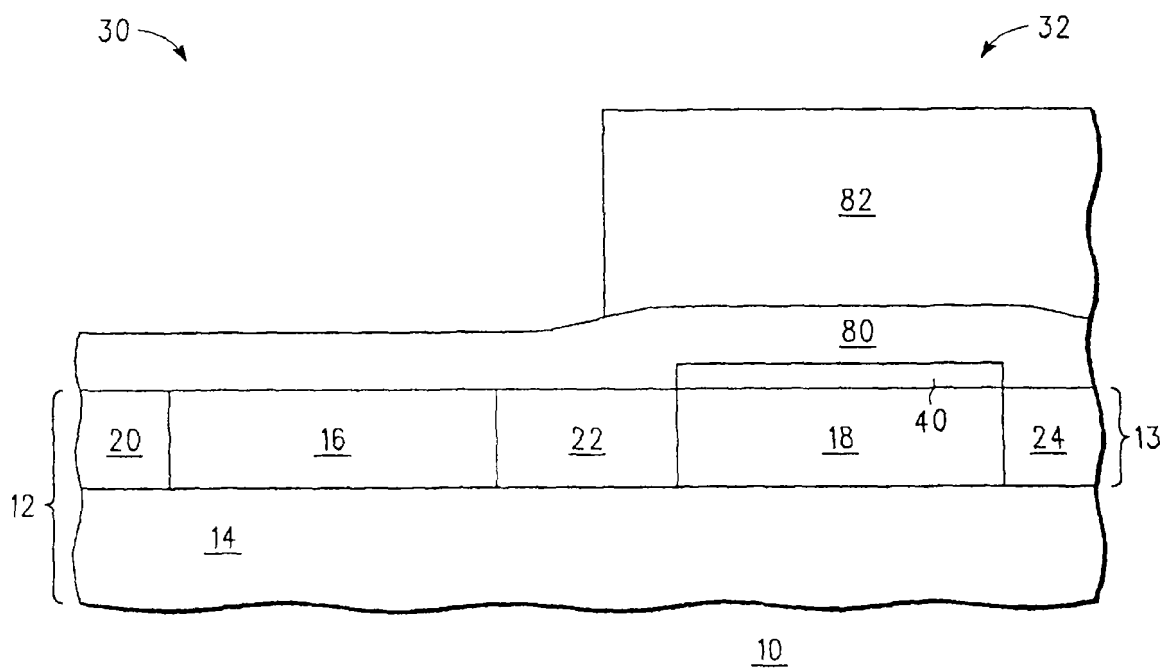


图 2

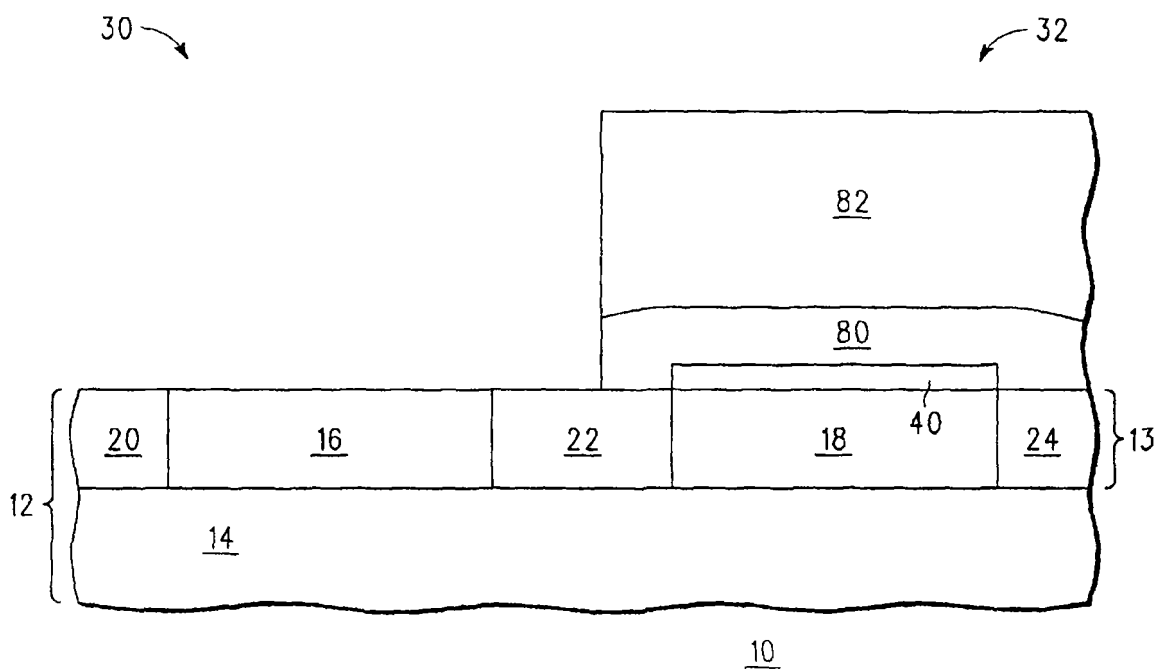


图 3

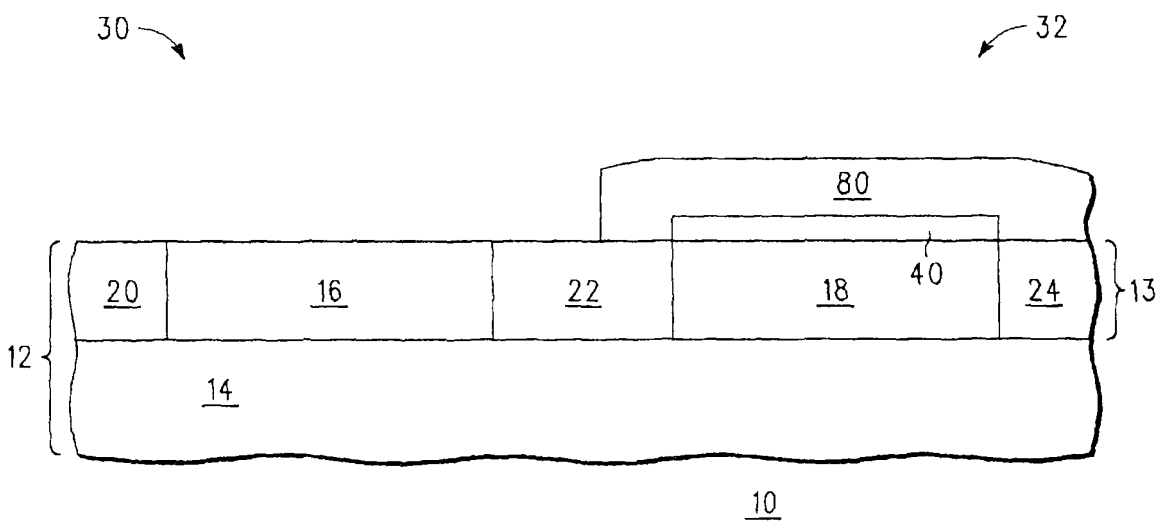


图 4

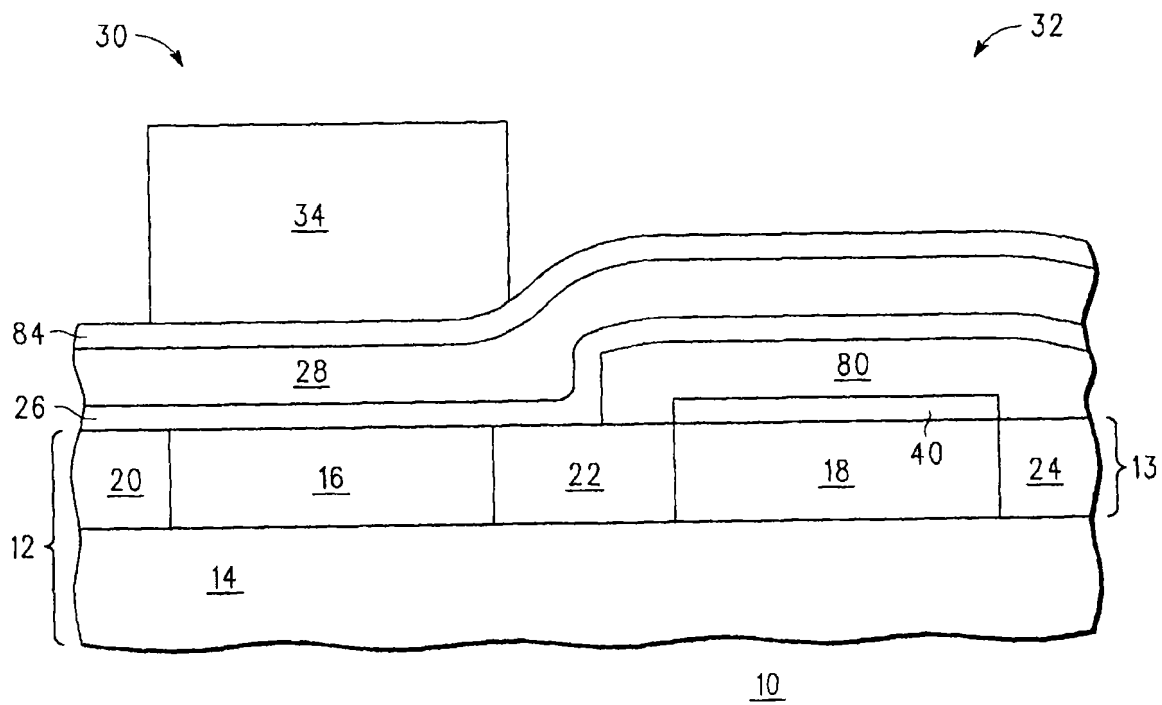


图 5

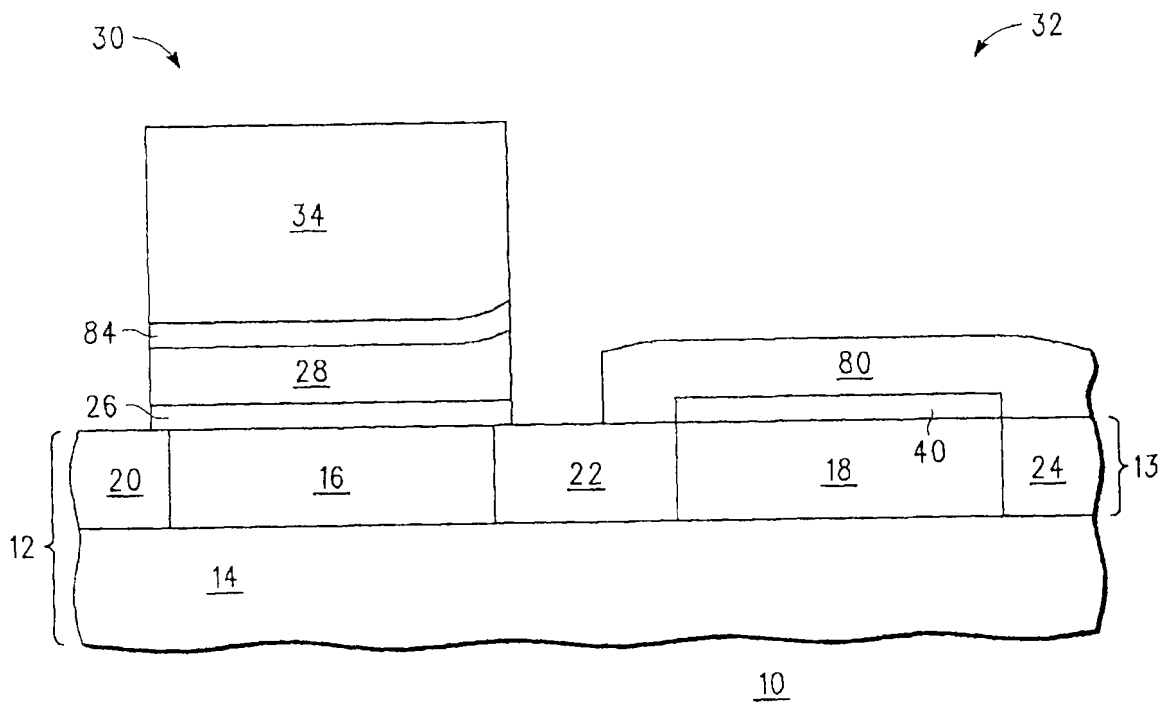


图 6

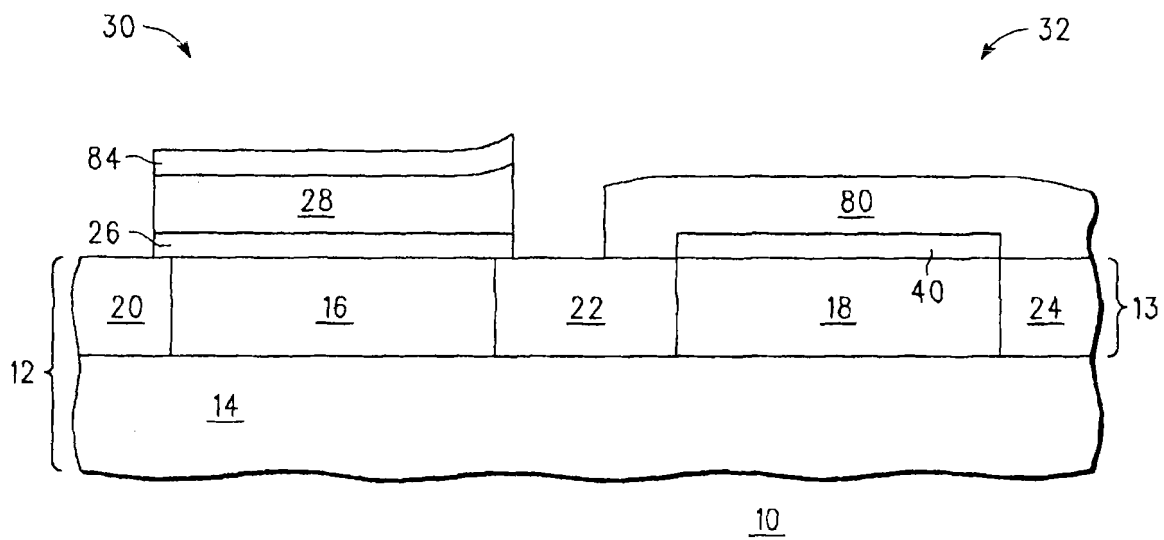


图 7

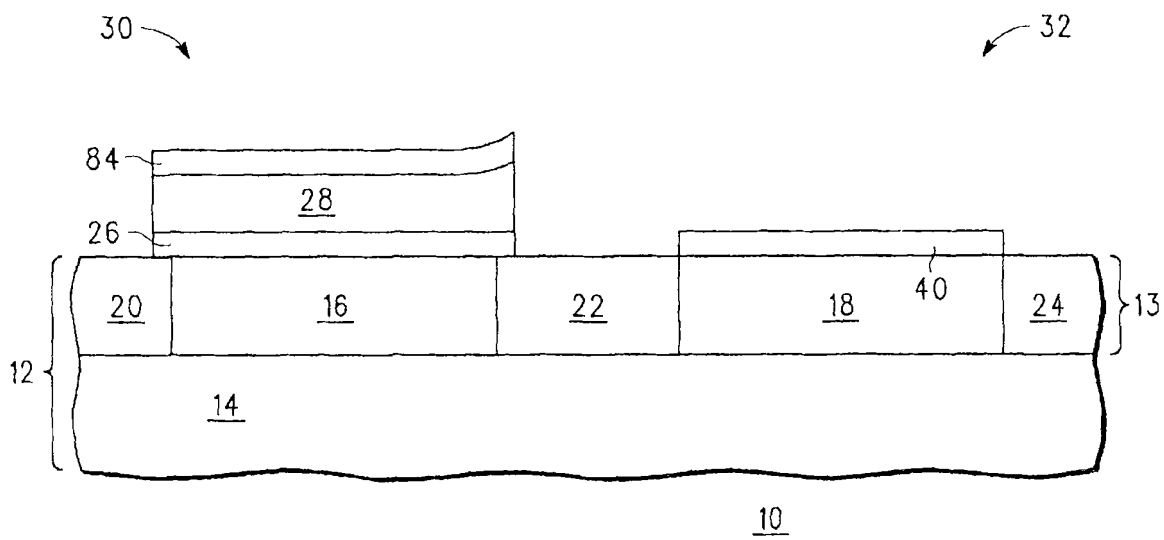


图 8

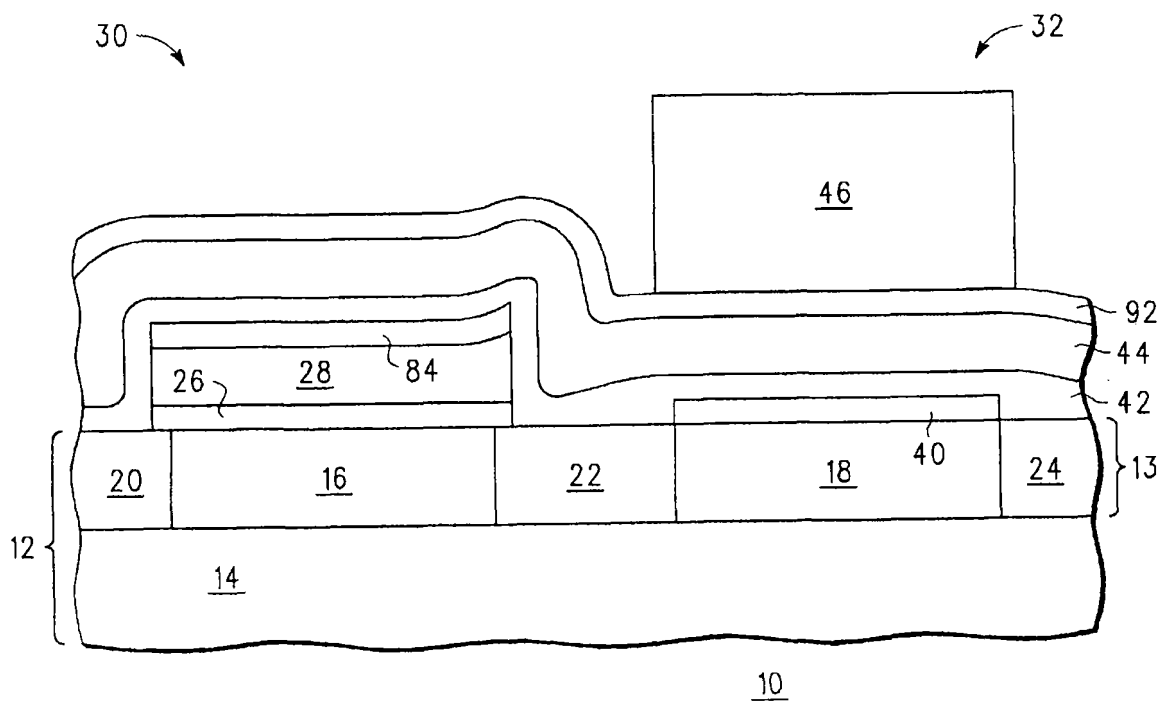


图 9

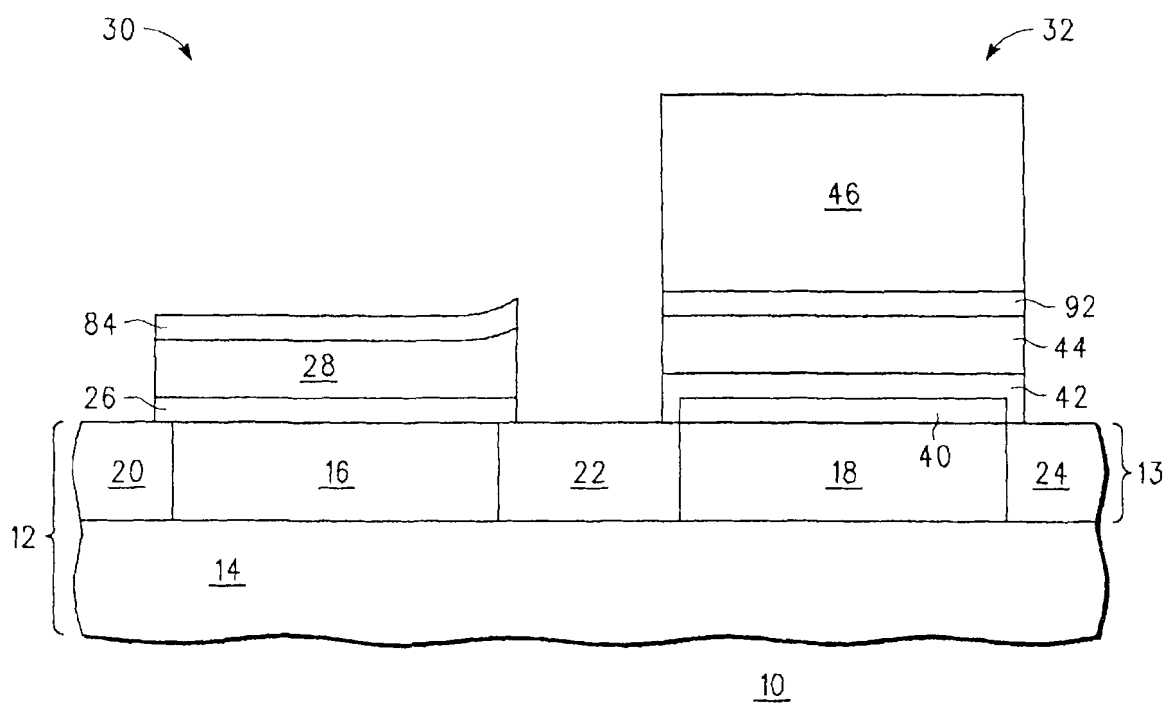


图 10

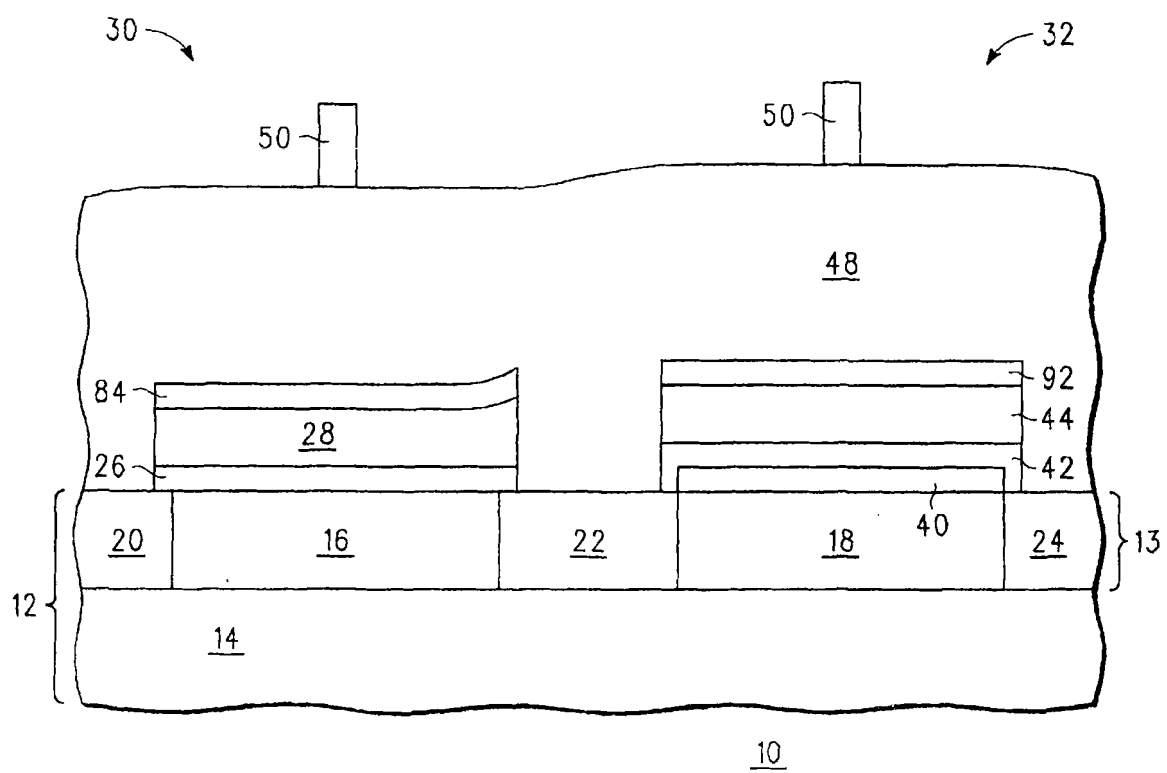


图 11

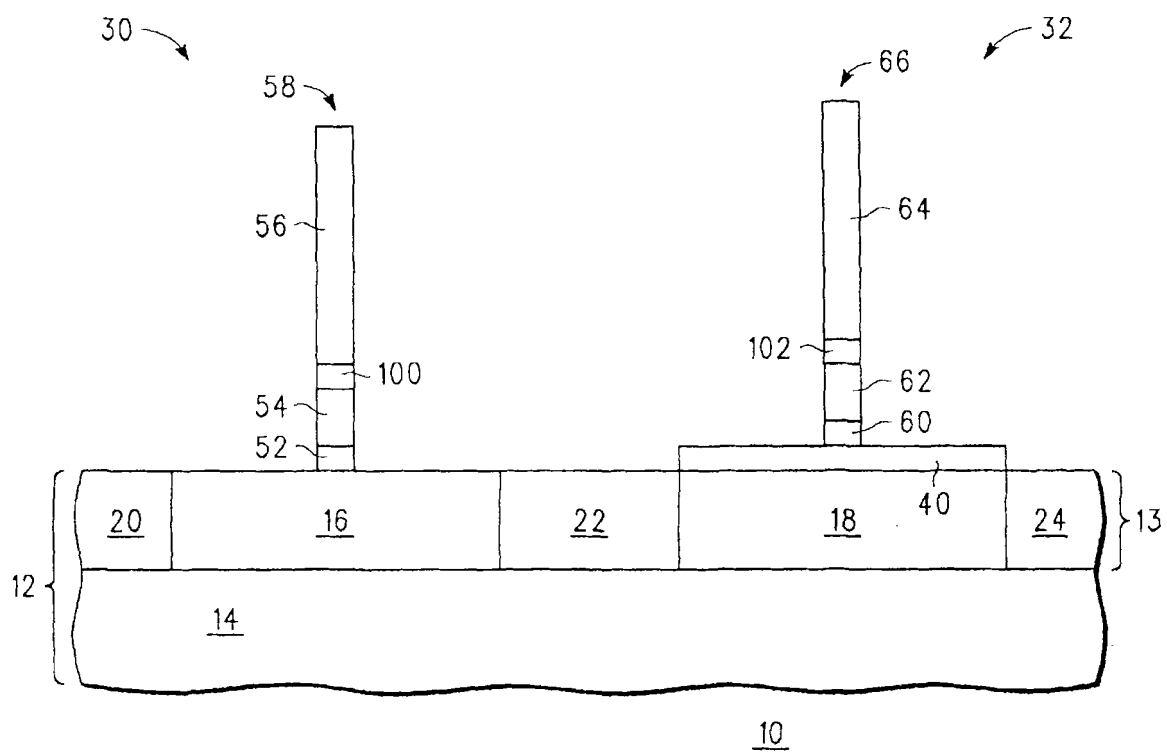


图 12

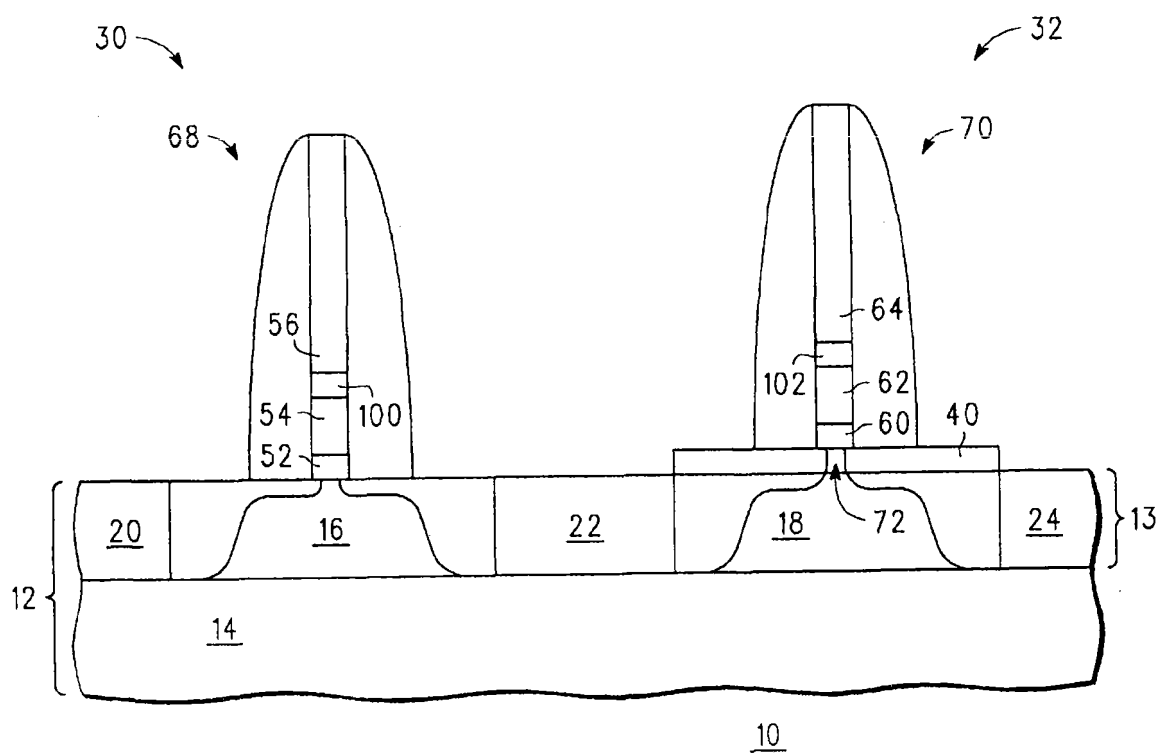


图 13