

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月18日(18.08.2022)



(10) 国際公開番号

WO 2022/172124 A1

- (51) 国際特許分類:
- | | |
|------------------------|-----------------------|
| G09G 3/20 (2006.01) | H01L 27/088 (2006.01) |
| G09G 3/30 (2006.01) | H01L 27/32 (2006.01) |
| G09G 3/3225 (2016.01) | H01L 29/786 (2006.01) |
| H01L 33/00 (2010.01) | H05B 33/02 (2006.01) |
| H01L 33/62 (2010.01) | H05B 33/06 (2006.01) |
| G09F 9/30 (2006.01) | H05B 33/12 (2006.01) |
| G09F 9/33 (2006.01) | H01L 51/50 (2006.01) |
| H01L 21/8234 (2006.01) | H05B 33/14 (2006.01) |
| H01L 27/06 (2006.01) | |

- (30) 優先権データ:
- | | | |
|----------------|------------------------|----|
| 特願 2021-020852 | 2021年2月12日(12.02.2021) | JP |
| 特願 2021-059417 | 2021年3月31日(31.03.2021) | JP |

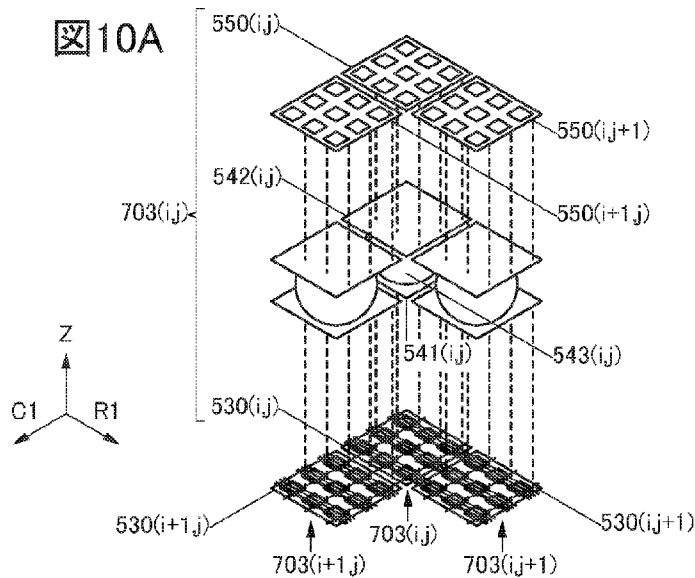
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 木村 肇(KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田 隆之 (IKEDA, Takayuki);

- (21) 国際出願番号: PCT/IB2022/050841
 (22) 国際出願日: 2022年2月1日(01.02.2022)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語

(54) Title: DISPLAY APPARATUS AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 表示装置、電子機器



(57) Abstract: Provided is a novel display apparatus having excellent convenience, utility, or reliability. This display apparatus has a first set of pixels, a second set of pixels, a first conductive film, and a second conductive film. The first set of pixels is provided with a first set of light-emitting devices and a first set of pixel circuits, the first set of pixel circuits includes a first group of pixel circuits, and the first group of pixel circuits includes a first pixel circuit. The second set of pixels is provided with a second set of light-emitting devices and a second set of pixel circuits, the second set of light-emitting devices is electrically connected with the second set of pixel circuits, the second set of pixel circuits includes a second group of pixel circuits, and the second group of pixel circuits includes a second pixel circuit. The first conductive film is electrically connected with the first group of pixel circuits and the second group of pixel circuits, and the second



WO 2022/172124 A1

〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

conductive film is electrically connected with the first pixel circuit and the second pixel circuit.

(57) 要約：利便性、有用性または信頼性に優れた新規な表示装置を提供する。第1の一組の画素と、第2の一組の画素と、第1の導電膜と、第2の導電膜と、を有する表示装置であって、第1の一組の画素は第1の一組の発光デバイスおよび第1の一組の画素回路を備え、第1の一組の画素回路は第1の一群の画素回路を含み、第1の一群の画素回路は第1の画素回路を含む。第2の一組の画素は第2の一組の発光デバイスおよび第2の一組の画素回路を備え、第2の一組の発光デバイスは第2の一組の画素回路と電氣的に接続され、第2の一組の画素回路は第2の一群の画素回路を含み、第2の一群の画素回路は第2の画素回路を含む。第1の導電膜は第1の一群の画素回路および第2の一群の画素回路と電氣的に接続され、第2の導電膜は第1の画素回路および第2の画素回路と電氣的に接続される。

明細書

発明の名称

表示装置、電子機器

技術分野

[0001]

本発明の一態様は、表示装置、電子機器または半導体装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンビジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

電流密度に対してマイクロ発光ダイオードの色度変化が小さいディスプレイが知られている（特許文献1）。具体的には、複数の画素はそれぞれ、表示素子と、マイクロコントローラと、を有する。マイクロコントローラは、第1のトランジスタと、三角波生成回路と、コンパレータと、スイッチと、定電流回路と、を有する。第1のトランジスタは、オフ状態とすることで画素に書き込まれるデータに応じた電位を保持する機能を有する。三角波生成回路は、三角波の信号を生成する機能を有する。コンパレータは、保持した電位と、三角波の信号とに応じた出力信号を生成する機能を有する。スイッチは、出力信号に応じて定電流回路を流れる電流を表示素子に流すか否かを制御する機能を有する。

[先行技術文献]

[特許文献]

[0004]

[特許文献1] 国際公開第WO2019/130138号パンフレット

発明の概要

発明が解決しようとする課題

[0005]

本発明の一態様は、利便性、有用性または信頼性に優れた新規な表示装置を提供することを課題の一とする。または、利便性、有用性または信頼性に優れた新規な電子機器を提供することを課題の一とする。または、新規な表示装置、新規な電子機器または新規な半導体装置を提供することを課題の一とする。

[0006]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0007]

(1) 本発明の一態様は、第1の一組の画素と、第2の一組の画素と、第3の一組の画素と、第1の導電膜と、第2の導電膜と、を有する表示装置である。

[0008]

第1の一組の画素は、第1の一組の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一組の画素回路を備える。

[0009]

第1の一組の発光デバイスは第1のパッドと電氣的に接続され、第1のパッドは第2のパッドと重なる。導電材料は第1のパッドおよび第2のパッドの間に挟まれ、導電材料は第1のパッドおよび第2のパッドを電氣的に接続する。第2のパッドは第1の一組の画素回路と電氣的に接続される。

[0010]

第1の一組の画素回路は第1の一群の画素回路を含み、第1の一群の画素回路は第1の画素回路を含む。

[0011]

第2の一組の画素は、第2の一組の発光デバイスおよび第2の一組の画素回路を備え、第2の一組の発光デバイスは第2の一組の画素回路と電氣的に接続され、第2の一組の画素回路は第2の一群の画素回路を含み、第2の一群の画素回路は第2の画素回路を含む。

[0012]

第3の一組の画素は、第3の一組の発光デバイスおよび第3の一組の画素回路を備え、第3の一組の発光デバイスは第3の一組の画素回路と電氣的に接続される。

[0013]

第1の導電膜は、第1の一群の画素回路および第2の一群の画素回路と電氣的に接続される。

[0014]

第2の導電膜は、第1の画素回路および第2の画素回路と電氣的に接続される。

[0015]

これにより、例えば、第1の導電膜を用いて、第1の期間に信号を、第1の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、同じ第1の期間に信号を、第2の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、第1の導電膜を用いて、第1の期間に信号を、複数の画素回路に供給することができる。

[0016]

また、例えば、第2の導電膜を用いて、第2の期間に信号を、第1の一組の画素回路に含まれる第1の画素回路に供給することができる。また、同じ第2の期間に信号を、第2の一組の画素回路に含まれる第2の画素回路に供給することができる。また、第2の期間において、第1の画素回路が第1の一組の画素の第2のパッドに電力を供給し、第2の画素回路が第2の一組の画素の第2のパッドに電力を供給することができる。

[0017]

また、第2のパッドの面積を、第1の一組の画素回路が占有する面積に近づけることができる。また、第1のパッドの面積を、第1の一組の画素回路が占有する面積に近づけることができる。また、第2のパッドと第1のパッドの電氣的な接続が容易になる。また、第1の一組の画素回路と第1の一組の発光デバイスの電氣的な接続が容易になる。または、第1の一組の画素回路と第1の一組の

発光デバイスのボンディングが容易になる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0018]

(2) また、本発明の一態様は、第1の一組の画素と、第2の一組の画素と、第3の一組の画素と、第1の導電膜と、第3の導電膜と、を有する表示装置である。

[0019]

第1の一組の画素は、第1の一組の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一組の画素回路を備える。

[0020]

第1の一組の発光デバイスは第1のパッドと電氣的に接続され、第1のパッドは第2のパッドと重なる。導電材料は第1のパッドおよび第2のパッドの間に挟まれ、導電材料は第1のパッドおよび第2のパッドを電氣的に接続する。第2のパッドは第1の一組の画素回路と電氣的に接続される。

[0021]

第1の一組の画素回路は第1の一群の画素回路を含み、第1の一群の画素回路は第1の画素回路を含む。

[0022]

第2の一組の画素は、第2の一組の発光デバイスおよび第2の一組の画素回路を備え、第2の一組の発光デバイスは第2の一組の画素回路と電氣的に接続され、第2の一組の画素回路は第2の一群の画素回路を含み、第2の一群の画素回路は第2の画素回路を含む。

[0023]

第3の一組の画素は、第3の一組の発光デバイスおよび第3の一組の画素回路を備え、第3の一組の発光デバイスは第3の一組の画素回路と電氣的に接続され、第3の一組の画素回路は第3の一群の画素回路を含み、第3の一群の画素回路は第3の画素回路を含む。

[0024]

第1の導電膜は、第1の一群の画素回路および前記第2の一群の画素回路と電氣的に接続される。

[0025]

第3の導電膜は、第1の画素回路および第3の画素回路と電氣的に接続される。

[0026]

これにより、例えば、第1の期間に信号を、第1の一組の画素回路および第3の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、第1の期間とは異なる期間に信号を、第3の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。

[0027]

また、例えば、第2の期間に信号を、第1の一組の画素回路に含まれる第1の画素回路に供給することができる。また、同じ第2の期間に信号を、第3の一組の画素回路に含まれる第3の画素回路に供給することができる。また、第2の期間において、第1の画素回路が第1の一組の画素の第2のパッドに電力を供給し、第3の画素回路が第3の一組の画素の第2のパッドに電力を供給することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0028]

(3) また、本発明の一態様は、第1の一組の画素と、第2の一組の画素と、第3の一組の画素と、第1の導電膜と、第4の導電膜と、第5の導電膜と、を有する表示装置である。

[0029]

第1の一組の画素は、第1の一組の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一組の画素回路を備える。

[0030]

第1の一組の発光デバイスは第1のパッドと電氣的に接続され、第1のパッドは第2のパッドと重なる。導電材料は第1のパッドおよび第2のパッドの間に挟まれ、導電材料は第1のパッドおよび第2のパッドを電氣的に接続する。第2のパッドは第1の一組の画素回路と電氣的に接続される。

[0031]

第1の一組の画素回路は第1の一群の画素回路を含み、第1の一群の画素回路は第1の画素回路を含む。

[0032]

第2の一組の画素は、第2の一組の発光デバイスおよび第2の一組の画素回路を備え、第2の一組の発光デバイスは第2の一組の画素回路と電氣的に接続され、第2の一組の画素回路は第2の一群の画素回路を含み、第2の一群の画素回路は第2の画素回路を含む。

[0033]

第3の一組の画素は、第3の一組の発光デバイスおよび第3の一組の画素回路を備え、第3の一組の発光デバイスは第3の一組の画素回路と電氣的に接続され、第3の一組の画素回路は第3の一群の画素回路を含み、第3の一群の画素回路は第3の画素回路を含む。

[0034]

第1の導電膜は、第1の一群の画素回路および第2の一群の画素回路と電氣的に接続される。

[0035]

第4の導電膜は、第1の画素回路および第2の画素回路と電氣的に接続される。

[0036]

第5の導電膜は、第1の画素回路および第3の画素回路と電氣的に接続される。

[0037]

これにより、例えば、第1の導電膜を用いて、第1の期間に信号を、第1の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、同じ第1の期間に信号を、第2の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、第1の導電膜を用いて、第1の期間に信号を、複数の画素回路に供給することができる。

[0038]

また、例えば、第4の導電膜および第5の導電膜を用いて、第2の期間に信号を、第1の一組の画素回路に含まれる第1の画素回路に供給することができる。

[0039]

また、互いに交差する2つの導電膜、例えば、第4の導電膜および第5の導電膜を用いて、第1の一組の画素回路から一つを選んで信号を供給することができる。また、信号を供給するための導電膜の数を減らすことができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0040]

(4) また、本発明の一態様は、第6の導電膜を有する上記の表示装置である。

[0041]

第1の一組の発光デバイスは第1の発光デバイスを含み、第2の一組の発光デバイスは第2の発光デバイスを含む。また、第6の導電膜は、第1の発光デバイスおよび第2の発光デバイスと電気的に接続される。

[0042]

これにより、例えば、第6の導電膜を用いて、第1の一組の発光デバイスに含まれる第1の発光デバイスを選択するタイミングに、第2の一組の発光デバイスに含まれる第2の発光デバイスを選択することができる。また、第1の一組の画素の第1のパッドが第1の発光デバイスに電力を供給するタイミングに、第1の一組の画素の第1のパッドが第2の発光デバイスに電力を供給することができる。

[0043]

また、第1のパッドの面積を、第1の一組の発光デバイスが占有する面積に近づけることができる。また、第2のパッドと第1のパッドの電気的な接続が容易になる。また、第1の一組の画素回路と第1の一組の発光デバイスの電気的な接続が容易になる。または、第1の一組の画素回路と第1の一組の発光デバイスのボンディングが容易になる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0044]

(5) また、本発明の一態様は、第7の導電膜を有する上記の表示装置である。

[0045]

第1の一組の発光デバイスは第1の発光デバイスを含み、第3の一組の発光デバイスは、第3の発光デバイスを含む。また、第7の導電膜は、第1の発光デバイスおよび第3の発光デバイスと電気的に接続される。

[0046]

(6) また、本発明の一態様は、第1の発光デバイスが発光ダイオードである上記の表示装置である。

[0047]

これにより、例えば、第7の導電膜を用いて、第1の一組の発光デバイスに含まれる第1の発光デバイスを選択するタイミングに、第3の一組の発光デバイスに含まれる第3の発光デバイスを選択することができる。また、第1の一組の画素の第1のパッドが第1の発光デバイスに電力を供給するタイミングに、第3の一組の画素のパッドが第3の発光デバイスに電力を供給することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0048]

(7) また、本発明の一態様は、第8の導電膜と、第9の導電膜と、を有する上記の表示装置である。

[0049]

第1の画素回路は、第1のスイッチ、第2のスイッチ、トランジスタ、容量およびノードを備える。

[0050]

第1のスイッチは、第8の導電膜と電気的に接続される第1の端子と、ノードと電気的に接続される第2の端子と、第1の導電膜の電位に基づいて、導通状態または非導通状態を制御する機能を備

える。

[0051]

トランジスタは、ノードと電氣的に接続されるゲート電極と、第9の導電膜と電氣的に接続される第1の電極と、を備える。

[0052]

容量は、ノードと電氣的に接続される導電膜と、第9の導電膜と電氣的に接続される導電膜と、を備える。

[0053]

第2のスイッチは、トランジスタの第2の電極と電氣的に接続される第1の端子と、第2のパッドと電氣的に接続される第2の端子と、第2の選択信号に基づいて、導通状態または非導通状態を制御する機能を備える。

[0054]

(8) また、本発明の一態様は、第1の駆動回路を有する上記の表示装置である。

[0055]

第1の駆動回路は、第1の選択信号を第1の導電膜に供給し、第1の駆動回路は、第2の選択信号を第2の導電膜に供給する。

[0056]

第1の駆動回路は、第6の導電膜の電位を制御する。

[0057]

(9) また、本発明の一態様は、第1の機能層と、第2の機能層と、を有する上記の表示装置である。

[0058]

第1の機能層は、第1の一組の画素回路および第2のパッドを含む。

[0059]

第2の機能層は第1の機能層と重なり、第2の機能層は第1の一組の発光デバイスおよび第1のパッドを含む。

[0060]

これにより、第2のパッド、第1のパッドおよび導電材料を用いて、第1の一組の画素回路を第1の一組の発光デバイスと電氣的に接続することができる。また、例えば、複数の画素回路と複数の発光デバイスを、一つのパッドを用いて接続することができる。具体的には、3個の画素回路を3個の発光デバイスと、1つのパッドを用いて接続することができる。また、接続箇所を低減し、接続不良の発生を抑制することができる。また、第1の一組の発光デバイスが占める面積に対して、接続に係る面積を小さくすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0061]

(10) また、本発明の一態様は、第3の機能層を有する、上記の表示装置である。

[0062]

第3の機能層は第2の機能層との間に第1の機能層を挟む領域を備え、第3の機能層は第2の駆動回路を含む。

[0063]

第2の駆動回路は、画像信号を供給する機能を備える。

[0064]

これにより、表示装置の外形を大きくすることなく、表示装置に表示する画像信号を生成することができる。また、第2の駆動回路と、その直上に配置された第1の一組の画素回路を、電氣的に接続することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0065]

(11) また、本発明の一態様は、演算部と、上記の表示装置と、を有する電子機器である。

[0066]

演算部は画像情報を生成し、表示装置は画像情報を表示する。

[0067]

(12) また、本発明の一態様は、上記の表示装置と、演算部と、を有する電子機器である。

[0068]

第3の機能層は演算部を含み、演算部は画像情報を生成する。また、表示装置は画像情報を表示する。

[0069]

本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

[0070]

本明細書においてトランジスタが有するソースとドレインは、トランジスタの極性及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

[0071]

本明細書においてトランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

[0072]

本明細書においてトランジスタが直列に接続されている状態とは、例えば、第1のトランジスタのソースまたはドレインの一方のみが、第2のトランジスタのソースまたはドレインの一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタのソースまたはドレインの一方が第2のトランジスタのソースまたはドレインの一方に接続され、第1のトランジスタのソースまたはドレインの他方が第2のトランジスタのソースまたはドレインの他方に接続されている状態を意味する。

[0073]

本明細書において接続とは、電氣的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

[0074]

本明細書において回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0075]

また、本明細書中において、トランジスタの第1の電極または第2の電極の一方がソース電極を、他方がドレイン電極を指す。

発明の効果

[0076]

本発明の一態様によれば、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。または、利便性、有用性または信頼性に優れた新規な電子機器を提供することができる。または、新規な表示装置、新規な電子機器または新規な半導体装置を提供することができる。

[0077]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0078]

図1Aおよび図1Bは、実施の形態に係る表示装置の構成を説明する図である。

図2は、実施の形態に係る表示装置の構成を説明するブロック図である。

図3は、実施の形態に係る表示装置の構成を説明するブロック図である。

図4は、実施の形態に係る表示装置の構成を説明する回路図である。

図5は、実施の形態に係る表示装置の駆動方法を説明するタイミングチャートである。

図6は、実施の形態に係る表示装置の構成を説明する回路図である。

図7は、実施の形態に係る表示装置の構成を説明する図である。

図8Aおよび図8Bは、実施の形態に係る表示装置の構成を説明するブロック図である。

図9Aおよび図9Bは、実施の形態に係る表示装置の構成を説明するブロック図である。

図10Aおよび図10Bは、実施の形態に係る表示装置の構成を説明する図である。

図11Aおよび図11Bは、実施の形態に係る表示装置の構成を説明する図である。

図12Aおよび図12Bは、実施の形態に係る表示装置の構成を説明する図である。

図13Aおよび図13Bは、実施の形態に係る表示装置の構成を説明する図である。

図14Aおよび図14Bは、実施の形態に係る表示装置の構成を説明する図である。

図15は、実施の形態に係る表示装置の構成を説明する図である。

- 図16は、実施の形態に係る表示装置の構成を説明する図である。
- 図17Aおよび図17Bは、実施の形態に係る表示装置の構成を説明する図である。
- 図18は、実施の形態に係る表示装置の構成を説明する図である。
- 図19は、実施の形態に係る表示装置の構成を説明する図である。
- 図20Aおよび図20Bは、実施の形態に係る表示装置の構成を説明する図である。
- 図21は、実施の形態に係る表示装置の構成を説明する図である。
- 図22は、実施の形態に係る表示装置の構成を説明する図である。
- 図23Aおよび図23Bは、実施の形態に係る表示装置の構成を説明する図である。
- 図24は、実施の形態に係る表示装置の構成を説明する図である。
- 図25は、実施の形態に係る表示装置の構成を説明する図である。
- 図26Aおよび図26Bは、実施の形態に係る表示装置の構成を説明する図である。
- 図27は、実施の形態に係る表示装置の構成を説明する図である。
- 図28は、実施の形態に係る表示装置の構成を説明する図である。
- 図29は、実施の形態に係る表示装置の構成を説明する図である。
- 図30は、実施の形態に係る表示装置の構成を説明する図である。
- 図31は、実施の形態に係る表示装置の構成を説明する図である。
- 図32は、実施の形態に係る表示装置の構成を説明する図である。
- 図33Aおよび図33Bは、実施の形態に係る表示装置の構成を説明する図である。
- 図34は、実施の形態に係る表示装置の構成を説明する図である。
- 図35Aおよび図35Bは、実施の形態に係る表示装置の構成を説明する図である。
- 図36は、実施の形態に係る表示装置の構成を説明する図である。
- 図37は、実施の形態に係る表示装置の構成を説明する図である。
- 図38は、実施の形態に係る表示装置の構成を説明する図である。
- 図39は、実施の形態に係る表示装置の構成を説明する図である。
- 図40は、実施の形態に係る表示装置の構成を説明する図である。
- 図41は、実施の形態に係る表示装置の構成を説明する図である。
- 図42A乃至図42Cは、実施の形態に係るトランジスタの構成を説明する図である。
- 図43A乃至図43Cは、実施の形態に係る金属酸化物を説明する図である。
- 図44A乃至図44Dは、実施の形態に係る電子機器を説明する図である。
- 図45Aおよび図45Bは、実施の形態に係る電子機器を説明する図である。

発明を実施するための形態

[0079]

本発明の一態様の表示装置は、第1の一組の画素と、第2の一組の画素と、第1の導電膜と、第2の導電膜と、を有する。第1の一組の画素は、第1の一組の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一組の画素回路を備える。第1の一組の発光デバイスは第1のパッドと電氣的に接続され、第1のパッドは第2のパッドと重なる。導電材料は第1のパッドおよび第2のパッドの間に挟まれ、導電材料は第1のパッドおよび第2のパッドを電氣的に接続する。第2のパッドは第1の一組の画素回路と電氣的に接続される。第1の一組の画素回路は第1の一群の画素回路を含み、第1の一群の画素回路は第1の画素回路を含む。第2の一組の画素は、第2の一組の発光デバイスおよび第2の一組の画素回路を備え、第2の一組の発光デバイスは第2の一組の画

素回路と電氣的に接続され、第2の一組の画素回路は第2の一群の画素回路を含み、第2の一群の画素回路は第2の画素回路を含む。第1の導電膜は、第1の一群の画素回路および第2の一群の画素回路と電氣的に接続される。第2の導電膜は、第1の画素回路および第2の画素回路と電氣的に接続される。

[0080]

これにより、例えば、第1の導電膜を用いて、第1の期間に信号を、第1の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、同じ第1の期間に信号を、第2の一組の画素回路に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、第1の導電膜を用いて、第1の期間に信号を、複数の画素回路に供給することができる。

[0081]

また、例えば、第2の導電膜を用いて、第2の期間に信号を、第1の一組の画素回路に含まれる第1の画素回路に供給することができる。また、同じ第2の期間に信号を、第2の一組の画素回路に含まれる第2の画素回路に供給することができる。また、第2の期間において、第1の画素回路が第1の一組の画素の第2のパッドに電力を供給し、第2の画素回路が第2の一組の画素の第2のパッドに電力を供給することができる。

[0082]

また、第2のパッドの面積を、第1の一組の画素回路が占有する面積に近づけることができる。また、第1のパッドの面積を、第1の一組の画素回路が占有する面積に近づけることができる。また、第2のパッドと第1のパッドの電氣的な接続が容易になる。また、第1の一組の画素回路と第1の一組の発光デバイスの電氣的な接続が容易になる。または、第1の一組の画素回路と第1の一組の発光デバイスのボンディングが容易になる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0083]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0084]

(実施の形態1)

本実施の形態では、本発明の一態様の表示装置の構成について、図1乃至図9を参照しながら説明する。

[0085]

図1Aは、本発明の一態様の表示装置の構成を説明する上面図であり、図1Bは、図1Aに示す本発明の一態様の表示装置の切断線X1-X2における断面図である。

[0086]

図2は、図1Aに示す一組の画素703(i, j)の構成を説明するブロック図である。

[0087]

図3は、図2に示す一組の画素703(i, j)の構成を説明するブロック図である。

[0088]

図4は、図2に示す一組の画素703 (i, j) の構成を説明する回路図である。

[0089]

図5は、図2に示す一組の画素703 (i, j) の動作を説明するタイミングチャートである。

[0090]

図6は、図4とは異なる一組の画素703 (i, j) の構成を説明する回路図である。

[0091]

図7は、本発明の一態様の表示装置の構成を説明する上面図である。

[0092]

図8Aは、図7に示す一組の画素703 (i, j) の構成を説明するブロック図であり、図8Bは、図8Aに示す一組の画素703 (i, j) とは異なる構成を説明するブロック図である。

[0093]

図9Aは、図8に示す一組の画素703 (i, j) の構成を説明するブロック図であり、図9Bは、図9Aに示す一組の画素703 (i, j) とは異なる構成を説明するブロック図である。

[0094]

なお、本明細書において、1以上の整数を値にとる変数を符号に用いる場合がある。例えば、1以上の整数の値をとる変数pを含む(p)を、最大p個の構成要素のいずれかを特定する符号の一部に用いる場合がある。また、例えば、1以上の整数の値をとる変数mおよび変数nを含む(m, n)を、最大m×n個の構成要素のいずれかを特定する符号の一部に用いる場合がある。

[0095]

<表示装置の構成例1>

本発明の一態様の表示装置700は、一組の画素703 (i, j) と、機能層520 (1) と、機能層520 (2) と、を有する(図1Aおよび図1B参照)。例えば、機能層520 (1) および機能層520 (2) をそれぞれ形成したのち、両者を貼り合わせて、本発明の一態様の表示装置を形成することができる。

[0096]

《一組の画素703 (i, j) の構成例》

一組の画素703 (i, j) は、一組の発光デバイス550 (i, j)、一組の画素回路530 (i, j)、パッド541 (i, j)、パッド542 (i, j) および導電材料543 (i, j) を備える(図1Bおよび図3参照)。例えば、一組の発光デバイス550 (i, j) は、発光デバイス550 (i, j) (p, 1) 乃至発光デバイス550 (i, j) (p, t) を備える(図2および図3参照)。具体的には、赤色の光を射出する発光デバイス、緑の光を射出する発光デバイスおよび青色の光を射出する発光デバイスを一組の発光デバイスに用いることができる。また、一組の画素回路530 (i, j) は、画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) を備える(図2および図3参照)。なお、tは3に限らず1以上の整数である。また、例えば、金属または複合材料を導電材料543に用いることができる。具体的には、ニッケル粒子または金で被覆されたニッケル粒子を導電材料543に用いることができる。また、樹脂を金属メッキした複合材料を導電材料543に用いることができる。また、金属または金属メッキされた樹脂をさらに絶縁材料で被覆した複合材料を導電材料543に用いることができる。

[0097]

《機能層520 (1) の構成例》

機能層520(1)は、一組の画素回路530(i, j)およびパッド541(i, j)を含む。パッド541(i, j)は、一組の画素回路530(i, j)と電氣的に接続される。

[0098]

《機能層520(2)の構成例》

機能層520(2)は、機能層520(1)と重なり、機能層520(2)は、一組の発光デバイス550(i, j)およびパッド542(i, j)を含む。パッド542(i, j)は、一組の発光デバイス550(i, j)と電氣的に接続される。例えば、機能層520(2)は、複数の発光デバイスをマトリクス状に備える。なお、赤色の光を射出する発光デバイス、緑色の光を射出する発光デバイスおよび青色の光を射出する発光デバイスを機能層520(2)に用いることができる。また、例えば、青色の光を射出する複数の発光デバイスをマトリクス状に配置して、その直上に、青色の光を他の色の光に変換する色変換層を配置してもよい。また、LED、OLED等を発光デバイスに用いることができる。

[0099]

《導電材料543(i, j)の構成例》

導電材料543(i, j)はパッド541(i, j)およびパッド542(i, j)の間に挟まれ、パッド541(i, j)およびパッド542(i, j)を電氣的に接続する。換言すれば、導電材料543(i, j)は、パッド541(i, j)およびパッド542(i, j)を介して、一組の画素回路530(i, j)および一組の発光デバイス550(i, j)を電氣的に接続する。

[0100]

これにより、パッド541(i, j)、パッド542(i, j)および導電材料543(i, j)を用いて、一組の画素回路530(i, j)を一組の発光デバイス550(i, j)と電氣的に接続することができる。また、例えば、q個の画素回路をq個の発光デバイスと、q個以下のパッドを用いて接続することができる。なお、qは1以上の整数である。具体的には、3個の画素回路を3個の発光デバイスと、一対のパッドを用いて接続することができる。また、接続箇所を低減し、接続不良の発生を抑制することができる。また、一組の発光デバイス550(i, j)が占める面積に対して、接続に係る面積を小さくすることができる。換言すれば、このように本発明の一態様においては、アクティブ駆動される複数の画素回路を、一対のパッドを用いて、複数の発光デバイスと接続する構成とすることで、複数の発光デバイスをパッシブ駆動のように駆動することが可能になる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0101]

<表示装置の構成例2>

また、本発明の一態様の表示装置は、導電膜COM1と、導電膜COM2(i)(p, q)と、を有する(図3参照)。なお、導電膜COM1および導電膜COM2(i)(p, q)はいずれも配線として機能する。

[0102]

一組の画素回路530(i, j)は画素回路530(i, j)(p, q)および530(i, j)(p, 2)を含み、一組の発光デバイス550(i, j)は発光デバイス550(i, j)(p, q)および550(i, j)(p, 2)を含む。また、一組の画素703(i, j)は画素702(i, j)(p, q)を含む(図2参照)。例えば、一組の画素回路530(i, j)は、t個の画素回路備える。なお、tは1以上の整数であり、pは1以上t以下の整数である。

[0103]

《画素702(i, j)(p, q)の構成例》

画素702(i, j)(p, q)は、画素回路530(i, j)(p, q)および発光デバイス550(i, j)(p, q)を備える。

[0104]

画素回路530(i, j)(p, q)は導電膜COM1と電氣的に接続され、画素回路530(i, j)(p, q)は、所定の期間において、発光デバイス550(i, j)(p, q)の一方の電極と電氣的に接続される。例えば、一組の画素703(i, j)が画素702(i, j)(p, 1)乃至画素702(i, j)(p, t)を備える場合、一組の画素703(i, j)が表示を行う期間をt等分した期間を所定の期間とすることができる。

[0105]

発光デバイス550(i, j)(p, q)の他方の電極は導電膜COM2(i)(p, q)と電氣的に接続され、導電膜COM2(i)(p, q)は当該所定の期間において、導電膜COM1との間に所定の電圧が供給される。例えば、発光デバイス550(i, j)(p, q)を最大の輝度で駆動する電圧を、当該所定の電圧に用いることができる。なお、画素回路530(i, j)(p, q)は、当該所定の電圧から発光デバイス550(i, j)(p, q)に分配する電圧を制御する。また、当該所定の期間を除いた期間において、発光デバイス550(i, j)(p, q)を発光させない電圧を導電膜COM2(i)(p, q)に供給する。

[0106]

これにより、例えば、発光デバイス550(i, j)(p, q)を選んで、画素回路530(i, j)(p, q)を用いて当該発光デバイスを駆動することができる。また、所定の期間、画素回路530(i, j)(p, q)を選んで、発光デバイス550(i, j)(p, q)を駆動することができる。また、複数の期間に分割して、一組の画素703(i, j)を駆動することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0107]

<表示装置の構成例3>

また、本発明の一態様の表示装置は、導電膜S1(j)qと、導電膜G1(i)pと、導電膜G2(i)(p, q)と、を有する(図4参照)。なお、導電膜S1(j)q、導電膜S1(j)q-1、導電膜G1(i)pおよび導電膜G2(i)(p, q)はいずれも配線として機能する。

[0108]

《画素回路530(i, j)(p, q)の構成例》

画素回路530(i, j)(p, q)は、スイッチSW2(p, q)、スイッチSW11、トランジスタM11および容量C11およびノードN11を備える。

[0109]

スイッチSW11は、導電膜S1(j)qと電氣的に接続される第1の端子と、ノードN11と電氣的に接続される第2の端子と、導電膜G1(i)pの電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0110]

トランジスタM11は、ノードN11と電氣的に接続されるゲート電極と、導電膜COM1と電氣的に接続される第1の電極と、を備える。

[0111]

容量C11は、ノードN11と電氣的に接続される導電膜と、導電膜COM1と電氣的に接続される導電膜を備える。

[0112]

スイッチSW2 (p, q) は、トランジスタM11の第2の電極と電氣的に接続される第1の端子と、パッド541 (i, j) と電氣的に接続される第2の端子と、導電膜G2 (i) (p, q) の電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0113]

また、一組の画素回路530 (i, j) は、画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) を備え、スイッチSW2 (p, 1) 乃至スイッチSW2 (p, t) のいずれか一を介して、パッド541 (i, j) と電氣的に接続されている。スイッチSW2 (p, 1) 乃至スイッチSW2 (p, t) は、画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) のいずれか一を選択して、パッド541 (i, j) との間を、導通状態にする機能を備える。なお、スイッチSW2 (p, 1) 乃至スイッチSW2 (p, t) は、スイッチSW2 (p, q+1) を含む。

[0114]

なお、図示した回路は、画素回路530 (i, j) (p, q) に用いることができる回路の一例であり、この構成に限らない。例えば、図6に示す回路を、画素回路530 (i, j) (p, q) の一部に用いることができる。具体的には、スイッチSW12、スイッチSW13、容量C12を画素回路530 (i, j) (p, q) に用いることができる。また、表示装置は、画素回路530 (i, j) (p, q) と電氣的に接続する導電膜G12 (i) pおよび導電膜G13 (i) pを備える。スイッチSW12はノードN11と電氣的に接続される第1の端子と、トランジスタM11の第1の電極と電氣的に接続される第2の端子と、導電膜G12 (i) pの電位に基づいて、導通状態または非導通状態を制御する機能を備える。スイッチSW13はノードN11と電氣的に接続される第1の端子と、導電膜COM1と電氣的に接続される第2の端子と、導電膜G13 (i) pの電位に基づいて、導通状態または非導通状態を制御する機能を備える。容量C12はスイッチSW11の第2の端子に接続される導電膜と、ノードN11と電氣的に接続される導電膜を備える。

[0115]

<表示装置の構成例4>

また、本発明の一態様の表示装置は、駆動回路GDを有する(図1B参照)。

[0116]

《駆動回路GDの構成例》

駆動回路GDは、第1の選択信号を、導電膜G1 (i) pに供給する。導電膜G1 (i) pと電氣的に接続された画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) は、第1の選択信号に基づいて、導電膜S1 (j) 1乃至導電膜S1 (j) tのいずれか一から、例えば、画像信号を取得することができる(図3参照)。

[0117]

また、駆動回路GDは、第2の選択信号を導電膜G2 (i) (p, q) に供給する。導電膜G2 (i) (p, q) と電氣的に接続された画素回路530 (i, j) (p, q) は、第2の選択信号に基づいて、パッド541 (i, j) と導通状態になる。なお、駆動回路GDは、導電膜G2 (i)

(p, 1)乃至導電膜G 2 (i) (p, t) から一を、所定の順番で選んで、第2の選択信号を所定の期間供給する。

[0118]

駆動回路GDは導電膜COM2 (i) (p, q) の電位を制御する。第2の選択信号を導電膜G 2 (i) (p, q) に供給する期間に、導電膜COM1との間に所定の電圧を与えるように、導電膜COM2 (i) (p, q) の電位を制御する。例えば、発光デバイス550 (i, j) (p, q) を最大の輝度で駆動する電圧を与えるように、導電膜COM2 (i) (p, q) の電位を制御する。なお、駆動回路GDは、導電膜COM2 (i) (p, 1)乃至導電膜COM2 (i) (p, t) から一を、所定の順番で選んで、所定の期間当該所定の電圧を与えるように電位を制御する。また、導電膜COM2 (i) (p, 1)乃至導電膜COM2 (i) (p, t) の電位は、当該所定の期間を除いた期間において、発光デバイスを発光させない電位に制御される。

[0119]

<表示装置の構成例5>

また、本発明の一態様の表示装置は、パッド541 (i) (p, q)、パッド542 (i) (p, q) および導電材料543 (i) (p, q) を備える(図1B参照)。

[0120]

パッド541 (i) (p, q) は、例えば、駆動回路GDと電氣的に接続され、パッド542 (i) (p, q) は、例えば、導電膜COM2 (i) (p, q) と電氣的に接続される。また、導電材料543 (i) (p, q) は、パッド541 (i) (p, q) およびパッド542 (i) (p, q) の間に挟まれ、パッド541 (i) (p, q) およびパッド542 (i) (p, q) を電氣的に接続する。

[0121]

これにより、駆動回路GDを用いて、導電膜COM2 (i) (p, q) の電位を制御することができる。

[0122]

《表示装置の駆動方法例1》

本発明の一態様の表示装置の駆動方法を説明する。具体的には、一組の画素703 (i, j) が備える画素702 (i, j) (p, q-1)、画素702 (i, j) (p, q) および画素702 (i, j) (p, q+1) の動作を用いて、表示装置の駆動方法を説明する(図4および図5参照)。

[0123]

[第1のステップ]

時刻t10から時刻t11までの期間において、第1の選択信号を導電膜G1 (i) pに供給する(図5参照)。

[0124]

一組の画素回路530 (i, j) が備える画素回路530 (i, j) (p, 1)乃至画素回路530 (i, j) (p, t) は、第1の選択信号に基づいて、画像信号を取得する。

[0125]

例えば、画素回路530 (i, j) (p, q) は、導電膜S1 (j) qから画像信号を取得する。

[0126]

[第2のステップ]

時刻 t_{11} から時刻 t_{18} までの期間において、導電膜 $G2(i)(p, 1)$ 乃至導電膜 $G2(i)(p, t)$ から一を、所定の順番で選んで、第2の選択信号を供給する。また、導電膜 $COM2(i)(p, 1)$ 乃至導電膜 $COM2(i)(p, t)$ から一を、所定の順番で選んで、所定の電位を供給する。なお、導電膜 $G2(i)(p, 1)$ 乃至導電膜 $G2(i)(p, t)$ は、導電膜 $G2(i)(p+1, 1)$ を含む。

[0127]

一組の画素回路 $530(i, j)$ が備える画素回路 $530(i, j)(p, 1)$ 乃至画素回路 $530(i, j)(p, t)$ は、取得済みの画像信号および第2の選択信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0128]

[第2のステップにおける画素 $702(i, j)(p, q-1)$ の動作]

例えば、画素回路 $530(i, j)(p, q-1)$ は、時刻 t_{14} から時刻 t_{15} の期間、導電膜 $G2(i)(p, q-1)$ から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0129]

また、導電膜 $COM2(i)(p, q-1)$ は、時刻 t_{14} から時刻 t_{15} の期間、所定の電位を供給される。

[0130]

これにより、発光デバイス $550(i, j)(p, q-1)$ は、時刻 t_{14} から時刻 t_{15} の期間、パッド $541(i, j)$ および導電膜 $COM2(i)(p, q-1)$ の間の電位差に基づいて、所定の輝度で表示する。

[0131]

[第2のステップにおける画素 $702(i, j)(p, q)$ の動作]

例えば、画素回路 $530(i, j)(p, q)$ は、時刻 t_{15} から時刻 t_{16} の期間、導電膜 $G2(i)(p, q)$ から選択信号を供給され、取得済みの画像信号に基づいて、パッド $541(i, j)$ の電位を制御する。また、導電膜 $COM2(i)(p, q)$ は、時刻 t_{15} から時刻 t_{16} の期間、所定の電位を供給される。これにより、発光デバイス $550(i, j)(p, q)$ は、時刻 t_{15} から時刻 t_{16} の期間、パッド $541(i, j)$ および導電膜 $COM2(i)(p, q)$ の間の電位差に基づいて、所定の輝度で表示する。

[0132]

[第2のステップにおける画素 $702(i, j)(p, q+1)$ の動作]

例えば、画素回路 $530(i, j)(p+1)$ は、時刻 t_{16} から時刻 t_{17} の期間、導電膜 $G2(i)(p, q+1)$ から選択信号を供給され、取得済みの画像信号に基づいて、パッド $541(i, j)$ の電位を制御する。また、導電膜 $COM2(i)(p, q+1)$ は、時刻 t_{16} から時刻 t_{17} の期間、所定の電位を供給される。これにより、発光デバイス $550(i, j)(p, q+1)$ は、時刻 t_{16} から時刻 t_{17} の期間、パッド $541(i, j)$ および導電膜 $COM2(i)(p, q+1)$ の間の電位差に基づいて、所定の輝度で表示する。

[0133]

[第3のステップ]

時刻 t_{18} から時刻 t_{20} までの期間において、導電膜 $G2(i)(p, 1)$ 乃至導電膜 $G2(i)(p, t)$ に、スイッチ $SW2(p, 1)$ 乃至スイッチ $SW2(p, t)$ を非導通状態にする電位を供給する。また、導電膜 $COM2(i)(p, 1)$ 乃至導電膜 $COM2(i)(p, t)$ に、発光デバイス $550(i, j)(p, 1)$ 乃至発光デバイス $550(i, j)(p, t)$ を非発光状態にする電位を供給する。

[0134]

なお、図中の期間 $FR1$ は 1 フレーム期間に相当する。これにより、本発明の一態様の表示装置をデューティ駆動することができる。

[0135]

《表示装置の駆動方法例 2》

また、本発明の一態様の表示装置は、駆動方法 1 とは異なる方法で駆動することができる。駆動方法例 2 は、時刻 t_{30} 乃至時刻 t_{40} の 1 フレーム期間に、表示を複数回に分けてする点が、駆動方法 1 とは異なる。ここでは、異なる部分について詳細に説明し、同じ構成を備える部分については、上記の説明を援用する。

[0136]

[第 1 のステップ]

時刻 t_{30} から時刻 t_{31} までの期間において、第 1 の選択信号を導電膜 $G1(i)p$ に供給する (図 5 参照)。

[0137]

一組の画素回路 $530(i, j)$ が備える画素回路 $530(i, j)(p, 1)$ 乃至画素回路 $530(i, j)(p, t)$ は、第 1 の選択信号に基づいて、画像信号を取得する。

[0138]

[第 2 のステップ]

時刻 t_{31} から時刻 t_{35} までの期間において、導電膜 $G2(i)(p, 1)$ 乃至導電膜 $G2(i)(p, t)$ から一を、所定の順番で選んで、第 2 の選択信号を供給する。また、導電膜 $COM2(i)(p, 1)$ 乃至導電膜 $COM2(i)(p, t)$ から一を、所定の順番で選んで、所定の電位を供給する。

[0139]

一組の画素回路 $530(i, j)$ が備える画素回路 $530(i, j)(p, 1)$ 乃至画素回路 $530(i, j)(p, t)$ は、取得済みの画像信号および第 2 の選択信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0140]

[第 3 のステップ]

時刻 t_{36} から時刻 t_{40} までの期間において、導電膜 $G2(i)(p, 1)$ 乃至導電膜 $G2(i)(p, t)$ から一を、所定の順番で選んで、第 2 の選択信号を供給する。また、導電膜 $COM2(i)(p, 1)$ 乃至導電膜 $COM2(i)(p, t)$ から一を、所定の順番で選んで、所定の電位を供給する。

[0141]

一組の画素回路 $530(i, j)$ が備える画素回路 $530(i, j)(p, 1)$ 乃至画素回路 $530(i, j)(p, t)$ は、取得済みの画像信号および第 2 の選択信号に基づいて、パッド 541

(i, j) の電位を制御する。

[0142]

なお、図中の期間FR2は1フレーム期間に相当する。これにより、本発明の一態様の表示装置の各画素に、1フレーム期間に表示を2回することができる。また、例えば、カラーブレーキング現象の発現を抑制することができる。

[0143]

<表示装置の構成例5>

また、本発明の一態様の表示装置は、機能層520(3)を有する(図1B参照)。

[0144]

機能層520(3)は、機能層520(2)との間に、機能層520(1)を挟む領域を備える。換言すれば、機能層520(3)、機能層520(1)および機能層520(2)は積層されている。

[0145]

機能層520(3)は駆動回路SDを含み、駆動回路SDは画像信号を導電膜S1(j)qに供給する。また、機能層520(3)は端子519Bを備える。

[0146]

これにより、表示装置の外形を大きくすることなく、表示装置に表示する画像信号を生成することができる。また、駆動回路SDと、その直上に配置された一組の画素回路530(i, j)を、電氣的に接続することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0147]

<表示装置の構成例6>

また、本発明の一態様の表示装置は、領域231を有する(図7参照)。領域231は、一群の一組の画素703($i, 1$)乃至一組の画素703(i, n)および他の一群の一組の画素703($1, j$)乃至一組の画素703(m, j)を備える。換言すれば、領域231は、一群の一組の画素回路530($i, 1$)乃至一組の画素回路530(i, n)および他の一群の一組の画素回路530($1, j$)乃至一組の画素回路530(m, j)を備える。なお、 m は1以上の整数であり、 i は1以上 m 以下の整数である。また n は1以上の整数であり、 j は1以上 n 以下の整数である。

[0148]

一群の一組の画素回路530($i, 1$)乃至一組の画素回路530(i, n)は行方向(図中に矢印R1で示す方向)に配置され、一群の一組の画素回路530($i, 1$)乃至一組の画素回路530(i, n)は一組の画素回路530(i, j)を含み、一群の一組の画素回路530($i, 1$)乃至一組の画素回路530(i, n)は、導電膜G1(i)pと電氣的に接続される。

[0149]

他の一群の一組の画素回路530($1, j$)乃至一組の画素回路530(m, j)は、行方向と交差する列方向(図中に矢印C1で示す方向)に配置され、他の一群の一組の画素回路530($1, j$)乃至一組の画素回路530(m, j)は、一組の画素回路530(i, j)を含む。また、他の一群の一組の画素回路530($1, j$)乃至一組の画素回路530(m, j)は、導電膜S1(j)qと、電氣的に接続される。

[0150]

<表示装置の構成例7>

また、本発明の一態様の表示装置は、一組の発光デバイス550(i, j)が、発光デバイス550(i, j)(p, 1)乃至発光デバイス550(i, j)(p, t)を備える(図8A参照)。なお、発光デバイス550(i, j)(p, 1)乃至発光デバイス550(i, j)(p, t)は、行方向に配置される。

[0151]

<表示装置の構成例8>

また、本発明の一態様の表示装置は、一組の発光デバイス550(i, j)が発光デバイス550(i, j)(p, 1)乃至発光デバイス550(i, j)(p, t)を備え、発光デバイス550(i, j)(p, 1)乃至発光デバイス550(i, j)(p, t)は列方向に配置されてもよい(図8B参照)。

[0152]

<表示装置の構成例9>

また、本発明の一態様の表示装置は、一組の発光デバイス550(i, j)が発光デバイス550(i, j)(p, 1)乃至発光デバイス550(i, j)(p, t)を備え、発光デバイス550(i, j)(p, 1)乃至発光デバイス550(i, j)(p, t)は、行列状に配置されてもよい(図9Aおよび図9B参照)。

[0153]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0154]

(実施の形態2)

本実施の形態では、本発明の一態様の表示装置の構成について、図10乃至図29を参照しながら説明する。

[0155]

図10Aは、本発明の一態様の表示装置の構成を説明する斜視図であり、図10Bは、図10Aに示す本発明の一態様の表示装置の一部を説明する上面図である。

[0156]

図11Aは、本発明の一態様の表示装置の構成を説明する斜視図であり、図11Bは、図11Aに示す本発明の一態様の表示装置の一部を説明する上面図である。

[0157]

図12Aは、本発明の一態様の表示装置の構成を説明する斜視図であり、図12Bは、図12Aに示す本発明の一態様の表示装置の一部を説明する上面図である。

[0158]

図13Aは、本発明の一態様の表示装置の構成を説明する上面図であり、図13Bは、図13Aに示す構成とは異なる、本発明の一態様の表示装置の構成を説明する上面図である。

[0159]

図14Aは、本発明の一態様の表示装置に適用可能な画素回路を説明する回路図であり、図14Bは、図14Aに示す画素回路の動作を説明するタイミングチャートである。

[0160]

図15は、本発明の一態様の表示装置に適用可能な一組の画素の構成を説明する斜視図である。

[0161]

図16は、図15に示す構成とは異なる、一組の画素の構成を説明する斜視図である。

[0162]

図17Aは、本発明の一態様の表示装置に適用可能な画素回路を説明する回路図であり、図17Bは、図17Aに示す画素回路の動作を説明するタイミングチャートである。

[0163]

図18は、本発明の一態様の表示装置に適用可能な一組の画素の構成を説明する斜視図である。

[0164]

図19は、図18に示す構成とは異なる、一組の画素の構成を説明する斜視図である。

[0165]

図20Aは、本発明の一態様の表示装置に適用可能な画素回路を説明する回路図であり、図20Bは、図20Aに示す画素回路の動作を説明するタイミングチャートである。

[0166]

図21は、本発明の一態様の表示装置に適用可能な一組の画素の構成を説明する斜視図である。

[0167]

図22は、図21に示す構成とは異なる、一組の画素の構成を説明する斜視図である。

[0168]

図23Aは、本発明の一態様の表示装置に適用可能な画素回路を説明する回路図であり、図23Bは、図23Aに示す画素回路の動作を説明するタイミングチャートである。

[0169]

図24は、本発明の一態様の表示装置に適用可能な一組の画素の構成を説明する斜視図である。

[0170]

図25は、図24に示す構成とは異なる、一組の画素の構成を説明する斜視図である。

[0171]

図26Aは、本発明の一態様の表示装置に適用可能な画素回路を説明する回路図であり、図26Bは、図26Aに示す画素回路の動作を説明するタイミングチャートである。

[0172]

図27は、本発明の一態様の表示装置に適用可能な一組の画素の構成を説明する斜視図である。

[0173]

図28は、図27に示す構成とは異なる、一組の画素の構成を説明する斜視図である。

[0174]

図29は、図27および図28に示す構成とは異なる、一組の画素の構成を説明する斜視図である。

[0175]

<表示装置の構成例1>

本実施の形態で説明する表示装置は、一組の画素703(i, j)と、一組の画素703(i, j+1)と、一組の画素703(i+1, j)と、導電膜G1(i)pと、導電膜G2(i)(p, q)と、を有する(図10A参照)。

[0176]

《一組の画素703(i, j)の構成例1》

一組の画素703(i, j)は、一組の発光デバイス550(i, j)、パッド542(i, j)、

パッド541 (i, j)、導電材料543 (i, j) および一組の画素回路530 (i, j) を備える。

[0177]

一組の発光デバイス550 (i, j) はパッド542 (i, j) と電氣的に接続される。パッド542 (i, j) はパッド541 (i, j) と重なり、パッド541 (i, j) は一組の画素回路530 (i, j) と電氣的に接続される。

[0178]

なお、導電材料543 (i, j) はパッド542 (i, j) およびパッド541 (i, j) の間に挟まれ、導電材料543 (i, j) はパッド542 (i, j) およびパッド541 (i, j) を電氣的に接続する。

[0179]

《一組の画素回路530 (i, j) の構成例1》

一組の画素回路530 (i, j) は一群の画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) を含み、一群の画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) は画素回路530 (i, j) (p, q) を含む (図10B参照)。

[0180]

また、一組の画素回路530 (i, j) は一群の画素回路530 (i, j) (1, q) 乃至画素回路530 (i, j) (s, q) を含み、一群の画素回路530 (i, j) (1, q) 乃至画素回路530 (i, j) (s, q) は画素回路530 (i, j) (p, q) を含む。なお、sは1以上の整数である。また、一組の画素回路530 (i, j) は、画素回路530 (i, j) (1, 1) 乃至画素回路530 (i, j) (s, t) を含む。

[0181]

《一組の画素703 (i, j+1) の構成例1》

また、一組の画素703 (i, j+1) は一組の発光デバイス550 (i, j+1) および一組の画素回路530 (i, j+1) を備え、一組の発光デバイス550 (i, j+1) は一組の画素回路530 (i, j+1) と電氣的に接続される (図10A参照)。

[0182]

《一組の画素回路530 (i, j+1) の構成例1》

一組の画素回路530 (i, j+1) は一群の画素回路530 (i, j+1) (p, 1) 乃至画素回路530 (i, j+1) (p, t) を含み、一群の画素回路530 (i, j+1) (p, 1) 乃至画素回路530 (i, j+1) (p, t) は画素回路530 (i, j+1) (p, q) を含む (図10B参照)。また、一組の画素回路530 (i, j+1) は、画素回路530 (i, j+1) (1, 1) 乃至画素回路530 (i, j+1) (s, t) を含む。

[0183]

《一組の画素703 (i+1, j) の構成例1》

また、一組の画素703 (i+1, j) は一組の発光デバイス550 (i+1, j) および一組の画素回路530 (i+1, j) を備え、一組の発光デバイス550 (i+1, j) は一組の画素回路530 (i+1, j) と電氣的に接続される (図10A参照)。

[0184]

《一組の画素回路530 (i+1, j) の構成例1》

一組の画素回路530 (i+1, j) は一群の画素回路530 (i+1, j) (1, q) 乃至画素回路530 (i+1, j) (s, q) を含み、一群の画素回路530 (i+1, j) (1, q) 乃至画素回路530 (i+1, j) (s, q) は、画素回路530 (i+1, j) (p, q) を含む (図10B参照)。また、一組の画素回路530 (i+1, j) は、画素回路530 (i+1, j) (1, 1) 乃至画素回路530 (i+1, j) (s, t) を含む。

[0185]

《導電膜G1 (i) p の構成例1》

導電膜G1 (i) p は一群の画素回路530 (i, j) (p, 1) 乃至画素回路530 (i, j) (p, t) および一群の画素回路530 (i, j+1) (p, 1) 乃至画素回路530 (i, j+1) (p, t) と電氣的に接続される。

[0186]

《導電膜G2 (i) (p, q) の構成例1》

導電膜G2 (i) (p, q) は画素回路530 (i, j) (p, q) および画素回路530 (i, j+1) (p, q) と電氣的に接続される。

[0187]

これにより、例えば、導電膜G1 (i) p を用いて、第1の期間に信号を、一組の画素回路530 (i, j) に含まれる一つまたは複数の画素回路に供給することができる。また、同じ第1の期間に信号を、他の一組の画素回路530 (i, j+1) に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、導電膜G1 (i) p を用いて、第1の期間に信号を、複数の画素回路に供給することができる。

[0188]

また、例えば、導電膜G2 (i) (p, q) を用いて、第2の期間に信号を、一組の画素回路530 (i, j) に含まれる画素回路530 (i, j) (p, q) に供給することができる。また、同じ第2の期間に信号を、他の一組の画素回路530 (i, j+1) に含まれる画素回路530 (i, j+1) (p, q) に供給することができる。また、第2の期間において、画素回路530 (i, j) (p, q) がパッド541 (i, j) に電力を供給し、画素回路530 (i, j+1) (p, q) がパッド541 (i, j+1) に電力を供給することができる。

[0189]

また、パッド541 (i, j) の面積を、一組の画素回路530 (i, j) が占有する面積に近づけることができる。また、パッド542 (i, j) の面積を、一組の画素回路530 (i, j) が占有する面積に近づけることができる。また、パッド541 (i, j) と542 (i, j) の電氣的な接続が容易になる。また、一組の画素回路530 (i, j) と一組の発光デバイス550 (i, j) の電氣的な接続が容易になる。または、一組の画素回路530 (i, j) と一組の発光デバイス550 (i, j) のボンディングが容易になる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0190]

《一組の画素回路530 (i, j) の構成例2》

本実施の形態で説明する一組の画素回路530 (i, j) は、例えば、画素回路530 (i, j) (p, q) および画素回路530 (i, j) (p+1, q) を備える (図15および図16参照)。

[0191]

《画素回路530 (i, j) の構成例1》

画素回路530 (i, j) (p, q) は、スイッチSW11、スイッチSW2 (p, q)、トランジスタM11、容量C11およびノードN11を備える (図14Aおよび図17A参照)。

[0192]

スイッチSW11は、導電膜S1 (j) qと電氣的に接続される第1の端子と、ノードN11と電氣的に接続される第2の端子と、導電膜G1 (i) pの電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0193]

トランジスタM11は、ノードN11と電氣的に接続されるゲート電極と、導電膜COM1と電氣的に接続される第1の電極と、を備える。

[0194]

容量C11は、ノードN11と電氣的に接続される導電膜と、導電膜COM1と電氣的に接続される導電膜と、を備える。

[0195]

スイッチSW2 (p, q) は、トランジスタM11の第2の電極と電氣的に接続される第1の端子と、パッド541 (i, j) と電氣的に接続される第2の端子と、導電膜G2 (i) (p, q) の電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0196]

《表示装置の駆動方法例1》

本発明の一態様の表示装置の駆動方法を説明する。具体的には、一組の画素703 (i, j) が備える画素回路530 (i, j) (p, q) および画素回路530 (i, j) (p+1, q) の動作を用いて、表示装置の駆動方法を説明する (図14Bおよび図15参照)。なお、図中の期間FR1は1フレーム期間に相当する。

[0197]

[第1のステップ]

時刻t9から時刻t10までの期間において、第1の選択信号を導電膜G1 (i) pに供給する。また、時刻t10から時刻t11までの期間において、第1の選択信号を導電膜G1 (i) p+1に供給する。

[0198]

画素回路530 (i, j) (p, q) は、第1の選択信号に基づいて、導電膜S1 (j) qから画像信号を取得する。また、画素回路530 (i, j) (p+1, q) は、第1の選択信号に基づいて、導電膜S1 (j) q+1から画像信号を取得する。

[0199]

[第2のステップ]

時刻t11から時刻t12までの期間において、第2の選択信号を導電膜G2 (i) (p, q) に供給する。また、所定の電位を導電膜COM2 (i) (p, q) に供給する。

[0200]

画素回路530 (i, j) (p, q) は、取得済みの画像信号および第2の選択信号に基づいて、パッド541 (i, j) の電位を制御する。

[0201]

[第3のステップ]

時刻 t_{12} から時刻 t_{13} までの期間において、第2の選択信号を導電膜 $G2(i)(p+1, q)$ に供給する。また、所定の電位を導電膜 $COM2(i)(p+1, q)$ に供給する。

[0202]

画素回路 $530(i, j)(p+1, q)$ は、取得済みの画像信号および第2の選択信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0203]

《一組の画素回路 $530(i, j)$ の構成例3》

本実施の形態で説明する一組の画素回路 $530(i, j)$ は、例えば、画素回路 $530(i, j)(p, q)$ 、画素回路 $530(i, j)(p, q+1)$ 、画素回路 $530(i, j)(p, q+2)$ および画素回路 $530(i, j)(p, q+3)$ を備える (図18および図19参照)。なお、表示装置は導電膜 $S1(j)q+2$ および導電膜 $S1(j)q+3$ を備える。また、一組の発光デバイス $550(i, j)$ は発光デバイス $550(i, j)(p, q+2)$ および発光デバイス $550(i, j)(p, q+3)$ を備える。また、表示装置は導電膜 $COM2(j)(p, q+1)$ 、導電膜 $COM2(j)(p, q+2)$ および導電膜 $COM2(j)(p, q+3)$ を備える (図19参照)。

[0204]

《表示装置の駆動方法例2》

本発明の一態様の表示装置の駆動方法を説明する。具体的には、一組の画素 $703(i, j)$ が備える画素回路 $530(i, j)(p, q)$ 乃至画素回路 $530(i, j)(p, q+3)$ の動作を用いて、表示装置の駆動方法を説明する (図17Bおよび図18参照)。なお、図中の期間 $FR1$ は1フレーム期間に相当する。

[0205]

[第1のステップ]

時刻 t_{10} から時刻 t_{11} までの期間において、第1の選択信号を導電膜 $G1(i)p$ に供給する。

[0206]

画素回路 $530(i, j)(p, q)$ は、第1の選択信号に基づいて、導電膜 $S1(j)q$ から画像信号を取得する。また、画素回路 $530(i, j)(p, q+1)$ は、第1の選択信号に基づいて、導電膜 $S1(j)q+1$ から画像信号を取得する。

[0207]

[第2のステップ]

時刻 t_{11} から時刻 t_{15} までの期間において、導電膜 $G2(i)(p, q)$ 乃至導電膜 $G2(i)(p, q+3)$ から一を、所定の順番で選んで、第2の選択信号を供給する。また、導電膜 $COM2(i)(p, q)$ 乃至導電膜 $COM2(i)(p, q+3)$ から一を、所定の順番で選んで、所定の電位を供給する。なお、導電膜 $G2(i)(p, q)$ 乃至導電膜 $G2(i)(p, q+3)$ は導電膜 $G2(i)(p, q+2)$ を含み、導電膜 $COM2(i)(p, q)$ 乃至導電膜 $COM2(i)(p, q+3)$ は導電膜 $COM2(i)(p, q+2)$ を含む。

[0208]

[第2のステップにおける画素 $702(i, j)(p, q)$ の動作]

例えば、画素回路 $530(i, j)(p, q)$ は、時刻 t_{11} から時刻 t_{12} の期間、導電膜 $G2$

(i) (p, q) から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド541 (i, j) の電位を制御する。

[0209]

また、導電膜COM2 (i) (p, q) は、時刻t11から時刻t12の期間、所定の電位を供給される。

[0210]

これにより、発光デバイス550 (i, j) (p, q) は、時刻t11から時刻t12の期間、パッド541 (i, j) および導電膜COM2 (i) (p, q) の間の電位差に基づいて、所定の輝度で表示する。

[0211]

[第2のステップにおける画素702 (i, j) (p, q+1) の動作]

例えば、画素回路530 (i, j) (p, q+1) は、時刻t12から時刻t13の期間、導電膜G2 (i) (p, q+1) から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド541 (i, j) の電位を制御する。

[0212]

また、導電膜COM2 (i) (p, q+1) は、時刻t12から時刻t13の期間、所定の電位を供給される。

[0213]

これにより、発光デバイス550 (i, j) (p, q+1) は、時刻t12から時刻t13の期間、パッド541 (i, j) および導電膜COM2 (i) (p, q+1) の間の電位差に基づいて、所定の輝度で表示する。

[0214]

<表示装置の構成例2>

また、本実施の形態で説明する表示装置は、導電膜G2 (i) (p, q) に換えて導電膜G2 (j) (p, q) を有する点が、表示装置の構成例1とは異なる(図11B参照)。ここでは、異なる部分について詳細に説明し、同様の構成を用いることができる部分については、上記の説明を援用する。

[0215]

《導電膜G2 (j) (p, q) の構成例1》

導電膜G2 (j) (p, q) は、画素回路530 (i, j) (p, q) および画素回路530 (i+1, j) (p, q) と電気的に接続される。

[0216]

これにより、例えば、導電膜G1 (i) pを用いて、第1の期間に信号を、一組の画素回路530 (i, j) および一組の画素回路530 (i, j+1) に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、導電膜G1 (i+1) pを用いて、第1の期間とは異なる期間に信号を、一組の画素回路530 (i+1, j) に含まれる一つまたは複数の画素回路に供給することができる。

[0217]

また、例えば、導電膜G2 (j) (p, q) を用いて、第2の期間に信号を、一組の画素回路530 (i, j) に含まれる画素回路530 (i, j) (p, q) に供給することができる。また、同

じ第2の期間に信号を、他の一組の画素回路530(i+1, j)に含まれる画素回路530(i+1, j)(p, q)に供給することができる。また、第2の期間において、画素回路530(i, j)(p, q)がパッド541(i, j)に電力を供給し、画素回路530(i+1, j)(p, q)がパッド541(i+1, j)に電力を供給することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0218]

《一組の画素回路530(i, j)の構成例4》

本実施の形態で説明する一組の画素回路530(i, j)は、例えば、画素回路530(i, j)(p, q)、画素回路530(i, j)(p, q+1)、画素回路530(i, j)(p, q+2)および画素回路530(i, j)(p, q+3)を備える(図21および図22参照)。

[0219]

《画素回路530(i, j)の構成例2》

スイッチSW2(p, q)が、導電膜G2(i)(p, q)に代えて導電膜G2(j)(p, q)の電位に基づいて、導通状態または非導通状態を制御する機能を備える点が、画素回路530(i, j)の構成例1とは異なる(図20Aおよび図23A参照)。ここでは、異なる部分について詳細に説明し、同様の構成を用いることができる部分については、上記の説明を援用する。

[0220]

《表示装置の駆動方法例3》

本発明の一態様の表示装置の駆動方法を説明する。具体的には、一組の画素703(i, j)が備える画素回路530(i, j)(p, q)乃至画素回路530(i, j)(p, q+3)の動作を用いて、表示装置の駆動方法を説明する(図20Bおよび図21参照)。なお、図中の期間FR1は1フレーム期間に相当する。

[0221]

[第1のステップ]

時刻t10から時刻t11までの期間において、第1の選択信号を導電膜G1(i)pに供給する。

[0222]

画素回路530(i, j)(p, q)は、第1の選択信号に基づいて、導電膜S1(j)qから画像信号を取得する。また、画素回路530(i, j)(p, q+1)は、第1の選択信号に基づいて、導電膜S1(j)q+1から画像信号を取得する。

[0223]

[第2のステップ]

時刻t11から時刻t15までの期間において、導電膜G2(j)(p, q)乃至導電膜G2(j)(p, q+3)から一を、所定の順番で選んで、第2の選択信号を供給する。また、導電膜COM2(i)(p, q)乃至導電膜COM2(i)(p, q+3)から一を、所定の順番で選んで、所定の電位を供給する。

[0224]

[第2のステップにおける画素702(i, j)(p, q)の動作]

例えば、画素回路530(i, j)(p, q)は、時刻t11から時刻t12の期間、導電膜G2(j)(p, q)から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド541(i, j)の電位を制御する。

[0225]

また、導電膜COM2 (i) (p, q) は、時刻 t 1 1 から時刻 t 1 2 の期間、所定の電位を供給される。

[0226]

これにより、発光デバイス550 (i, j) (p, q) は、時刻 t 1 1 から時刻 t 1 2 の期間、パッド541 (i, j) および導電膜COM2 (i) (p, q) の間の電位差に基づいて、所定の輝度で表示する。

[0227]

[第2のステップにおける画素702 (i, j) (p, q + 1) の動作]

例えば、画素回路530 (i, j) (p, q + 1) は、時刻 t 1 2 から時刻 t 1 3 の期間、導電膜G2 (j) (p, q + 1) から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド541 (i, j) の電位を制御する。

[0228]

また、導電膜COM2 (i) (p, q + 1) は、時刻 t 1 2 から時刻 t 1 3 の期間、所定の電位を供給される。

[0229]

これにより、発光デバイス550 (i, j) (p, q + 1) は、時刻 t 1 2 から時刻 t 1 3 の期間、パッド541 (i, j) および導電膜COM2 (i) (p, q + 1) の間の電位差に基づいて、所定の輝度で表示する。

[0230]

《一組の画素回路530 (i, j) の構成例5》

本実施の形態で説明する一組の画素回路530 (i, j) は、例えば、画素回路530 (i, j) (p, q) 乃至画素回路530 (i, j) (p, q + 3) および画素回路530 (i, j) (p + 1, q) 乃至画素回路530 (i, j) (p + 1, q + 3) を備える (図24および図25参照)。

[0231]

《表示装置の駆動方法例4》

本発明の一態様の表示装置の駆動方法を説明する。具体的には、一組の画素703 (i, j) が備える画素回路530 (i, j) (p, q) 乃至画素回路530 (i, j) (p + 1, q + 3) の動作を用いて、表示装置の駆動方法を説明する (図23Bおよび図24参照)。なお、図中の期間FR1は1フレーム期間に相当する。

[0232]

[第1のステップ]

時刻 t 9 から時刻 t 1 0 までの期間において、第1の選択信号を導電膜G1 (i) p に供給する。また、時刻 t 1 0 から時刻 t 1 1 までの期間において、第1の選択信号を導電膜G1 (i) p + 1 に供給する。

[0233]

画素回路530 (i, j) (p, q) は、第1の選択信号に基づいて、導電膜S1 (j) q から画像信号を取得する。また、画素回路530 (i, j) (p, q + 1) は、第1の選択信号に基づいて、導電膜S1 (j) q + 1 から画像信号を取得する。

[0234]

[第2のステップ]

時刻 t_{11} から時刻 t_{19} までの期間において、導電膜 $G_2(j)(p, q)$ 乃至導電膜 $G_2(j)(p+1, q+3)$ から一を、所定の順番で選んで、第2の選択信号を供給する。また、導電膜 $COM_2(i)(p, q)$ 乃至導電膜 $COM_2(i)(p, q+3)$ から一を、所定の順番で選んで、所定の電位を供給する。

[0235]

[第2のステップにおける画素 $702(i, j)(p, q)$ の動作]

例えば、画素回路 $530(i, j)(p, q)$ は、時刻 t_{11} から時刻 t_{12} の期間、導電膜 $G_2(j)(p, q)$ から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0236]

また、導電膜 $COM_2(i)(p, q)$ は、時刻 t_{11} から時刻 t_{12} の期間、所定の電位を供給される。

[0237]

これにより、発光デバイス $550(i, j)(p, q)$ は、時刻 t_{11} から時刻 t_{12} の期間、パッド $541(i, j)$ および導電膜 $COM_2(i)(p, q)$ の間の電位差に基づいて、所定の輝度で表示する。

[0238]

[第2のステップにおける画素 $702(i, j)(p, q+1)$ の動作]

例えば、画素回路 $530(i, j)(p, q+1)$ は、時刻 t_{12} から時刻 t_{13} の期間、導電膜 $G_2(j)(p, q+1)$ から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0239]

また、導電膜 $COM_2(i)(p, q+1)$ は、時刻 t_{12} から時刻 t_{13} の期間、所定の電位を供給される。

[0240]

これにより、発光デバイス $550(i, j)(p, q+1)$ は、時刻 t_{12} から時刻 t_{13} の期間、パッド $541(i, j)$ および導電膜 $COM_2(i)(p, q+1)$ の間の電位差に基づいて、所定の輝度で表示する。

[0241]

[第2のステップにおける画素 $702(i, j)(p+1, q)$ の動作]

例えば、画素回路 $530(i, j)(p+1, q)$ は、時刻 t_{15} から時刻 t_{16} の期間、導電膜 $G_2(j)(p+1, q)$ から第2の選択信号を供給され、取得済みの画像信号に基づいて、パッド $541(i, j)$ の電位を制御する。

[0242]

また、導電膜 $COM_2(i)(p+1, q)$ は、時刻 t_{15} から時刻 t_{16} の期間、所定の電位を供給される。

[0243]

これにより、発光デバイス $550(i, j)(p+1, q)$ は、時刻 t_{15} から時刻 t_{16} の期間、パッド $541(i, j)$ および導電膜 $COM_2(i)(p+1, q)$ の間の電位差に基づいて、所

定の輝度で表示する。

[0244]

<表示装置の構成例3>

また、本実施の形態で説明する表示装置は、導電膜G2(i)(p, q)に換えて導電膜G3(i)pおよび導電膜G3(j)qを有する点が、表示装置の構成例1とは異なる(図12B参照)。ここでは、異なる部分について詳細に説明し、同様の構成を用いることができる部分については、上記の説明を援用する。

[0245]

《導電膜G3(i)pの構成例1》

導電膜G3(i)pは、画素回路530(i, j)(p, q)および画素回路530(i, j+1)(p, q)と電気的に接続される。

[0246]

《導電膜G3(j)qの構成例1》

導電膜G3(j)qは、画素回路530(i, j)(p, q)および画素回路530(i+1, j)(p, q)と電気的に接続される。

[0247]

これにより、例えば、導電膜G1(i)pを用いて、第1の期間に信号を、一組の画素回路530(i, j)に含まれる一つまたは複数の画素回路に供給することができる。また、同じ第1の期間に信号を、他の一組の画素回路530(i, j+1)に含まれる一つまたは複数の画素回路に供給することができる。また、例えば、導電膜G1(i)pを用いて、第1の期間に信号を、複数の画素回路に供給することができる。

[0248]

また、例えば、導電膜G3(i)pおよび導電膜G3(j)qを用いて、第2の期間に信号を、一組の画素回路530(i, j)に含まれる画素回路530(i, j)(p, q)に供給することができる。また、例えば、導電膜G3(i)pおよび導電膜G3(j+1)qを用いて、第2の期間に信号を、一組の画素回路530(i, j+1)に含まれる画素回路530(i, j+1)(p, q)に供給することができる。また、例えば、導電膜G3(i+1)pおよび導電膜G3(j)qを用いて、第2の期間に信号を、一組の画素回路530(i+1, j)に含まれる画素回路530(i+1, j)(p, q)に供給することができる。

[0249]

また、互いに交差する2つの導電膜、例えば、導電膜G3(i)pおよび導電膜G3(j)qを用いて、一組の画素回路530(i, j)から一つを選んで信号を供給するため、導電膜の数を減らすことができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0250]

《一組の画素回路530(i, j)の構成例6》

本実施形態で説明する一組の画素回路530(i, j)は、例えば、画素回路530(i, j)(p, q)乃至画素回路530(i, j)(p, q+3)および画素回路530(i, j)(p+1, q)乃至画素回路530(i, j)(p+1, q+3)を備える(図27、図28および図29参照)。

[0251]

《画素回路530(i, j)の構成例3》

スイッチSW2(p, q)に換えて、スイッチSW3_pおよびスイッチSW3_qを備える点が、画素回路530(i, j)の構成例1とは異なる(図26A参照)。ここでは、異なる部分について詳細に説明し、同様の構成を用いることができる部分については、上記の説明を援用する。

[0252]

スイッチSW3_pは、トランジスタM11の第2の電極と電氣的に接続される第1の端子を備え、導電膜G3(i)_pの電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0253]

スイッチSW3_qは、スイッチSW3_pの第2の端子と電氣的に接続される第1の端子と、パッド541(i, j)と電氣的に接続される第2の端子と、導電膜G3(j)_qの電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0254]

《表示装置の駆動方法例5》

本発明の一態様の表示装置の駆動方法を説明する。具体的には、一組の画素703(i, j)が備える画素回路530(i, j)(p, q)乃至画素回路530(i, j)(p+1, q+3)の動作を用いて、表示装置の駆動方法を説明する(図26Bおよび図27参照)。なお、図中の期間FR1は1フレーム期間に相当する。

[0255]

[第1のステップ]

時刻t₉から時刻t₁₀までの期間において、第1の選択信号を導電膜G1(i)_pに供給する。また、時刻t₁₀から時刻t₁₁までの期間において、第1の選択信号を導電膜G1(i)_{p+1}に供給する。

[0256]

画素回路530(i, j)(p, q)は、第1の選択信号に基づいて、導電膜S1(j)_qから画像信号を取得する。また、画素回路530(i, j)(p, q+1)は、第1の選択信号に基づいて、導電膜S1(j)_{q+1}から画像信号を取得する。

[0257]

[第2のステップ]

時刻t₁₁から時刻t₁₅までの期間において、導電膜G3(i)_pに、第3の選択信号を供給しながら、導電膜G3(j)_q乃至導電膜G3(j)_{q+3}から一を、所定の順番で選んで、第4の選択信号を供給する。また、導電膜COM2(i)(p, q)乃至導電膜COM2(i)(p, q+3)から一を、所定の順番で選んで、所定の電位を供給する。

[0258]

[第2のステップにおける画素702(i, j)(p, q)の動作]

例えば、画素回路530(i, j)(p, q)は、時刻t₁₁から時刻t₁₅の期間、導電膜G3(i)_pから第3の選択信号を供給される。また、時刻t₁₁から時刻t₁₂の期間、導電膜G3(j)_qから第4の選択信号を供給され、取得済みの画像信号に基づいて、パッド541(i, j)の電位を制御する。

[0259]

また、導電膜COM2 (i) (p, q) は、時刻 t 1 1 から時刻 t 1 2 の期間、所定の電位を供給される。

[0 2 6 0]

これにより、発光デバイス550 (i, j) (p, q) は、時刻 t 1 1 から時刻 t 1 2 の期間、パッド541 (i, j) および導電膜COM2 (i) (p, q) の間の電位差に基づいて、所定の輝度で表示する。

[0 2 6 1]

[第2のステップにおける画素702 (i, j) (p, q + 1) の動作]

例えば、画素回路530 (i, j) (p, q + 1) は、時刻 t 1 1 から時刻 t 1 5 の期間、導電膜G3 (i) p から第3の選択信号を供給される。また、時刻 t 1 2 から時刻 t 1 3 の期間、導電膜G3 (j) q + 1 から第4の選択信号を供給され、取得済みの画像信号に基づいて、パッド541 (i, j) の電位を制御する。

[0 2 6 2]

また、導電膜COM2 (i) (p, q + 1) は、時刻 t 1 2 から時刻 t 1 3 の期間、所定の電位を供給される。

[0 2 6 3]

これにより、発光デバイス550 (i, j) (p, q + 1) は、時刻 t 1 2 から時刻 t 1 3 の期間、パッド541 (i, j) および導電膜COM2 (i) (p, q + 1) の間の電位差に基づいて、所定の輝度で表示する。

[0 2 6 4]

[第2のステップにおける画素702 (i, j) (p + 1, q) の動作]

例えば、画素回路530 (i, j) (p + 1, q) は、時刻 t 1 5 から時刻 t 1 9 の期間、導電膜G3 (i) p + 1 から第3の選択信号を供給される。また、時刻 t 1 5 から時刻 t 1 6 の期間、導電膜G3 (j) q から第4の選択信号を供給され、取得済みの画像信号に基づいて、パッド541 (i, j) の電位を制御する。

[0 2 6 5]

また、導電膜COM2 (i) (p + 1, q) は、時刻 t 1 5 から時刻 t 1 6 の期間、所定の電位を供給される。

[0 2 6 6]

これにより、発光デバイス550 (i, j) (p + 1, q) は、時刻 t 1 5 から時刻 t 1 6 の期間、パッド541 (i, j) および導電膜COM2 (i) (p + 1, q) の間の電位差に基づいて、所定の輝度で表示する。

[0 2 6 7]

<表示装置の構成例4>

本発明の一態様の表示装置は、導電膜COM2 (i) (p, q) を有する (図13A参照)。また、導電膜COM2 (i + 1) (p, q) および導電膜COM2 (j + 1) (p, q) を有する。

[0 2 6 8]

《一組の発光デバイス550 (i, j) の構成例1》

一組の発光デバイス550 (i, j) は、発光デバイス550 (i, j) (p, q) を含む。また、一組の発光デバイス550 (i, j) は、発光デバイス550 (i, j) (1, 1) 乃至発光デバ

イス550 (i, j) (s, t) を含む。

[0269]

なお、本実施の形態の表示装置、または発光デバイスは、発光ダイオードを用いて映像を表示する機能を有する。発光ダイオードは自発光デバイスであるため、表示デバイスとして発光ダイオードを用いる場合、表示装置にはバックライトが不要であり、また偏光板を設けなくてもよい。したがって、表示装置の消費電力を低減することができ、また、表示装置の薄型・軽量化が可能である。また、表示デバイスとして発光ダイオードを用いた表示装置は、輝度を高めることが可能（例えば、 5000 cd/m^2 以上、好ましくは 10000 cd/m^2 以上）であり、かつ、コントラストが高く視野角が広いこと、高い表示品位を得ることができる。また、発光材料に無機材料を用いることで、表示装置の寿命を長くし、信頼性を高めることができる。

[0270]

本実施の形態では、特に、発光ダイオードとして、マイクロLEDを用いる場合の例について説明する。なお、本実施の形態では、ダブルヘテロ接合を有するマイクロLEDについて説明する。ただし、発光ダイオードに特に限定はなく、例えば、量子井戸接合を有するマイクロLED、ナノコラムを用いたLEDなどを用いてもよい。

[0271]

発光ダイオードの光を射出する領域の面積は、 1 mm^2 以下が好ましく、 $10000\text{ }\mu\text{ m}^2$ 以下がより好ましく、 $3000\text{ }\mu\text{ m}^2$ 以下がより好ましく、 $700\text{ }\mu\text{ m}^2$ 以下がさらに好ましい。また、当該領域の面積は、 $1\text{ }\mu\text{ m}^2$ 以上が好ましく、 $10\text{ }\mu\text{ m}^2$ 以上が好ましく、 $100\text{ }\mu\text{ m}^2$ 以上がさらに好ましい。なお、本明細書等において、光を射出する領域の面積が $10000\text{ }\mu\text{ m}^2$ 以下の発光ダイオードをマイクロLED、またはマイクロ発光ダイオードと記す場合がある。

[0272]

本実施の形態の表示装置は、金属酸化物層にチャンネル形成領域を有するトランジスタを有することが好ましい。金属酸化物を用いたトランジスタは、消費電力を低くすることができる。そのため、マイクロLEDと組み合わせることで、極めて消費電力の低減された表示装置を実現することができる。

[0273]

本実施の形態の表示装置は、半導体基板（例えば、シリコン基板）にチャンネル形成領域を有するトランジスタを有することが好ましい。これにより、回路の高速動作が可能となる。

[0274]

本実施の形態の表示装置は、半導体基板にチャンネル形成領域を有するトランジスタと、金属酸化物層にチャンネル形成領域を有するトランジスタと、を積層して有することが好ましい。これにより、回路の高速動作が可能であり、かつ、消費電力を極めて小さくすることができる。

[0275]

《一組の発光デバイス550 (i, j+1) の構成例1》

一組の発光デバイス550 (i, j+1) は、発光デバイス550 (i, j+1) (p, q) を含む。また、一組の発光デバイス550 (i, j+1) は、発光デバイス550 (i, j+1) (1, 1) 乃至発光デバイス550 (i, j+1) (s, t) を含む。

[0276]

《一組の発光デバイス550 (i+1, j) の構成例1》

一組の発光デバイス550 (i+1, j) は、発光デバイス550 (i+1, j) (p, q) を含む。また、一組の発光デバイス550 (i+1, j) は、発光デバイス550 (i+1, j) (1, 1) 乃至発光デバイス550 (i+1, j) (s, t) を含む。

[0277]

《導電膜COM2 (i) (p, q) の構成例1》

導電膜COM2 (i) (p, q) は、発光デバイス550 (i, j) (p, q) および発光デバイス550 (i, j+1) (p, q) と電氣的に接続される。

[0278]

これにより、例えば、導電膜COM2 (i) (p, q) を用いて、一組の発光デバイス550 (i, j) に含まれる発光デバイス550 (i, j) (p, q) を選択するタイミングに、一組の発光デバイス550 (i, j+1) に含まれる発光デバイス550 (i, j+1) (p, q) を選択することができる。また、パッド542 (i, j) が発光デバイス550 (i, j) (p, q) に電力を供給するタイミングに、パッド542 (i, j+1) が発光デバイス550 (i, j+1) (p, q) に電力を供給することができる。

[0279]

また、パッド542 (i, j) の面積を、一組の発光デバイス550 (i, j) が占有する面積に近づけることができる。また、パッド541 (i, j) と542 (i, j) の電氣的な接続が容易になる。また、一組の画素回路530 (i, j) と一組の発光デバイス550 (i, j) の電氣的な接続が容易になる。または、一組の画素回路530 (i, j) と一組の発光デバイス550 (i, j) のボンディングが容易になる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0280]

《一組の発光デバイス550 (i, j) の構成例2》

本実施の形態で説明する一組の発光デバイス550 (i, j) は、例えば、発光デバイス550 (i, j) (p, q) を含む複数の発光デバイスを備える (図15、図18、図21、図24および図27参照)。

[0281]

<表示装置の構成例5>

また、本実施の形態で説明する表示装置は、導電膜COM2 (i) (p, q) に換えて導電膜COM2 (j) (p, q) を有する点が、表示装置の構成例4とは異なる (図13B参照)。ここでは、異なる部分について詳細に説明し、同様の構成を用いることができる部分については、上記の説明を援用する。

[0282]

《導電膜COM2 (j) (p, q) の構成例1》

導電膜COM2 (j) (p, q) は、発光デバイス550 (i, j) (p, q) および発光デバイス550 (i+1, j) (p, q) と電氣的に接続される。

[0283]

これにより、例えば、導電膜COM2 (j) (p, q) を用いて、一組の発光デバイス550 (i, j) に含まれる発光デバイス550 (i, j) (p, q) を選択するタイミングに、一組の発光デバイス550 (i+1, j) に含まれる発光デバイス550 (i+1, j) (p, q) を選択する

ことができる。また、パッド542 (i, j) が発光デバイス550 (i, j) (p, q) に電力を供給するタイミングに、パッド542 (i+1, j) が発光デバイス550 (i+1, j) (p, q) に電力を供給することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0284]

《一組の発光デバイス550 (i, j) の構成例3》

本実施の形態で説明する一組の発光デバイス550 (i, j) は、例えば、発光デバイス550 (i, j) (p, q) および発光デバイス550 (i, j) (p+1, q) を含む複数の発光デバイスを備える(図16、図19、図22、図25および図29参照)。なお、発光デバイス550 (i, j) (p+1, q) は、導電膜COM2 (j) (p+1, q) と電気的に接続される。

[0285]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0286]

(実施の形態3)

本実施の形態では、本発明の一態様である表示装置及び表示システムについて、図30乃至図35を参照しながら説明する。

[0287]

図30は、本発明の一態様の表示装置の構成を説明するブロック図である。

[0288]

図31は、図30に示す表示部の構成を説明するブロック図である。

[0289]

図32は、本発明の一態様の表示装置の構成を説明するブロック図である。

[0290]

図33Aおよび図33Bは、図32に示す画素の構成を説明するブロック図である。

[0291]

図34は、本発明の一態様の表示装置の構成を説明するブロック図である。

[0292]

図35Aは、補正方法にかかるフローチャートであり、図35Bは、補正方法を説明する模式図である。

[0293]

<表示装置の構成例1>

次いで、図30では、表示装置10が有する各構成を説明するためのブロック図を示す。表示装置は、駆動回路40、機能回路50、及び表示部60を有する。

[0294]

《駆動回路40の構成例1》

駆動回路40は、一例として、ゲートドライバ41及びソースドライバ42を有する。ゲートドライバ41は、画素回路62R、62G、62Bに信号を出力するための複数のゲート線GLを駆動する機能を有する。ソースドライバ42は、画素回路62R、62G、62Bに信号を出力するための複数のソース線SLを駆動する機能を有する。また駆動回路40は、画素回路62R、62G、62Bで表示を行うための電圧を、複数の配線を介して画素回路62R、62G、62Bに供給す

る。

[0295]

《機能回路50の構成例1》

機能回路50は、CPU51を有し、CPU51は、データの演算処理に用いることができる。また、CPU51は、CPUコア53を有する。CPUコア53は、演算処理に用いられるデータを一時的に保持するためのフリップフロップ80を有する。フリップフロップ80は、複数のスキャンフリップフロップ81を有し、各スキャンフリップフロップ81は、表示部60に設けられるバックアップ回路82に電氣的に接続される。フリップフロップ80は、スキャンフリップフロップのデータ（バックアップデータ）をバックアップ回路82との間で入出力する。

[0296]

《表示部60》

図31、及び図30では、表示部60内におけるバックアップ回路82及び副画素である画素回路62R、62G、62Bの配置の構成例について説明する。

[0297]

図31では、表示部60において、複数の画素61がマトリクス状に配置された構成を図示している。画素61は、画素回路62R、62G、62Bの他、バックアップ回路82を有する。上述したように、バックアップ回路82、及び、画素回路62R、62G、62Bは共に、OSトランジスタで構成することができるため、同じ画素内に配置することができる。

[0298]

表示部60は、画素回路62R、62G、62B、バックアップ回路82が設けられた画素61を複数有する。バックアップ回路82は、図31で説明したように、必ずしも繰り返し単位である画素61内に配置する必要はない。表示部60の形状、画素回路62R、62G、62Bの形状等に応じて、自由に配置することが可能である。

[0299]

<表示装置の構成例2>

図32は、本発明の一態様の表示装置である表示装置10の構成例を模式的に示すブロック図である。表示装置10は、層20と、層30と、を有し、層30は層20の例えば上方に積層して設けることができる。層20と層30の間には、層間絶縁体、または異なる層の間の電氣的な接続を行うための導電体を設けることができる。

[0300]

《層20》

層20に設けられるトランジスタは、例えばチャネル形成領域にシリコンを有するトランジスタ（Siトランジスタともいう。）とすることができ、例えばチャネル形成領域に単結晶シリコンを有するトランジスタとすることができる。特に、層20に設けられるトランジスタとして、チャネル形成領域に単結晶シリコンを有するトランジスタを用いると、当該トランジスタのオン電流を大きくすることができる。よって、層20が有する回路を高速に駆動させることができるため、好ましい。またSiトランジスタは、チャネル長が3nm乃至10nmといった微細加工で形成することができるため、CPU、GPUなどのアクセラレータ、アプリケーションプロセッサなどが設けられた表示装置10とすることができる。

[0301]

層 20 には、駆動回路 40、及び機能回路 50 が設けられる。層 20 の Si トランジスタは、当該トランジスタのオン電流を大きくすることができる。よって各回路は、高速に駆動させることができる。

[0302]

《駆動回路 40 の構成例 2》

駆動回路 40 は、画素回路 62R、62G、62B を駆動するためのゲート線駆動回路、ソース線駆動回路等を有する。駆動回路 40 は、一例としては、表示部 60 の画素 61 を駆動するためのゲート線駆動回路、ソース線駆動回路を有する。駆動回路 40 を表示が設けられる層 30 とは異なる層 20 に配置する構成とすることで、層 30 における表示部が占める面積を大きくすることができる。また駆動回路 40 は、画像データ等のデータを表示装置 10 の外部から受信するためのインターフェースとしての機能を有する LVDS (Low Voltage Differential Signaling) 回路、あるいは D/A (Digital to Analog) 変換回路等を有していてもよい。層 20 の Si トランジスタは、当該トランジスタのオン電流を大きくすることができる。各回路の動作速度に応じて、Si トランジスタのチャンネル長あるいはチャンネル幅などを異ならせてもよい。

[0303]

《層 30》

層 30 に設けられるトランジスタは、ボトムゲート型のトランジスタまたはトップゲート型のトランジスタなどを用いることができる。例えば、14 族の元素を含む半導体を半導体膜に用いることができる。具体的には、シリコンを含む半導体を半導体膜に用いることができる。例えば、水素化アモルファスシリコン、ポリシリコン、単結晶シリコンを用いることができる。また、金属酸化物を半導体膜に用いることができる。例えば OS トランジスタとすることができる。特に、OS トランジスタとして、チャンネル形成領域にインジウム、元素 M (元素 M は、アルミニウム、ガリウム、イットリウム、またはスズ)、亜鉛の少なくとも一を含む酸化物を有するトランジスタを用いることが好ましい。このような OS トランジスタは、オフ電流が非常に低いという特性を有する。よって、特に表示部が有する画素回路に設けられるトランジスタとして OS トランジスタを用いると、画素回路に書き込まれたアナログデータを長期間保持することができるため好ましい。

[0304]

層 30 には、複数の画素 61 が設けられた表示部 60 が設けられる。画素 61 は、赤、緑、青の発光が制御される画素回路 62R、62G、62B が設けられる。画素回路 62R、62G、62B は、画素 61 の副画素としての機能を有する。画素回路 62R、62G、62B は、OS トランジスタを有するため、画素回路に書き込まれたアナログデータを長期間保持することができる。また層 30 が有する画素 61 はそれぞれ、バックアップ回路 82 が設けられる。なおバックアップ回路は、記憶回路またはメモリ回路という場合がある。また、バックアップ回路は、スキャンフリップフロップのデータ (バックアップデータ BD) を、フリップフロップ 80 との間で入出力する。

[0305]

《画素回路の構成例 1》

図 33A 及び図 33B では、画素回路 62R、62G、62B に適用可能な画素回路 62 の構成例、及び画素回路 62 に接続される発光素子 70 について示す。図 33A は各素子の接続を示す図、図 33B は、駆動回路 40、画素回路 62 及び発光素子 70 の上下関係を模式的に示す図である。

[0306]

本明細書等において、素子という用語を「デバイス」と言い換えることができる場合がある。例えば、表示素子、発光素子、及び液晶素子は、例えば表示デバイス、発光デバイス、及び液晶デバイスと言い換えることができる。

[0307]

図33A及び図33Bに一例として示す画素回路62は、スイッチSW11、スイッチSW2p、スイッチSW12、スイッチSWm、トランジスタM11、および容量C11を備える。スイッチSW11、スイッチSW2p、スイッチSW12、スイッチSWm、トランジスタM11はOSトランジスタで構成することができる。スイッチSW11、スイッチSW2p、スイッチSW12、スイッチSWm、トランジスタM11の各トランジスタは、バックゲート電極を備えていることが好ましく、この場合バックゲート電極にゲート電極と同じ信号を与える構成、バックゲート電極にゲート電極と異なる信号を与える構成とすることができる。

[0308]

スイッチSW11は、ソース線SLと電氣的に接続される第1の端子と、ノードN11と電氣的に接続される第2の端子と、ゲート線GL11の電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0309]

トランジスタM11は、ノードN11と電氣的に接続されるゲート電極と、導電膜COM1と電氣的に接続される第1の電極と、を備える。導電膜COM1は、発光素子70に電流を供給するための電位を与えるための配線および画素回路62を流れる電流を駆動回路40または機能回路50に出力するための配線である。

[0310]

容量C11は、ノードN11と電氣的に接続される導電膜と、導電膜COM1と電氣的に接続される導電膜を備える。

[0311]

スイッチSW2pは、トランジスタM11の第2の電極と電氣的に接続される第1の端子と、第1のパッド541(i, j)と電氣的に接続される第2の端子と、ゲート線GL2pの電位に基づいて、導通状態または非導通状態を制御する機能を備える。

[0312]

発光素子70は、第1のパッド541(i, j)と電氣的に接続される一方の電極と、導電膜COM2(i)(p, q)と電氣的に接続される他方の電極と、を備える。導電膜COM2(i)(p, q)は、発光素子70に電流を供給するための電位を与えるための配線である。

[0313]

これにより、トランジスタM11のゲート電極に与えられる画像信号に応じて発光素子70が射出する光の強度を制御することができる。

[0314]

また、スイッチSW12は、配線V0と電氣的に接続される第1の端子と、トランジスタM11の第1の電極と電氣的に接続される第2の端子と、ゲート線GL12の電位に基づいて、導通状態または非導通状態を制御する機能を備える。配線V0は、基準電位を与えるための配線、及び画素回路62を流れる電流を駆動回路40または機能回路50に出力するための配線である。

[0315]

スイッチSW_mは、配線V₁と電氣的に接続される第1の端子と、第1のパッド541(i, j)と電氣的に接続される第2の端子と、制御信号に基づいて導通状態または非導通状態を制御する機能を備える。配線V₁は、基準電位を与えるための配線である。

[0316]

これにより、スイッチSW_mおよびスイッチSW₁₂を介して配線V₀から、画素パラメータの設定に用いることのできる電流値を出力することができる。より具体的には、配線V₀は、トランジスタM₁₁に流れる電流を、外部に出力するためのモニター線として機能させることができる。配線V₀に出力された電流は、ソースフォロア回路などにより電圧に変換され、外部に出力される。または、A-Dコンバータなどによりデジタル信号に変換され、駆動回路40等に出力することができる。

[0317]

《画素回路の構成例2》

なお図33Bに一例として示す構成では、画素回路62と、駆動回路40と、を電氣的に接続する配線を短くすることができるため、当該配線の配線抵抗を小さくすることができる。よって、データの書き込みを高速に行うことができるため、表示装置10を高速に駆動させることができる。これにより、表示装置10が有する画素61を多くしても十分なフレーム期間を確保することができるため、表示装置10の画素密度を高めることができる。また、表示装置10の画素密度を高めることにより、表示装置10により表示される画像の精細度を高めることができる。例えば、表示装置10の画素密度を、1000ppi以上とすることができ、または5000ppi以上とすることができ、または7000ppi以上とすることができる。よって、表示装置10は、例えばAR、またはVR用の表示装置とすることができ、HMD等、表示部と使用者の距離が近い電子機器に好適に適用することができる。

[0318]

図33Bにおいて、ゲート線GL₁₁、ゲート線GL₁₂、ゲート線GL_{2p}、導電膜COM₁、配線V₀、配線V₁、ソース線SLは、画素回路62下方の駆動回路40から配線を介して供給される図を示しているが、本発明の一態様はこれに限らない。例えば、駆動回路40の信号及び電圧を供給する配線を、表示部60の外周部に引き回し、層30にマトリクス状に配置される各画素回路62と電氣的に接続する構成としてもよい。この場合、駆動回路40が有するゲートドライバ41を層30に設ける構成が有効である。つまりゲートドライバ41のトランジスタは、OSトランジスタとする構成が有効である。駆動回路40が有するソースドライバ42の機能の一部を層30に設ける構成が有効である。例えば、ソースドライバ42が出力する信号を各ソース線に振り分けるデマルチプレクサを層30に設ける構成が有効である。デマルチプレクサのトランジスタは、OSトランジスタとする構成が有効である。

[0319]

《バックアップ回路82》

バックアップ回路82は、例えば、OSトランジスタを有するメモリが好適である。OSトランジスタで構成されるバックアップ回路は、オフ電流が極めて小さいというOSトランジスタの特長によって、バックアップを行うデータに応じた電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないこと、などの利点を有する。OSトランジスタを有するバックアップ回

路 8 2 は、複数の画素 6 1 が配置される表示部 6 0 に設けることが可能である。図 3 2 では、各画素 6 1 にバックアップ回路 8 2 が設けられる様子を図示している。

[0320]

OS トランジスタで構成されるバックアップ回路 8 2 は、S i トランジスタを有する層 2 0 と積層して設けることができる。バックアップ回路 8 2 は、画素 6 1 内の副画素と同様にマトリクス状に配置してもよいし、複数の画素ごとに配置してもよい。つまり、バックアップ回路 8 2 は、画素 6 1 の配置による制約を受けることなく、層 3 0 内に配置することができる。そのため、表示部/回路レイアウトの自由度を高めるとともに、回路面積の増加を招くことなく、配置することができ、演算処理に必要なバックアップ回路 8 2 の記憶容量を増やすことができる。

[0321]

<表示装置の構成例 3>

図 3 4 では、上記説明した表示装置 1 0 が有する各構成の変形例について示す。

[0322]

図 3 4 に示す表示装置 1 0 A のブロック図は、図 3 0 の表示装置 1 0 における機能回路 5 0 にアクセラレータ 5 2 を追加した構成に相当する。

[0323]

アクセラレータ 5 2 は、人工ニューラルネットワーク NN の積和演算処理の専用演算回路として機能する。アクセラレータ 5 2 を用いた演算では、表示データをアップコンバートするなどして、画像の輪郭を補正する処理などを行うことができる。なおアクセラレータ 5 2 による演算処理を行う間、CPU 5 1 をパワーゲーティング制御する構成とすることで低消費電力化を図ることができる。

[0324]

<表示システムの構成例>

また、本発明の一態様の表示装置は、画素回路と機能回路とを積層したとすることができるため、画面回路の下部に設けた機能回路を用いて、不良画素を検出することができる。この不良画素の情報を用いることで、不良画素による表示欠陥を補正し、正常な表示を行うことができる。

[0325]

以下で例示する補正方法の一部は、表示装置の外部に設けられた回路により実行されてもよい。また、補正方法の一部は、表示装置 1 0 の駆動回路 4 0 により実行されてもよい。

[0326]

以下では、より具体的な補正方法の例を示す。図 3 5 A は、以下で説明する補正方法にかかるフローチャートである。

[0327]

まず、ステップ S 1 にて補正動作を開始する。

[0328]

続いて、ステップ S 2 にて、画素の電流を読み出す。例えば、画素と電氣的に接続されるモニター線に、電流を出力するように、各画素を駆動することができる。

[0329]

続いて、ステップ S 3 にて、読み出した電流を電圧に変換する。このとき、後の処理でデジタル信号を扱う場合には、ステップ S 3 にてデジタルデータに変換することができる。例えば、アナログ-デジタル変換回路 (ADC) を用いることで、アナログデータをデジタルデータに変換すること

ができる。

[0330]

続いて、ステップS4にて、取得したデータに基づいて、各画素の画素パラメータを取得する。画素パラメータとしては、例えば駆動トランジスタのしきい値電圧、または電界効果移動度、発光素子の閾値電圧、所定の電圧における電流値などが挙げられる。

[0331]

続いて、ステップS5にて、各画素について、画素パラメータに基づいて異常であるか否かの判定を行う。例えば、画素パラメータの値が所定のしきい値を超えた（または下回った）場合に、その画素が異常画素であると認定する。

[0332]

異常画素としては、入力されたデータ電位に対して著しく輝度が低い暗点欠陥、または、著しく輝度が高い輝点欠陥などがある。

[0333]

ステップS5において、異常画素のアドレスと、欠陥の種類を特定し、取得することができる。

[0334]

続いて、ステップS6において、補正処理を行う。

[0335]

補正処理の一例について図35Bを用いて説明する。図35Bには、3×3個の画素を模式的に示している。ここで、中央の画素が、暗点欠陥である画素61Dであるとする。図35Bでは、画素61Dが消灯し、その周囲の画素61Nが所定の輝度で点灯している様子を模式的に示している。

[0336]

暗点欠陥は、画素に入力するデータ電位を高める補正を行ったとしても、画素の輝度が正常な輝度に達する見込みのない欠陥である。そこで、図35Bに示すように、暗点欠陥である画素61Dの周囲の画素61Nに対して、輝度を高める補正を行う。これにより、暗点欠陥が発生した場合であっても、正常な画像を表示することができる。

[0337]

なお、輝点欠陥の場合には、周囲の画素の輝度を下げることによって、輝点欠陥を目立たなくすることができる。

[0338]

特に、高い精細度（例えば1000ppi以上）の表示装置の場合には、画素一つ一つを分離して視認することは困難であるため、このような周囲の画素で異常画素を補うような補正方法を用いることは特に有効である。

[0339]

一方、暗点欠陥、輝点欠陥などの異常画素には、データ電位を入力しないように補正することが好ましい。

[0340]

このように、各画素について補正パラメータを設定することができる。補正パラメータを入力される画像データに適用することで、表示装置10に最適な画像を表示するための、補正画像データを生成することができる。

[0341]

また、異常画素及び異常画素の周囲の画素だけでなく、異常画素と判定されなかった画素についても、画素パラメータにばらつきが存在するため、画像を表示した際に、当該ばらつきに起因したムラが視認されてしまう場合がある。そこで、異常画素と判定されなかった画素については、画素パラメータのばらつきをキャンセル（平準化）するように、補正パラメータを設定することができる。例えば、一部または全ての画素についての画素パラメータの中央値または平均値などに基づいた基準値を設定し、所定の画素の画素パラメータについて、基準値からの差分をキャンセルするための補正値を、当該画素の補正パラメータとして設定することができる。

[0342]

また、異常画素の周囲の画素については、補正データとして、異常画素を補うための補正量と、画素パラメータのばらつきをキャンセルするための補正量の両方を考慮した補正データを設定することが好ましい。

[0343]

続いて、ステップS7にて、補正動作を終了する。

[0344]

以降は、上記補正動作にて取得した補正パラメータと、入力される画像データに基づいて、画像の表示を行うことができる。

[0345]

なお、補正動作の一として、ニューラルネットワークを用いてもよい。上述した表示補正システムにおいて人工ニューラルネットワークに基づく演算を行う場合、積和演算を繰り返し行う構成となる。アクセラレータ52を用いた演算では、上述した表示不良に起因する補正を行うことができる。なおアクセラレータ52による演算処理を行う間、CPU51をパワーゲーティング制御する構成とすることで低消費電力化を図ることができる。当該ニューラルネットワークとしては、例えば、機械学習によって取得された推論結果に基づき、補正パラメータを決定することができる。例えば、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの人工ニューラルネットワークに基づく演算を実行することで見積もることができる。ニューラルネットワークを用いて補正パラメータを決定する場合、補正のための詳細なアルゴリズムを用いなくても、異常画素が目立たないように高精度の補正を行うことができる。

[0346]

以上が、補正方法についての説明である。

[0347]

なお表示補正システムによる画素に流れる電流を補正するための演算は、上述したCPU51において、演算途中のデータをバックアップデータとして保持し続けることができる。そのため、人工ニューラルネットワークに基づく演算といった演算量の膨大な演算処理を行う上で特に有効である。なおCPU51をアプリケーションプロセッサとして機能させることで、フレーム周波数を可変にする駆動、などを組み合わせて、表示不良の低減の他、低消費電力化を図ることも可能である。

[0348]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0349]

(実施の形態 4)

本実施の形態では、本発明の一態様である表示装置 10 の断面構成例について、図 36 乃至図 41 を参照しながら説明する。

[0350]

図 36 は、本発明の一態様の表示装置の構成を説明する断面図である。

[0351]

図 37 は、図 36 に示す構成とは異なる本発明の一態様の表示装置の構成を説明する断面図である。

[0352]

図 38 は、図 36 に示す構成とは異なる本発明の一態様の表示装置の構成を説明する断面図である。

[0353]

図 39 は、図 38 に示す構成とは異なる本発明の一態様の表示装置の構成を説明する断面図である。

[0354]

図 40 は、図 36 乃至図 39 に示す構成とは異なる本発明の一態様の表示装置の構成を説明する断面図である。

[0355]

図 41 は、図 36 乃至図 40 に示す構成とは異なる本発明の一態様の表示装置の構成を説明する断面図である。

[0356]

<表示装置の構成例 1>

図 36 は、表示装置 10 の構成例を示す断面図である。表示装置 10 は、絶縁体 421 及び基板 705 を有し、絶縁体 421 と基板 705 はシール材 712 により貼り合わされている。画素回路には、OS トランジスタを用いることが好ましい。さらに、駆動回路の少なくとも一部を、OS トランジスタで構成してもよい。また、機能回路の少なくとも一部を OS トランジスタで構成してもよい。また、駆動回路の少なくとも一部を外付けとしてもよい。また、機能回路の少なくとも一部を外付けとしてもよい。

[0357]

《絶縁体 421、絶縁体 214、絶縁体 216》

絶縁体 421 としては、ガラス基板、サファイア基板などの各種絶縁体基板を用いることができる。絶縁体 421 上には絶縁体 214 が設けられ、絶縁体 214 上に絶縁体 216 が設けられる。

[0358]

《絶縁体 222、絶縁体 224、絶縁体 254、絶縁体 280、絶縁体 274、絶縁体 281》

絶縁体 216 上に絶縁体 222、絶縁体 224、絶縁体 254、絶縁体 280、絶縁体 274、及び絶縁体 281 が設けられる。

[0359]

絶縁体 421、絶縁体 214、絶縁体 280、絶縁体 274、及び絶縁体 281 は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0360]

《絶縁体 361》

絶縁体 281 上に絶縁体 361 が設けられる。絶縁体 361 中に導電体 317、及び導電体 337 が埋設されている。ここで、導電体 337 の上面の高さと、絶縁体 361 の上面の高さは同程度に

できる。

[0361]

《絶縁体363》

導電体337上、及び絶縁体361上に絶縁体363が設けられる。絶縁体363中に導電体347、導電体353、導電体355、及び導電体357が埋設されている。ここで、導電体353、導電体355、及び導電体357の上面の高さと、絶縁体363の上面の高さは同程度にできる。

[0362]

絶縁体363中に導電体341、導電体343、及び導電体351が埋設されている。ここで、導電体351の上面の高さと、絶縁体363の上面の高さは同程度にできる。

[0363]

絶縁体361、及び絶縁体363は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。例えば、絶縁体363の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

[0364]

《接続電極760》

導電体353上、導電体355上、導電体357上、及び絶縁体363上に接続電極760が設けられる。また、接続電極760と電氣的に接続されるように異方性導電体780が設けられ、異方性導電体780と電氣的に接続されるようにFPC（Flexible Printed Circuit）716が設けられる。FPC716によって、表示装置10の外部から、表示装置10に各種信号等が供給される。

[0365]

ここで、図36では接続電極760と導電体347を電氣的に接続する機能を有する導電体として、導電体353、導電体355、及び導電体357の3つを示しているが本発明の一態様はこれに限らない。接続電極760と導電体347を電氣的に接続する機能を有する導電体を1つとしてもよいし、2つとしてもよいし、4つ以上としてもよい。接続電極760と導電体347を電氣的に接続する機能を有する導電体を複数設けることで、接触抵抗を小さくすることができる。

[0366]

《トランジスタ750》

絶縁体214上には、トランジスタ750が設けられる。トランジスタ750は、実施の形態3に示す層30に設けられるトランジスタとすることができる。例えば、画素回路62に設けられるトランジスタとすることができる。トランジスタ750は、OSトランジスタを好適に用いることができる。OSトランジスタは、オフ電流が極めて小さいという特徴を有する。よって、画像データ等の保持時間を長くすることができるため、リフレッシュ動作の頻度を少なくできる。よって、表示装置10の消費電力を低減することができる。

[0367]

またトランジスタ750は、バックアップ回路82に設けられるトランジスタとすることができる。トランジスタ750は、OSトランジスタを好適に用いることができる。OSトランジスタは、オフ電流が極めて小さいという特徴を有する。よって、フリップフロップが有するデータを、電源電圧の共有が停止される期間においても保持し続けることができる。そのため、CPUのノーマリー

オフ動作（電源電圧の間欠的な停止を行う動作）を図ることができる。よって、表示装置10の消費電力を低減することができる。

[0368]

絶縁体254中、絶縁体280中、絶縁体274中、及び絶縁体281中に導電体301a、及び導電体301bが埋設されている。導電体301aは、トランジスタ750のソースまたはドレインの一方と電氣的に接続され、導電体301bは、トランジスタ750のソースまたはドレインの他方と電氣的に接続される。ここで、導電体301a、及び導電体301bの上面の高さと、絶縁体281の上面の高さは同程度にできる。

[0369]

絶縁体361中に導電体311、導電体313、導電体331、容量790、導電体333、及び導電体335が埋設されている。導電体311及び導電体313はトランジスタ750と電氣的に接続され、配線としての機能を有する。導電体333及び導電体335は、容量790と電氣的に接続される。ここで、導電体331、導電体333、及び導電体335の上面の高さと、絶縁体361の上面の高さは同程度にできる。

[0370]

《容量790》

図36に示すように、容量790は下部電極321と、上部電極325と、を有する。また、下部電極321と上部電極325との間には、絶縁体323が設けられる。すなわち、容量790は、一对の電極間に誘電体として機能する絶縁体323が挟持された積層型の構造である。なお、図36では絶縁体281上に容量790を設ける例を示しているが、絶縁体281と異なる絶縁体上に、容量790を設けてもよい。

[0371]

図36において、導電体301a、導電体301b、及び導電体305が同一の層に形成される例を示している。また、導電体311、導電体313、導電体317、及び下部電極321が同一の層に形成される例を示している。また、導電体331、導電体333、導電体335、及び導電体337が同一の層に形成される例を示している。また、導電体341、導電体343、及び導電体347が同一の層に形成される例を示している。さらに、導電体351、導電体353、導電体355、及び導電体357が同一の層に形成される例を示している。複数の導電体を同一の層に形成することにより、表示装置10の作製工程を簡略にすることができるため、表示装置10の製造コストを削減することができる。なお、これらはそれぞれ異なる層に形成されてもよく、異なる種類の材料を有してもよい。

[0372]

《発光素子70》

図36に示す表示装置10は、発光素子70を有する。発光素子70は、導電体772、発光層786、及び導電体788を有する。発光層786は無機化合物または有機化合物を有する。

[0373]

例えば、化合物半導体を発光層786に用いることができる。具体的には、P型のクラッド層とN型のクラッド層の間に発光層786を挟んで用いることができる。これにより、キャリアを発光層786において再結合させることができる。その結果、キャリアの再結合にともなう発光を得ることができる。

[0374]

例えば、青色の光を射出するように積層された積層材料、緑色の光を射出するように積層された積層材料または赤色の光を射出するように積層された積層材料等を発光層786に用いることができる。具体的には、ガリウム・リン化合物、ガリウム・ヒ素化合物、ガリウム・アルミニウム・ヒ素化合物、アルミニウム・ガリウム・インジウム・リン化合物、インジウム・窒化ガリウム化合物等を、発光層786に用いることができる。

[0375]

また、量子ドット等を発光層786に用いることができる。具体的には、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料等を発光層786に用いることができる。

[0376]

また、蛍光性の有機化合物または燐光性の有機化合物等を発光層786に用いることができる。例えば、低分子化合物を発光層786に用いることができる。また、高分子化合物を発光層786に用いることができる。

[0377]

例えば、ミニLEDを発光素子70に用いることができる。具体的には、光を射出する領域の面積が 1mm^2 以下、好ましくは $50000\mu\text{m}^2$ 以下、より好ましくは $30000\mu\text{m}^2$ 以下、さらに好ましくは $10000\mu\text{m}^2$ 以下、 $200\mu\text{m}^2$ 以上であるミニLEDを発光素子70に用いることができる。

[0378]

または、マイクロLEDを発光素子70に用いることができる。具体的には、光を射出する領域の面積が $200\mu\text{m}^2$ 未満、好ましくは $60\mu\text{m}^2$ 以下、より好ましくは $15\mu\text{m}^2$ 以下、さらに好ましくは $5\mu\text{m}^2$ 以下、 $3\mu\text{m}^2$ 以上であるマイクロLEDを発光素子70に用いることができる。

[0379]

可視光に対して透光性の材料を、導電体772および導電体788に用いることができる。透光性の材料として、例えば、インジウム、亜鉛、スズ等を含む酸化物材料を用いるとよい。なお、発光素子70は、導電体772側に光を射出するボトムエミッション構造、導電体788側に光を射出するトップエミッション構造、または導電体772側及び導電体788側の双方に光を射出するデュアルエミッション構造としてもよい。

[0380]

また、可視光に対して反射性の材料を、導電体772または導電体788に用いることができる。反射性の材料として、例えば、アルミニウム、銀等を含む材料を用いるとよい。

[0381]

発光素子70は、微小光共振器（マイクロキャビティ）構造を有することができる。これにより、着色層を設けなくても所定の色の光（例えば、RGB）を取り出すことができ、表示装置10はカラー表示を行うことができる。着色層を設けない構成とすることにより、着色層による光の吸収を抑制することができる。これにより、表示装置10は高輝度の画像を表示することができ、また表示装置10の消費電力を低減することができる。

[0382]

《パッド542、導電材料543、パッド541、導電膜COM2p》

導電体 772、パッド 542、導電材料 543、パッド 541、導電体 351、導電体 341、導電体 331、導電体 313、及び導電体 301b を介して、発光素子 70 は、トランジスタ 750 のソースまたはドレインの他方と電氣的に接続される。換言すると、導電体 772、パッド 542、導電材料 543、パッド 541、導電体 351、導電体 341、導電体 331、導電体 313、及び導電体 301b は、発光素子 70 を画素回路に電氣的に接続する機能を有する。

[0383]

パッド 542 は、導電体 772 に接して形成される。

[0384]

導電材料 543 は、例えば、絶縁体 734 に分散している。これにより、異方導電性接着剤または異方導電性フィルムの機能を備える。

[0385]

また、これに限らず、表面活性化接合法、例えば、金属-金属接合法、具体的には、銅-銅接合法を用いて、パッド 542 およびパッド 541 を直接接合してもよい。

[0386]

導電膜 COM2p は、導電体 772 に接して形成される。また、例えば、発光素子 70 を最大の輝度で駆動する電圧を供給する。

[0387]

《色変換層 CC》

色変換層 CC は、発光素子 70 と重なるように設けられている。また、色変換層 CC は、発光素子 70 から射出された光の色を他の色に変換する機能を備える。

[0388]

例えば、発光素子から射出される青色の光を緑色の光に変換する材料を色変換層 CC に用いることができる。また、青色の光を赤色の光に変換する材料を色変換層 CC に用いることができる。

[0389]

また、例えば、発光素子から射出される紫外線を青色の光に変換する材料を色変換層 CC に用いることができる。また、紫外線を緑色の光に変換する材料を色変換層 CC に用いることができる。また、紫外線を赤色の光に変換する材料を色変換層 CC に用いることができる。

[0390]

これにより、同一の材料を用いて、同一の工程で複数の発光素子を形成し、それぞれの発光素子に重ねて、異なる材料を用いて色変換層 CC を作り分け、互いに異なる色を表示させることができる。

[0391]

また、着色層を設けることができる。着色層は、発光素子 70 と重なる領域を有するように設けられている。着色層を設けることにより、発光素子 70 から取り出される光の色純度を高めることができる。これにより、表示装置 10 に高品位の画像を表示することができる。また、表示装置 10 の例えば全ての発光素子 70 を、白色光を発する発光素子とすることができる。

[0392]

なお、図 36 には図示しないが、表示装置 10 は、偏光部材、位相差部材、反射防止部材等の光学部材（光学基板）等を設けることができる。

[0393]

《絶縁体 730》

図36に示す表示装置10には、絶縁体363上に絶縁体730が設けられる。ここで、絶縁体730は、パッド541の一部を覆う構成とすることができる。

[0394]

《絶縁体734》

絶縁体734は、パッド541およびパッド542の間に挟まれ、パッド541およびパッド542を接着する機能を備える。また、導電材料543は絶縁体734に分散している。これにより、異方導電性接着剤の機能を備える。

[0395]

《遮光層738》

遮光層738は、隣接する領域から発せられる光を遮る機能を有する。また、トランジスタ750等に到達する外光の強度を減じる機能を備える。

[0396]

《封止層732》

封止層732は、発光素子70を覆う。封止層732は、発光素子70の信頼性を損なう不純物の、発光素子70の外部から発光素子70の内部への拡散を抑制する機能を備える。

[0397]

《構造体778》

構造体778は、絶縁体730と基板705の間に設けられ、絶縁体730と基板705の間の間隙を調整する機能を備える。

[0398]

<表示装置の構成例2>

図37は、表示装置10の構成例を示す断面図である。表示装置10は、基板701B及び基板705を有し、基板701Bと基板705はシール材712により貼り合わされている。図37に示す表示装置10は、トランジスタ750が単結晶半導体基板上に形成されている点で、図36に示す表示装置10と異なる。

[0399]

《基板701B》

基板701Bとして、単結晶シリコン基板等の単結晶半導体基板を用いることができる。なお、基板701Bとして単結晶半導体基板以外の半導体基板を用いてもよい。

[0400]

基板701B上にトランジスタ750が設けられる。トランジスタ750は、実施の形態3に示す層30に設けられるトランジスタとすることができる。例えば、画素回路62に設けられるトランジスタとすることができる。

[0401]

《トランジスタ750》

トランジスタ750は、後述するトランジスタ441と同様の構成とすることができる。

[0402]

<表示装置の構成例3>

図38は、表示装置10の構成例を示す断面図である。表示装置10は、基板701及び基板705を有し、基板701と基板705はシール材712により貼り合わされている。図38に示す表

示装置 10 は、トランジスタ 601 を有する点で、図 36 に示す表示装置 10 と異なる。

[0403]

《基板 701》

基板 701 として、単結晶シリコン基板等の単結晶半導体基板を用いることができる。なお、基板 701 として単結晶半導体基板以外の半導体基板を用いてもよい。

[0404]

基板 701 上にトランジスタ 441、及びトランジスタ 601 が設けられる。トランジスタ 441 及びトランジスタ 601 は、実施の形態 3 に示す層 20 に設けられるトランジスタとすることができる。例えば、層 20 が有する駆動回路 40 のトランジスタまたは機能回路 50 のトランジスタに用いることができる。

[0405]

《トランジスタ 441》

トランジスタ 441 は、ゲート電極としての機能を有する導電体 443 と、ゲート絶縁体としての機能を有する絶縁体 445 と、基板 701 の一部と、からなり、チャネル形成領域を含む半導体領域 447、ソース領域またはドレイン領域の一方としての機能を有する低抵抗領域 449a、及びソース領域またはドレイン領域の他方としての機能を有する低抵抗領域 449b を有する。トランジスタ 441 は、p チャネル型または n チャネル型のいずれでもよい。

[0406]

トランジスタ 441 は、素子分離層 403 によって他のトランジスタと電氣的に分離される。図 38 では、素子分離層 403 によってトランジスタ 441 とトランジスタ 601 が電氣的に分離される場合を示している。素子分離層 403 は、LOCOS (LOCAL Oxidation of Silicon) 法、または STI (Shallow Trench Isolation) 法等を用いて形成することができる。

[0407]

ここで、図 38 に示すトランジスタ 441 は半導体領域 447 が凸形状を有する。また、半導体領域 447 の側面及び上面を、絶縁体 445 を介して、導電体 443 が覆うように設けられている。なお、図 38 では、導電体 443 が半導体領域 447 の側面を覆う様子は図示していない。また、導電体 443 には仕事関数を調整する材料を用いることができる。

[0408]

トランジスタ 441 のような半導体領域が凸形状を有するトランジスタは、半導体基板の凸部を利用していることから、フィン型トランジスタと呼ぶことができる。なお、凸部の上部に接して、凸部を形成するためのマスクとしての機能を有する絶縁体を有していてもよい。また、図 38 では基板 701 の一部を加工して凸部を形成する構成を示しているが、SOI 基板を加工して凸形状を有する半導体を形成してもよい。

[0409]

なお、図 38 に示すトランジスタ 441 の構成は一例であり、その構成に限定されず、回路構成または回路の動作方法等に応じて適切な構成とすればよい。例えば、トランジスタ 441 は、プレーナー型トランジスタであってもよい。

[0410]

《トランジスタ 601》

トランジスタ 601 は、トランジスタ 441 と同様の構成とすることができる。

[0411]

《絶縁体 405、絶縁体 407、絶縁体 409、絶縁体 411》

基板 701 上には、素子分離層 403、並びにトランジスタ 441 及びトランジスタ 601 の他、絶縁体 405、絶縁体 407、絶縁体 409、及び絶縁体 411 が設けられる。絶縁体 405 中、絶縁体 407 中、絶縁体 409 中、及び絶縁体 411 中に導電体 451 が埋設されている。ここで、導電体 451 の上面の高さと、絶縁体 411 の上面の高さは同程度にできる。

[0412]

絶縁体 405、絶縁体 407、絶縁体 409、及び絶縁体 411 は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0413]

《絶縁体 421、絶縁体 214、絶縁体 216》

導電体 451 上、及び絶縁体 411 上に絶縁体 421 及び絶縁体 214 が設けられる。絶縁体 421 中、及び絶縁体 214 中に導電体 453 が埋設されている。ここで、導電体 453 の上面の高さと、絶縁体 214 の上面の高さは同程度にできる。

[0414]

導電体 453 上、及び絶縁体 214 上に絶縁体 216 が設けられる。絶縁体 216 中に導電体 455 が埋設されている。ここで、導電体 455 の上面の高さと、絶縁体 216 の上面の高さは同程度にできる。

[0415]

《絶縁体 222、絶縁体 224、絶縁体 254、絶縁体 280、絶縁体 274、絶縁体 281》

導電体 455 上、及び絶縁体 216 上に絶縁体 222、絶縁体 224、絶縁体 254、絶縁体 280、絶縁体 274、及び絶縁体 281 が設けられる。

[0416]

絶縁体 222 中、絶縁体 224 中、絶縁体 254 中、絶縁体 280 中、絶縁体 274 中、及び絶縁体 281 中に導電体 305 が埋設されている。ここで、導電体 305 の上面の高さと、絶縁体 281 の上面の高さは同程度にできる。

[0417]

絶縁体 421、絶縁体 214、絶縁体 280、絶縁体 274、及び絶縁体 281 は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0418]

《絶縁体 361》

導電体 305 上、及び絶縁体 281 上に絶縁体 361 が設けられる。

[0419]

《トランジスタ 441》

図 38 に示すように、トランジスタ 441 のソース領域またはドレイン領域の他方としての機能を有する低抵抗領域 449b は、導電体 451、導電体 453、導電体 455、導電体 305、導電体 317、導電体 337、導電体 347、導電体 353、導電体 355、導電体 357、接続電極 760、及び異方性導電体 780 を介して、FPC 716 と電氣的に接続される。

[0420]

<表示装置の構成例4>

図39は、表示装置10の構成例を示す断面図である。表示装置10は、基板701B及び基板705を有し、基板701Bと基板705はシール材712により貼り合わされている。図39に示す表示装置10は、トランジスタ750がトランジスタ441と同様の構成を有する点および基板701Bと基板701が接着層459により貼り合わされている点で、図38に示す表示装置10と異なる。

[0421]

《接着層459》

絶縁体216上に、接着層459が設けられる。接着層459中にバンプ458が埋設されている。接着層459は、絶縁体216および基板701Bを接着する。また、バンプ458の下面は導電体455と接し、バンプ458の上面は導電体305と接し、導電体455および導電体305を電氣的に接続する。

[0422]

《絶縁体405B、絶縁体280、絶縁体274、絶縁体281》

基板701B上には、素子分離層403B、並びにトランジスタ750の他、絶縁体405B、絶縁体280、絶縁体274、及び絶縁体281が設けられる。絶縁体405B中、絶縁体280中、絶縁体274中、及び絶縁体281中に導電体305が埋設されている。ここで、導電体305の上面の高さと、絶縁体281の上面の高さは同程度にできる。

[0423]

絶縁体405B、絶縁体280、絶縁体274、及び絶縁体281は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0424]

<表示装置の構成例5>

図40に示す表示装置10は、トランジスタ441及びトランジスタ601の代わりに、OSトランジスタであるトランジスタ602及びトランジスタ603を有する点が、図38に示す表示装置10と主に異なる。また、トランジスタ750は、OSトランジスタを用いることができる。つまり、図40に示す表示装置10は、OSトランジスタが積層して設けられている。なお、図40では、トランジスタ602及びトランジスタ603が基板701上に設けられている例を示す。基板701としては、上述の通り、単結晶シリコン基板等の単結晶半導体基板、他の半導体基板を用いることができる。また、基板701として、ガラス基板、サファイア基板などの各種絶縁体基板を用いてもよい。

[0425]

《絶縁体613、絶縁体614》

基板701上には絶縁体613及び絶縁体614が設けられ、絶縁体614上にはトランジスタ602及びトランジスタ603が設けられる。なお、基板701と、絶縁体613と、の間にトランジスタ等が設けられていてもよい。例えば、基板701と、絶縁体613と、の間に、図38で示したトランジスタ441及びトランジスタ601と同様の構成のトランジスタを設けてもよい。

[0426]

《トランジスタ602、トランジスタ603》

トランジスタ602及びトランジスタ603は、実施の形態3に示す層20に設けられるトランジ

スタとすることができる。

[0427]

トランジスタ602及びトランジスタ603は、トランジスタ750と同様の構成のトランジスタとすることができる。なお、トランジスタ602及びトランジスタ603を、トランジスタ750と異なる構成のOSトランジスタとしてもよい。

[0428]

《絶縁体616、絶縁体622、絶縁体624、絶縁体654、絶縁体680、絶縁体674、絶縁体681》

絶縁体614上には、トランジスタ602及びトランジスタ603の他、絶縁体616、絶縁体622、絶縁体624、絶縁体654、絶縁体680、絶縁体674、及び絶縁体681が設けられる。絶縁体654中、絶縁体680中、絶縁体674中、及び絶縁体681中に導電体461が埋設されている。ここで、導電体461の上面の高さと、絶縁体681の上面の高さは同程度にできる。

[0429]

《絶縁体501》

導電体461上、及び絶縁体681上に絶縁体501が設けられる。絶縁体501中に導電体463が埋設されている。ここで、導電体463の上面の高さと、絶縁体501の上面の高さは同程度にできる。

[0430]

導電体463上、及び絶縁体501上に絶縁体421及び絶縁体214が設けられる。絶縁体421中、及び絶縁体214中に導電体453が埋設されている。ここで、導電体453の上面の高さと、絶縁体214の上面の高さは同程度にできる。

[0431]

図40に示すように、トランジスタ602のソースまたはドレインの一方は、導電体461、導電体463、導電体453、導電体455、導電体305、導電体317、導電体337、導電体347、導電体353、導電体355、導電体357、接続電極760、及び異方性導電体780を介して、FPC716と電気的に接続される。

[0432]

絶縁体222中、絶縁体224中、絶縁体254中、絶縁体280中、絶縁体274中、及び絶縁体281中に導電体305が埋設されている。ここで、導電体305の上面の高さと、絶縁体281の上面の高さは同程度にできる。

[0433]

絶縁体613、絶縁体614、絶縁体680、絶縁体674、絶縁体681、及び絶縁体501は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0434]

表示装置10を図40に示す構成とすることにより、表示装置10を狭額縁化、小型化させつつ、表示装置10が有するトランジスタを全てOSトランジスタとすることができる。これにより、例えば実施の形態3に示す層20に設けられるトランジスタと、層30に設けられるトランジスタと、を同一の装置を用いて作製することができる。よって、表示装置10の作製コストを削減すること

ができ、表示装置 10 を低価格なものとすることができる。

[0435]

<表示装置の構成例 6 >

図 41 は、表示装置 10 の構成例を示す断面図である。トランジスタ 750 を有する層と、トランジスタ 601 及びトランジスタ 441 を有する層との間に、トランジスタ 800 を有する層を有する点で、図 38 に示す表示装置 10 と主に異なる。

[0436]

図 41 の構成では、実施の形態 3 に示す層 20 を、トランジスタ 601 及びトランジスタ 441 を有する層と、トランジスタ 800 を有する層と、で構成することができる。トランジスタ 750 は実施の形態 3 に示す層 30 に設けられるトランジスタとすることができる。

[0437]

《絶縁体 821、絶縁体 814》

導電体 451 上、及び絶縁体 411 上に絶縁体 821 及び絶縁体 814 が設けられる。絶縁体 821 中、及び絶縁体 814 中に導電体 853 が埋設されている。ここで、導電体 853 の上面の高さと、絶縁体 814 の上面の高さは同程度にできる。

[0438]

《絶縁体 816》

導電体 853 上、及び絶縁体 814 上に絶縁体 816 が設けられる。絶縁体 816 中に導電体 855 が埋設されている。ここで、導電体 855 の上面の高さと、絶縁体 816 の上面の高さは同程度にできる。

[0439]

《絶縁体 822、絶縁体 824、絶縁体 854、絶縁体 880、絶縁体 874、絶縁体 881》

導電体 855 上、及び絶縁体 816 上に絶縁体 822、絶縁体 824、絶縁体 854、絶縁体 880、絶縁体 874、及び絶縁体 881 が設けられる。絶縁体 822 中、絶縁体 824 中、絶縁体 854 中、絶縁体 880 中、絶縁体 874 中、及び絶縁体 881 中に導電体 805 が埋設されている。ここで、導電体 805 の上面の高さと、絶縁体 881 の上面の高さは同程度にできる。

[0440]

導電体 817 上、及び絶縁体 881 上に絶縁体 421 及び絶縁体 214 が設けられる。

[0441]

図 41 に示すように、トランジスタ 441 のソース領域またはドレイン領域の他方としての機能を有する低抵抗領域 449b は、導電体 451、導電体 853、導電体 855、導電体 805、導電体 817、導電体 453、導電体 455、導電体 305、導電体 317、導電体 337、導電体 347、導電体 353、導電体 355、導電体 357、接続電極 760、及び異方性導電体 780 を介して、FPC 716 と電氣的に接続される。

[0442]

《トランジスタ 800》

絶縁体 814 上には、トランジスタ 800 が設けられる。トランジスタ 800 は、実施の形態 3 に示す層 20 に設けられるトランジスタとすることができる。トランジスタ 800 は、OS トランジスタとすることが好ましい。例えば、トランジスタ 800 は、バックアップ回路 82 に設けられるトランジスタとすることができる。

[0443]

絶縁体854中、絶縁体880中、絶縁体874中、及び絶縁体881中に導電体801a、及び導電体801bが埋設されている。導電体801aは、トランジスタ800のソースまたはドレインの一方と電氣的に接続され、導電体801bは、トランジスタ800のソースまたはドレインの他方と電氣的に接続される。ここで、導電体801a、及び導電体801bの上面の高さと、絶縁体881の上面の高さは同程度にできる。

[0444]

《トランジスタ750》

トランジスタ750は、実施の形態3に示す層30に設けられるトランジスタとすることができる。例えば、トランジスタ750は、画素回路62に設けられるトランジスタとすることができる。トランジスタ750は、OSトランジスタとすることが好ましい。

[0445]

絶縁体405、絶縁体407、絶縁体409、絶縁体411、絶縁体821、絶縁体814、絶縁体880、絶縁体874、絶縁体881、絶縁体421、絶縁体214、絶縁体280、絶縁体274、絶縁体281、絶縁体361、及び絶縁体363は、層間膜としての機能を有し、それぞれ下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0446]

図41において、導電体801a、導電体801b、及び導電体805が同一の層に形成される例を示している。また、導電体811、導電体813、及び導電体817が同一の層に形成される例を示している。

[0447]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0448]

(実施の形態5)

本実施の形態では、本発明の一態様である表示装置に用いることができるトランジスタについて説明する。

[0449]

<トランジスタの構成例>

図42A、図42B、及び図42Cは、本発明の一態様である表示装置に用いることができるトランジスタ200A、及びトランジスタ200A周辺の上面図及び断面図である。本発明の一態様の表示装置に、トランジスタ200Aを適用することができる。

[0450]

図42Aは、トランジスタ200Aの上面図である。また、図42B、及び図42Cは、トランジスタ200Aの断面図である。ここで、図42Bは、図42AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル長方向の断面図でもある。また、図42Cは、図42AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル幅方向の断面図でもある。なお、図42Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0451]

図42に示すように、トランジスタ200Aは、基板(図示しない。)の上に配置された金属酸化物230aと、金属酸化物230aの上に配置された金属酸化物230bと、金属酸化物230bの上に、互いに離隔して配置された導電体242a、及び導電体242bと、導電体242a及び導電体242b上に配置され、導電体242aと導電体242bの間に開口が形成された絶縁体280と、開口の中に配置された導電体260と、金属酸化物230b、導電体242a、導電体242b、及び絶縁体280と、導電体260と、の間に配置された絶縁体250と、金属酸化物230b、導電体242a、導電体242b、及び絶縁体280と、絶縁体250と、の間に配置された金属酸化物230cと、を有する。ここで、図42B及び図42Cに示すように、導電体260の上面は、絶縁体250、絶縁体254、金属酸化物230c、及び絶縁体280の上面と略一致することが好ましい。なお、以下において、金属酸化物230a、金属酸化物230b、及び金属酸化物230cをまとめて金属酸化物230という場合がある。また、導電体242a及び導電体242bをまとめて導電体242という場合がある。

[0452]

図42に示すトランジスタ200Aでは、導電体242a及び導電体242bの導電体260側の側面が、概略垂直な形状を有している。なお、図42に示すトランジスタ200Aは、これに限られるものではなく、導電体242a及び導電体242bの側面と底面がなす角が、 10° 以上 80° 以下、好ましくは、 30° 以上 60° 以下としてもよい。また、導電体242a及び導電体242bの対向する側面が、複数の面を有していてもよい。

[0453]

図42に示すように、絶縁体224、金属酸化物230a、金属酸化物230b、導電体242a、導電体242b、及び金属酸化物230cと、絶縁体280と、の間に絶縁体254が配置されることが好ましい。ここで、絶縁体254は、図42B及び図42Cに示すように、金属酸化物230cの側面、導電体242aの上面と側面、導電体242bの上面と側面、金属酸化物230a及び金属酸化物230bの側面、並びに絶縁体224の上面に接することが好ましい。

[0454]

なお、トランジスタ200Aでは、チャンネルが形成される領域(以下、チャンネル形成領域ともいう。)と、その近傍において、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、金属酸化物230bと金属酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200Aでは、導電体260を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体260が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、金属酸化物230a、金属酸化物230b、及び金属酸化物230cのそれぞれが2層以上の積層構造を有していてもよい。

[0455]

例えば、金属酸化物230cが第1の金属酸化物と、第1の金属酸化物上の第2の金属酸化物からなる積層構造を有する場合、第1の金属酸化物は、金属酸化物230bと同様の組成を有し、第2の金属酸化物は、金属酸化物230aと同様の組成を有することが好ましい。

[0456]

ここで、導電体260は、トランジスタのゲート電極として機能し、導電体242a及び導電体242bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体260

は、絶縁体280の開口、及び導電体242aと導電体242bに挟まれた領域に埋め込まれるように形成される。ここで、導電体260、導電体242a及び導電体242bの配置は、絶縁体280の開口に対して、自己整合的に選択される。つまり、トランジスタ200Aにおいて、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体260を位置合わせのマージンを設けることなく形成することができるため、トランジスタ200Aの占有面積の縮小を図ることができる。これにより、表示装置を高精細にすることができる。また、表示装置を狭額縁にすることができる。

[0457]

図42に示すように、導電体260は、絶縁体250の内側に設けられた導電体260aと、導電体260aの内側に埋め込まれるように設けられた導電体260bと、を有することが好ましい。

[0458]

トランジスタ200Aは、基板（図示しない。）の上に配置された絶縁体214と、絶縁体214の上に配置された絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、を有することが好ましい。絶縁体224の上に金属酸化物230aが配置されることが好ましい。

[0459]

トランジスタ200Aの上に、層間膜として機能する絶縁体274、及び絶縁体281が配置されることが好ましい。ここで、絶縁体274は、導電体260、絶縁体250、絶縁体254、金属酸化物230c、及び絶縁体280の上面に接して配置されることが好ましい。

[0460]

絶縁体222、絶縁体254、及び絶縁体274は、水素（例えば、水素原子、水素分子等）の少なくとも一の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222、絶縁体254、及び絶縁体274は、絶縁体224、絶縁体250、及び絶縁体280より水素透過性が低いことが好ましい。また、絶縁体222、及び絶縁体254は、酸素（例えば、酸素原子、酸素分子等の少なくとも一の）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222、及び絶縁体254は、絶縁体224、絶縁体250、及び絶縁体280より酸素透過性が低いことが好ましい。

[0461]

ここで、絶縁体224、金属酸化物230、及び絶縁体250は、絶縁体280及び絶縁体281と、絶縁体254、及び絶縁体274によって隔離されている。ゆえに、絶縁体224、金属酸化物230、及び絶縁体250に、絶縁体280及び絶縁体281に含まれる水素等の不純物および過剰な酸素が、絶縁体224、金属酸化物230a、金属酸化物230b、及び絶縁体250に混入することを抑制できる。

[0462]

トランジスタ200Aと電氣的に接続し、プラグとして機能する導電体240（導電体240a、及び導電体240b）が設けられることが好ましい。なお、プラグとして機能する導電体240の側面に接して絶縁体241（絶縁体241a、及び絶縁体241b）が設けられる。つまり、絶縁体254、絶縁体280、絶縁体274、及び絶縁体281の開口の内壁に接して絶縁体241が設けられる。また、絶縁体241の側面に接して導電体240の第1の導電体が設けられ、さらに

内側に導電体240の第2の導電体が設けられる構成にしてもよい。ここで、導電体240の上面の高さと、絶縁体281の上面の高さは同程度にできる。なお、トランジスタ200Aでは、導電体240の第1の導電体及び導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0463]

トランジスタ200Aは、チャンネル形成領域を含む金属酸化物230（金属酸化物230a、金属酸化物230b、及び金属酸化物230c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、金属酸化物230のチャンネル形成領域となる金属酸化物として、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。

[0464]

上記金属酸化物として、少なくともインジウム（In）または亜鉛（Zn）を含むことが好ましい。特に、インジウム（In）及び亜鉛（Zn）を含むことが好ましい。また、これらに加えて、元素Mが含まれていることが好ましい。元素Mとして、アルミニウム（Al）、ガリウム（Ga）、イットリウム（Y）、スズ（Sn）、ホウ素（B）、チタン（Ti）、鉄（Fe）、ニッケル（Ni）、ゲルマニウム（Ge）、ジルコニウム（Zr）、モリブデン（Mo）、ランタン（La）、セリウム（Ce）、ネオジム（Nd）、ハフニウム（Hf）、タンタル（Ta）、タングステン（W）、マグネシウム（Mg）またはコバルト（Co）の一以上を用いることができる。特に、元素Mは、アルミニウム（Al）、ガリウム（Ga）、イットリウム（Y）、またはスズ（Sn）の一以上とすることが好ましい。また、元素Mは、Ga及びSnのいずれか一方または双方を有することがさらに好ましい。

[0465]

また、図42Bに示すように、金属酸化物230bは、導電体242と重ならない領域の膜厚が、導電体242と重なる領域の膜厚より薄くなる場合がある。これは、導電体242a及び導電体242bを形成する際に、金属酸化物230bの上面の一部を除去することにより形成される。金属酸化物230bの上面には、導電体242となる導電膜を成膜した際に、当該導電膜との界面近傍に抵抗の低い領域が形成される場合がある。このように、金属酸化物230bの上面の導電体242aと導電体242bの間に位置する、抵抗の低い領域を除去することにより、当該領域にチャンネルが形成されることを防ぐことができる。

[0466]

本発明の一態様により、サイズが小さいトランジスタを有し、精細度が高い表示装置を提供することができる。または、オン電流が大きいトランジスタを有し、輝度が高い表示装置を提供することができる。または、動作が速いトランジスタを有し、動作が速い表示装置を提供することができる。または、電気特性が安定したトランジスタを有し、信頼性が高い表示装置を提供することができる。または、オフ電流が小さいトランジスタを有し、消費電力が低い表示装置を提供することができる。

[0467]

本発明の一態様である表示装置に用いることができるトランジスタ200Aの詳細な構成について説明する。

[0468]

導電体205は、金属酸化物230、及び導電体260と、重なる領域を有するように配置する。また、導電体205は、絶縁体216に埋め込まれて設けることが好ましい。

[0469]

導電体205は、導電体205a、導電体205b、及び導電体205cを有する。導電体205aは、絶縁体216に設けられた開口の底面及び側壁に接して設けられる。導電体205bは、導電体205aに形成された凹部に埋め込まれるように設けられる。ここで、導電体205bの上面は、導電体205aの上面及び絶縁体216の上面より低くなる。導電体205cは、導電体205bの上面、及び導電体205aの側面に接して設けられる。ここで、導電体205cの上面の高さは、導電体205aの上面の高さ及び絶縁体216の上面の高さと略一致する。つまり、導電体205bは、導電体205a及び導電体205cに包み込まれる構成になる。

[0470]

導電体205a及び導電体205cは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N₂O、NO、NO₂等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子等の少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0471]

導電体205a及び導電体205cに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体205bに含まれる水素等の不純物が、絶縁体224等を介して、金属酸化物230に拡散することを抑制できる。また、導電体205a及び導電体205cに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205bが酸化されて導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウム等を用いることが好ましい。したがって、導電体205aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体205aは、窒化チタンを用いればよい。

[0472]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体205bは、タングステンをを用いればよい。

[0473]

ここで、導電体260は、第1のゲート(トップゲートともいう。)電極として機能する場合がある。また、導電体205は、第2のゲート(ボトムゲートともいう。)電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と連動させず、独立して変化させることで、トランジスタ200Aの V_{th} を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200Aの V_{th} を0Vより大きくし、オフ電流を小さくすることが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0474]

導電体205は、金属酸化物230におけるチャネル形成領域よりも、大きく設けるとよい。特に、図42Cに示すように、導電体205は、金属酸化物230のチャネル幅方向と交わる端部よりも

外側の領域においても、延伸していることが好ましい。つまり、金属酸化物 230 のチャンネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。

[0475]

上記構成を有することで、第1のゲート電極としての機能を有する導電体 260 の電界と、第2のゲート電極としての機能を有する導電体 205 の電界によって、金属酸化物 230 のチャンネル形成領域を電気的に取り囲むことができる。

[0476]

図42Cに示すように、導電体 205 は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体 205 の下に、配線として機能する導電体を設ける構成にしてもよい。

[0477]

絶縁体 214 は、水または水素等の不純物が、基板側からトランジスタ 200A に混入することを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 214 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。

[0478]

例えば、絶縁体 214 として、酸化アルミニウムまたは窒化シリコン等を用いることが好ましい。これにより、水または水素等の不純物が絶縁体 214 よりも基板側からトランジスタ 200A 側に拡散することを抑制できる。または、絶縁体 224 等に含まれる酸素が、絶縁体 214 よりも基板側に、拡散することを抑制できる。

[0479]

層間膜として機能する絶縁体 216、絶縁体 280、及び絶縁体 281 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216、絶縁体 280、及び絶縁体 281 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、または空孔を有する酸化シリコン等を適宜用いればよい。

[0480]

絶縁体 222 及び絶縁体 224 は、ゲート絶縁体としての機能を有する。

[0481]

ここで、金属酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体 224 は、酸化シリコンまたは酸化窒化シリコン等を適宜用いればよい。酸素を含む絶縁体を金属酸化物 230 に接して設けることにより、金属酸化物 230 中の酸素欠損を低減し、トランジスタ 200A の信頼性を向上させることができる。

[0482]

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption

Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³以上、好ましくは 1.0×10^{19} atoms/cm³以上、さらに好ましくは 2.0×10^{19} atoms/cm³以上、または 3.0×10^{20} atoms/cm³以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度は、100℃以上700℃以下、または100℃以上400℃以下の範囲が好ましい。

[0483]

図42Cに示すように、絶縁体224は、絶縁体254と重ならず、且つ金属酸化物230bと重ならない領域の膜厚が、それ以外の領域の膜厚より薄くなる場合がある。絶縁体224において、絶縁体254と重ならず、且つ金属酸化物230bと重ならない領域の膜厚は、上記酸素を十分に拡散できる膜厚であることが好ましい。

[0484]

絶縁体222は、絶縁体214等と同様に、水または水素等の不純物が、基板側からトランジスタ200Aに混入することを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体222は、絶縁体224より水素透過性が低いことが好ましい。絶縁体222、絶縁体254、及び絶縁体274によって、絶縁体224、金属酸化物230、及び絶縁体250等を囲むことにより、外方から水または水素等の不純物がトランジスタ200Aに侵入することを抑制することができる。

[0485]

さらに、絶縁体222は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体222は、絶縁体224より酸素透過性が低いことが好ましい。絶縁体222が、酸素または不純物の拡散を抑制する機能を有することで、金属酸化物230が有する酸素が、基板側へ拡散することを低減でき、好ましい。また、導電体205が、絶縁体224または金属酸化物230が有する酸素と反応することを抑制することができる。

[0486]

絶縁体222は、絶縁性材料であるアルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、金属酸化物230からの酸素の放出またはトランジスタ200Aの周辺部から金属酸化物230への水素等の不純物の混入を抑制する層として機能する。

[0487]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0488]

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba, Sr）TiO₃（BST）等のいわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。

トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0489]

なお、絶縁体 222、及び絶縁体 224 が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、絶縁体 222 の下に絶縁体 224 と同様の絶縁体を設ける構成にしてもよい。

[0490]

金属酸化物 230 は、金属酸化物 230 a と、金属酸化物 230 a 上の金属酸化物 230 b と、金属酸化物 230 b 上の金属酸化物 230 c と、を有する。金属酸化物 230 b 下に金属酸化物 230 a を有することで、金属酸化物 230 a よりも下方に形成された構造物から、金属酸化物 230 b への不純物の拡散を抑制することができる。また、金属酸化物 230 b 上に金属酸化物 230 c を有することで、金属酸化物 230 c よりも上方に形成された構造物から、金属酸化物 230 b への不純物の拡散を抑制することができる。

[0491]

なお、金属酸化物 230 は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、金属酸化物 230 が、少なくともインジウム (In) と、元素 M と、を含む場合、金属酸化物 230 a を構成する全元素の原子数に対する、金属酸化物 230 a に含まれる元素 M の原子数の割合が、金属酸化物 230 b を構成する全元素の原子数に対する、金属酸化物 230 b に含まれる元素 M の原子数の割合より高いことが好ましい。また、金属酸化物 230 a に含まれる元素 M の、In に対する原子数比が、金属酸化物 230 b に含まれる元素 M の、In に対する原子数比より大きいことが好ましい。ここで、金属酸化物 230 c は、金属酸化物 230 a または金属酸化物 230 b に用いることができる金属酸化物を用いることができる。

[0492]

金属酸化物 230 a 及び金属酸化物 230 c の伝導帯下端のエネルギーが、金属酸化物 230 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、金属酸化物 230 a 及び金属酸化物 230 c の電子親和力が、金属酸化物 230 b の電子親和力より小さいことが好ましい。この場合、金属酸化物 230 c は、金属酸化物 230 a に用いることができる金属酸化物を用いることが好ましい。具体的には、金属酸化物 230 c を構成する全元素の原子数に対する、金属酸化物 230 c に含まれる元素 M の原子数の割合が、金属酸化物 230 b を構成する全元素の原子数に対する、金属酸化物 230 b に含まれる元素 M の原子数の割合より高いことが好ましい。また、金属酸化物 230 c に含まれる元素 M の、In に対する原子数比が、金属酸化物 230 b に含まれる元素 M の、In に対する原子数比より大きいことが好ましい。

[0493]

ここで、金属酸化物 230 a、金属酸化物 230 b、及び金属酸化物 230 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、金属酸化物 230 a、金属酸化物 230 b、及び金属酸化物 230 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、金属酸化物 230 a と金属酸化物 230 b との界面、及び金属酸化物 230 b と金属酸化物 230 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0494]

具体的には、金属酸化物230aと金属酸化物230b、金属酸化物230bと金属酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、金属酸化物230bがIn-Ga-Zn酸化物の場合、金属酸化物230a及び金属酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、金属酸化物230cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、またはIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、金属酸化物230cとして用いてもよい。

[0495]

具体的には、金属酸化物230aとして、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、または $1 : 1 : 0.5$ [原子数比]の金属酸化物を用いればよい。また、金属酸化物230bとして、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、または $3 : 1 : 2$ [原子数比]の金属酸化物を用いればよい。また、金属酸化物230cとして、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、 $Ga : Zn = 2 : 1$ [原子数比]、または $Ga : Zn = 2 : 5$ [原子数比]の金属酸化物を用いればよい。また、金属酸化物230cを積層構造とする場合の具体例として、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]と、 $Ga : Zn = 2 : 1$ [原子数比]との積層構造、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]と、 $Ga : Zn = 2 : 5$ [原子数比]との積層構造、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]と、酸化ガリウムとの積層構造等が挙げられる。

[0496]

このとき、キャリアの主たる経路は金属酸化物230bとなる。金属酸化物230a、金属酸化物230cを上述の構成とすることで、金属酸化物230aと金属酸化物230bとの界面、及び金属酸化物230bと金属酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200Aは高いオン電流、及び高い周波数特性を得ることができる。なお、金属酸化物230cを積層構造とした場合、上述の金属酸化物230bと、金属酸化物230cとの界面における欠陥準位密度を低くする効果に加え、金属酸化物230cが有する構成元素が、絶縁体250側に拡散することを抑制することが期待される。より具体的には、金属酸化物230cを積層構造とし、積層構造の上方にInを含まない酸化物を位置させるため、絶縁体250側に拡散しうるInを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、金属酸化物230cを積層構造とすることで、信頼性の高い表示装置を提供することが可能となる。

[0497]

金属酸化物230b上には、ソース電極、及びドレイン電極として機能する導電体242（導電体242a、及び導電体242b）が設けられる。導電体242として、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とす

る合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0498]

金属酸化物230と接するように上記導電体242を設けることで、金属酸化物230の導電体242近傍において、酸素濃度が低減する場合がある。また、金属酸化物230の導電体242近傍において、導電体242に含まれる金属と、金属酸化物230の成分とを含む金属化合物層が形成される場合がある。このような場合、金属酸化物230の導電体242近傍の領域において、キャリア密度が増加し、当該領域は、低抵抗領域となる。

[0499]

ここで、導電体242aと導電体242bの間の領域は、絶縁体280の開口に重畳して形成される。これにより、導電体242aと導電体242bの間に導電体260を自己整合的に配置することができる。

[0500]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、金属酸化物230cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0501]

絶縁体250は、絶縁体224と同様に、絶縁体250中の水または水素等の不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0502]

絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素拡散を抑制することが好ましい。これにより、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0503]

当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンまたは酸化窒化シリコン等を用いる場合、当該金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属酸化物との積層構造とすることで、熱に対して安定、且つ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0504]

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、

チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウム等から選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。

[0505]

導電体260は、図42では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0506]

導電体260aは、上述の、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 等）、銅原子等の不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0507]

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料として、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウム等を用いることが好ましい。

[0508]

導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0509]

図42A及び図42Cに示すように、金属酸化物230bの導電体242と重ならない領域、言い換えると、金属酸化物230のチャンネル形成領域において、金属酸化物230の側面が導電体260で覆うように配置されている。これにより、第1のゲート電極としての機能する導電体260の電界を、金属酸化物230の側面に作用させやすくなる。よって、トランジスタ200Aのオン電流を増大させ、周波数特性を向上させることができる。

[0510]

絶縁体254は、絶縁体214等と同様に、水または水素等の不純物が、絶縁体280側からトランジスタ200Aに混入することを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体254は、絶縁体224より水素透過性が低いことが好ましい。さらに、図42B及び図42Cに示すように、絶縁体254は、金属酸化物230cの側面、導電体242aの上面と側面、導電体242bの上面と側面、金属酸化物230a及び金属酸化物230bの側面、並びに絶縁体224の上面に接することが好ましい。このような構成にすることで、絶縁体280に含まれる水素が、導電体242a、導電体242b、金属酸化物230a、金属酸化物230b及び絶縁体224の上面または側面から金属酸化物230に侵入することを抑制できる。

[0511]

さらに、絶縁体254は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制す

る機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体 254 は、絶縁体 280 または絶縁体 224 より酸素透過性が低いことが好ましい。

[0512]

絶縁体 254 は、スパッタリング法を用いて成膜されることが好ましい。絶縁体 254 を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体 224 の絶縁体 254 と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体 224 を介して金属酸化物 230 中に酸素を供給することができる。ここで、絶縁体 254 が、上方への酸素の拡散を抑制する機能を有することで、酸素が金属酸化物 230 から絶縁体 280 へ拡散することを防ぐことができる。また、絶縁体 222 が、下方への酸素の拡散を抑制する機能を有することで、酸素が金属酸化物 230 から基板側へ拡散することを防ぐことができる。このようにして、金属酸化物 230 のチャンネル形成領域に酸素が供給される。これにより、金属酸化物 230 の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

[0513]

絶縁体 254 として、例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。

[0514]

水素に対してバリア性を有する絶縁体 254 によって、絶縁体 224、絶縁体 250、及び金属酸化物 230 が覆うことで、絶縁体 280 は、絶縁体 254 によって、絶縁体 224、金属酸化物 230、及び絶縁体 250 と隔離されている。これにより、トランジスタ 200A の外方から水素等の不純物が浸入することを抑制できるため、トランジスタ 200A に良好な電気特性及び信頼性を与えることができる。

[0515]

絶縁体 280 は、絶縁体 254 を介して、絶縁体 224、金属酸化物 230、及び導電体 242 上に設けられる。例えば、絶縁体 280 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、または空孔を有する酸化シリコン等を有することが好ましい。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0516]

絶縁体 280 中の水または水素等の不純物濃度が低減されていることが好ましい。また、絶縁体 280 の上面は、平坦化されていてもよい。

[0517]

絶縁体 274 は、絶縁体 214 等と同様に、水または水素等の不純物が、上方から絶縁体 280 に混入することを抑制するバリア絶縁膜として機能することが好ましい。絶縁体 274 として、例えば、絶縁体 214、絶縁体 254 等に用いることができる絶縁体を用いればよい。

[0518]

絶縁体 274 の上に、層間膜として機能する絶縁体 281 を設けることが好ましい。絶縁体 281

は、絶縁体 2 2 4 等と同様に、膜中の水または水素等の不純物濃度が低減されていることが好ましい。

[0 5 1 9]

絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 0、及び絶縁体 2 5 4 に形成された開口に、導電体 2 4 0 a 及び導電体 2 4 0 b を配置する。導電体 2 4 0 a 及び導電体 2 4 0 b は、導電体 2 6 0 を挟んで対向して設ける。なお、導電体 2 4 0 a 及び導電体 2 4 0 b の上面の高さは、絶縁体 2 8 1 の上面と、同一平面上としてもよい。

[0 5 2 0]

なお、絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 0、及び絶縁体 2 5 4 の開口の内壁に接して、絶縁体 2 4 1 a が設けられ、その側面に接して導電体 2 4 0 a の第 1 の導電体が形成されている。当該開口の底部の少なくとも一部には導電体 2 4 2 a が位置しており、導電体 2 4 0 a が導電体 2 4 2 a と接する。同様に、絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 0、及び絶縁体 2 5 4 の開口の内壁に接して、絶縁体 2 4 1 b が設けられ、その側面に接して導電体 2 4 0 b の第 1 の導電体が形成されている。当該開口の底部の少なくとも一部には導電体 2 4 2 b が位置しており、導電体 2 4 0 b が導電体 2 4 2 b と接する。

[0 5 2 1]

導電体 2 4 0 a 及び導電体 2 4 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 a 及び導電体 2 4 0 b は積層構造としてもよい。

[0 5 2 2]

導電体 2 4 0 を積層構造とする場合、金属酸化物 2 3 0 a、金属酸化物 2 3 0 b、導電体 2 4 2、絶縁体 2 5 4、絶縁体 2 8 0、絶縁体 2 7 4、絶縁体 2 8 1 と接する導電体には、上述の、水または水素等の不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウム等を用いることが好ましい。また、水または水素等の不純物の拡散を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a 及び導電体 2 4 0 b に吸収されることを抑制できる。また、絶縁体 2 8 1 より上層から水または水素等の不純物が、導電体 2 4 0 a 及び導電体 2 4 0 b を通じて金属酸化物 2 3 0 に混入することを抑制できる。

[0 5 2 3]

絶縁体 2 4 1 a 及び絶縁体 2 4 1 b として、例えば、絶縁体 2 5 4 等に用いることができる絶縁体を用いればよい。絶縁体 2 4 1 a 及び絶縁体 2 4 1 b は、絶縁体 2 5 4 に接して設けられるため、絶縁体 2 8 0 等から水または水素等の不純物が、導電体 2 4 0 a 及び導電体 2 4 0 b を通じて金属酸化物 2 3 0 に混入することを抑制できる。また、絶縁体 2 8 0 に含まれる酸素が導電体 2 4 0 a 及び導電体 2 4 0 b に吸収されることを抑制できる。

[0 5 2 4]

図示しないが、導電体 2 4 0 a の上面、及び導電体 2 4 0 b の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。当該導電体は、絶縁体

に設けられた開口に埋め込むように形成してもよい。

[0525]

<トランジスタの構成材料>

トランジスタに用いることができる構成材料について説明する。

[0526]

[基板]

トランジスタ200Aを形成する基板として、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板として、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板等）、樹脂基板等がある。また、半導体基板として、例えば、シリコン、ゲルマニウム等の半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板等がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板等がある。導電体基板として、黒鉛基板、金属基板、合金基板、導電性樹脂基板等がある。または、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板等がある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子として、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子等がある。

[0527]

[絶縁体]

絶縁体として、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物等がある。

[0528]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0529]

比誘電率の高い絶縁体として、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、またはシリコン及びハフニウムを有する窒化物等がある。

[0530]

比誘電率が低い絶縁体として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂等がある。

[0531]

酸化物半導体を用いたトランジスタは、水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体（絶縁体214、絶縁体222、絶縁体254、及び絶縁体274等）で囲うことによって、

トランジスタの電気特性を安定にすることができる。水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体として、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、または酸化タンタル等の金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコンまたは窒化シリコン等の金属窒化物を用いることができる。

[0532]

ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを金属酸化物230と接する構造とすることで、金属酸化物230が有する酸素欠損を補償することができる。

[0533]

[導電体]

導電体として、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタン等から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイド等のシリサイドを用いてもよい。

[0534]

上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0535]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0536]

特に、ゲート電極として機能する導電体として、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタル等の窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体等から混入する水素を捕獲することができる場合がある。

[0537]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0538]

(実施の形態6)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物(以下、酸化物半導体ともいう。)について説明する。

[0539]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図43Aを用いて説明を行う。図43Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

[0540]

図43Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(cloud-aligned composite)が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0541]

なお、図43Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」または「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

[0542]

なお、膜または基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCA

AC-IGZO膜のGIXD (Grazing-Incidence XRD) 測定で得られるXRDスペクトルを図43Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図43Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図43Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、図43Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0543]

図43Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図43Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0544]

膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。CAAC-IGZO膜の回折パターンを、図43Cに示す。図43Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図43Cに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0545]

図43Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0546]

[酸化半導体の構造]

なお、酸化半導体は、結晶構造に着目した場合、図43Aとは異なる分類となる場合がある。例えば、酸化半導体は、単結晶酸化半導体と、それ以外の非単結晶酸化半導体と、に分けられる。非単結晶酸化半導体として、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化半導体には、多結晶酸化半導体、擬似非晶質酸化半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化半導体、等が含まれる。

[0547]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0548]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が

連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0549]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0550]

In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M, Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0551]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成等により変動する場合がある。

[0552]

例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

[0553]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことおよび金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

[0554]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0555]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入または欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物または欠陥（酸素欠損等）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0556]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSまたは非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0557]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0558]

[酸化物半導体の構成]

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0559]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混

合した状態をモザイク状、またはパッチ状ともいう。

[0560]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0561]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、及びZnの原子数比のそれぞれを、[In]、[Ga]、及び[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0562]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0563]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0564]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0565]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、及び良好なスイッチング動作を実現することができる。

[0566]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0567]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0568]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0569]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0570]

高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0571]

酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0572]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物は、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0573]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0574]

酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンまたは炭素の濃度と、酸化物半導体との界面近傍のシリコンまたは炭素の濃度（SIMSにより得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0575]

酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0576]

酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0577]

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0578]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0579]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0580]

(実施の形態7)

本実施の形態では、本発明の一態様である表示装置、及び表示システムを備える電子機器について説明する。

[0581]

図44Aは、ヘッドマウントディスプレイ8200の外観を示す図である。

[0582]

ヘッドマウントディスプレイ8200は、装着部8201、レンズ8202、本体8203、表示部8204、ケーブル8205等を有している。また装着部8201には、バッテリー8206が内蔵されている。

[0583]

ケーブル8205は、バッテリー8206から本体8203に電力を供給する。本体8203は無線受信機等を備え、受信した画像データ等に対応する画像を表示部8204に表示させることができる。また、本体8203に設けられたカメラで使用者の眼球またはまぶたの動きを捉え、その情報をもとに使用者の視線の座標を算出することにより、使用者の視線を入力手段として用いることができる。

[0584]

装着部 8201 には、使用者に触れる位置に複数の電極が設けられていてもよい。本体 8203 は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視線を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニターする機能を有していてもよい。また、装着部 8201 には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部 8204 に表示する機能を有していてもよい。また、使用者の頭部の動き等を検出し、表示部 8204 に表示する画像をその動きに合わせて変化させてもよい。

[0585]

表示部 8204 に、本発明の一態様の表示装置を適用することができる。これにより、ヘッドマウントディスプレイ 8200 の消費電力を低減することができるため、ヘッドマウントディスプレイ 8200 を長期間連続して使用できる。また、ヘッドマウントディスプレイ 8200 の消費電力を低減することにより、バッテリー 8206 を小型化、及び軽量化することができるため、ヘッドマウントディスプレイ 8200 を小型化、及び軽量化することができる。これにより、ヘッドマウントディスプレイ 8200 の使用者の負担を小さくし、当該使用者が疲労を感じにくくすることができる。

[0586]

図 44B、図 44C 及び図 44D は、ヘッドマウントディスプレイ 8300 の外観を示す図である。ヘッドマウントディスプレイ 8300 は、筐体 8301 と、表示部 8302 と、バンド状の固定具 8304 と、一対のレンズ 8305 と、を有する。また、筐体 8301 にはバッテリー 8306 が内蔵されており、バッテリー 8306 から表示部 8302 等に電力を供給することができる。

[0587]

使用者は、レンズ 8305 を通して、表示部 8302 の表示を視認することができる。なお、表示部 8302 を湾曲して配置させると好適である。表示部 8302 を湾曲して配置することで、使用者が高い臨場感を感じることができる。なお、本実施の形態においては、表示部 8302 を 1 つ設ける構成について例示したが、これに限定されず、例えば、表示部 8302 を 2 つ設ける構成としてもよい。この場合、使用者の片方の目に 1 つの表示部が配置されるような構成とすると、視差を用いた 3次元表示等を行うことも可能となる。

[0588]

なお、表示部 8302 に、本発明の一態様の表示装置を適用することができる。これにより、ヘッドマウントディスプレイ 8300 の消費電力を低減することができるため、ヘッドマウントディスプレイ 8300 を長期間連続して使用できる。また、ヘッドマウントディスプレイ 8300 の消費電力を低減することにより、バッテリー 8306 を小型化、及び軽量化することができるため、ヘッドマウントディスプレイ 8300 を小型化、及び軽量化することができる。これにより、ヘッドマウントディスプレイ 8300 の使用者の負担を小さくし、当該使用者が疲労を感じにくくすることができる。

[0589]

次に、図 44A 乃至図 44D に示す電子機器と、異なる電子機器の一例を図 45A 及び図 45B に示す。

[0590]

図 45A 及び図 45B に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操

作キー 9005（電源スイッチ、または操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、または赤外線を測定する機能を含むもの）、及びバッテリー 9009等を有する。

[0591]

図 45A 及び図 45B に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付、または時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図 45A 及び図 45B に示す電子機器が有することができる機能はこれらに限定されず、様々な機能を有することができる。また、図 45A 及び図 45B には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0592]

図 45A 及び図 45B に示す電子機器の詳細について、以下説明を行う。

[0593]

図 45A は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えば電話機、手帳、または情報閲覧装置等から選ばれた一つまたは複数の機能を有する。具体的には、スマートフォンとして用いることができる。また、携帯情報端末 9101 は、文字または画像をその複数の面に表示することができる。例えば、3つの操作ボタン 9050（操作アイコンまたは単にアイコンともいう）を表示部 9001 の一の面に表示することができる。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することができる。なお、情報 9051 の一例として、電子メールまたは SNS（ソーシャル・ネットワーキング・サービス）または電話等の着信を知らせる表示、電子メールまたは SNS 等の題名、電子メールまたは SNS 等の送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度等がある。または、情報 9051 が表示されている位置に、情報 9051 の代わりに、操作ボタン 9050 等を表示してもよい。

[0594]

携帯情報端末 9101 に、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末 9101 の消費電力を低減することができるため、携帯情報端末 9101 を長期間連続して使用できる。また、携帯情報端末 9101 の消費電力を低減することにより、バッテリー 9009 を小型化、及び軽量化することができるため、携帯情報端末 9101 を小型化、及び軽量化することができる。これにより、携帯情報端末 9101 の携帯性を高めることができる。

[0595]

図 45B は、腕時計型の携帯情報端末 9200 を示す斜視図である。携帯情報端末 9200 は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションを実行することができる。また、表示部 9001 はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。図 45B では、時刻 9251、操

作ボタン 9 2 5 2（操作アイコンまたは単にアイコンともいう）、及びコンテンツ 9 2 5 3 を表示部 9 0 0 1 に表示している例を示している。コンテンツ 9 2 5 3 は、例えば動画とすることができる。

[0 5 9 6]

また、携帯情報端末 9 2 0 0 は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末 9 2 0 0 は、接続端子 9 0 0 6 を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子 9 0 0 6 を介して充電を行うこともできる。なお、充電動作は接続端子 9 0 0 6 を介さずに無線給電により行ってもよい。

[0 5 9 7]

携帯情報端末 9 2 0 0 に、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末 9 2 0 0 の消費電力を低減することができるため、携帯情報端末 9 2 0 0 を長期間連続して使用できる。また、携帯情報端末 9 2 0 0 の消費電力を低減することにより、バッテリー 9 0 0 9 を小型化、及び軽量化することができるため、携帯情報端末 9 2 0 0 を小型化、及び軽量化することができる。これにより、携帯情報端末 9 2 0 0 の携帯性を高めることができる。

[0 5 9 8]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0 5 9 9]

<本明細書等の記載に関する付記>

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

[0 6 0 0]

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0 6 0 1]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

[0 6 0 2]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

[0 6 0 3]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

[0 6 0 4]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロック

として示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合または複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0605]

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0606]

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子またはソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

[0607]

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」および「配線」が一体となって形成されている場合なども含む。

[0608]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0609]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0610]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0611]

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、また

はチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0612]

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0613]

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているもの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的な作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

[符号の説明]

[0614]

CC：色変換層、C11：容量、C12：容量、COM1：導電膜、COM2：導電膜、COM2p：導電膜、FR1：期間、FR2：期間、G1：導電膜、G2：導電膜、G3：導電膜、G12：導電膜、G13：導電膜、GD：駆動回路、GL：ゲート線、GL2p：ゲート線、GL11：ゲート線、GL12：ゲート線、M11：トランジスタ、N11：ノード、SD：駆動回路、SWm：スイッチ、SW11：スイッチ、SW12：スイッチ、SW13：スイッチ、SW2：スイッチ、SW2p：スイッチ、SW3p：スイッチ、SW3q：スイッチ、S1：導電膜、V0：配線、V1：配線、10：表示装置、10A：表示装置、20：層、30：層、40：駆動回路、41：ゲートドライバ、42：ソースドライバ、50：機能回路、51：CPU、52：アクセラレータ、53：CPUコア、60：表示部、61：画素、61D：画素、61N：画素、62：画素回路、62B：画素回路、62G：画素回路、62R：画素回路、70：発光素子、80：フリップフロップ、81：スキャンフリップフロップ、82：バックアップ回路、200A：トランジスタ、205：導電体、205a：導電体、205b：導電体、205c：導電体、214：絶縁体、216：絶縁体、222：絶縁体、224：絶縁体、230：金属酸化物、230a：金属酸化物、230b：金属酸化物、230c：金属酸化物、231：領域、240：導電体、240a：導電体、240b：導電体、241：絶縁体、241a：絶縁体、241b：絶縁体、242：導電体、242a：導電体、242b：導電体、250：絶縁体、254：絶縁体、260：導電体、260a：導電体、260b：導電体、274：絶縁体、280：絶縁体、281：絶縁体、301a：導電体、301b：導電体、305：導電体、311：導電体、313：導電体、317：導電体、321：下部電極、323：絶縁体、325：上部電極、331：導電体、333：導電体、335：導電体、337：導電体、341：導電体、343：導電体、347：導電体、351：導電体、353：導電体、355：導電体、357：導電体、361：絶縁体、363：絶縁体、403：素子分離層、403B：素子分離層、405：絶縁体、405B：絶縁体、407：絶縁体、409：絶縁体、411：絶縁体、421：絶縁体、441：トランジスタ、443：導電体、445：絶縁体、447：半導体領域、449a：低抵抗領域、449b：低抵抗領域、451：導電体、453：導電体、455：導電体、459：接着層、461：導電体、463：導電体、501：絶縁体、520：機能層、530：画素回路、541：パッド、542：パッド、543：導電材料、550：発光デバイス、601：トランジスタ、602：トランジスタ、603：トランジスタ、613：絶縁体、614：絶縁体、616：絶縁体、622：絶縁体、

624 : 絶縁体、654 : 絶縁体、674 : 絶縁体、680 : 絶縁体、681 : 絶縁体、700 : 表示装置、701 : 基板、701B : 基板、702 : 画素、703 : 画素、705 : 基板、712 : シール材、716 : FPC、730 : 絶縁体、732 : 封止層、734 : 絶縁体、738 : 遮光層、750 : トランジスタ、760 : 接続電極、772 : 導電体、778 : 構造体、780 : 異方性導電体、786 : 発光層、788 : 導電体、790 : 容量、800 : トランジスタ、801a : 導電体、801b : 導電体、805 : 導電体、811 : 導電体、813 : 導電体、814 : 絶縁体、816 : 絶縁体、817 : 導電体、821 : 絶縁体、822 : 絶縁体、824 : 絶縁体、853 : 導電体、854 : 絶縁体、855 : 導電体、874 : 絶縁体、880 : 絶縁体、881 : 絶縁体、8200 : ヘッドマウントディスプレイ、8201 : 装着部、8202 : レンズ、8203 : 本体、8204 : 表示部、8205 : ケーブル、8206 : バッテリー、8300 : ヘッドマウントディスプレイ、8301 : 筐体、8302 : 表示部、8304 : 固定具、8305 : レンズ、8306 : バッテリー、9000 : 筐体、9001 : 表示部、9003 : スピーカ、9005 : 操作キー、9006 : 接続端子、9007 : センサ、9009 : バッテリー、9050 : 操作ボタン、9051 : 情報、9101 : 携帯情報端末、9200 : 携帯情報端末、9251 : 時刻、9252 : 操作ボタン、9253 : コンテンツ

請求の範囲

[請求項1]

第1の一組の画素と、
第2の一組の画素と、
第3の一組の画素と、
第1の導電膜と、
第2の導電膜と、を有し、

前記第1の一組の画素は、第1の一組の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一組の画素回路を備え、

前記第1の一組の発光デバイスは、前記第1のパッドと電氣的に接続され、

前記第1のパッドは、前記第2のパッドと重なり、

前記導電材料は、前記第1のパッドおよび前記第2のパッドの間に挟まれ、

前記導電材料は、前記第1のパッドおよび前記第2のパッドを電氣的に接続し、

前記第2のパッドは、前記第1の一組の画素回路と電氣的に接続され、

前記第1の一組の画素回路は、第1の一群の画素回路を含み、

前記第1の一群の画素回路は、第1の画素回路を含み、

前記第2の一組の画素は、第2の一組の発光デバイスおよび第2の一組の画素回路を備え、

前記第2の一組の発光デバイスは、前記第2の一組の画素回路と電氣的に接続され、

前記第2の一組の画素回路は、第2の一群の画素回路を含み、

前記第2の一群の画素回路は、第2の画素回路を含み、

前記第3の一組の画素は、第3の一組の発光デバイスおよび第3の一組の画素回路を備え、

前記第3の一組の発光デバイスは、前記第3の一組の画素回路と電氣的に接続され、

前記第1の導電膜は、前記第1の一群の画素回路および前記第2の一群の画素回路と電氣的に接続され、

前記第2の導電膜は、前記第1の画素回路および前記第2の画素回路と電氣的に接続される、表示装置。

[請求項2]

第1の一組の画素と、
第2の一組の画素と、
第3の一組の画素と、
第1の導電膜と、
第3の導電膜と、を有し、

前記第1の一組の画素は、第1の一組の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一組の画素回路を備え、

前記第1の一組の発光デバイスは、前記第1のパッドと電氣的に接続され、

前記第1のパッドは、前記第2のパッドと重なり、

前記導電材料は、前記第1のパッドおよび前記第2のパッドの間に挟まれ、

前記導電材料は、前記第1のパッドおよび前記第2のパッドを電氣的に接続し、

前記第2のパッドは、前記第1の一組の画素回路と電氣的に接続され、

前記第1の一組の画素回路は、第1の一群の画素回路を含み、

前記第1の一群の画素回路は、第1の画素回路を含み、
 前記第2の一群の画素は、第2の一群の発光デバイスおよび第2の一群の画素回路を備え、
 前記第2の一群の発光デバイスは、前記第2の一群の画素回路と電氣的に接続され、
 前記第2の一群の画素回路は、第2の一群の画素回路を含み、
 前記第2の一群の画素回路は、第2の画素回路を含み、
 前記第3の一群の画素は、第3の一群の発光デバイスおよび第3の一群の画素回路を備え、
 前記第3の一群の発光デバイスは、前記第3の一群の画素回路と電氣的に接続され、
 前記第3の一群の画素回路は、第3の一群の画素回路を含み、
 前記第3の一群の画素回路は、第3の画素回路を含み、
 前記第1の導電膜は、前記第1の一群の画素回路および前記第2の一群の画素回路と電氣的に接続され、
 前記第3の導電膜は、前記第1の画素回路および前記第3の画素回路と電氣的に接続される、表示装置。

[請求項3]

第1の一群の画素と、
 第2の一群の画素と、
 第3の一群の画素と、
 第1の導電膜と、
 第4の導電膜と、
 第5の導電膜と、を有し、
 前記第1の一群の画素は、第1の一群の発光デバイス、第1のパッド、第2のパッド、導電材料および第1の一群の画素回路を備え、
 前記第1の一群の発光デバイスは、前記第1のパッドと電氣的に接続され、
 前記第1のパッドは、前記第2のパッドと重なり、
 前記導電材料は、前記第1のパッドおよび前記第2のパッドの間に挟まれ、
 前記導電材料は、前記第1のパッドおよび前記第2のパッドを電氣的に接続し、
 前記第2のパッドは、前記第1の一群の画素回路と電氣的に接続され、
 前記第1の一群の画素回路は、第1の一群の画素回路を含み、
 前記第1の一群の画素回路は、第1の画素回路を含み、
 前記第2の一群の画素は、第2の一群の発光デバイスおよび第2の一群の画素回路を備え、
 前記第2の一群の発光デバイスは、前記第2の一群の画素回路と電氣的に接続され、
 前記第2の一群の画素回路は、第2の一群の画素回路を含み、
 前記第2の一群の画素回路は、第2の画素回路を含み、
 前記第3の一群の画素は、第3の一群の発光デバイスを備え、
 前記第3の一群の発光デバイスは、前記第3の一群の画素回路と電氣的に接続され、
 前記第3の一群の画素回路は、第3の一群の画素回路を含み、
 前記第3の一群の画素回路は、第3の画素回路を含み、
 前記第1の導電膜は、前記第1の一群の画素回路および前記第2の一群の画素回路と電氣的に接続され、
 前記第4の導電膜は、前記第1の画素回路および前記第2の画素回路と電氣的に接続され、

前記第5の導電膜は、前記第1の画素回路および前記第3の画素回路と電氣的に接続される、表示装置。

[請求項4]

第6の導電膜を有し、
前記第1の一組の発光デバイスは、第1の発光デバイスを含み、
前記第2の一組の発光デバイスは、第2の発光デバイスを含み、
前記第6の導電膜は、前記第1の発光デバイスおよび前記第2の発光デバイスと電氣的に接続される、請求項1乃至請求項3のいずれかに記載の表示装置。

[請求項5]

第7の導電膜を有し、
前記第1の一組の発光デバイスは、第1の発光デバイスを含み、
前記第3の一組の発光デバイスは、第3の発光デバイスを含み、
前記第7の導電膜は、前記第1の発光デバイスおよび前記第3の発光デバイスと電氣的に接続される、請求項1乃至請求項4のいずれかに記載の表示装置。

[請求項6]

前記第1の発光デバイスは発光ダイオードである、請求項4または請求項5に記載の表示装置。

[請求項7]

第8の導電膜と、
第9の導電膜と、を有し、
前記第1の画素回路は、第1のスイッチ、第2のスイッチ、トランジスタ、容量およびノードを備え、
前記第1のスイッチは、前記第8の導電膜と電氣的に接続される第1の端子と、前記ノードと電氣的に接続される第2の端子と、前記第1の導電膜の電位に基づいて、導通状態または非導通状態を制御する機能を備え、
前記トランジスタは、前記ノードと電氣的に接続されるゲート電極と、前記第9の導電膜と電氣的に接続される第1の電極と、を備え、
前記容量は、前記ノードと電氣的に接続される導電膜と、前記第9の導電膜と電氣的に接続される導電膜と、を備え、
前記第2のスイッチは、前記トランジスタの第2の電極と電氣的に接続される第1の端子と、前記第2の패드と電氣的に接続される第2の端子と、第2の選択信号に基づいて、導通状態または非導通状態を制御する機能を備える、請求項1乃至請求項6のいずれかに記載の表示装置。

[請求項8]

第1の駆動回路を有し、
前記第1の駆動回路は、第1の選択信号を前記第1の導電膜に供給し、
前記第1の駆動回路は、第2の選択信号を供給し、
前記第1の駆動回路は、前記第6の導電膜の電位を制御する、請求項4に記載の表示装置。

[請求項9]

第1の機能層と、
第2の機能層と、を有し
前記第1の機能層は、前記第1の一組の画素回路および前記第2の패드を含み、

前記第2の機能層は、前記第1の機能層と重なり、

前記第2の機能層は、前記第1の一組の発光デバイスおよび前記第1のパッドを含む、請求項1乃至請求項5のいずれかーに記載の表示装置。

[請求項10]

第3の機能層を有し、

前記第3の機能層は、前記第2の機能層との間に前記第1の機能層を挟む領域を備え、

前記第3の機能層は、第2の駆動回路を含み、

前記第2の駆動回路は、画像信号を供給する機能を備える、請求項9に記載の表示装置。

[請求項11]

演算部と、

請求項1乃至請求項10のいずれかーに記載の表示装置と、を有し、

前記演算部は、画像情報を生成し、

前記表示装置は、前記画像情報を表示する、電子機器。

[請求項12]

請求項10に記載の表示装置と、

演算部と、を有し、

前記第3の機能層は、前記演算部を含み、

前記演算部は、画像情報を生成し、

前記表示装置は、前記画像情報を表示する、電子機器。

図1A

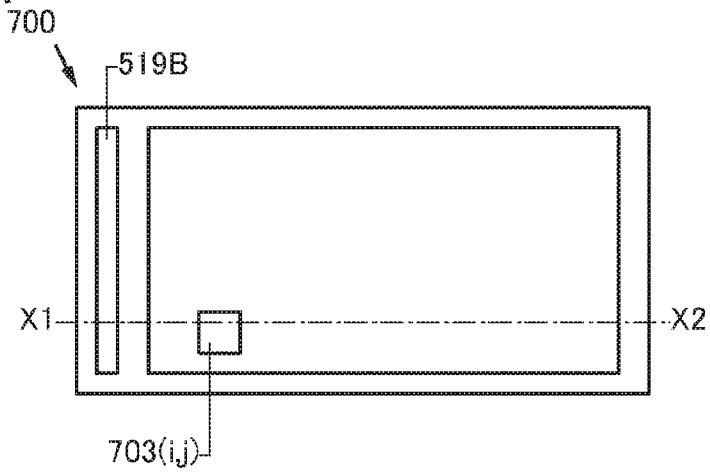
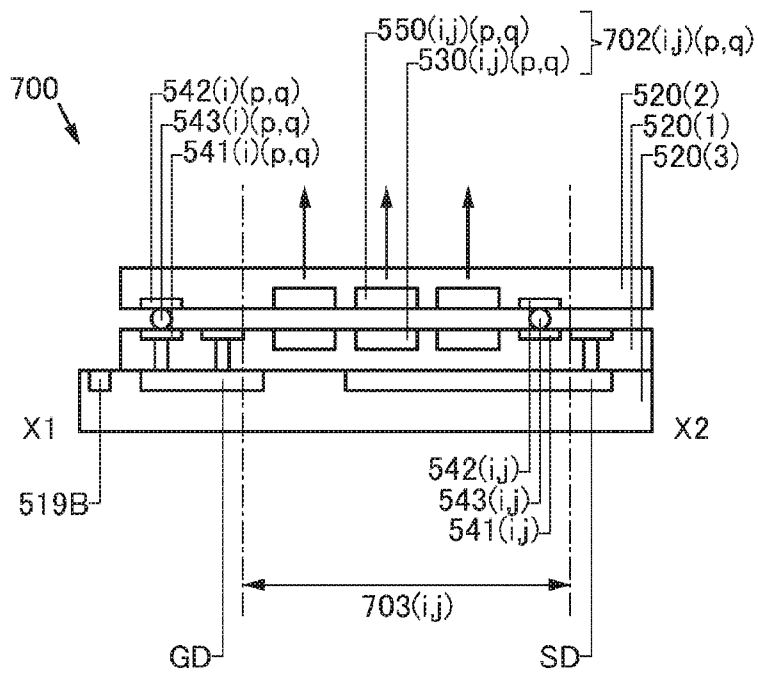


図1B



2

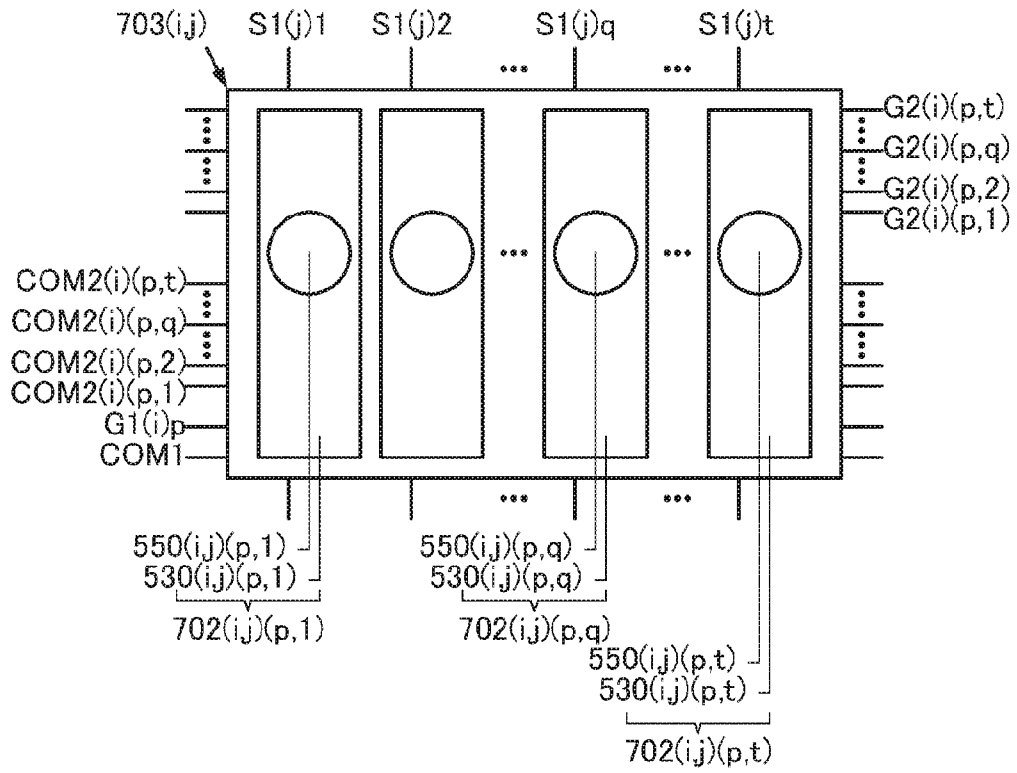


図3

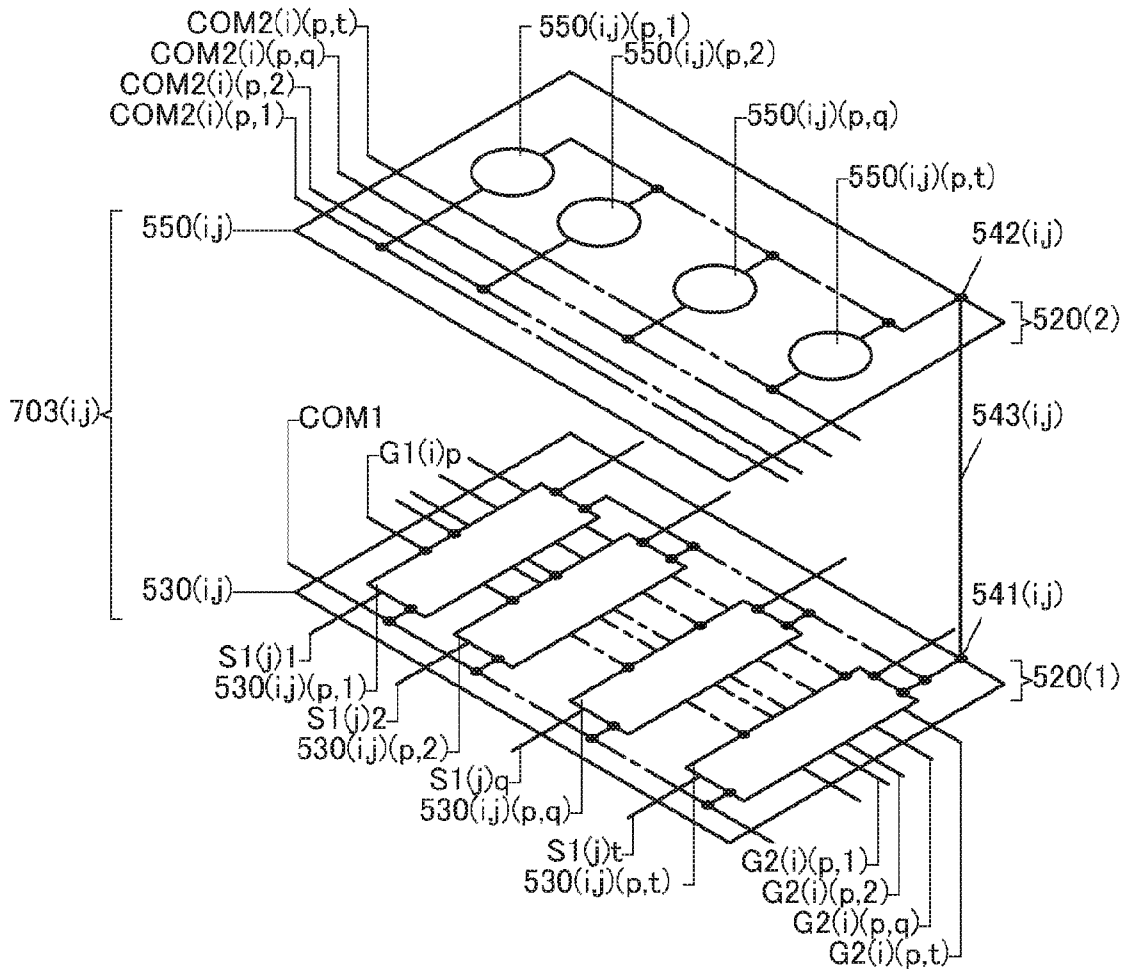


図 4

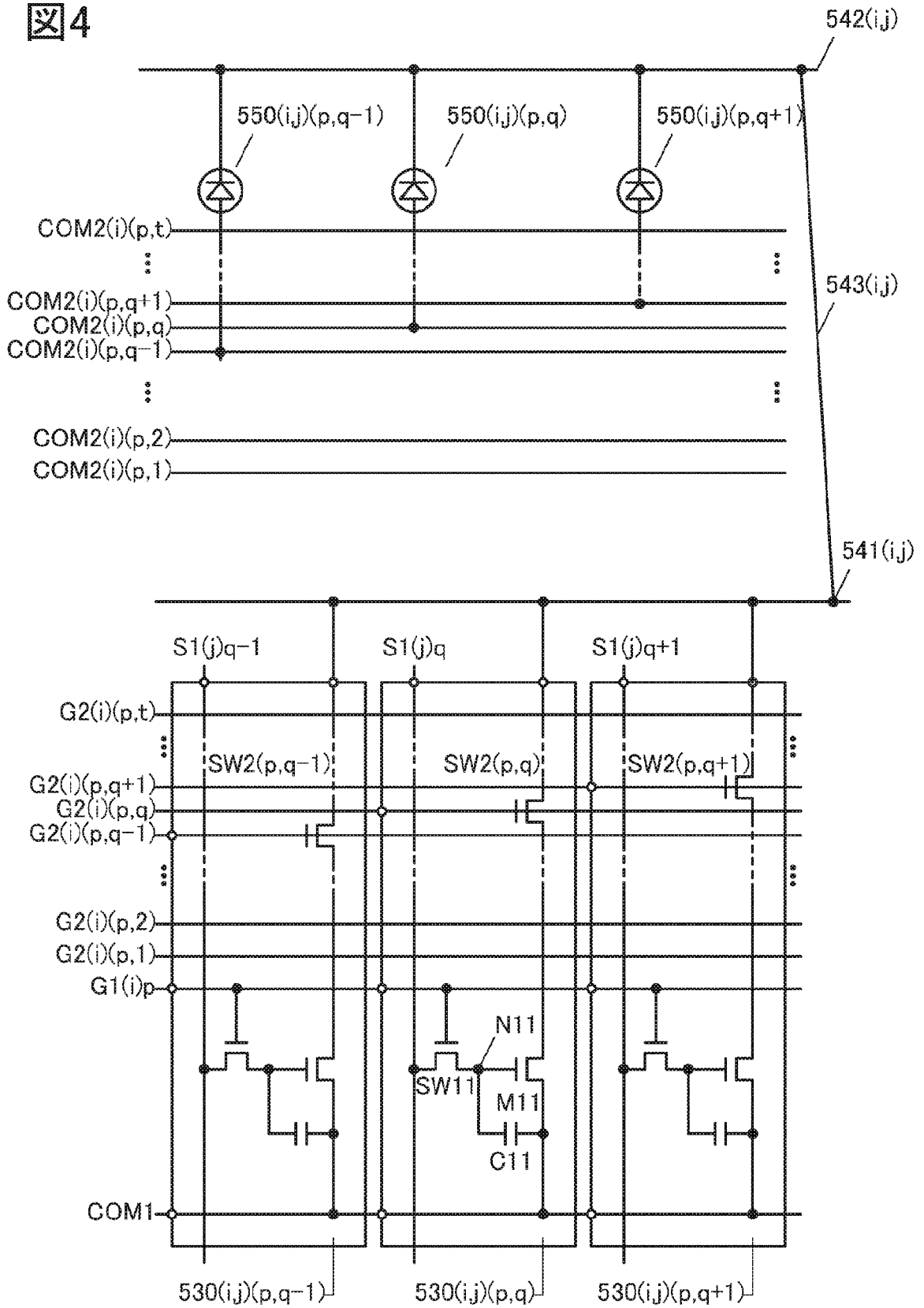


図5

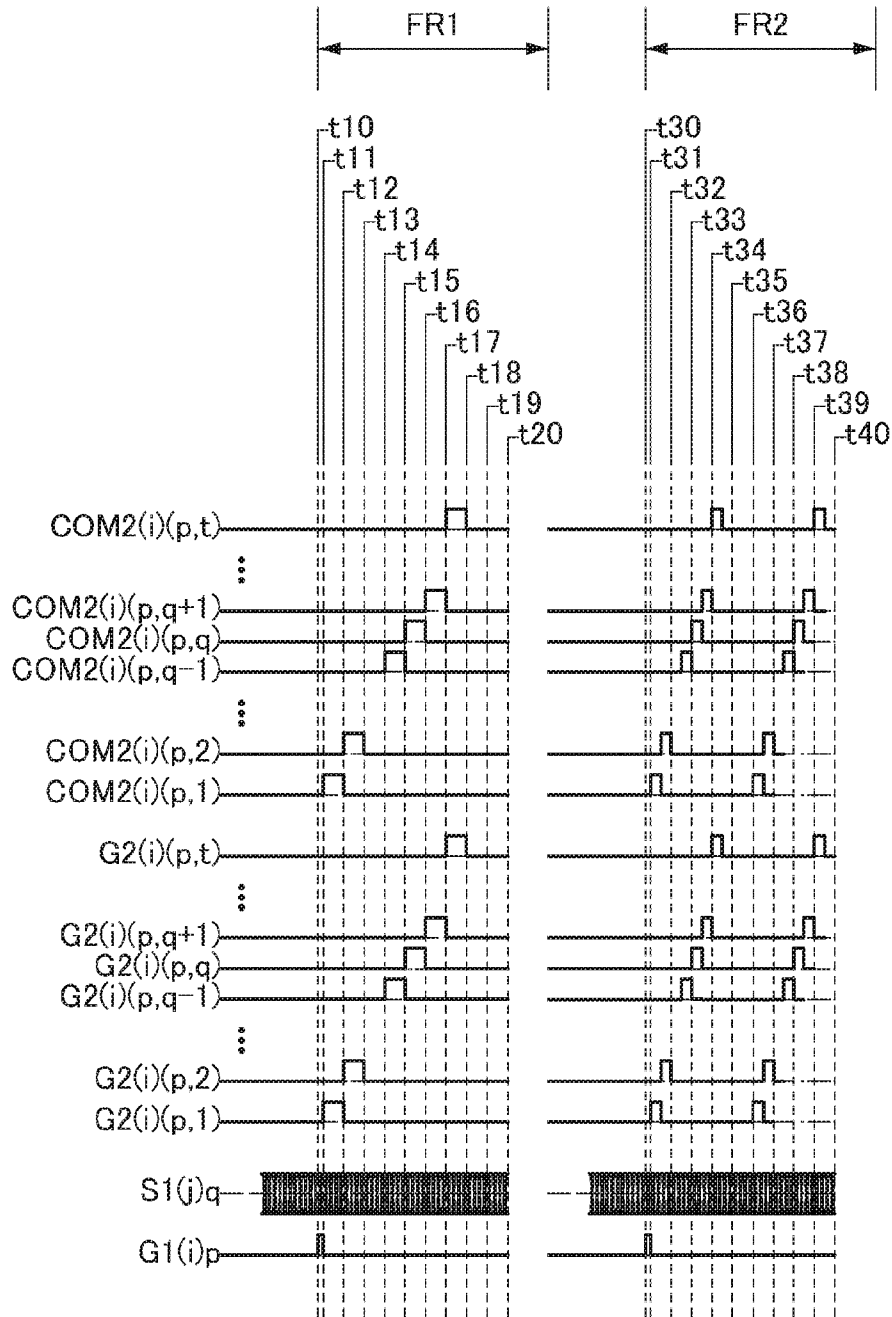


図6

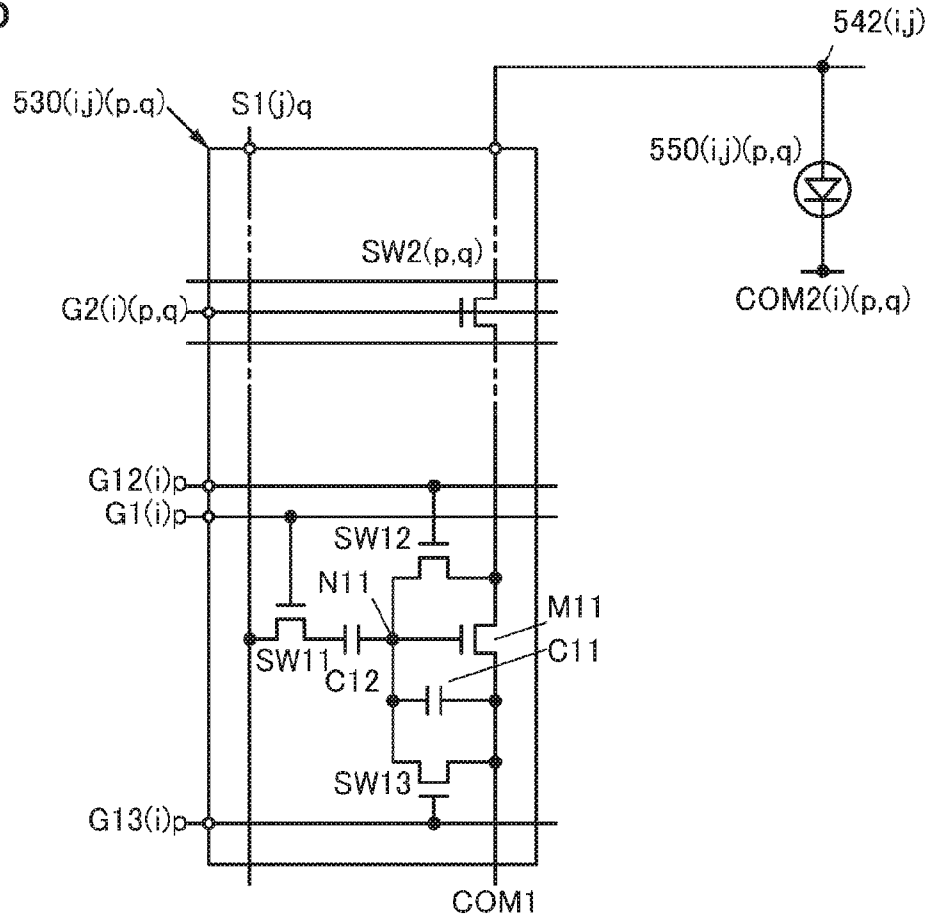
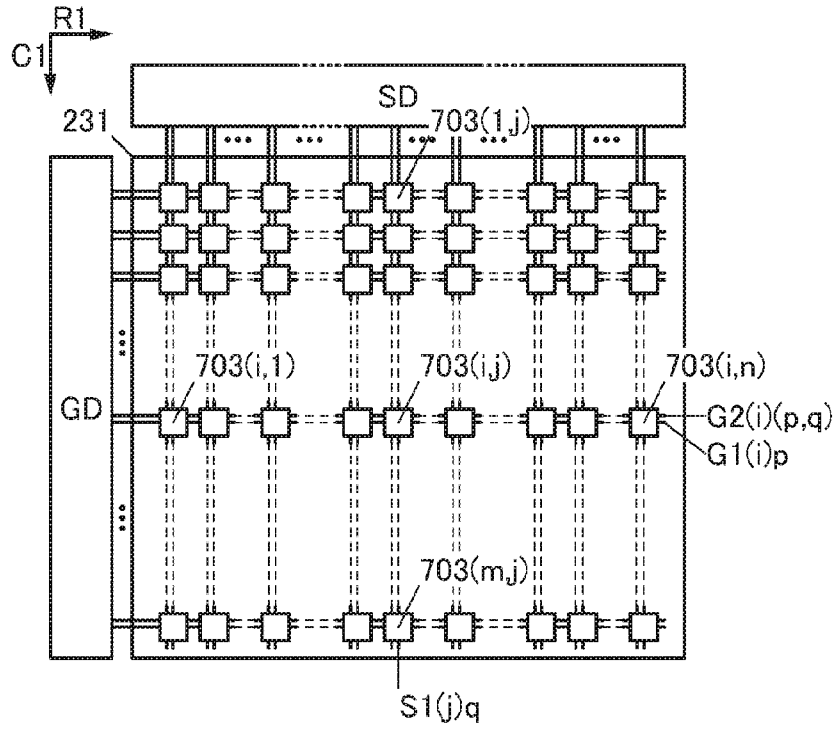
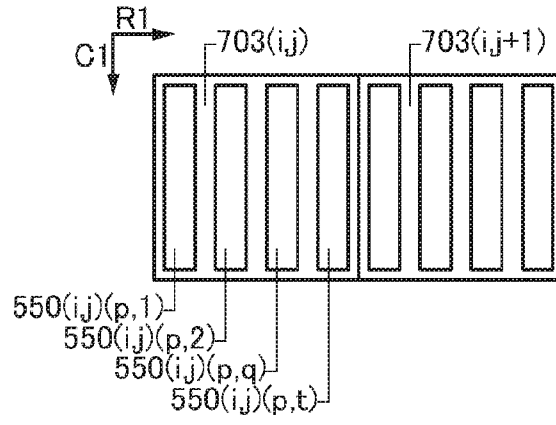


図 7



8A



8B

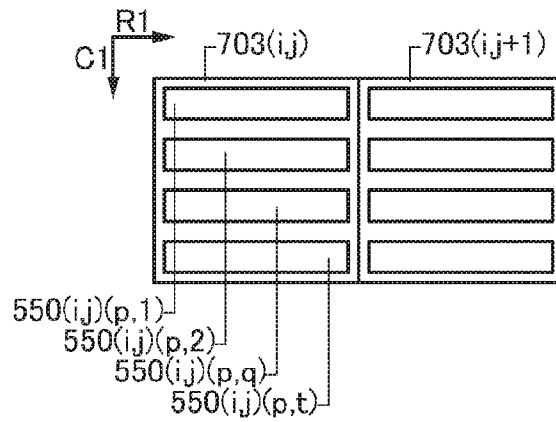


図9A

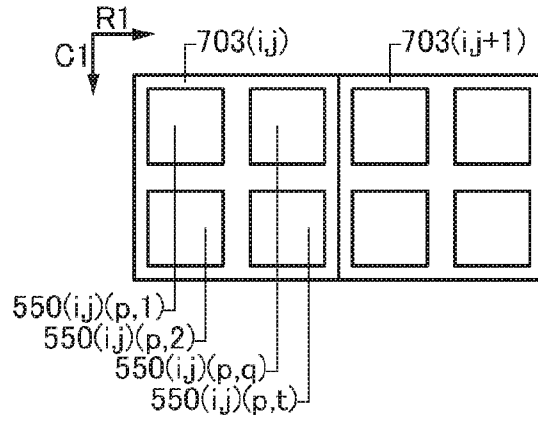
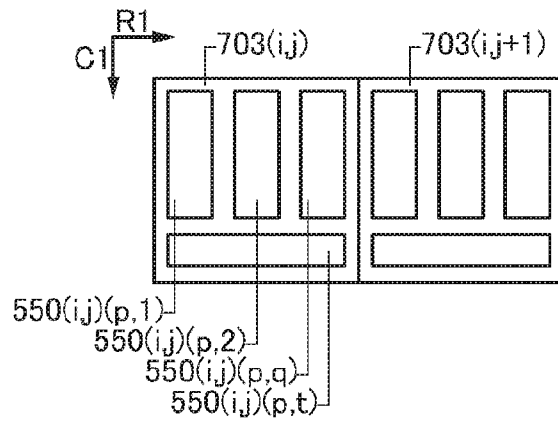
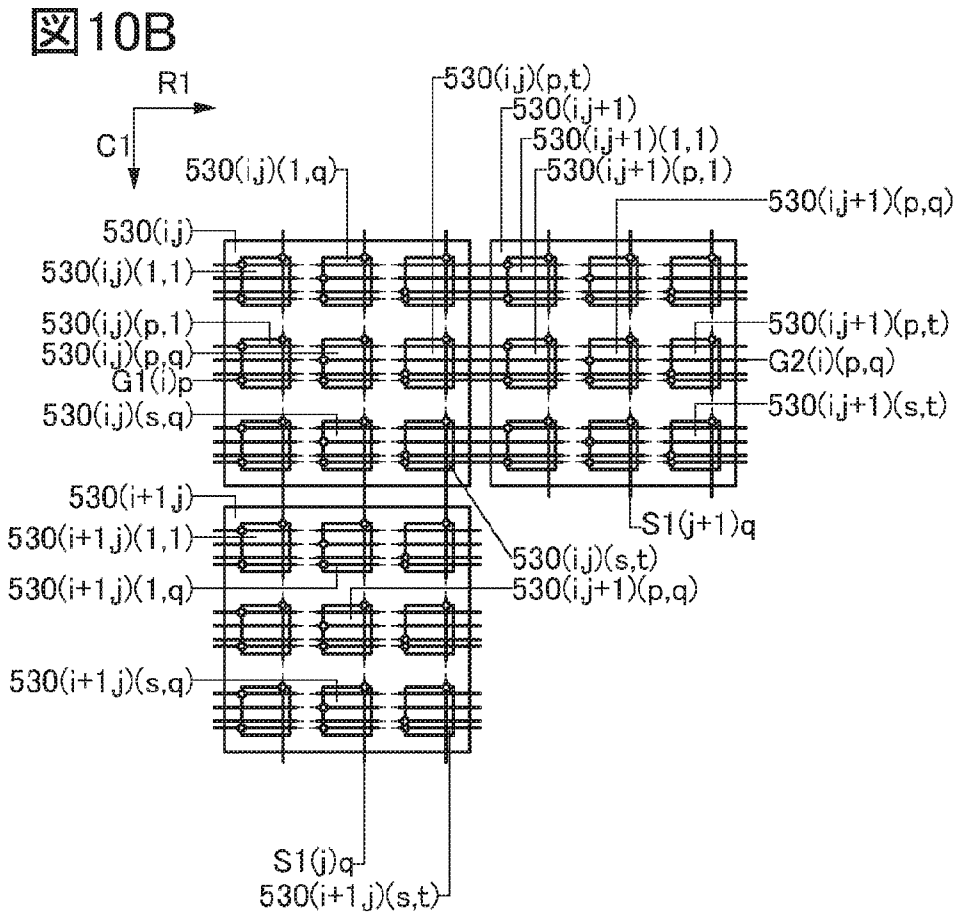
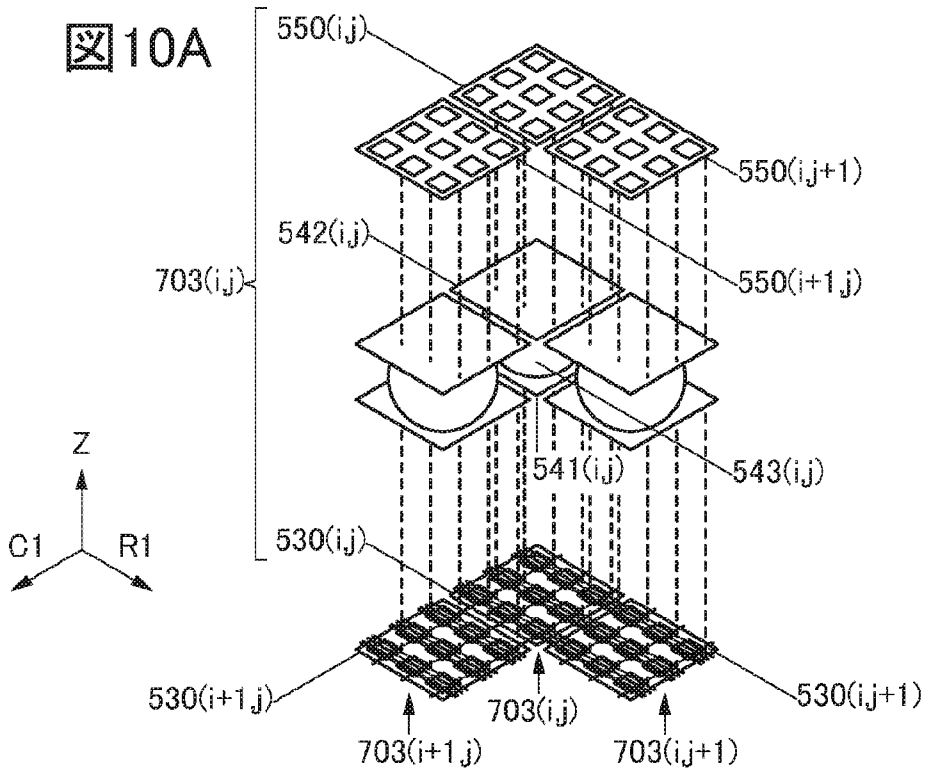
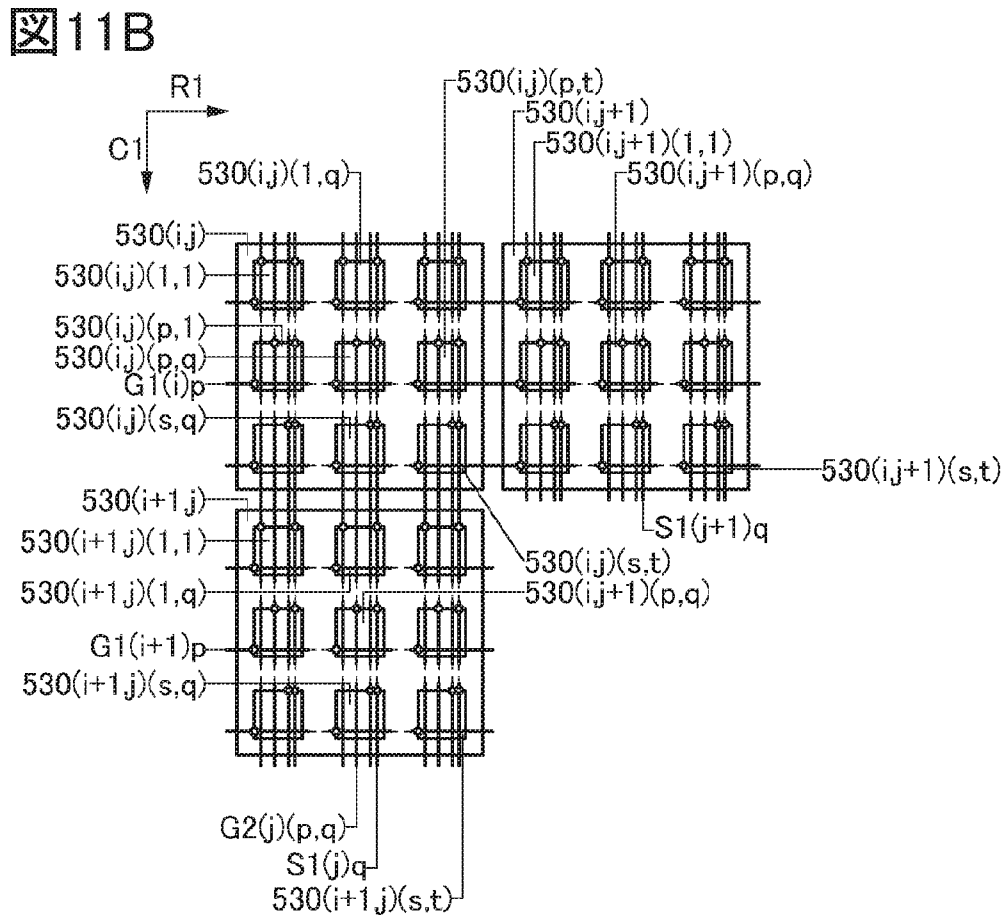
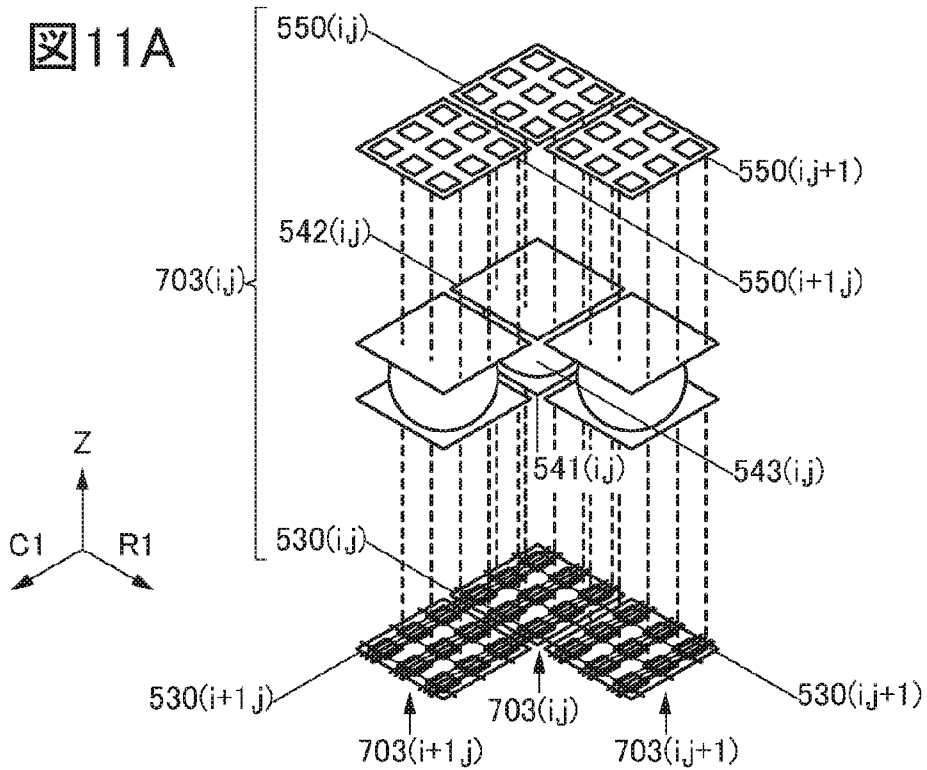
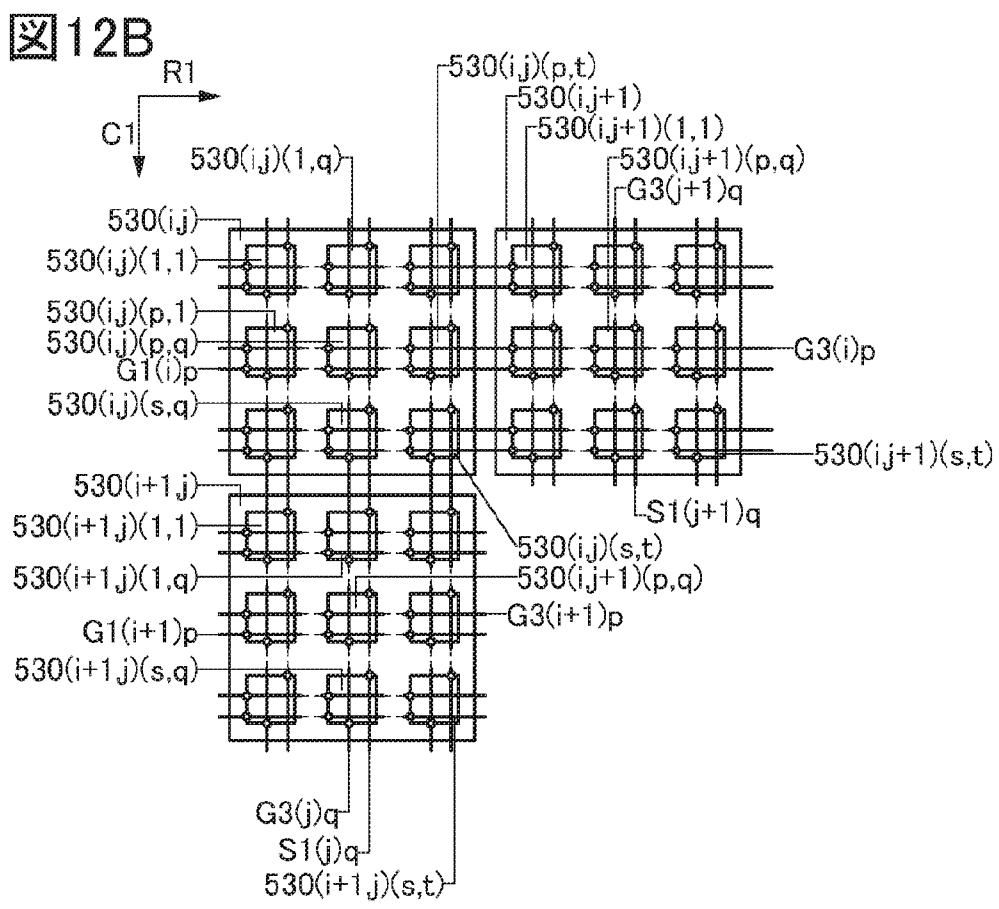
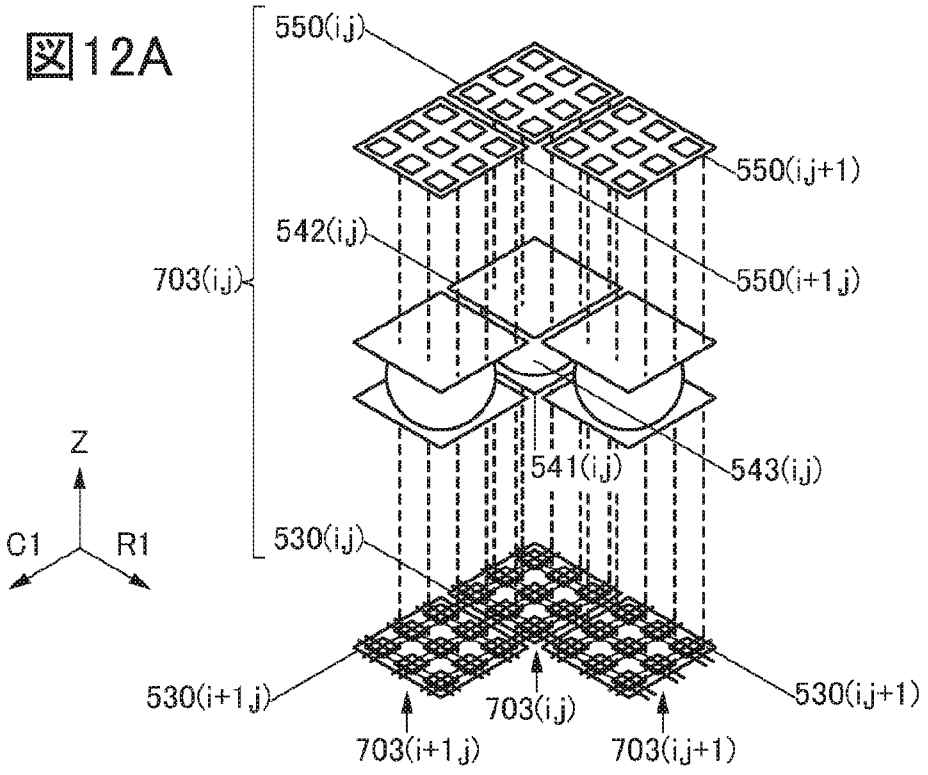


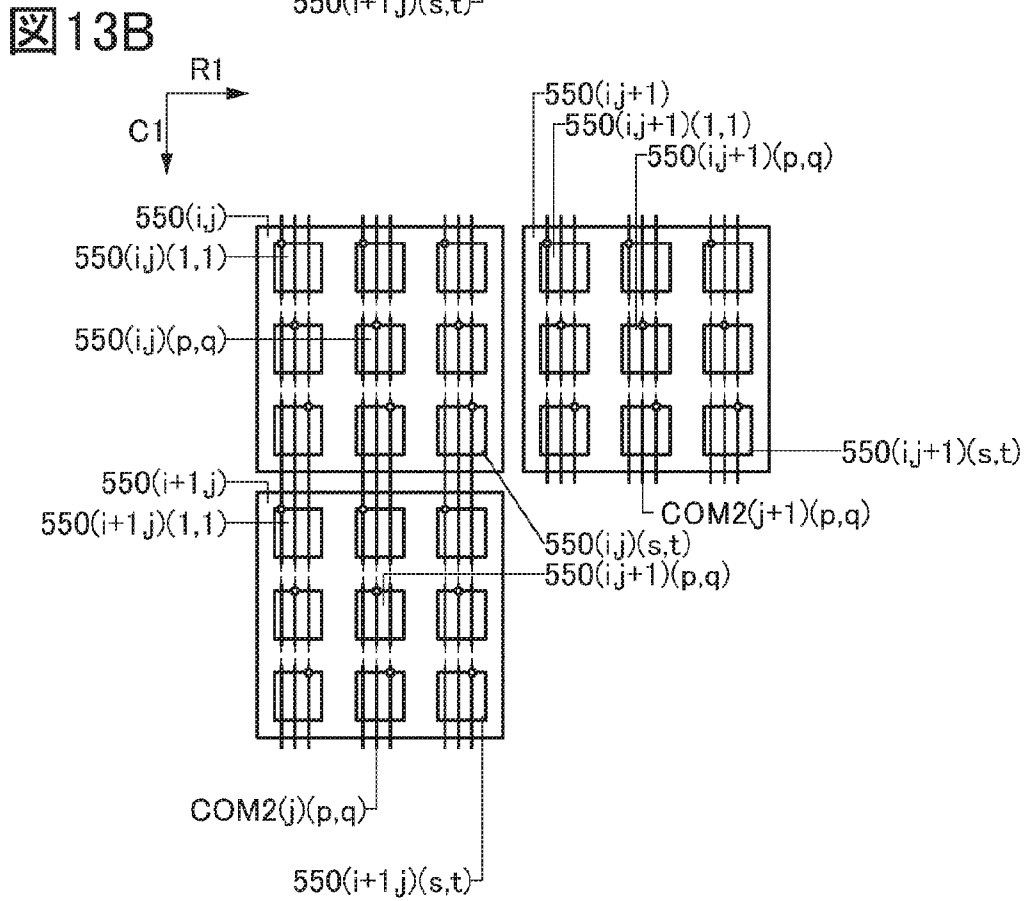
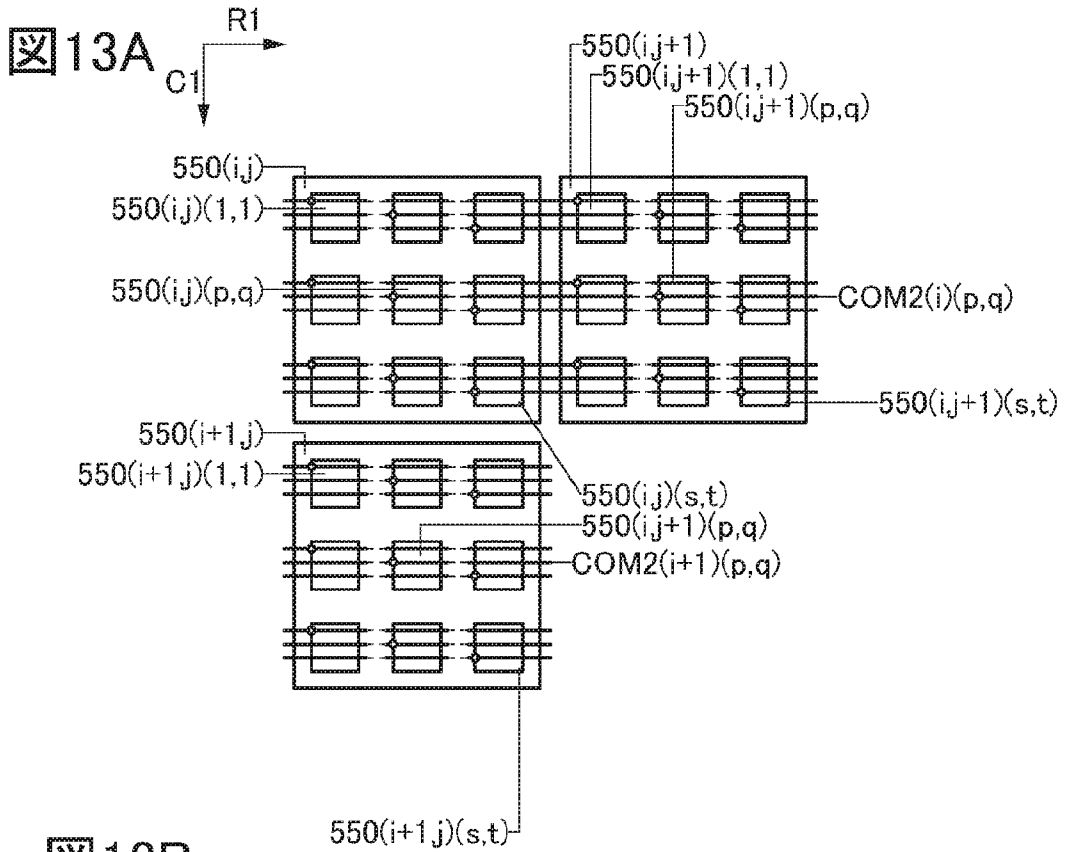
図9B



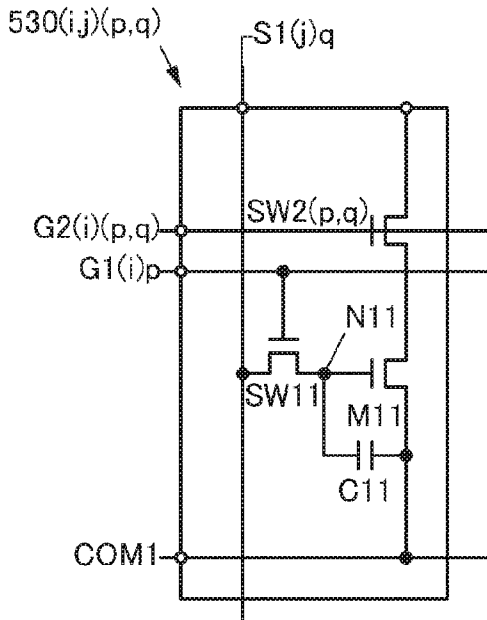








14A



14B

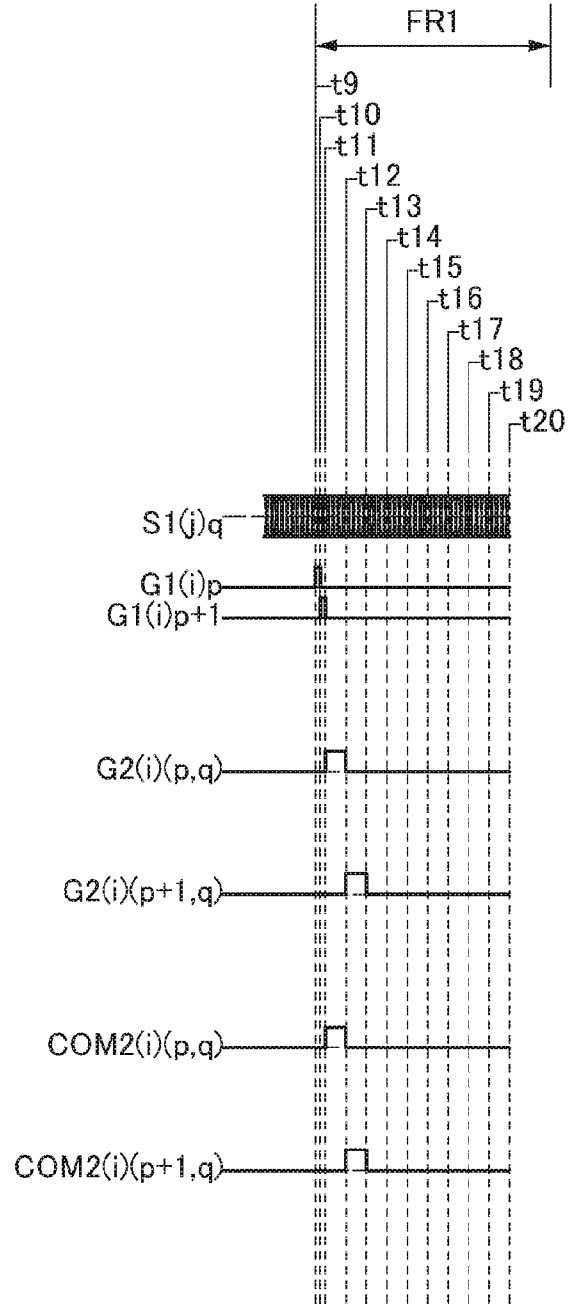
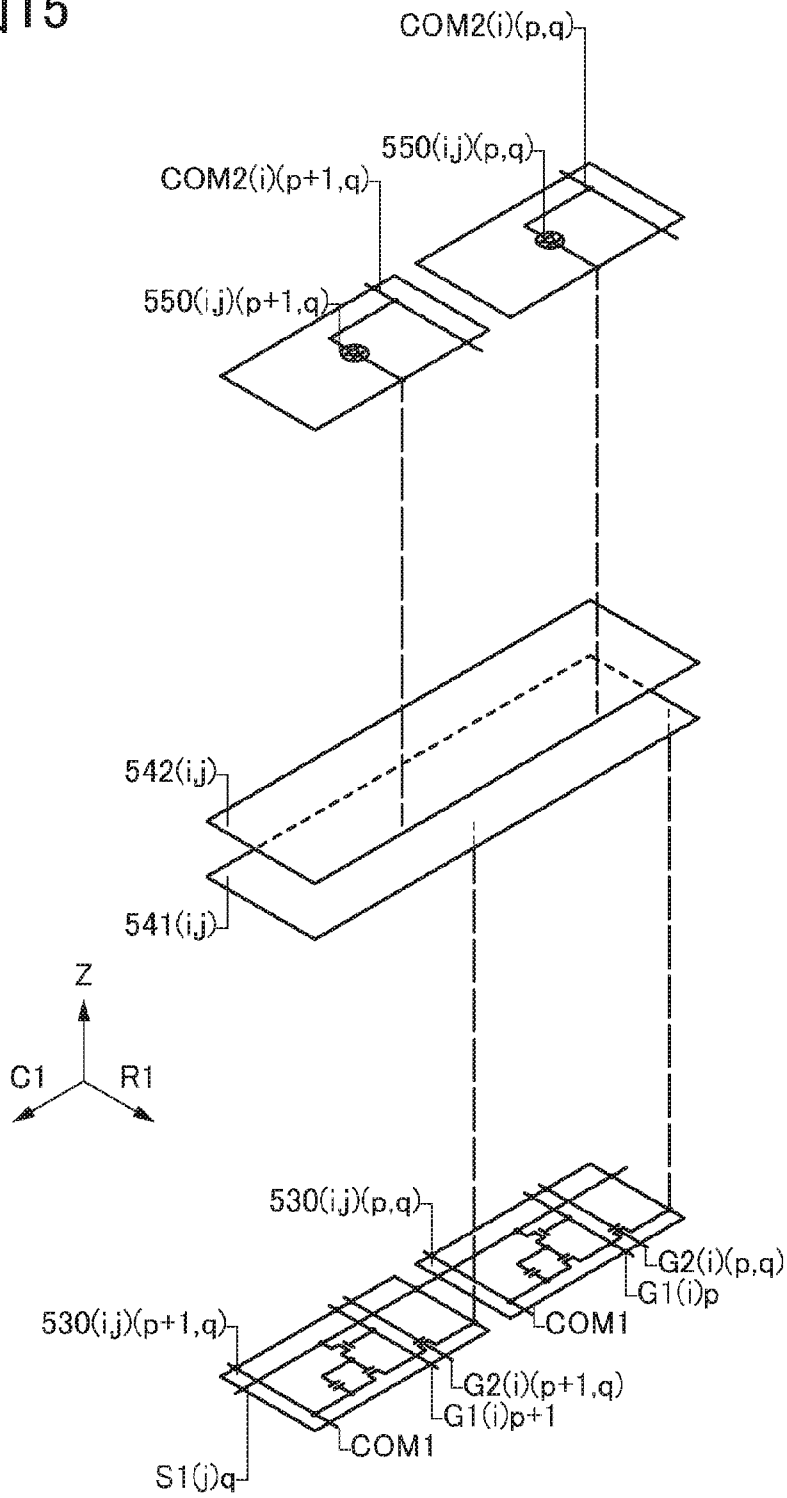
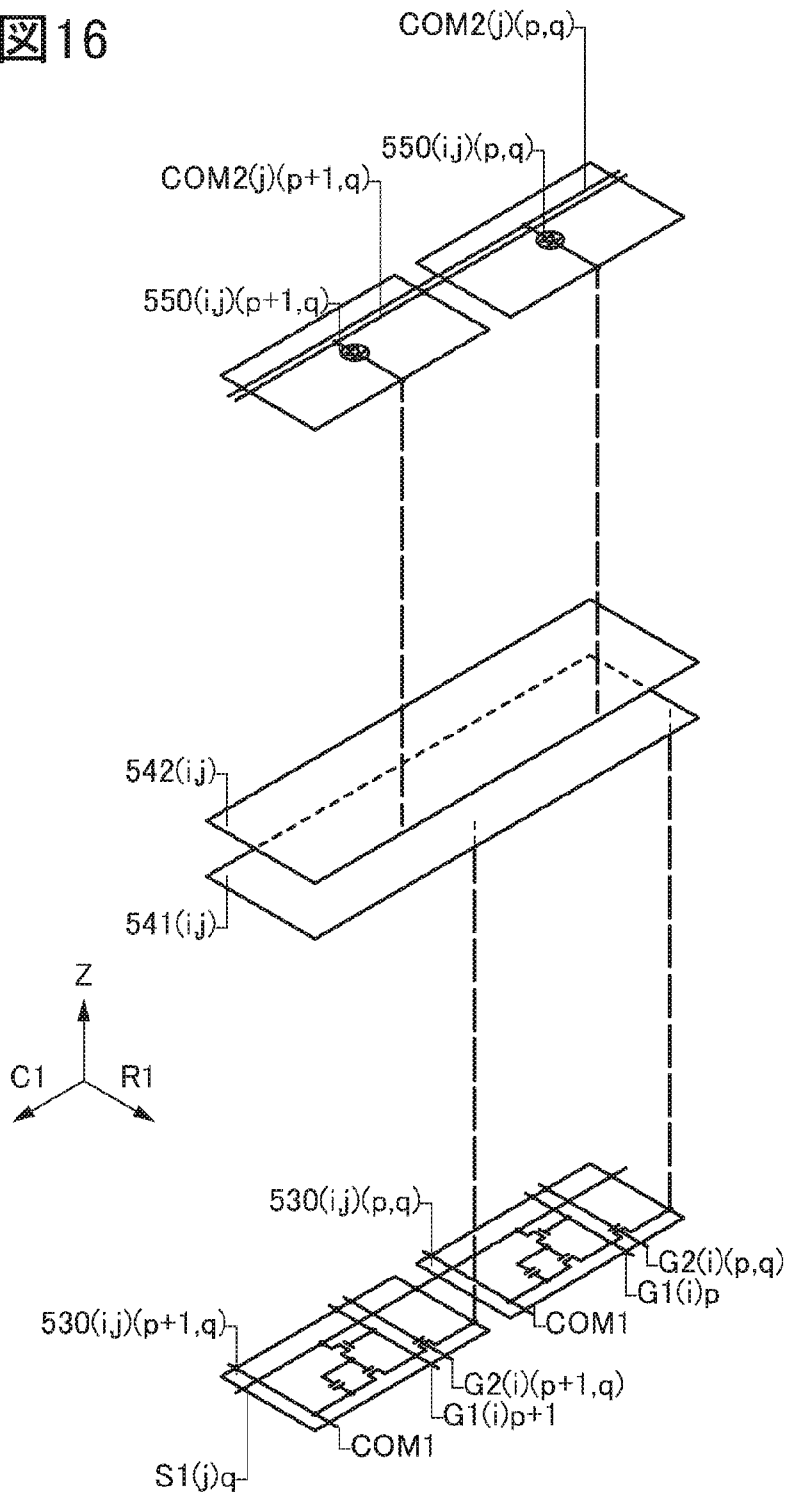


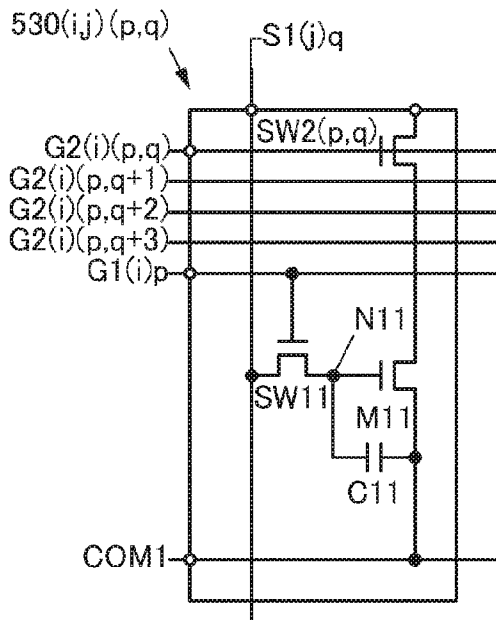
図15



16



17A



17B

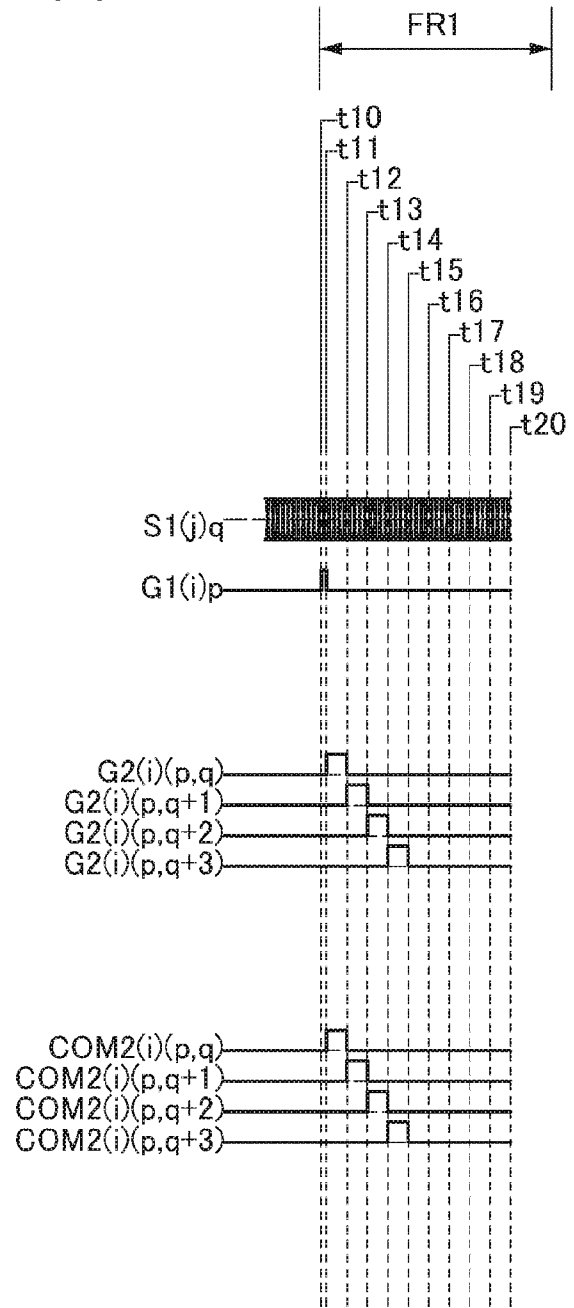
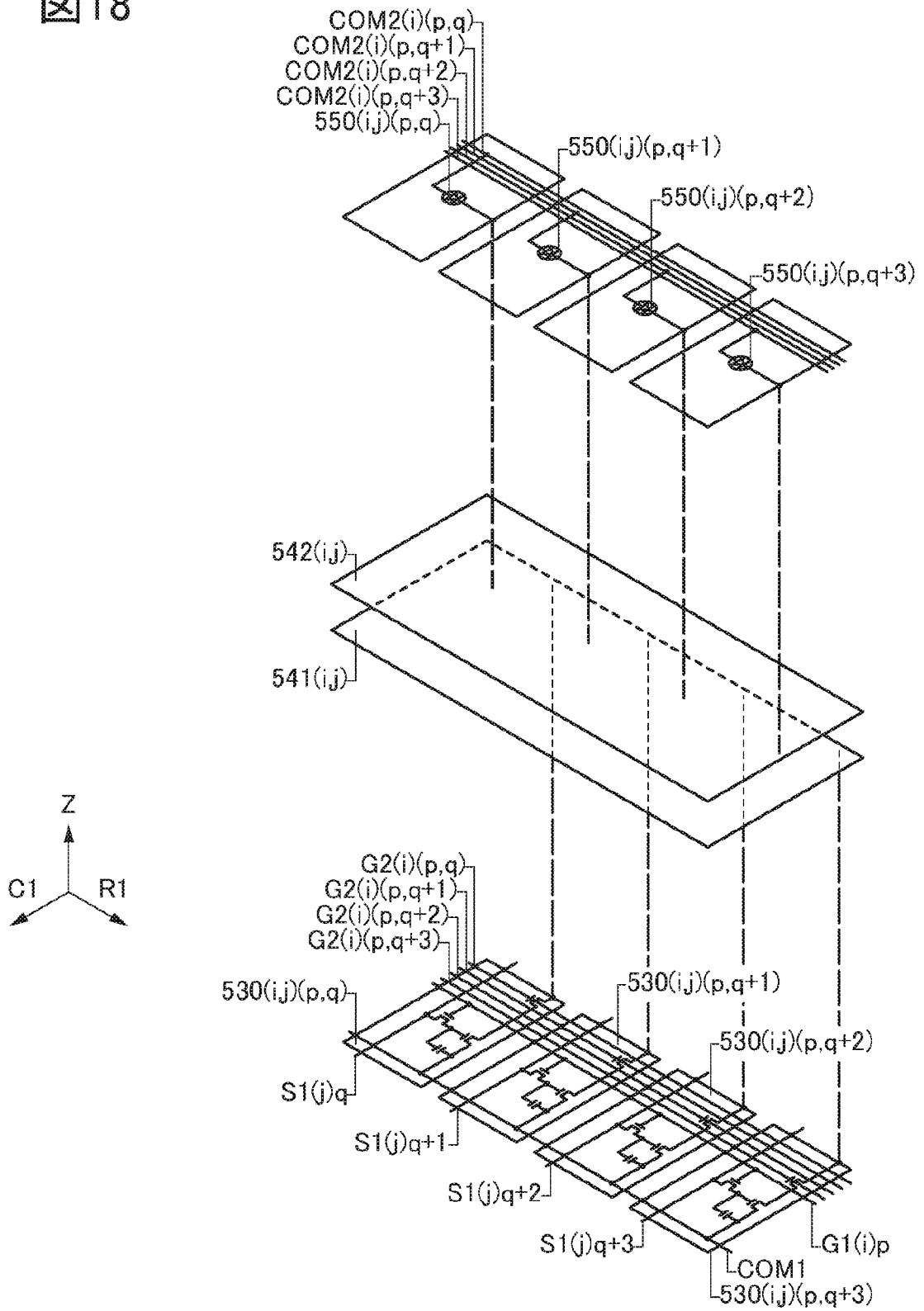
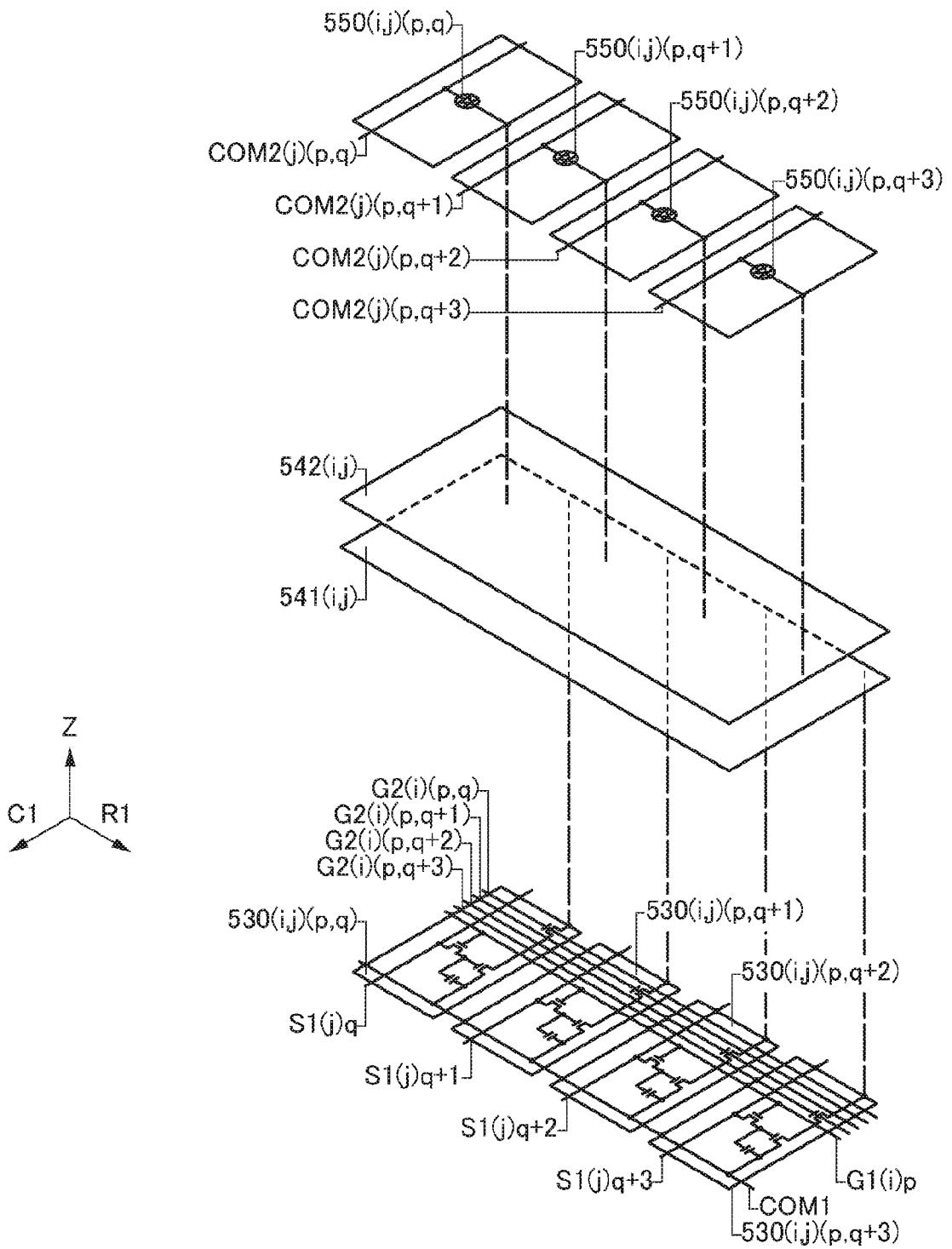


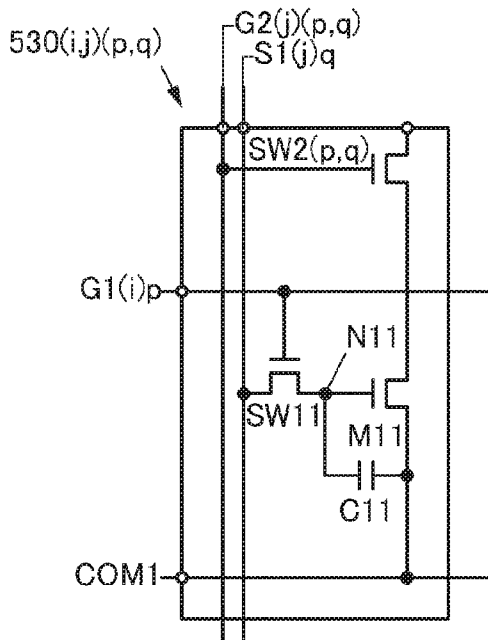
図 18



19



20A



20B

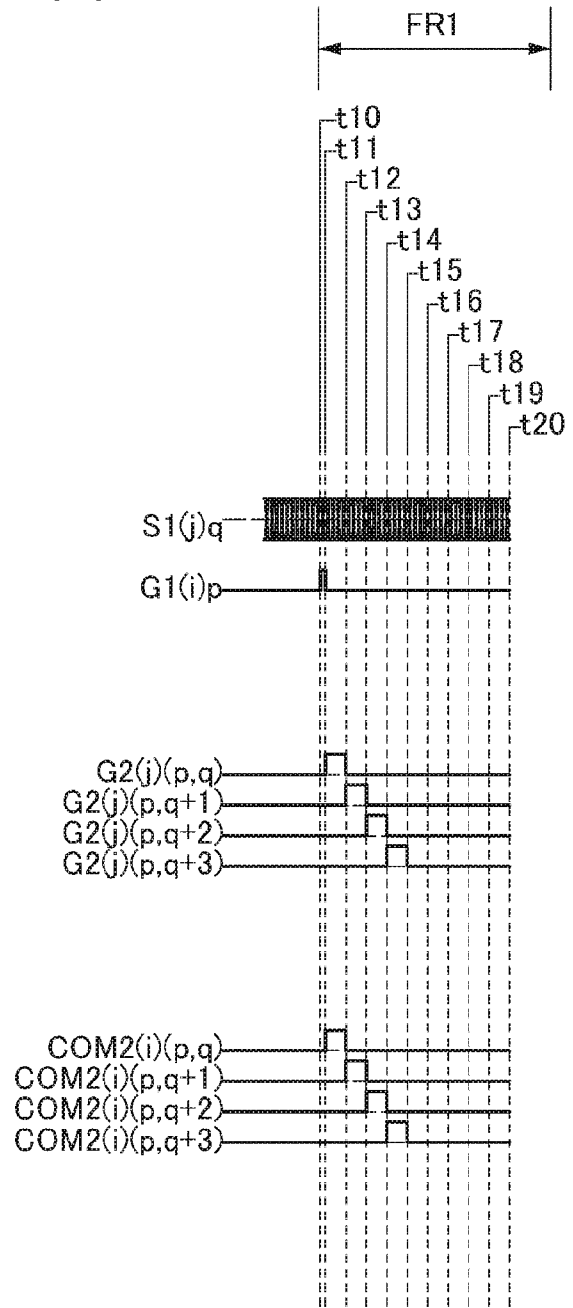


図21

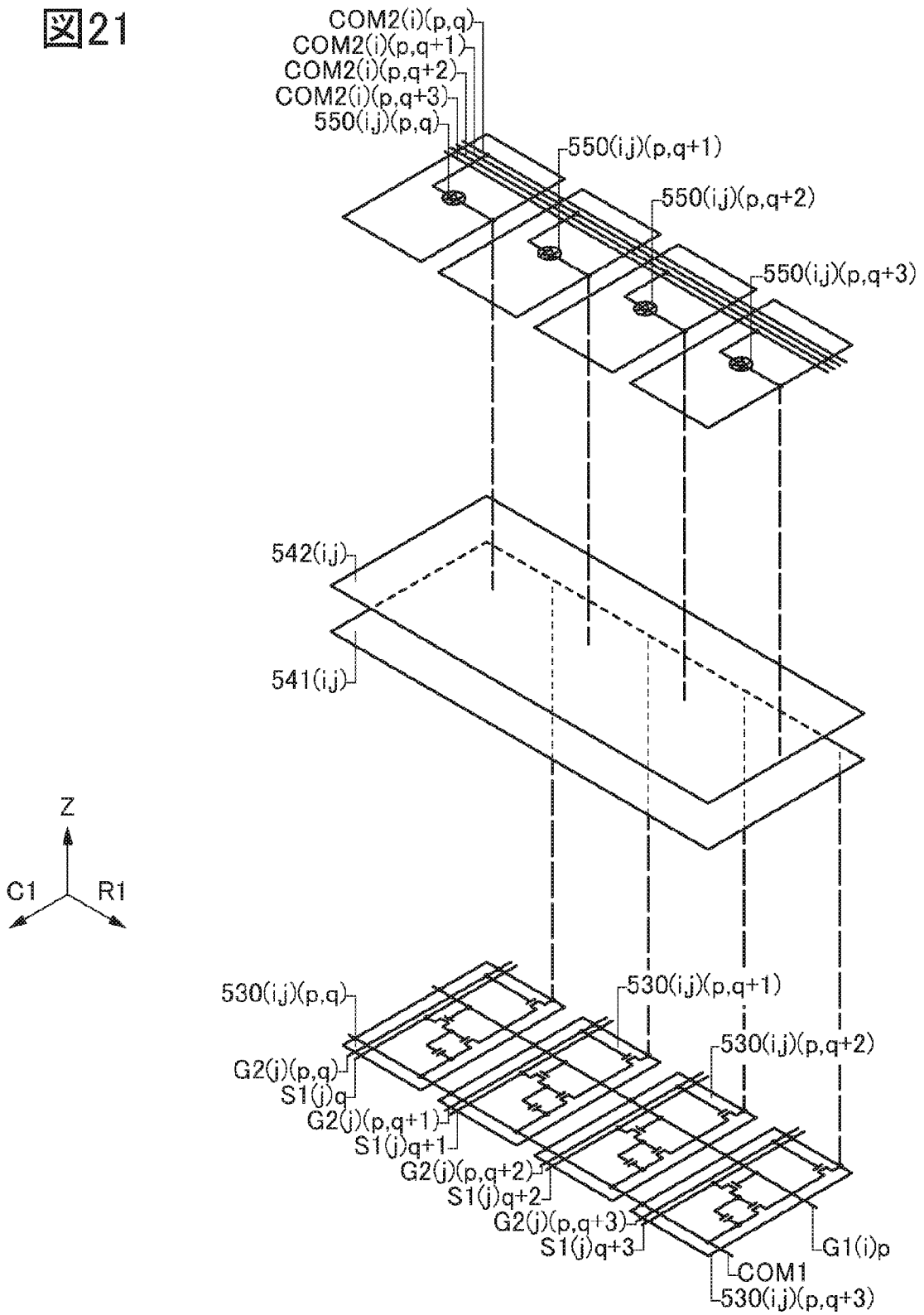
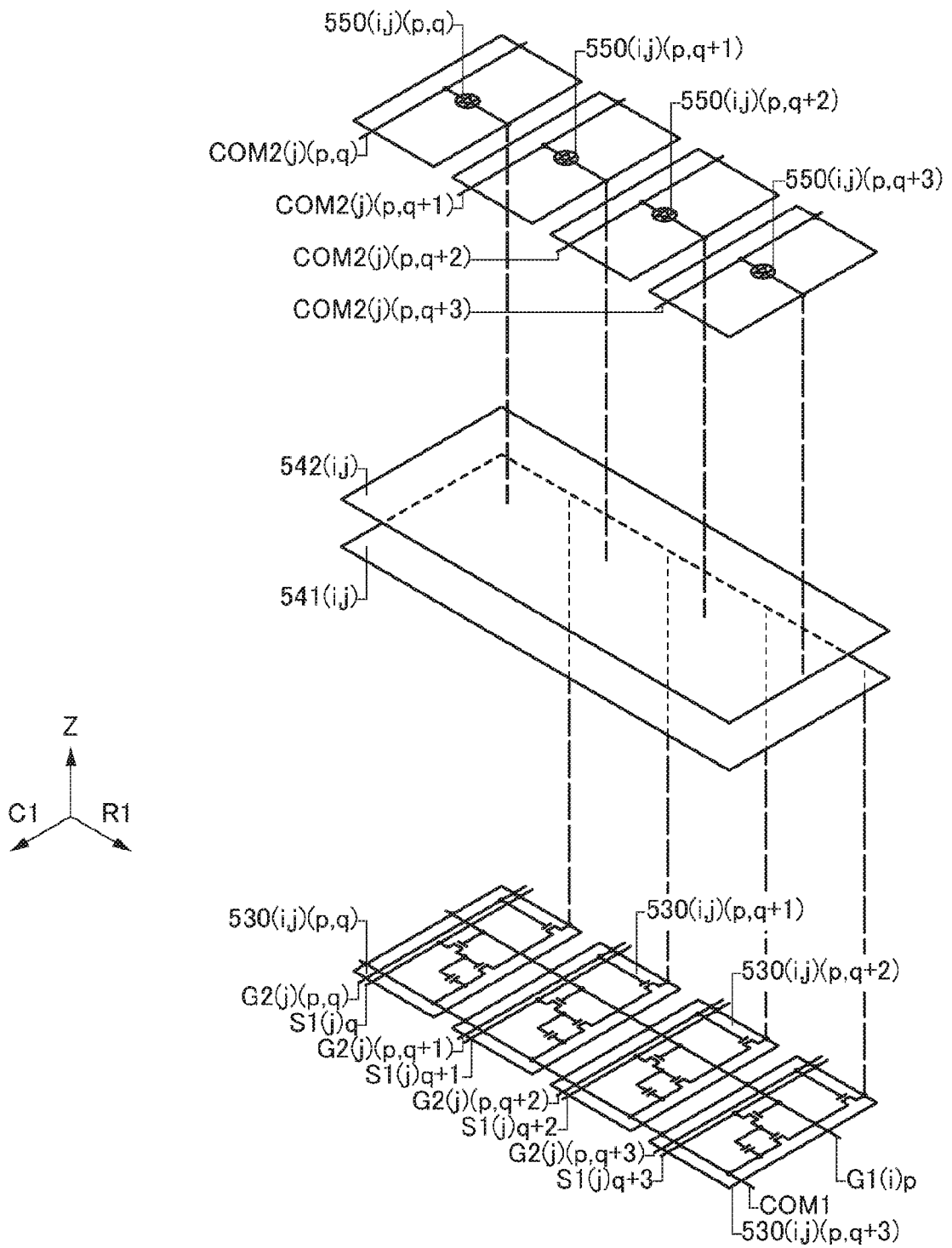
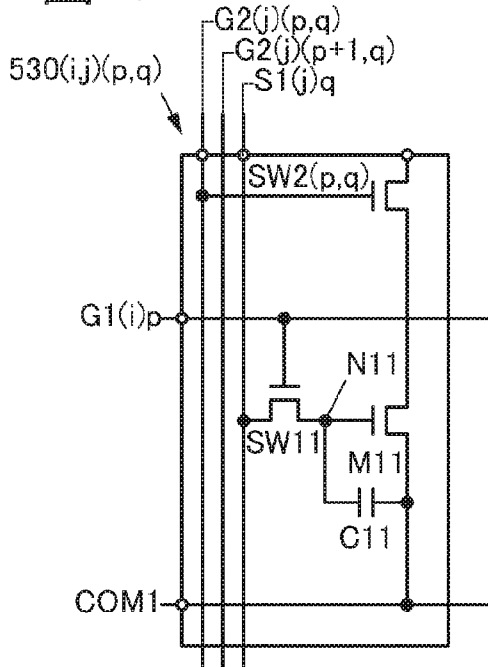


图 22



23A



23B

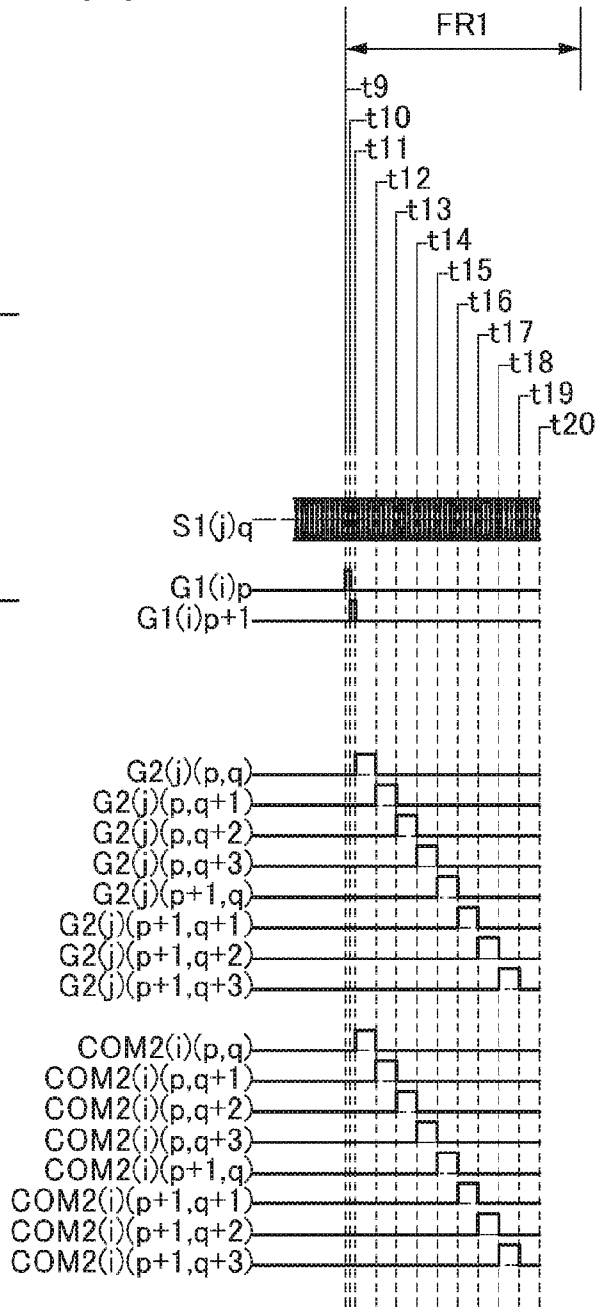


図 24

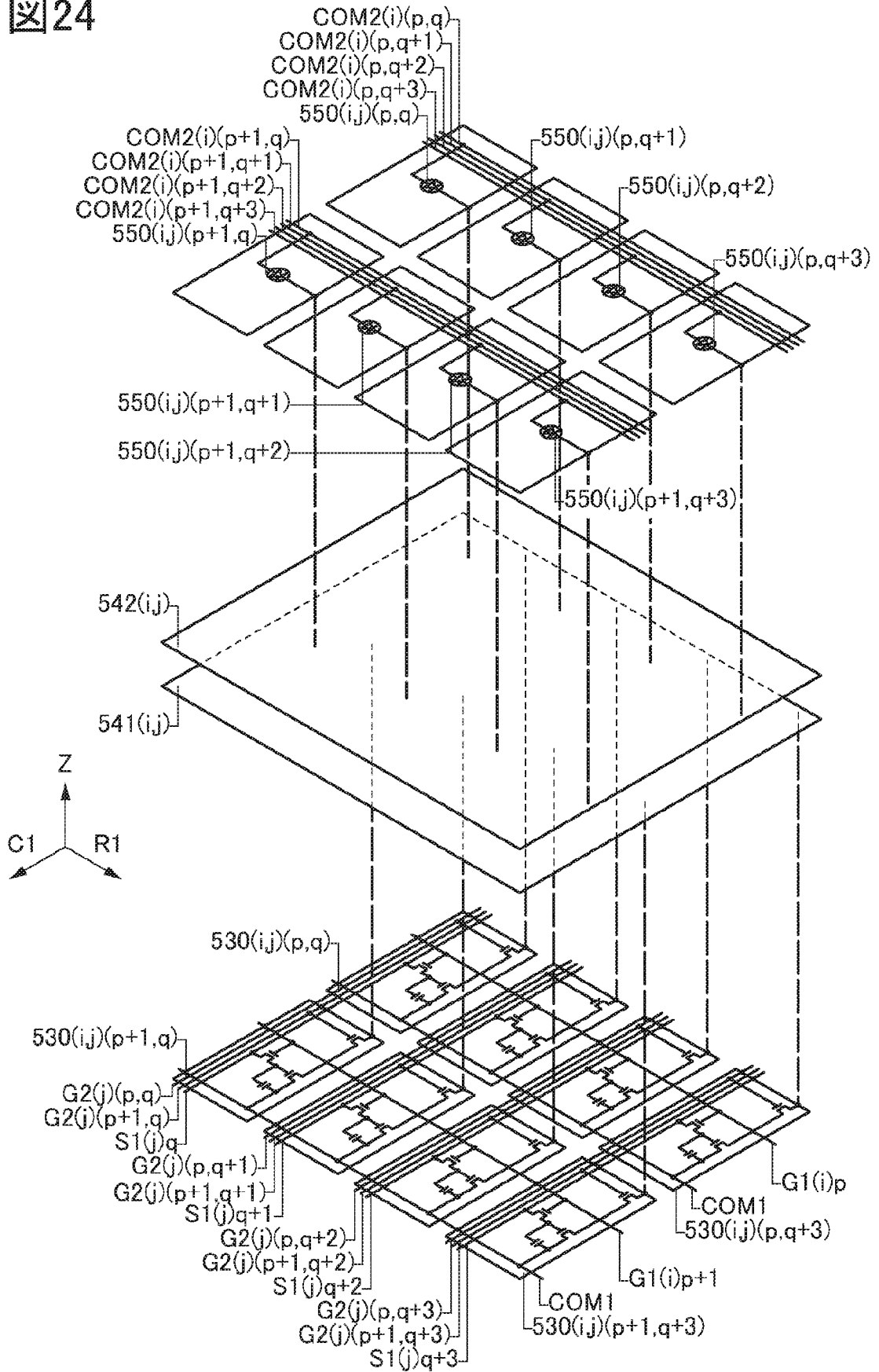
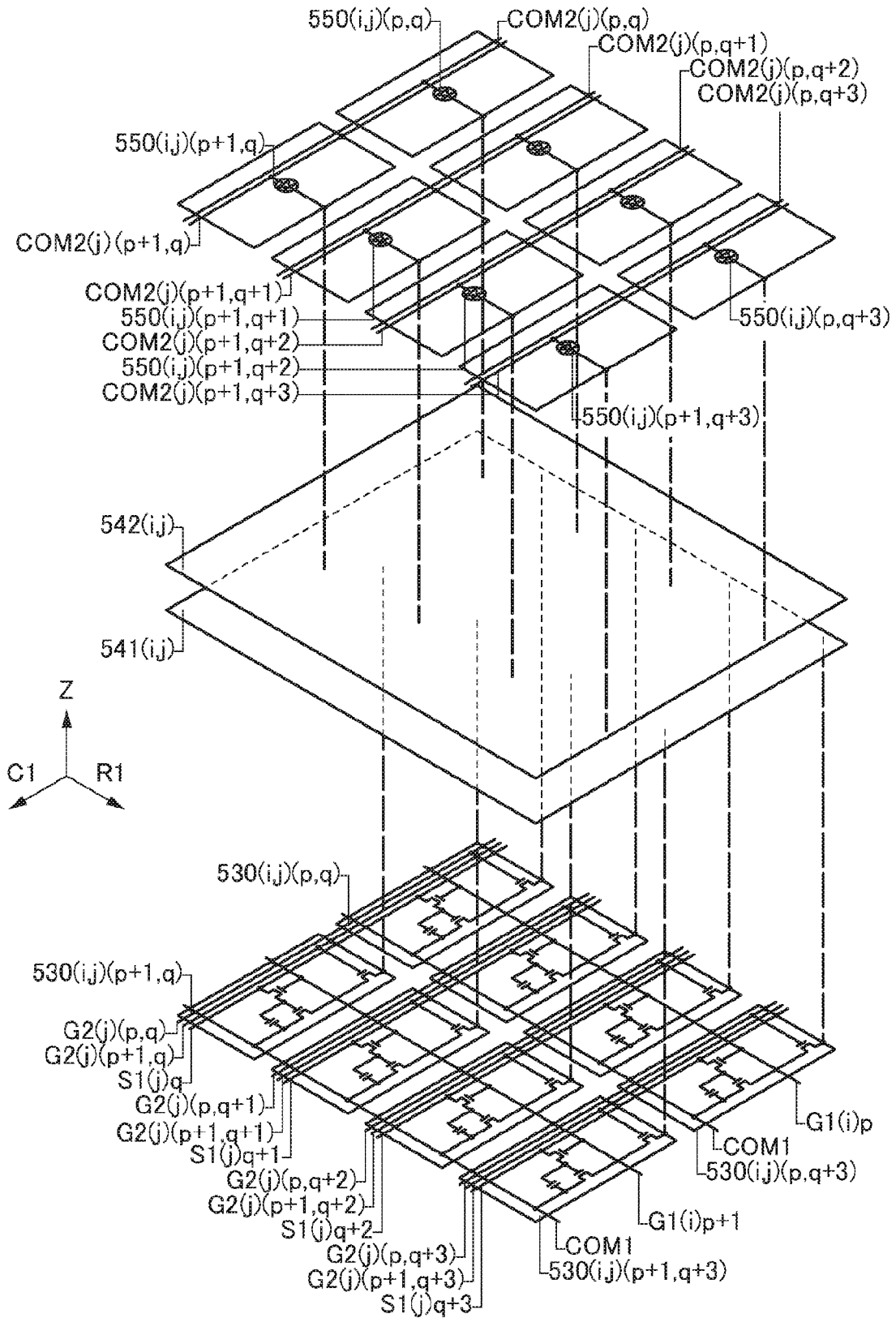
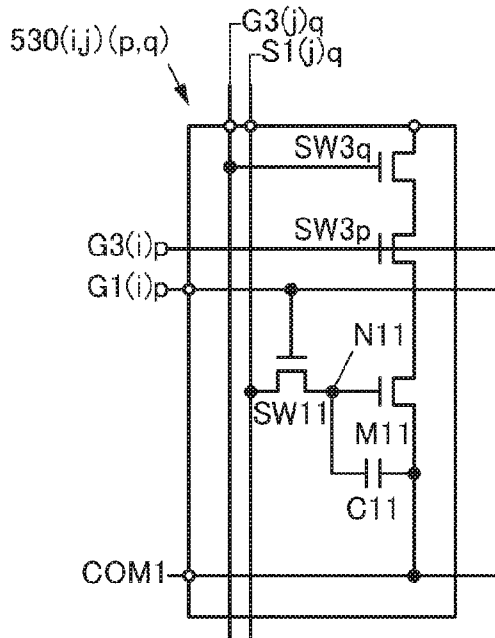


図 25



26A



26B

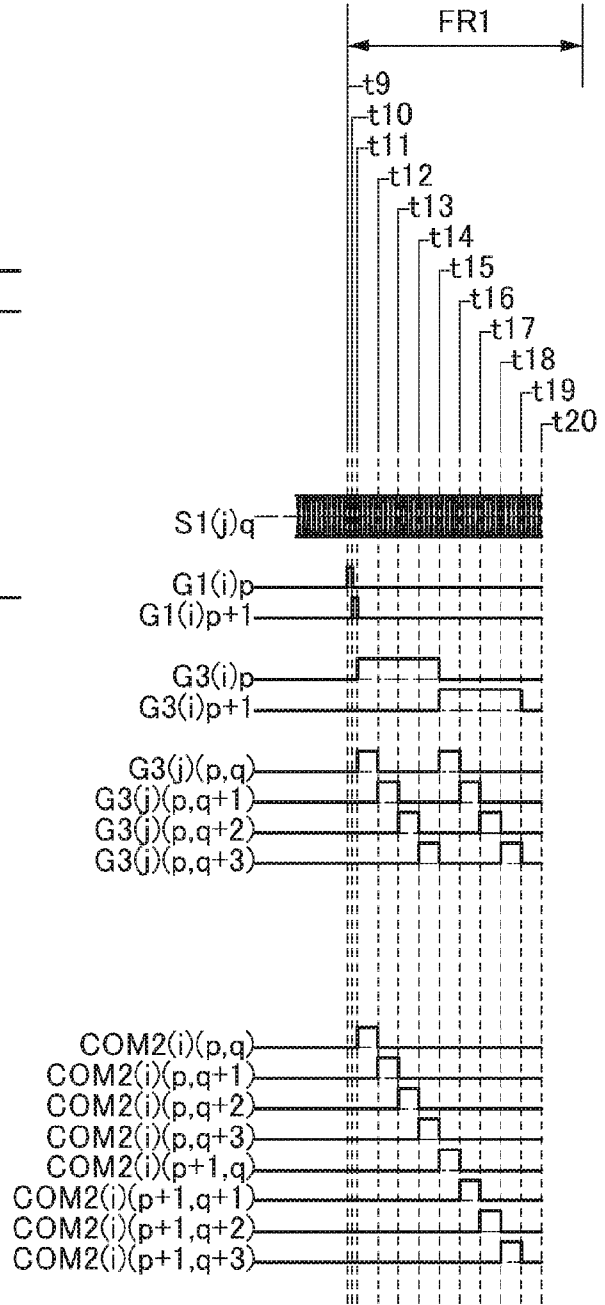


図 27

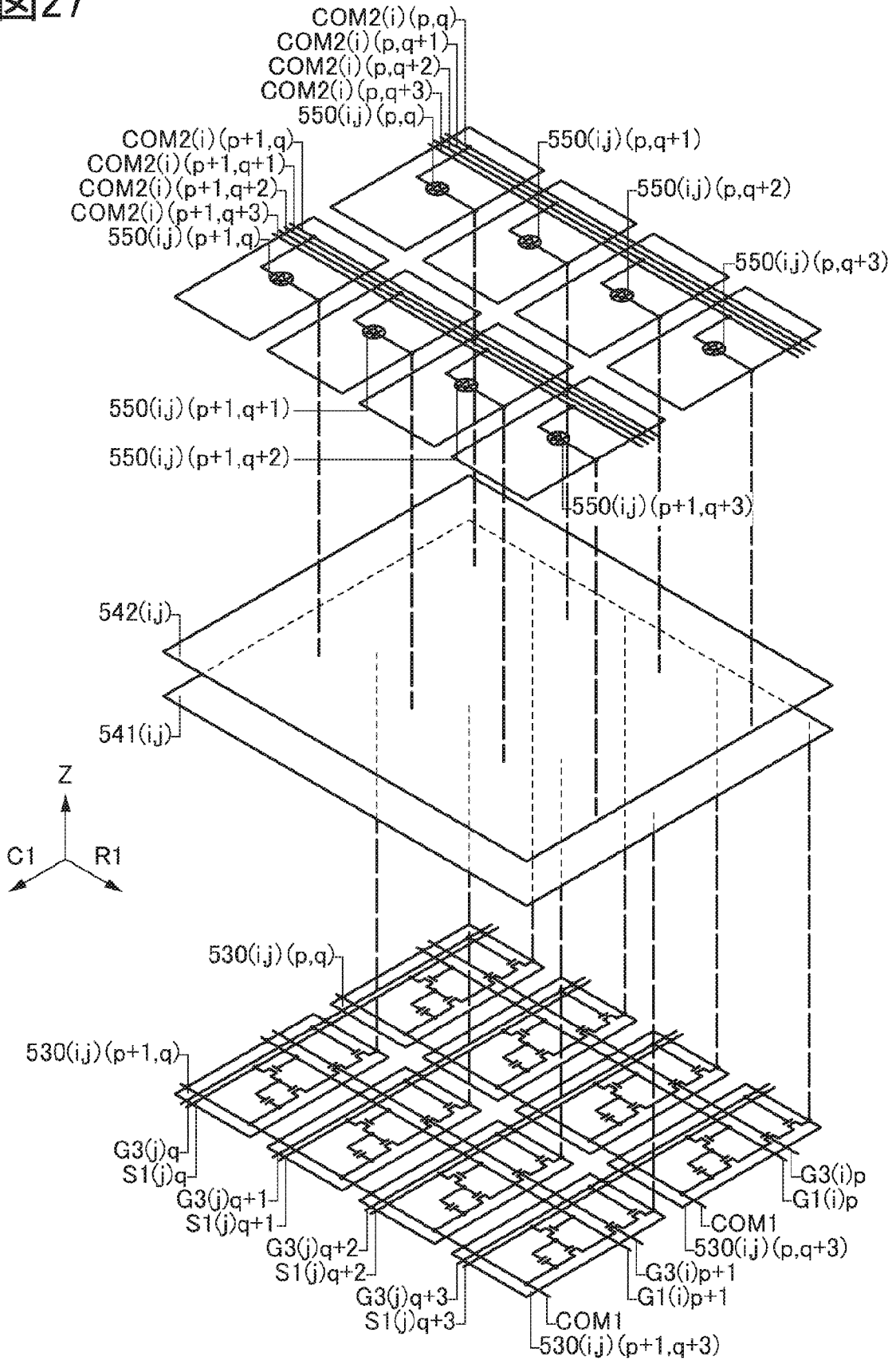


図 29

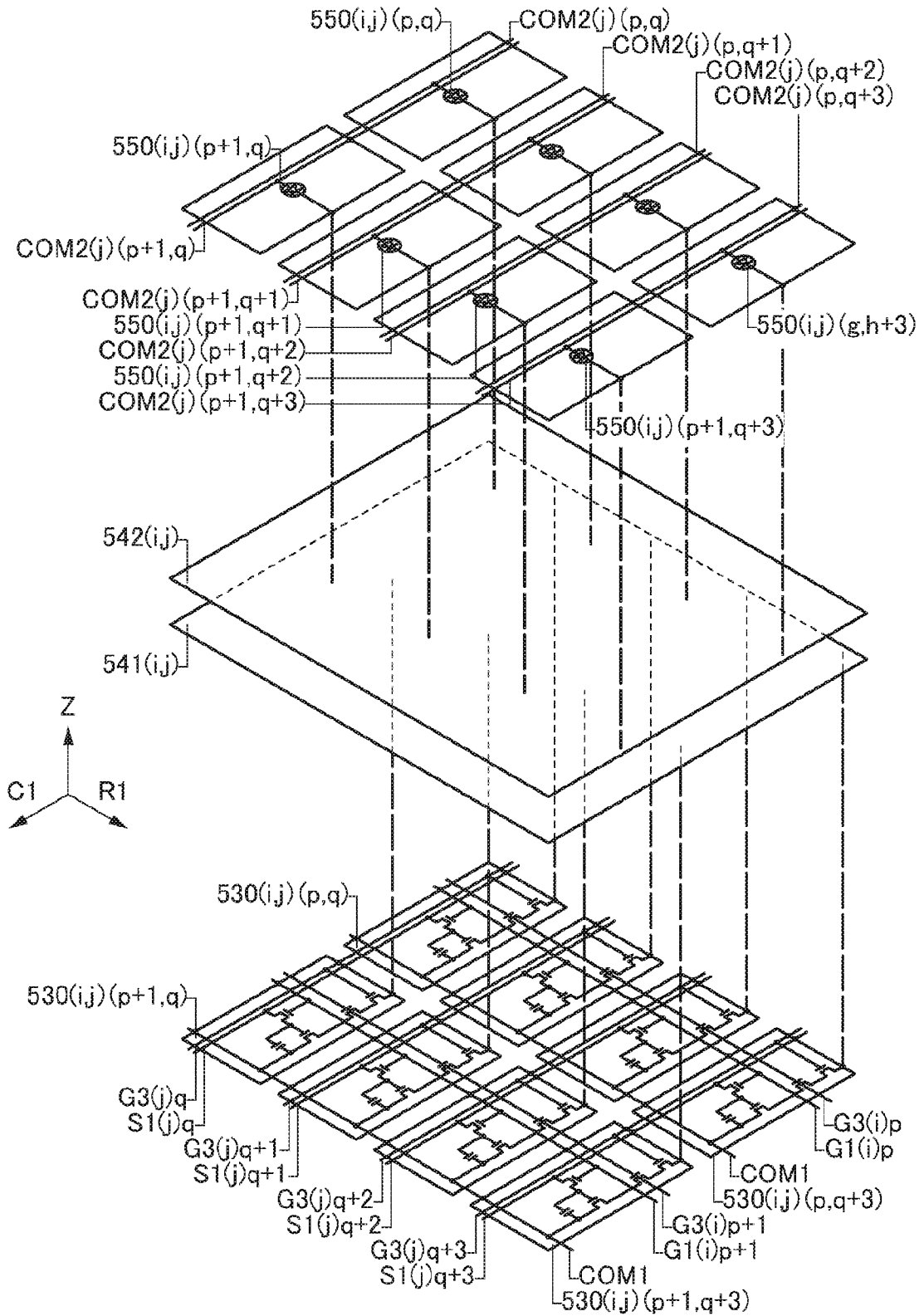
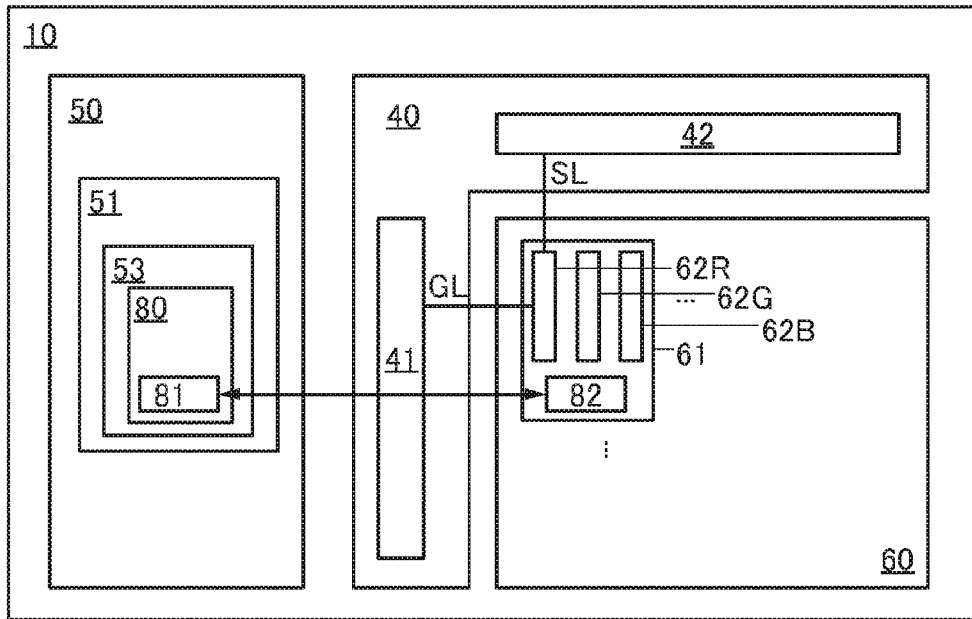
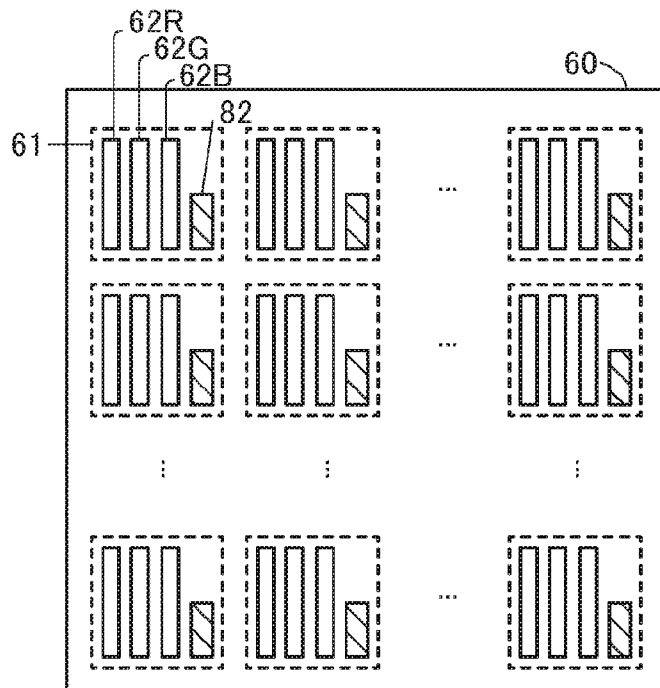


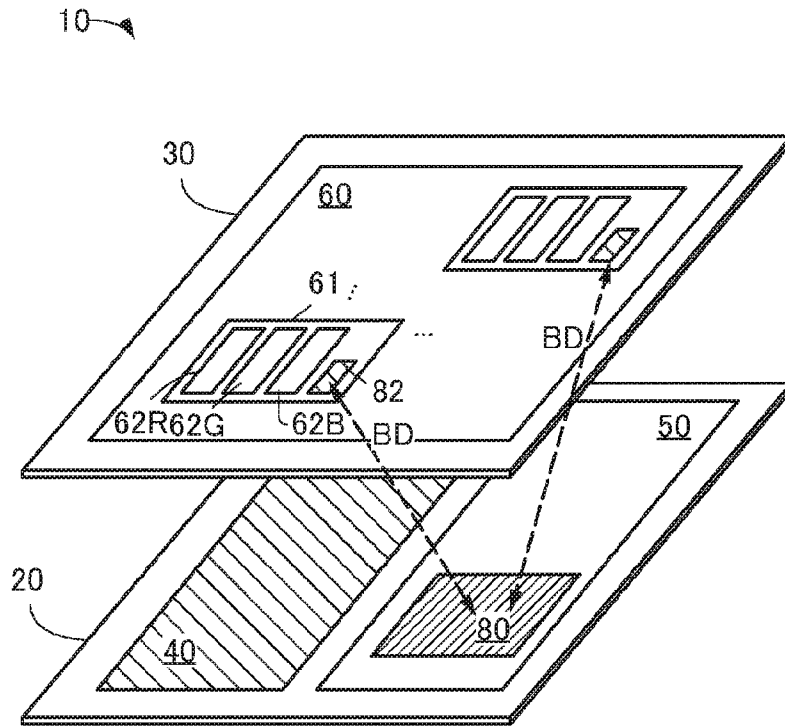
図 30



31



32



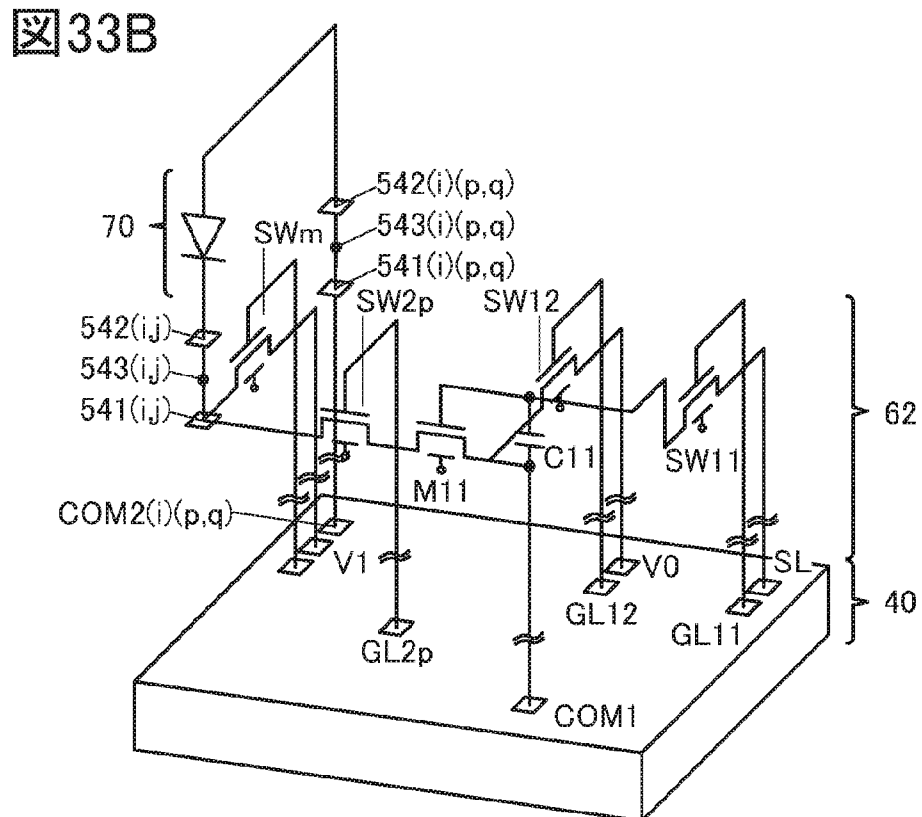
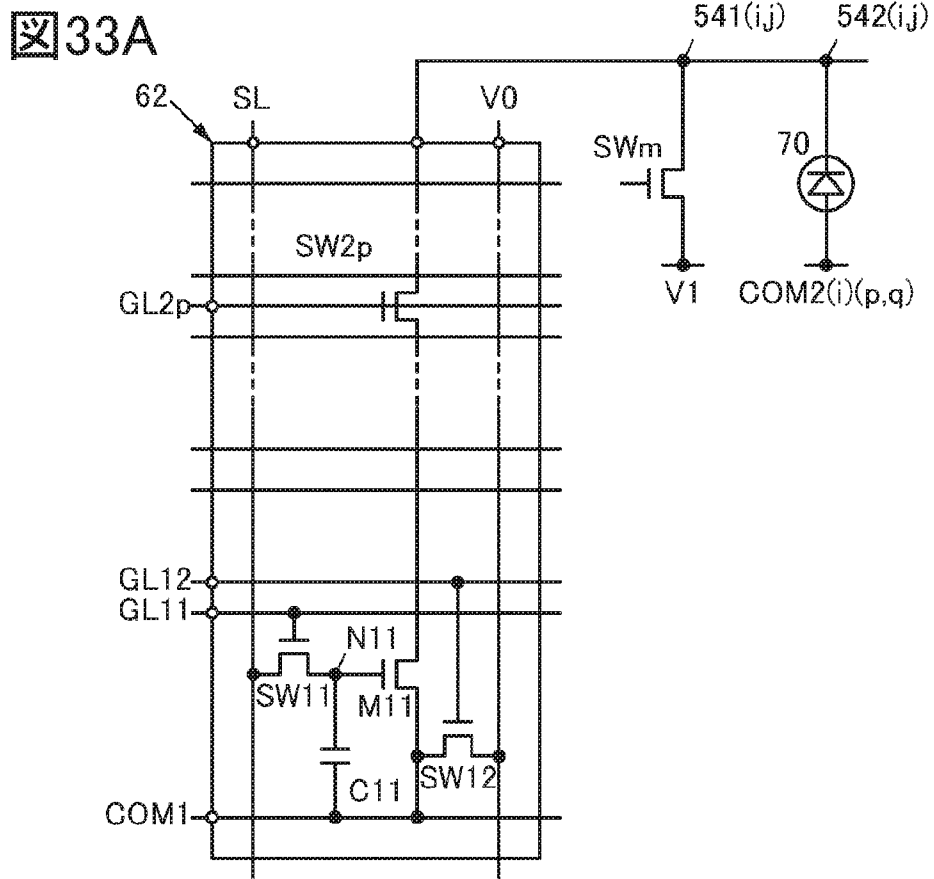


図 34

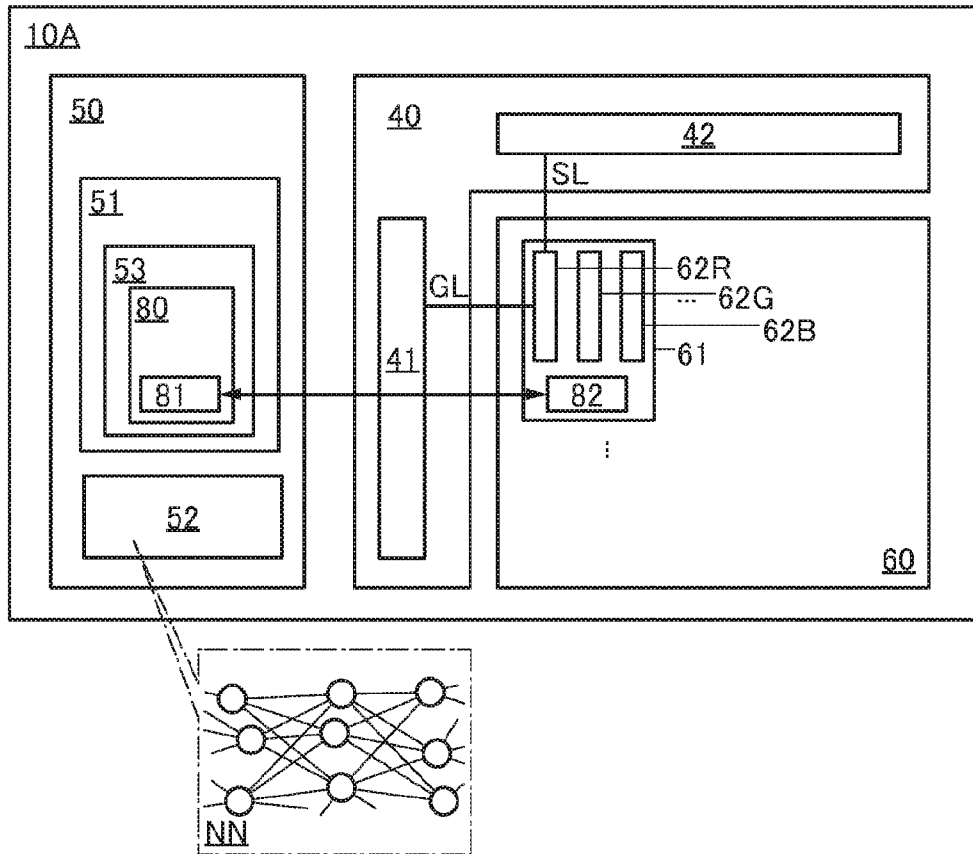
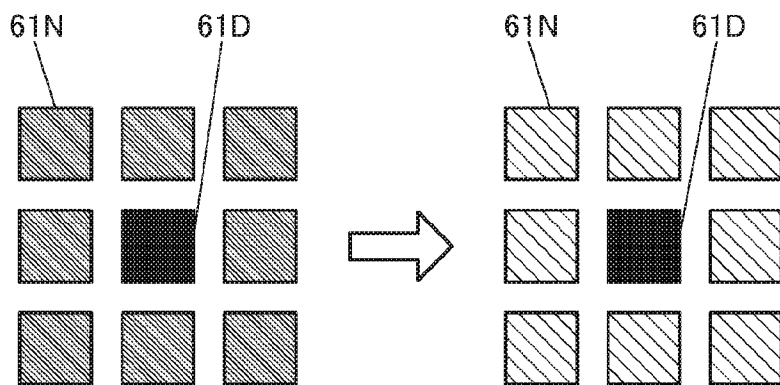


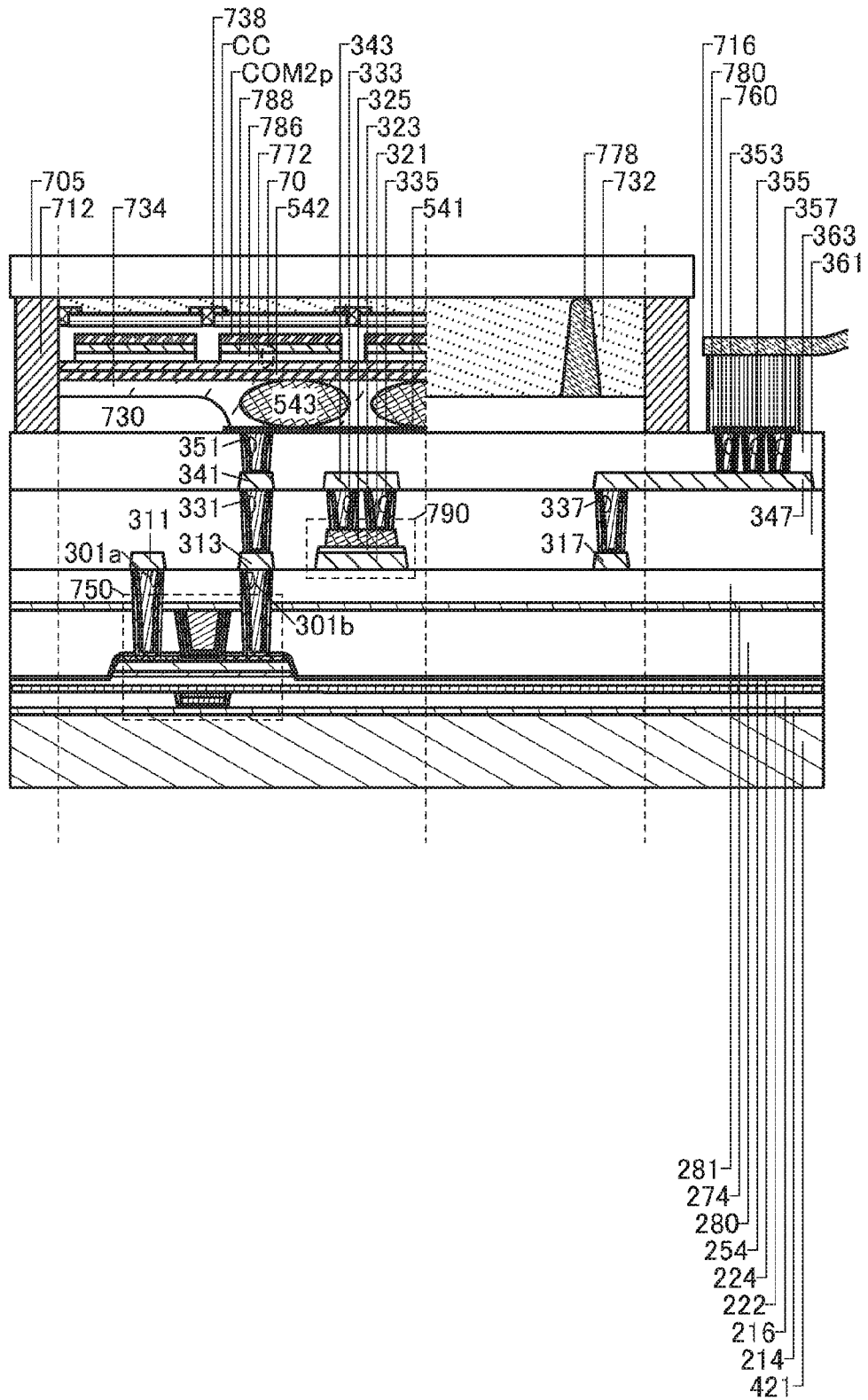
図35A



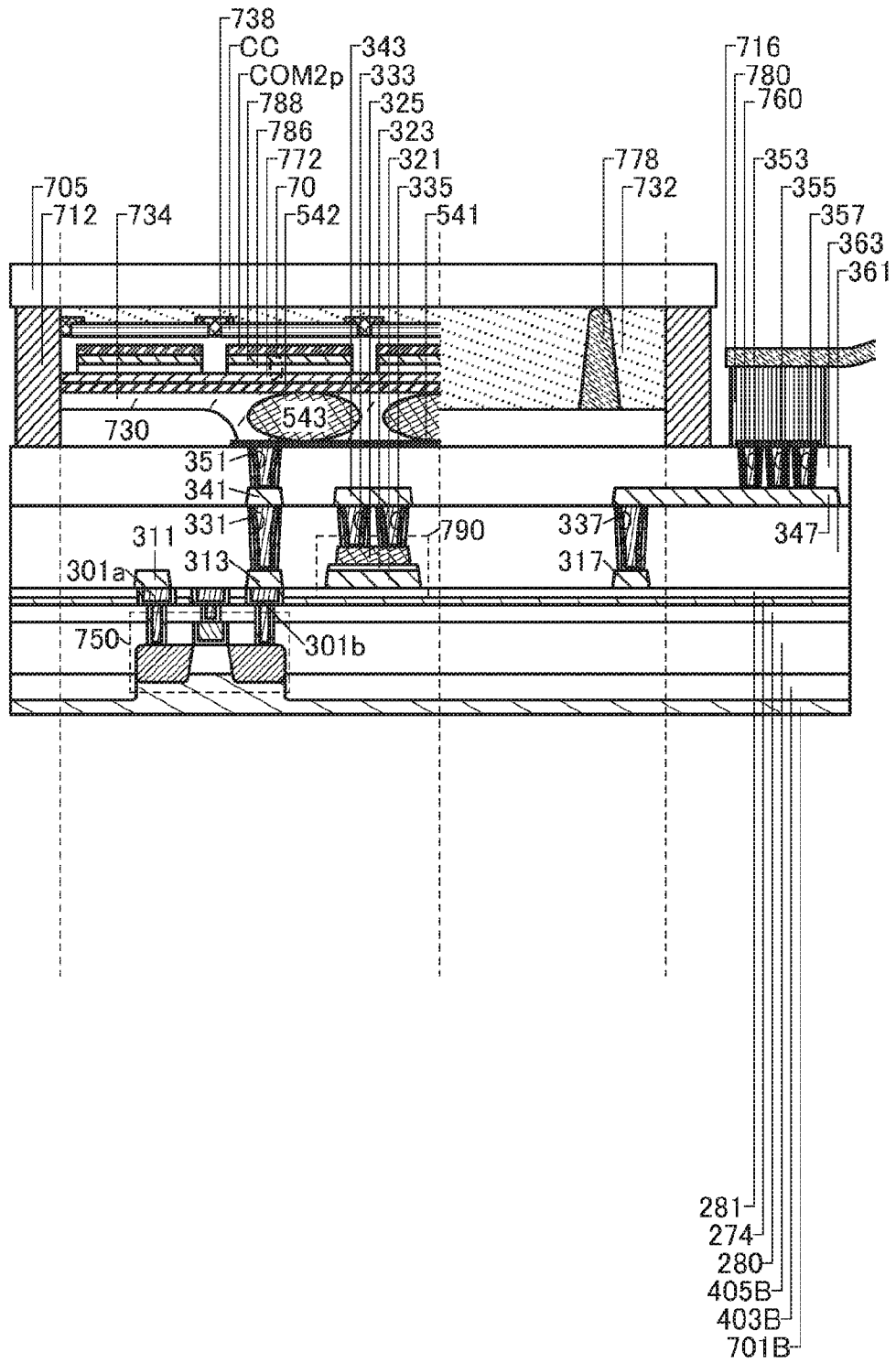
図35B



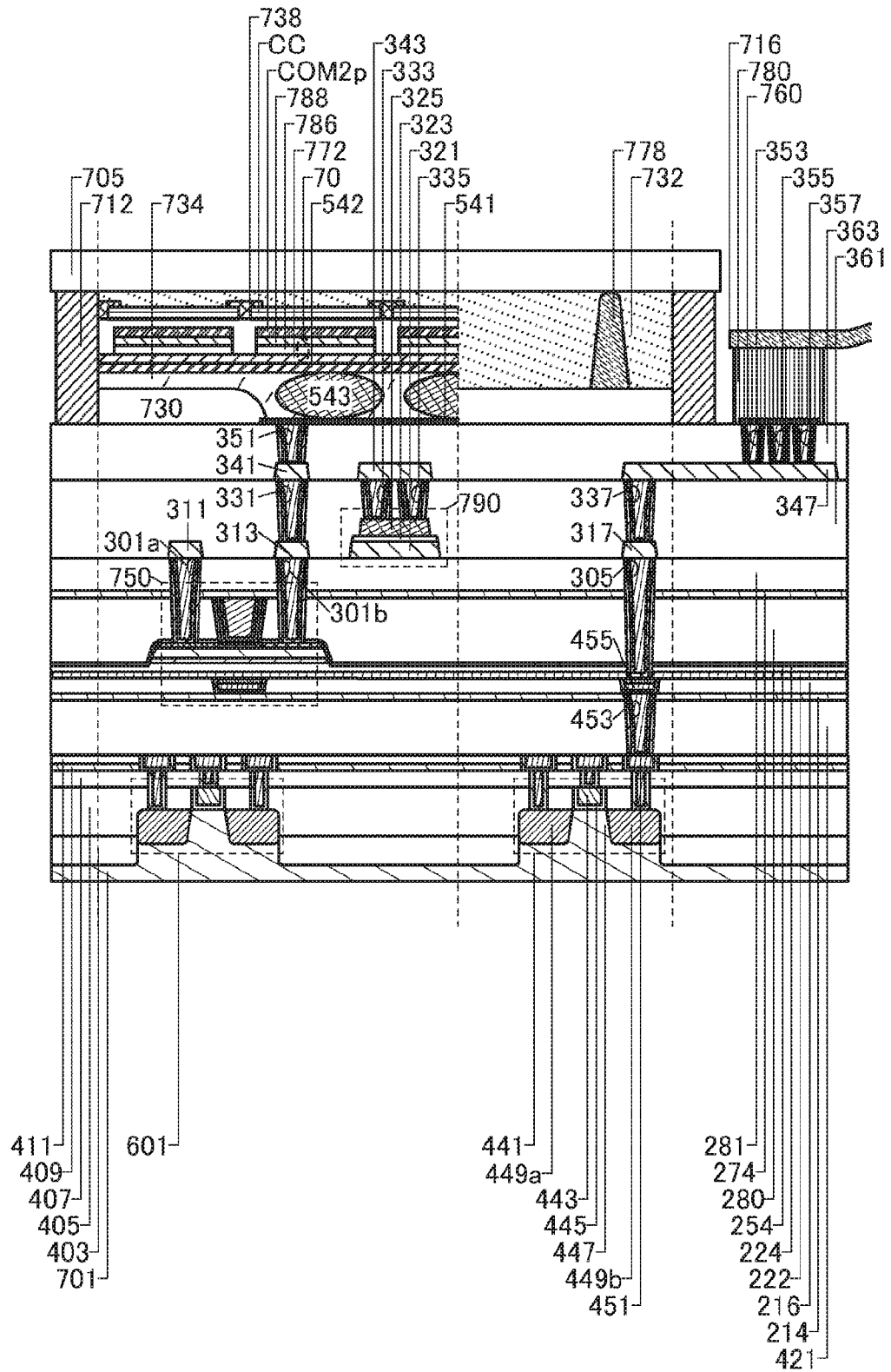
36



37



38



39

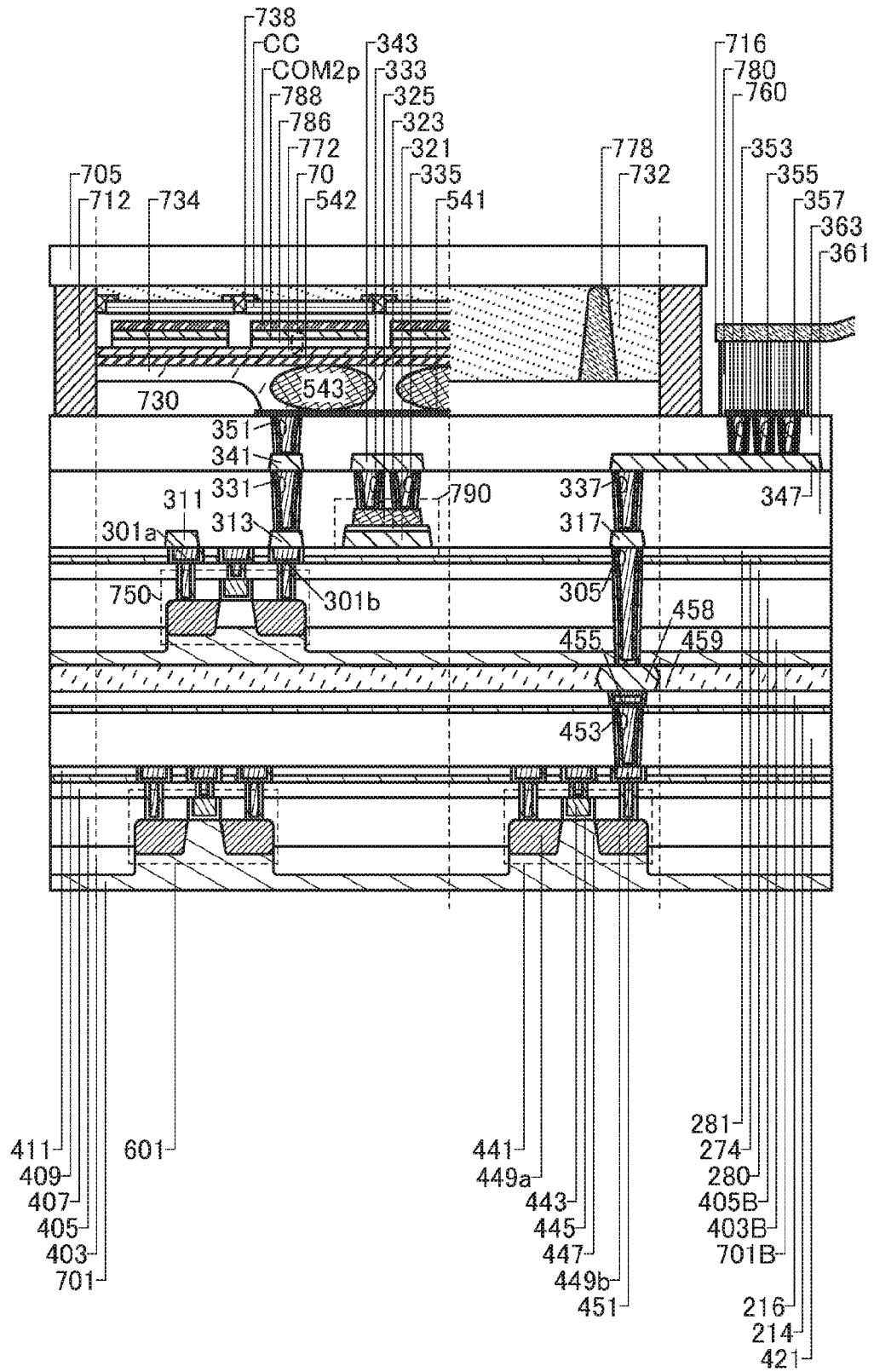
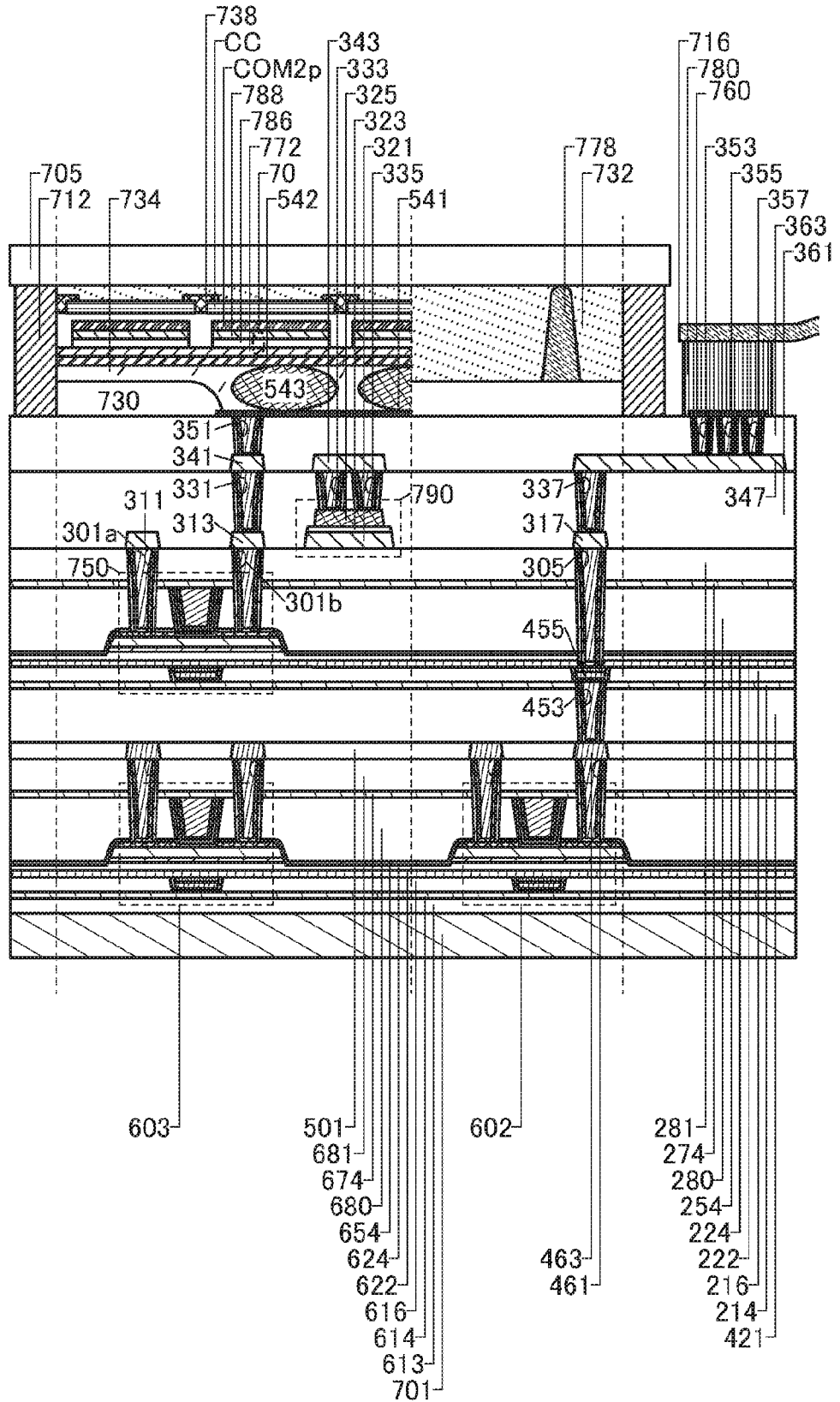
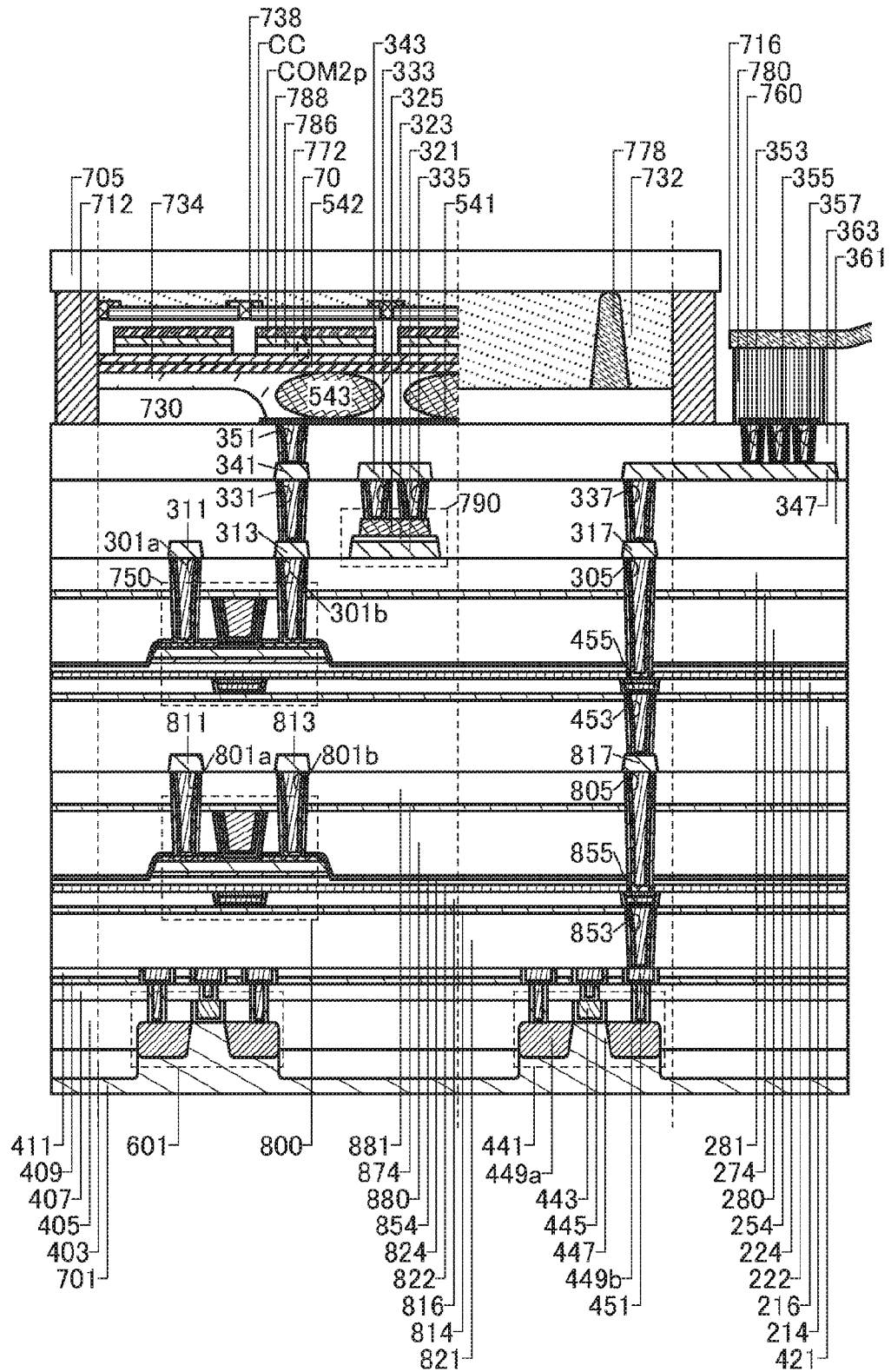


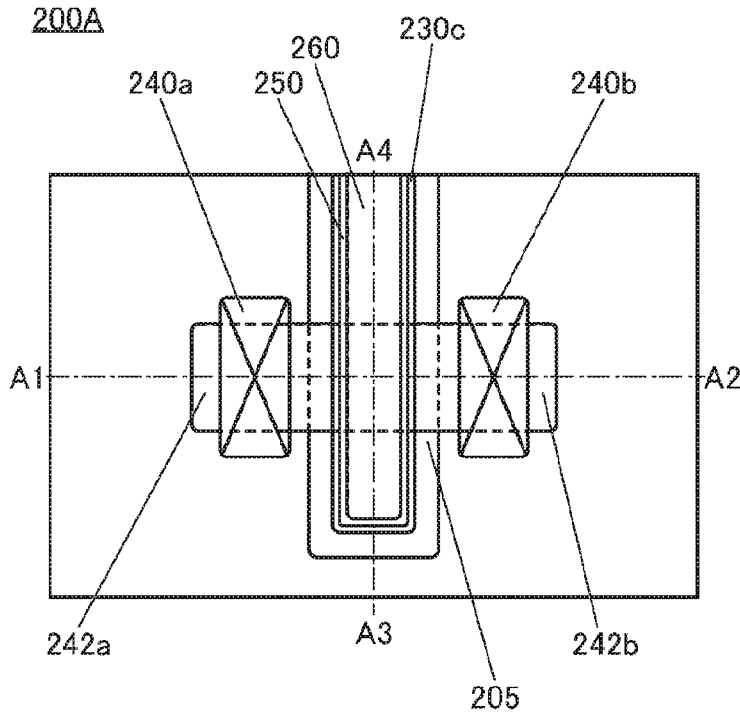
図 40



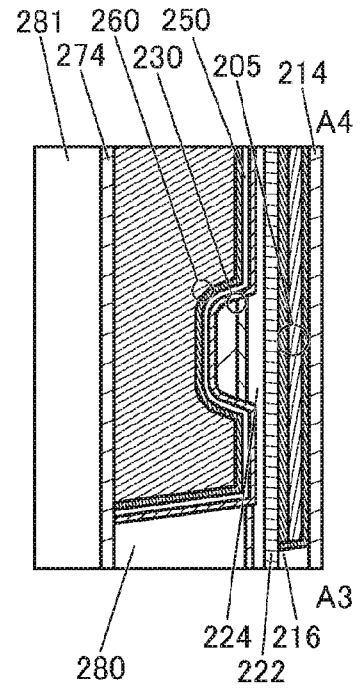
41



42A



42C



42B

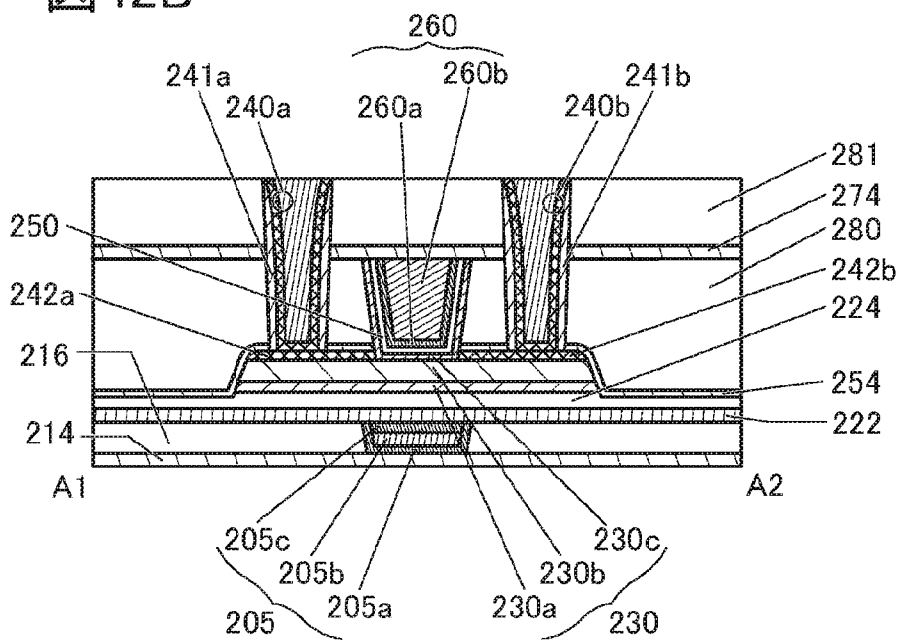


図43A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
<ul style="list-style-type: none"> • completely amorphous 	<ul style="list-style-type: none"> • CAAC • nc • CAC <p>excluding single crystal and poly crystal</p>	<ul style="list-style-type: none"> • single crystal • poly crystal

図43B

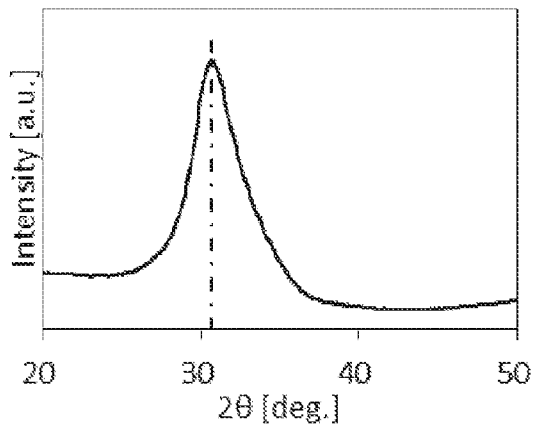
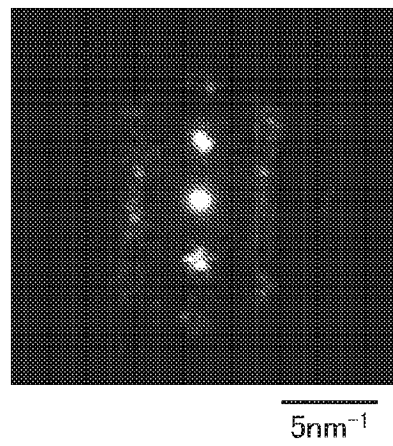
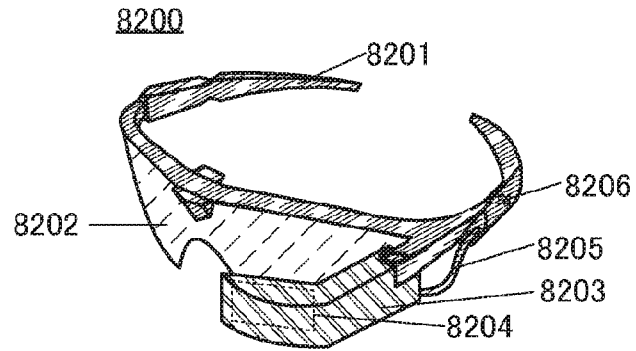


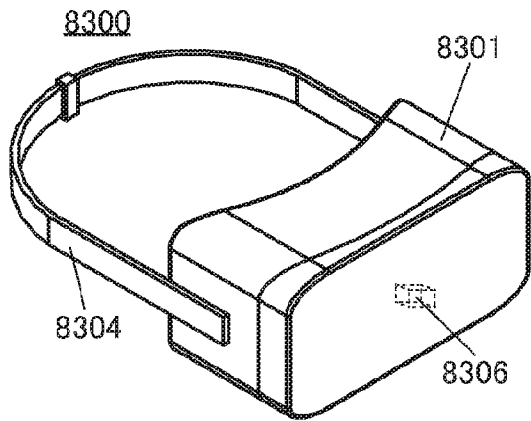
図43C



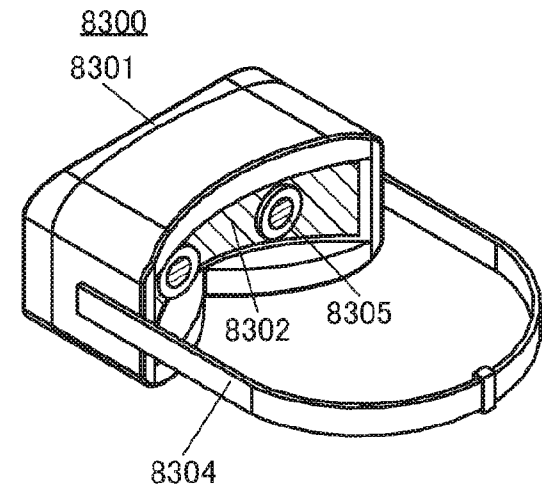
44A



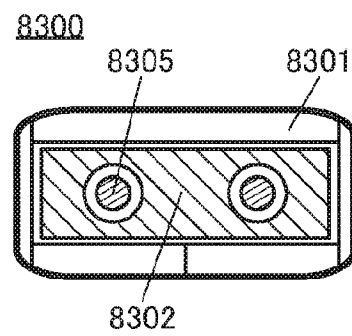
44B



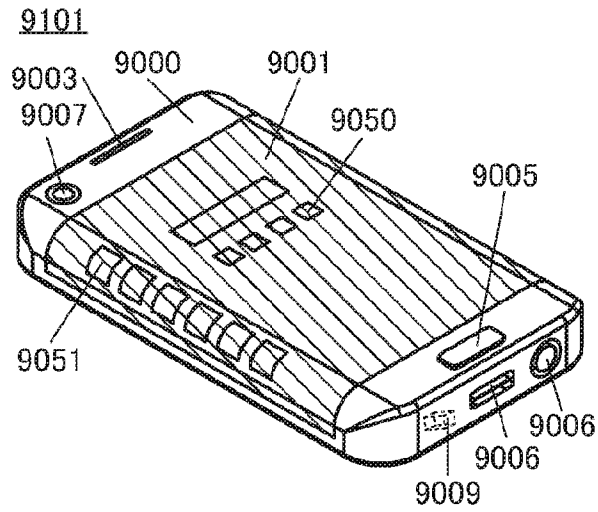
44C



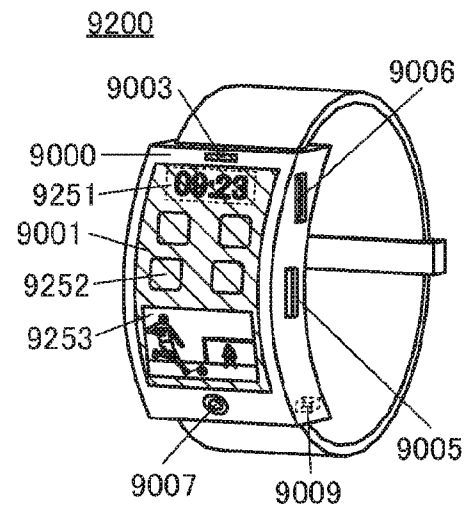
44D



☒ 45A



☒ 45B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2022/050841

A. CLASSIFICATION OF SUBJECT MATTER		
<p><i>G09G 3/20</i>(2006.01)i; <i>G09G 3/30</i>(2006.01)i; <i>G09G 3/3225</i>(2016.01)i; <i>H01L 33/00</i>(2010.01)i; <i>H01L 33/62</i>(2010.01)i; <i>G09F 9/30</i>(2006.01)i; <i>G09F 9/33</i>(2006.01)i; <i>H01L 21/8234</i>(2006.01)i; <i>H01L 27/06</i>(2006.01)i; <i>H01L 27/088</i>(2006.01)i; <i>H01L 27/32</i>(2006.01)i; <i>H01L 29/786</i>(2006.01)i; <i>H05B 33/02</i>(2006.01)i; <i>H05B 33/06</i>(2006.01)i; <i>H05B 33/12</i>(2006.01)i; <i>H01L 51/50</i>(2006.01)i; <i>H05B 33/14</i>(2006.01)i</p> <p>FI: G09F9/30 330; G09F9/30 338; G09F9/30 365; G09F9/33; G09G3/20 624A; G09G3/30 J; G09G3/3225; H01L27/06 102A; H01L27/088 E; H01L27/32; H01L29/78 612C; H01L33/00 L; H01L33/62; H05B33/02; H05B33/06; H05B33/12 D; H05B33/14 A; H05B33/14 Z</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
<p>G09F9/00-9/46; G09G3/00-3/08; G03G3/12-3/16; G03G3/19-3/26; G03G3/30-3/34; G03G3/38; H01L21/336; H01L21/8232-21/8238; H01L21/8249; H01L25/00-25/07; H01L25/10-25/11; H01L25/16-25/18; H01L27/06; H01L27/07; H01L27/085-27/092; H01L27/118; H01L27/32; H01L29/76; H01L29/772; H01L29/78; H01L33/00; H01L33/48-33/64; H01L51/50; H05B33/00-33/28; H05B45/60</p>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
<p>Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022</p>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-512347 A (LUXVUE TECHNOLOGY CORPORATION) 25 April 2016 (2016-04-25) paragraphs [0058]-[0070], [0092]-[0093], fig. 6C-6D, 7, 18	1-6, 9, 11
A	JP 2005-3696 A (SEIKO EPSON CORP) 06 January 2005 (2005-01-06) entire text, all drawings	1-12
A	US 2018/0190615 A1 (PAN, Shaohar) 05 July 2018 (2018-07-05) entire text, all drawings	1-12
A	WO 2019/168763 A1 (APPLE INC.) 06 September 2019 (2019-09-06) entire text, all drawings	1-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
01 April 2022		12 April 2022
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		
		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2022/050841

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-538586 A (LUXVUE TECHNOLOGY CORPORATION) 08 December 2016 (2016-12-08) entire text, all drawings	1-12
A	JP 2012-227514 A (SONY CORP) 15 November 2012 (2012-11-15) entire text, all drawings	1-12
A	JP 2010-232577 A (TOSHIBA CORP) 14 October 2010 (2010-10-14) entire text, all drawings	1-12
A	WO 2017/094461 A1 (SHARP KK) 08 June 2017 (2017-06-08) entire text, all drawings	1-12
A	WO 2019/114348 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 20 June 2019 (2019-06-20) entire text, all drawings	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2022/050841

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-512347	A	25 April 2016	US 2014/0267683 A1 paragraphs [0083]-[0095], [0117]-[0118], fig. 6C-6D, 7, 18 WO 2014/149864 A1 EP 2973715 A1 KR 10-2015-0119149 A CN 105144387 A	
JP	2005-3696	A	06 January 2005	US 2004/0032637 A1 entire text, all drawings WO 2003/100753 A1 EP 1533779 A1 KR 10-2006-0064697 A CN 1602509 A	
US	2018/0190615	A1	05 July 2018	(Family: none)	
WO	2019/168763	A1	06 September 2019	EP 3729494 A1 entire text, all drawings KR 10-2020-0106929 A CN 111684576 A	
JP	2016-538586	A	08 December 2016	US 2015/0169011 A1 entire text, all drawings WO 2015/094601 A2 EP 3084551 A2 CN 105793795 A	
JP	2012-227514	A	15 November 2012	US 2012/0256814 A1 entire text, all drawings CN 102737578 A	
JP	2010-232577	A	14 October 2010	US 2010/0244059 A1 entire text, all drawings	
WO	2017/094461	A1	08 June 2017	US 2018/0358339 A1 entire text, all drawings CN 108475712 A	
WO	2019/114348	A1	20 June 2019	EP 3726517 A1 entire text, all drawings CN 109920374 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>G09G 3/20(2006.01)i; G09G 3/30(2006.01)i; G09G 3/3225(2016.01)i; H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/32(2006.01)i; H01L 29/786(2006.01)i; H05B 33/02(2006.01)i; H05B 33/06(2006.01)i; H05B 33/12(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i FI: G09F9/30 330; G09F9/30 338; G09F9/30 365; G09F9/33; G09G3/20 624A; G09G3/30 J; G09G3/3225; H01L27/06 102A; H01L27/088 E; H01L27/32; H01L29/78 612C; H01L33/00 L; H01L33/62; H05B33/02; H05B33/06; H05B33/12 D; H05B33/14 A; H05B33/14 Z</p>																													
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>G09F9/00-9/46; G09G3/00-3/08; G03G3/12-3/16; G03G3/19-3/26; G03G3/30-3/34; G03G3/38; H01L21/336; H01L21/8232-21/8238; H01L21/8249; H01L25/00-25/07; H01L25/10-25/11; H01L25/16-25/18; H01L27/06; H01L27/07; H01L27/085-27/092; H01L27/118; H01L27/32; H01L29/76; H01L29/772; H01L29/78; H01L33/00; H01L33/48-33/64; H01L51/50; H05B33/00-33/28; H05B45/60</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年																			
日本国実用新案公報	1922-1996年																												
日本国公開実用新案公報	1971-2022年																												
日本国実用新案登録公報	1996-2022年																												
日本国登録実用新案公報	1994-2022年																												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2016-512347 A (ルクスビュー テクノロジー コーポレイション) 25.04.2016 (2016-04-25) 段落[0058]-[0070], [0092]-[0093], 図6C-6D, 7, 18</td> <td>1-6, 9, 11</td> </tr> <tr> <td>A</td> <td>JP 2005-3696 A (セイコーエプソン株式会社) 06.01.2005 (2005-01-06) 全文, 全図</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>US 2018/0190615 A1 (PAN, Shaoher) 05.07.2018 (2018-07-05) 全文, 全図</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>WO 2019/168763 A1 (APPLE INC.) 06.09.2019 (2019-09-06) 全文, 全図</td> <td>1-12</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2016-512347 A (ルクスビュー テクノロジー コーポレイション) 25.04.2016 (2016-04-25) 段落[0058]-[0070], [0092]-[0093], 図6C-6D, 7, 18	1-6, 9, 11	A	JP 2005-3696 A (セイコーエプソン株式会社) 06.01.2005 (2005-01-06) 全文, 全図	1-12	A	US 2018/0190615 A1 (PAN, Shaoher) 05.07.2018 (2018-07-05) 全文, 全図	1-12	A	WO 2019/168763 A1 (APPLE INC.) 06.09.2019 (2019-09-06) 全文, 全図	1-12	* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
X	JP 2016-512347 A (ルクスビュー テクノロジー コーポレイション) 25.04.2016 (2016-04-25) 段落[0058]-[0070], [0092]-[0093], 図6C-6D, 7, 18	1-6, 9, 11																											
A	JP 2005-3696 A (セイコーエプソン株式会社) 06.01.2005 (2005-01-06) 全文, 全図	1-12																											
A	US 2018/0190615 A1 (PAN, Shaoher) 05.07.2018 (2018-07-05) 全文, 全図	1-12																											
A	WO 2019/168763 A1 (APPLE INC.) 06.09.2019 (2019-09-06) 全文, 全図	1-12																											
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																												
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																												
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																												
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																												
"O" 口頭による開示、使用、展示等に言及する文献																													
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																													
国際調査を完了した日	国際調査報告の発送日																												
01.04.2022	12.04.2022																												
名称及びあて先	権限のある職員（特許庁審査官）																												
日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	石本 努 21 8354																												
	電話番号 03-3581-1101 内線 3273																												

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-538586 A (ルクスビュー テクノロジー コーポレイション) 08.12.2016 (2016 - 12 - 08) 全文, 全図	1-12
A	JP 2012-227514 A (ソニー株式会社) 15.11.2012 (2012 - 11 - 15) 全文, 全図	1-12
A	JP 2010-232577 A (株式会社東芝) 14.10.2010 (2010 - 10 - 14) 全文, 全図	1-12
A	WO 2017/094461 A1 (シャープ株式会社) 08.06.2017 (2017 - 06 - 08) 全文, 全図	1-12
A	WO 2019/114348 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 20.06.2019 (2019 - 06 - 20) 全文, 全図	1-12

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2022/050841

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-512347 A	25.04.2016	US 2014/0267683 A1 段落[0083]-[0095], [0117]- [0118], 図6C-6D, 7, 18 WO 2014/149864 A1 EP 2973715 A1 KR 10-2015-0119149 A CN 105144387 A	
JP 2005-3696 A	06.01.2005	US 2004/0032637 A1 全文, 全図 WO 2003/100753 A1 EP 1533779 A1 KR 10-2006-0064697 A CN 1602509 A	
US 2018/0190615 A1	05.07.2018	(ファミリーなし)	
WO 2019/168763 A1	06.09.2019	EP 3729494 A1 全文, 全図 KR 10-2020-0106929 A CN 111684576 A	
JP 2016-538586 A	08.12.2016	US 2015/0169011 A1 全文, 全図 WO 2015/094601 A2 EP 3084551 A2 CN 105793795 A	
JP 2012-227514 A	15.11.2012	US 2012/0256814 A1 全文, 全図 CN 102737578 A	
JP 2010-232577 A	14.10.2010	US 2010/0244059 A1 全文, 全図	
WO 2017/094461 A1	08.06.2017	US 2018/0358339 A1 全文, 全図 CN 108475712 A	
WO 2019/114348 A1	20.06.2019	EP 3726517 A1 全文, 全図 CN 109920374 A	