



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월28일
 (11) 등록번호 10-1633858
 (24) 등록일자 2016년06월21일

(51) 국제특허분류(Int. Cl.)
 H03K 19/003 (2006.01) H03K 19/0175 (2006.01)
 (21) 출원번호 10-2009-0013128
 (22) 출원일자 2009년02월17일
 심사청구일자 2014년01월09일
 (65) 공개번호 10-2010-0093956
 (43) 공개일자 2010년08월26일
 (56) 선행기술조사문헌
 US20040212936 A1*
 US20060250735 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 전찬희
 경기 용인시 기흥구 사은로126번길 33, 201동 203호 (보라동, 민속마을신창미션힐아파트)
 김한구
 경기도 성남시 분당구 미금로 177, 302동 202호 (구미동, 까치마을)
 (뒷면에 계속)
 (74) 대리인
 리엔목특허법인

전체 청구항 수 : 총 10 항

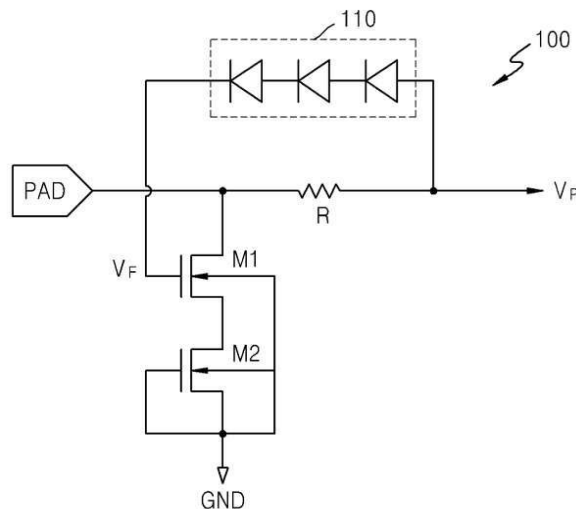
심사관 : 이상돈

(54) 발명의 명칭 **패드인터페이스회로 및패드인터페이스회로 신뢰성 향상방법**

(57) 요약

본 발명은 전압전원(VDD)이 공급되지 않고 있는 경우라도 수명 및 신뢰성이 감소되지 않는패드인터페이스회로 및패드인터페이스회로 신뢰성 향상방법을 제공하는데 있다. 상기패드인터페이스 회로는, 제1스택 모스트랜지스터, 제2스택 모스트랜지스터 및 전압준위감압회로를 구비한다. 상기 제1스택 모스트랜지스터는 일 단자가 패드에 연결되고 벌크가 제1공급전원에 연결된다. 상기 제2스택 모스트랜지스터는 일 단자가 상기 제1스택 모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자, 게이트 및 벌크가 제1공급전원에 연결된다. 상기 전압준위감압회로는 상기 패드로부터 인가되는 패드전압을 이용하여 피드백전압을 생성하며, 상기 피드백전압(V_F)은 상기 제1스택 모스트랜지스터(M1)의 게이트에 인가된다.

대표도 - 도1



(72) 발명자

홍민선

서울특별시 강북구 삼양로155길 3-6, 보림빌라 20
2호 (우이동)

하태훈

경기도 수원시 권선구 수성로 47, 9동 1504호 (구
운동, 삼환아파트)

김두형

경기도 수원시 영통구 영통로174번길 67, 101호 (
망포동)

이정순

경기도 수원시 권선구 동수원로146번길 183, 202호
(곡반정동)

명세서

청구범위

청구항 1

일 단자가 패드(PAD)에 연결되고 벌크(bulk)가 제1공급전원에 연결된 제1스택 모스트랜지스터(M1);

일 단자가 상기 제1스택 모스트랜지스터(M1)의 다른 일 단자에 연결되고 다른 일 단자, 게이트 및 벌크가 제1공급전원에 연결된 제2스택 모스트랜지스터(M2); 및

상기 패드(PAD)로부터 인가되는 패드전압(V_P)을 감압하여 피드백전압(V_F)을 생성하는 전압준위감압회로(110)를 구비하며,

상기 피드백전압(V_F)은 상기 제1스택 모스트랜지스터(M1)의 게이트에 인가되는 패드인터페이스 회로.

청구항 2

제1항에 있어서, 상기 패드인터페이스 회로는,

상기 제1스택 모스트랜지스터(M1)의 일 단자 및 상기 패드전압(V_P)이 인가되는 상기 전압준위감압회로(110)의 일 단자 사이에 배치된 ESD 저항(R)을 더 구비하는 패드인터페이스 회로.

청구항 3

제1항에 있어서, 상기 전압준위감압회로(110)는,

상기 패드전압(V_P)의 준위를 감소시켜 상기 피드백전압(V_F)을 생성하는 패드인터페이스 회로.

청구항 4

제3항에 있어서, 상기 감압회로(110)는,

입력되는 신호의 전압준위를 일정한 크기의 전압준위로 낮추는 감압소자들을 적어도 하나 구비하는 패드인터페이스 회로.

청구항 5

제4항에 있어서, 상기 감압소자들이 복수 개인 경우,

상기 감압소자들을 직렬로 연결하거나,

상기 감압소자들을 병렬로 연결하거나,

직렬연결 및 병렬연결을 혼합한 연결 구조를 갖는 패드인터페이스 회로.

청구항 6

제 4항에 있어서,

상기 감압소자는 다이오드(diode) 인 패드인터페이스 회로.

청구항 7

제1항에 있어서,

상기 제1공급전원은 상기 패드인터페이스 회로가 사용되는 시스템에서 가장 낮은 전압준위를 가지는 전원이고,

상기 피드백전압(V_F)의 전압준위는 상기 패드인터페이스 회로가 사용되는 시스템에 인가되는 제2공급전원의 전압준위 및 상기 패드로 공급되는 전압원의 전압준위에 따라서 결정되는 패드인터페이스 회로.

청구항 8

제1항에 있어서,

상기 제1스택 모스트랜지스터(M1) 및 상기 제2스택 모스트랜지스터(M2)는 N형 모스트랜지스터 인 패드인터페이스 회로.

청구항 9

일 단자가 패드(PAD)에 연결되고 벌크가 제1공급전원에 연결된 제1스택 모스트랜지스터(M1) 및 일 단자가 상기 제1스택 모스트랜지스터(M1)의 다른 일 단자에 연결되고 다른 일 단자, 게이트 및 벌크가 제1공급전원에 연결된 제2스택 모스트랜지스터(M2)를 구비하는 패드인터페이스 회로의 신뢰성을 향상시키는 패드인터페이스 회로 신뢰성 향상방법에 있어서,

상기 패드로부터 인가되는 전압전원의 전압준위 및 상기 패드인터페이스 회로가 사용되는 시스템에서 사용되는 제2공급전원의 전압준위의 차이와 같거나 작은 전압준위의 전압인 피드백 전압을 생성하여, 상기 제1스택 모스트랜지스터(M1)의 게이트에 인가시키는 패드인터페이스 회로 신뢰성 향상방법.

청구항 10

제9항에 있어서,

상기 제1공급전원은 상기 패드인터페이스 회로가 사용되는 시스템에 인가되는 공급전원 중 가장 낮은 전압준위를 가지는 공급전원이고,

상기 제2공급전원은 상기 패드인터페이스 회로가 사용되는 시스템에 인가되는 공급전원 중 가장 높은 전압준위를 가지는 공급전원 인 패드인터페이스 회로 신뢰성 향상방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 패드인터페이스회로에 관한 것으로, 특히 입력되는 전압전원의 전압준위에 따른 신뢰성을 향상시킨 패드인터페이스 회로 및 상기 패드인터페이스회로에서 사용하는 신뢰성 향상방법에 대한 것이다.

배경 기술

[0002] 반도체로 구현되는 집적회로는 일정한 기능을 수행하는 기능블록(function block)들, 상기 기능블록들이 사용하는 저장매체(storage media)들, 상기 기능블록들을 제어하는 CPU 중 적어도 하나를 구비한다. CPU, 기능블록들 및 저장매체들은 집적회로(Integrated Circuit)의 외부로부터 공급되는 전원을 이용하여 동작한다. 또한 외부로부터 공급되어 집적회로가 일정한 기능을 수행하는데 사용되는 제어신호 그리고 상기 제어신호에 응답하여 생성시킨 신호를 외부로 출력하는 것이 필요하다. 외부로부터 공급되는 신호들 및 공급전원 뿐만 아니라 집적회로로부터 생성된 신호들도 외부로 전달되어야 하는데 이들의 통로가 되는 것이 패드(PAD)이다.

[0003] 패드는 집적회로의 외부로부터 인가되는 정상적인 신호 및 전압전원 뿐만 아니라, 원하지 않는 정전하(Electro Static charge)가 유입되는 통로가 되기도 하기 때문에, 패드와 집적회로의 내부 회로를 연결하는 입출력회로(in-out circuit) 즉 패드 인터페이스회로(pad interface circuit)는, 정상적인 신호는 그대로 입출력시키지만 원하지 않는 신호는 차단하는 기능을 수행하도록 고안되는 것이 일반적이다. 따라서 패드를 입력수단으로 사용하는 경우와 출력수단으로 사용하는 경우, 패드와 집적회로 사이에 배치된 인터페이스회로는 약간의 차이가 있다.

[0004] 종래에는 버추얼 플로팅 웰(virtual floating well)을 도입한 인터페이스회로를 사용하여 이러한 문제를 해결하였다.

[0005] 집적회로에서 전압전원(VDD)을 이용하여 내부 장치를 동작시킨다 하더라도 외부로부터 인가되는 전압전원(Ex_VDD)의 크기는 상기 전압전원(VDD)의 전압준위에 비해 높은 것이 일반적이다. 예를 들면, USB(Universal Serial Bus)와 같은 월 플러그(Wall plug) 제품의 경우 집적회로에서 사용하는 전압전원(VDD)의 크기가 3.3V(Volts)라고 가정할 때, 외부로부터 집적회로의 패드로 인가되는 전압전원(Ex_VDD)의 크기가 5V일 경우가

있다. 집적회로의 인터페이스회로를 설계할 때에는 인가되는 고전압의 전압전원(Ex_VDD)이 인터페이스회로의 게이트 산화막(gate oxide)에 큰 영향이 가지 않도록 하여야 한다.

[0006] 집적회로의 전압전원(VDD)이 공급되고 있는 경우에는 종래의 패드 인터페이스회로의 기능을 수행할 수 있다. 그러나 인터페이스회로의 구조의 특성상, 전압전원(VDD)이 공급되고 있지 않을 때, 인가되는 전원전압(Ex_VDD)이 인터페이스회로를 구성하는 트랜지스터들의 게이트 산화막에 영향을 주어 궁극적으로는 인터페이스회로의 수명을 단축시키고 신뢰성을 감소시키는 문제가 발생하는 단점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 해결하고자 하는 기술적과제는, 전압전원(VDD)이 공급되지 않고 있는 경우라도 수명 및 신뢰성이 감소되지 않는 패드인터페이스회로를 제공하는데 있다.

[0008] 본 발명이 해결하고자 하는 다른 기술적과제는, 전압전원(VDD)이 공급되지 않고 있는 경우라도 입출력회로의 수명을 늘이고 신뢰성을 향상시킬 수 있는 패드인터페이스회로 신뢰성 향상방법을 제공하는데 있다.

과제 해결수단

[0009] 상기 기술적과제를 이루기 위한 본 발명에 따른 패드인터페이스 회로는, 제1스택 모스트랜지스터, 제2스택 모스트랜지스터 및 전압준위감압회로를 구비한다. 상기 제1스택 모스트랜지스터는 일 단자가 패드에 연결되고 벌크가 제1공급전원에 연결된다. 상기 제2스택 모스트랜지스터는 일 단자가 상기 제1스택 모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자, 게이트 및 벌크가 제1공급전원에 연결된다. 상기 전압준위감압회로는 상기 패드로부터 인가되는 패드전압을 이용하여 피드백전압을 생성하며, 상기 피드백전압(V_F)은 상기 제1스택 모스트랜지스터(M1)의 게이트에 인가된다.

[0010] 상기 다른 기술적과제를 이루기 위한 본 발명에 따른 패드인터페이스 회로 신뢰성 향상방법은, 일 단자가 패드에 연결되고 벌크가 제1공급전원에 연결된 제1스택 모스트랜지스터 및 일 단자가 상기 제1스택 모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자, 게이트 및 벌크가 제1공급전원에 연결된 제2스택 모스트랜지스터를 구비하는 패드인터페이스 회로의 신뢰성을 향상시키는 패드인터페이스 회로 신뢰성 향상방법으로서, 상기 패드로부터 인가되는 전압전원의 전압준위 및 상기 패드인터페이스 회로가 사용되는 시스템에서 사용되는 제2공급전원의 전압준위의 차이와 같거나 작은 전압준위의 전압을 상기 제1스택 모스트랜지스터의 게이트에 인가시킨다.

효과

[0011] 본 발명은 동작에 필요한 공급전원(VDD)에 공급되지 않는 경우에 외부로부터 상기 공급전원(VDD) 보다 높은 전압준위를 가지는 전원이 공급될 때에도 패드인터페이스 회로에 영향을 주지 않게 되어 패드인터페이스 회로의 신뢰성이 향상되는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0012] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0013] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0014] 도 1은 본 발명에 따른 패드인터페이스 회로의 구성을 나타낸다.

[0015] 도 1을 참조하면, 패드인터페이스 회로(100)는, 제1스택 모스트랜지스터(M1), 제2스택 모스트랜지스터(M2), ESD 저항(R) 및 전압준위감압회로(110)를 구비한다.

[0016] 제1스택 모스트랜지스터(M1)는 일 단자가 패드(PAD)에 연결되고 벌크(bulk)가 제1공급전원에 연결된다. 제2스택 모스트랜지스터(M2)는 일 단자가 상기 제1스택 모스트랜지스터(M1)의 다른 일 단자에 연결되고 다른 일 단자, 게이트 및 벌크가 제1공급전원에 연결된다. ESD 저항(R)은 제1스택 모스트랜지스터(M1)의 일 단자 및 패드전압(V_p)이 인가되는 상기 전압준위감압회로(110)의 일 단자 사이에 배치된다. 전압준위감압회로(110)는 패드(PAD)

로부터 인가되는 패드전압(V_p)을 이용하여 피드백전압(V_f)을 생성하며, 생성된 피드백전압(V_f)은 상기 제1스택 모스트랜지스터(M1)의 게이트에 인가된다.

[0017] 전압준위감압회로(110)는 입력전압을 일정한 크기로 감소시키는 감압소자를 사용하여, 패드로부터 인가되는 패드전압(V_p)의 전압준위를 상대적으로 낮은 전압준위를 가지는 피드백전압(V_f)을 생성한다. 여기서는 감압소자의 일례로서 다이오드(Diode)가 사용되었으며, 도 1을 참조하면 3개의 다이오드(Diode)가 직렬로 연결되어 있는 구조를 가진다. 일반적으로 다이오드가 턴 온 전압이 0.7V라고 가정할 때, 피드백전압(V_f)의 크기는 패드전압(V_p)보다 약 2.1V 정도 낮은 전압준위를 가지게 될 것이다.

[0018] 전압준위감압회로(110)는 다양하게 구현될 수 있으며, 도 2 내지 도 4에 그 실시 예를 보였다. 이 외에도 다양한 실시예가 가능하고, 여기서는 다 도시하지는 않았지만 상기의 설명 및 후술하는 설명으로부터 다양한 실시예는 용이하게 유추될 수 있다.

[0019] 이하에서는 본 발명에 따른 패드인터페이스 회로의 동작에 대해 설명한다.

[0020] 상기 패드인터페이스 회로가 사용되는 집적회로가 제1전원전압(GND) 및 제2전원전압(VDD)으로 구동되며, 제2전원전압(VDD)의 전압준위가 제1전원전압(GND)의 전압준위에 비해 상대적으로 높다고 가정한다. 제1전원전압(GND)은 접지전압이거나 접지전압보다 더 낮은 전압준위를 가지는 것도 가능하다. 또한 제2전원전압(VDD)의 전압준위가 3.3V일 때 패드(PAD)로부터 인가되는 패드전압(V_p)의 전압준위가 5V라고 가정하고 설명한다.

[0021] 패드(PAD)로부터 제2전원전압(VDD)의 전압준위(3.3V) 보다 높은 전압준위(5V)의 전압전원이 인가된다고 할 때, 제1스택 모스트랜지스터(M1)의 게이트에 인가되는 피드백전압(V_f)의 전압준위(2.9V)와 제1스택 모스트랜지스터(M1)의 일 단자에 인가되는 패드전압(V_p)의 전압차이는 2.1V가 된다. 따라서 제1스택 모스트랜지스터(M1)의 게이트 산화막의 양 단자에는 2.1V에 대응되는 전기장(electric field)이 형성된다.

[0022] 모스트랜지스터의 게이트에 인가되는 전압과 드레인(drain) 또는 소스(source) 단자 사이의 전압의 차이가 2.1V 라면, 이는 모스트랜지스터의 게이트 산화막이 가하는 전기적인 충격이 일반적인 트랜지스터에 비해 오히려 낮다고도 할 수 있다.

[0023] 도 1에 도시된 전압준위감압회로(110)의 경우, 설명의 편의를 위해 3개의 다이오드가 직렬로 연결된 구조를 예를 들었지만, 보다 세밀한 피드백전압(V_f)을 생성시키기 위해서는 도 2 내지 도 4에 도시된 예와 같이 직렬로 연결되는 감압소자의 개수를 조절하거나, 병렬로 감압소자를 연결하는 구조를 가지게 하면 된다. 특히 감압소자들 직렬연결 및 병렬연결을 혼합하여 사용한다면 아주 정밀한 피드백전압(V_f)을 생성시킬 수 있다.

[0024] 본 발명의 효과를 보다 더 확실하게 비교하기 위하여 종래의 패드인터페이스 회로의 경우와 비교한다.

[0025] 도 5는 종래의 패드인터페이스 회로의 일 실시예이다.

[0026] 도 5를 참조하면, 집적회로의 제2전원전압(VDD)이 공급되고 있지 않을 때(0V) 패드로부터 5V의 전압전원이 공급되는 경우, 폭발을 의미하는 표현을 한 3곳의 트랜지스터의 게이트 산화막에서는 5V의 전기장이 형성되게 되어 본 발명에 비해 산화막에 가해지는 충격이 크게 된다는 단점이 있다.

[0027] 도 6은 패드인터페이스 회로의 컴퓨터 모의실험 결과를 나타낸다.

[0028] 도 6을 참조하면, 제2전원전압(VDD)이 공급되지 않고 있을 때, 왼쪽에 도시된 종래의 패드인터페이스 회로의 경우 패드로부터 공급되는 5V의 전압이 트랜지스터의 게이트 단자에 그대로 전달되는데 반해, 오른쪽에 도시된 본 발명에 따른 패드인터페이스 회로의 경우 1V 내외의 전압이 인가되는 것을 알 수 있다. 여기서 1V는 전압준위감압회로의 구성에 따라 결정되는 것으로, 더 낮은 전압준위를 가지도록 할 수도 있다.

[0029] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

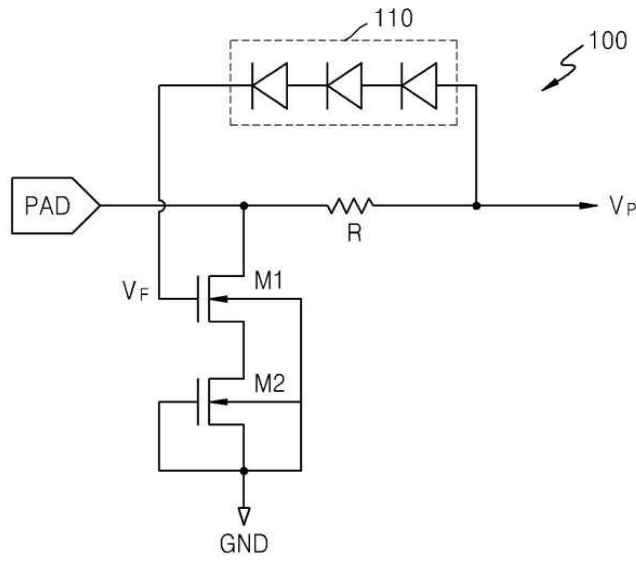
도면의 간단한 설명

[0030] 도 1은 본 발명에 따른 패드인터페이스 회로의 구성을 나타낸다.

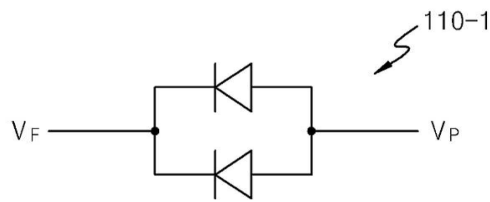
- [0031] 도 2는 전압준위감압회로의 제2실시 예를 나타낸다.
- [0032] 도 3은 전압준위감압회로의 제3실시 예를 나타낸다.
- [0033] 도 4는 전압준위감압회로의 제4실시 예를 나타낸다.
- [0034] 도 5는 종래의 패드인터페이스 회로의 일 실시예이다.
- [0035] 도 6은 패드인터페이스 회로의 컴퓨터 모의실험 결과를 나타낸다.

도면

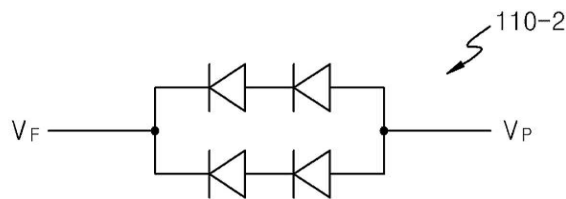
도면1



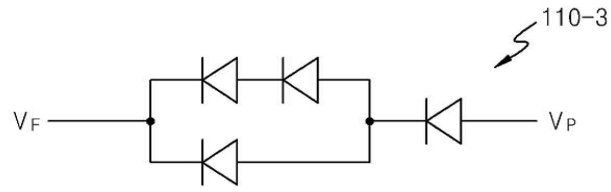
도면2



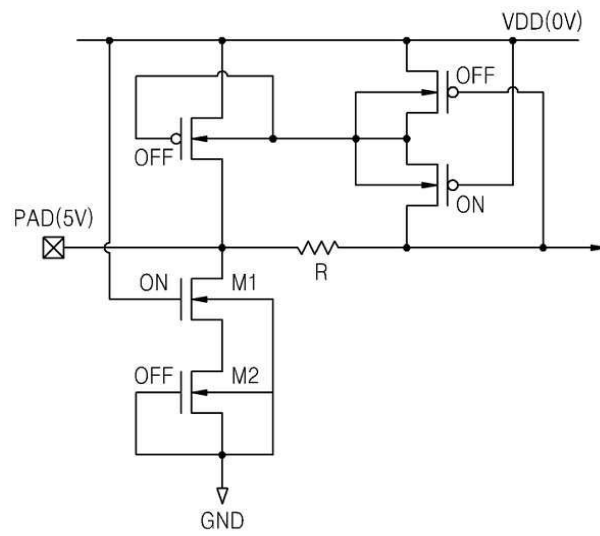
도면3



도면4



도면5



도면6

