

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 3 月 17 日 (2016.3.17)

【公開番号】特開 2013-211839 (P2013-211839A)

【公開日】平成 25 年 10 月 10 日 (2013.10.10)

【年通号数】公開・登録公報 2013-056

【出願番号】特願 2013-29596 (P2013-29596)

【国際特許分類】

H 0 3 K 19/0944 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 3 K 19/094 (2006.01)

【F I】

H 0 3 K 19/094 A

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 4

H 0 1 L 29/78 6 1 7 N

H 0 3 K 19/094 D

【手続補正書】

【提出日】平成 28 年 1 月 27 日 (2016.1.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと第 2 のトランジスタとを有するインバータ回路を奇数段有し、
各段のインバータ回路のそれぞれにおいて、
 前記第 1 のトランジスタおよび前記第 2 のトランジスタは、電源電位が与えられる第 1
 の電源線と接地電位が与えられる第 2 の電源線との間に直列に接続されており、
前記第 1 のトランジスタは、チャンネルが形成される第 1 の半導体膜と、前記第 1 の半導
体膜を上下で挟む第 1 のゲート電極と第 2 のゲート電極とを有し、
前記第 2 のトランジスタは、チャンネルが形成される第 2 の半導体膜と、前記第 2 の半導
体膜を上下で挟む第 3 のゲート電極と第 4 のゲート電極とを有し、
 前記第 1 のゲート電極は、第 3 の電源線と接続され、
 前記第 1 のトランジスタのソース電極又はドレイン電極の一方は出力端子と接続され、
前記第 2 のゲート電極は、第 4 の電源線と接続され、
前記第 3 のゲート電極は、入力端子と接続され、
前記第 4 のゲート電極は、第 5 の電源線と接続される半導体装置。

【請求項 2】

第 1 のトランジスタと第 2 のトランジスタとを有する第 1 のインバータ回路と、
第 3 のトランジスタと第 4 のトランジスタとを有する第 2 のインバータ回路と、を有し
 、
前記第 1 のトランジスタは、チャンネルが形成される第 1 の半導体膜と、前記第 1 の半導
体膜を上下で挟む第 1 のゲート電極と第 2 のゲート電極とを有し、
前記第 2 のトランジスタは、チャンネルが形成される第 2 の半導体膜と、前記第 2 の半導
体膜を上下で挟む第 3 のゲート電極と第 4 のゲート電極とを有し、
前記第 3 のトランジスタは、チャンネルが形成される第 3 の半導体膜と、前記第 3 の半導

体膜を上下で挟む第 5 のゲート電極と第 6 のゲート電極とを有し、

前記第 4 のトランジスタは、チャンネルが形成される第 4 の半導体膜と、前記第 4 の半導体膜を上下で挟む第 7 のゲート電極と第 8 のゲート電極とを有し、

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、第 1 の電源電位が与えられる第 1 の電源線と接地電位が与えられる第 2 の電源線との間に接続されており、

前記第 1 のゲート電極は、第 5 の電源線と接続され、

前記第 1 のトランジスタのソース電極又はドレイン電極の一方は出力端子と接続され、

前記第 3 のゲート電極は、入力端子と接続され、

前記第 4 のゲート電極は、第 5 の電源線と接続され、

前記第 3 のトランジスタおよび前記第 4 のトランジスタは、第 2 の電源電位が与えられる第 3 の電源線と接地電位が与えられる第 4 の電源線との間に接続されており、

前記第 5 のゲート電極は、第 6 の電源線と接続され、

前記第 3 のトランジスタのソース電極又はドレイン電極の一方は、前記第 2 のゲート電極と接続され、

前記第 6 のゲート電極は、第 7 の電源線と接続され、

前記第 7 のゲート電極は、前記第 3 のゲート電極と接続され、

前記第 8 のゲート電極は、第 8 の電源線と接続され、

前記第 1 のインバータ回路と前記第 2 のインバータ回路とを有する段を奇数段有する半導体装置。

【請求項 3】

請求項 2 において、

前記第 3 のトランジスタのチャンネル長 L に対するチャンネル幅 W の比 (W/L) は、前記第 4 のトランジスタのチャンネル長 L に対するチャンネル幅 W の比 (W/L) よりも小さい、半導体装置。

【請求項 4】

請求項 1 至 3 のいずれかーにおいて、

前記第 1 のトランジスタのチャンネル長 L に対するチャンネル幅 W の比 (W/L) は、前記第 2 のトランジスタのチャンネル長 L に対するチャンネル幅 W の比 (W/L) よりも小さい、半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記第 1 及び前記第 2 の半導体膜は、 In と、 Ga と、 Zn と、を有する酸化物半導体膜である半導体装置。