

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4838536号
(P4838536)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.		F I			
HO3H	7/38	(2006.01)	HO3H	7/38	B
HO4B	1/04	(2006.01)	HO4B	1/04	B
HO3F	3/60	(2006.01)	HO3F	3/60	

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2005-148621 (P2005-148621)	(73) 特許権者	392026693
(22) 出願日	平成17年5月20日 (2005.5.20)		株式会社エヌ・ティ・ティ・ドコモ
(65) 公開番号	特開2006-325153 (P2006-325153A)		東京都千代田区永田町二丁目11番1号
(43) 公開日	平成18年11月30日 (2006.11.30)	(74) 代理人	100121706
審査請求日	平成20年2月29日 (2008.2.29)		弁理士 中尾 直樹
前置審査		(74) 代理人	100128705
			弁理士 中村 幸雄
		(74) 代理人	100147773
			弁理士 義村 宗洋
		(72) 発明者	福田 敦史
			東京都千代田区永田町二丁目11番1号
			株式会社エヌ・ティ・ティ・ドコモ内
		(72) 発明者	岡崎 浩司
			東京都千代田区永田町二丁目11番1号
			株式会社エヌ・ティ・ティ・ドコモ内
			最終頁に続く

(54) 【発明の名称】 整合回路

(57) 【特許請求の範囲】

【請求項1】

インピーダンスが周波数特性を持つ素子が接続される第1端子に一端を接続する第一の整合ブロックと、

上記第一の整合ブロックに直列に接続される第二の整合ブロックと、上記第二の整合ブロックの両端にそれぞれ接続されるスイッチ素子及び副整合ブロックの直列回路とで型回路を構成する整合回路であって、

上記第一の整合ブロックの他端に対し一端を接続し直列な第二の整合ブロックと上記第二の整合ブロックの一端にシャントに接続される第一スイッチ素子及び第一副整合ブロックの直列回路からなるL型回路が、上記第二の整合ブロックの他端に次段の第二の整合ブロックの一端が接続されたN段のL型回路からなるL型ブロック部と、Nは2以上の整数であり、

上記N番目のL型回路の上記第二の整合ブロックの他端にシャントに接続され、第二スイッチ素子及び第二副整合ブロックの直列回路からなるシャント回路が、N個接続されるシャント回路ブロック部と、

を備え、

上記第二の整合ブロックは集中定数素子で構成され、

第N+1の周波数帯で動作する時は、上記第一スイッチ素子と上記第二スイッチ素子の全てが非導通であり、このときN番目の第二の整合ブロックは、上記素子からN番目までの第二の整合ブロックを含む直列接続の合成インピーダンスをZ0とするように設計され

、
 第 $N - n$ (但し、 n は 0 以上 $N - 2$ 以下の整数) の周波数帯で動作する時は、 $N - n$ 番目の L 型回路の上記第一スイッチ素子と上記 $N - n$ の数に対応するシャント回路の上記第二スイッチ素子とが導通状態とされ、当該第一スイッチ素子に接続する第一副整合ブロックと $N - n$ 番目から N 番目までの第二の整合ブロックと、当該第二スイッチ素子に接続する第二副整合ブロックとで T 型回路が構成され、このとき $N - n - 1$ 番目の第二の整合ブロックは、上記素子から $N - n - 1$ 番目までの第二の整合ブロックを含む直列接続の合成インピーダンスを Z_0 にするように設計され、

第一の周波数帯で動作する時は、 1 番目の L 型回路の上記第一スイッチ素子と $N = 1$ に対応するシャント回路の上記第二スイッチ素子とが導通状態とされ、当該第一スイッチ素子に接続する第一副整合ブロックと 1 番目から N 番目までの第二の整合ブロックと、当該第二スイッチ素子に接続する第二副整合ブロックとで T 型回路が構成され、このとき上記第一の整合ブロックは、上記素子を含む直列接続の合成インピーダンスを Z_0 にするように設計され、

$N + 1$ 個の周波数帯に整合することを特徴とする整合回路。

【請求項 2】

インピーダンスが周波数特性を持つ素子が接続される第 1 端子に一端を接続する第一の整合ブロックと、

上記第一の整合ブロックの他端に一端を接続し直列な第二の整合ブロックと上記第二の整合ブロックの他端にシャントに接続されるスイッチ素子と第一副整合ブロックの直列回路からなる L 型回路が、上記第二の整合ブロックの他端に従属接続される N 段の L 型回路からなる L 型ブロック部と、 N は 2 以上の整数であり、

上記 N 番目の L 型回路の他端に一端を接続し、他端にインピーダンスが周波数特性を持たない素子が接続される直列第二整合ブロックと、

を備え、

上記第二の整合ブロックは集中定数素子で構成され、

第 $N + 1$ の周波数帯で動作する時は上記スイッチ素子の全てが非導通であり、このとき上記素子から N 番目までの第二の整合ブロックと上記直列第二整合ブロックとを含む直列接続の合成インピーダンスを Z_0 とするように、上記 N 番目の第二の整合ブロックと上記直列第二整合ブロックが設計され、

n を 0 以上 $N - 2$ 以下の整数として第 $N - n$ の周波数帯で動作する時は、 $N - n$ 番目の L 型回路の上記スイッチ素子が導通状態にされ、 $N - n$ 番目の第二の整合ブロックと第一副整合ブロックと、 $N - n + 1$ 番目から N 番目までの第二の整合ブロックと上記直列第二整合ブロックとで T 型回路が構成され、このとき $N - n - 1$ 番目の第二の整合ブロックは、上記素子から $N - n - 1$ 番目までの第二の整合ブロックを含む直列接続の合成インピーダンスを Z_0 にするように設計され、

第一の周波数帯で動作する時は、 1 番目の L 型回路の上記スイッチ素子が導通状態とされ、当該スイッチ素子に接続する第一副整合ブロックと第二の整合ブロックと、 2 番目から N 番目までの L 型回路の第二の整合ブロックと上記直列第二整合ブロックとで T 型回路が構成され、このとき上記第一の整合ブロックは、上記素子を含む直列接続の合成インピーダンスを Z_0 にするように設計され、

$N + 1$ 個の周波数帯に整合することを特徴とする整合回路。

【請求項 3】

請求項 1 または 2 に記載した整合回路において、

上記第二の整合ブロックが、

上記第一の整合ブロックの他端に一端を接続する直列整合ブロックと、上記直列整合ブロックの他端にシャントに接続される第一スイッチ素子と整合素子の直列回路からなる L 型回路が、上記直列整合ブロックの他端に従属接続される N 段からなる L 型ブロック部と

で構成され、 N は 1 以上の整数であることを特徴とする整合回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数の周波数帯域でインピーダンスの異なる回路間の整合を確立するマルチバンド対応の整合回路に関し、例えば移動体通信、衛星通信端末の如き通信機器において使用される複数の周波数帯域の信号を高効率に増幅する小型マルチバンド高効率電力増幅器を構成するに好適な整合回路に関する。

【背景技術】

【0002】

無線通信によって提供されるサービスの多様化に伴い、無線機には複数の周波数帯域の信号を処理するマルチバンド化が要求されている。無線機に含まれる不可欠な装置として電力増幅器がある。効率の良い増幅を行なうには、増幅素子とその周辺回路との間のインピーダンス整合を取る必要があり、整合回路が使われる。従来のマルチバンド電力増幅器の一例として、非特許文献1に示すような技術が開示されている。

非特許文献1に示された800MHz/2GHz帯電力増幅器の構成を図16に示し動作を説明する。図示しない送信器から送信信号が単極双投スイッチである入力スイッチ150の単極端子に接続され、入力スイッチ150で切替えられて双投端子にそれぞれ接続される800MHz帯増幅器151又は、2GHz帯増幅器152に入力される。

【0003】

800MHz帯増幅器151及び2GHz帯増幅器152の出力信号はそれぞれ単極双投スイッチである出力スイッチ153の双投端子にそれぞれ接続され、出力スイッチ153で切替えられて図示しないアンテナに供給される。

図17に800MHz帯増幅器151及び2GHz帯増幅器152の構成を示す。各増幅器は、入力側整合回路160と増幅素子161と出力側整合回路162の直列接続で構成される。入力側整合回路160は、周波数信号を供給するインピーダンスが周波数特性を持たない信号源163と増幅素子161との整合を取り、出力側整合回路162は増幅素子161の出力インピーダンスと負荷164との整合をとるように設計される。

【0004】

各増幅器を構成する増幅素子161の入出力インピーダンスは周波数帯によって異なるので、同一の増幅素子161を使用したとしても図16に示すように各周波数帯に対応した別個の増幅器を必要とした。したがって、動作周波数帯域が増加するにつれて送信器の全体の回路面積が増大する課題があった。

増幅器の回路面積を増加させないためには、整合回路を広帯域設計にする方法も考えられるが、狭帯域設計された整合回路と比較して利得及び効率の低下が生じてしまう。

そこでこれらの課題に対して本願出願人は、先に特許文献1に示すマルチバンド化に対応可能とした整合回路を提案した。特許文献1で開示した増幅器の入力整合回路を図18に示す。例えば、FETの入力インピーダンスは周波数特性を持つ負荷170（インピーダンス $Z_L(f)$ ）として表現でき、この負荷170が接続される第1端子P1には、直列に主整合ブロック171が接続され、主整合ブロック171の第1端子P1と反対側の端には、あるリアクタンス値を持つ遅延回路172の一端が接続され、遅延回路172の他端にはインピーダンスが Z_0 （以下、周波数によって変化をしないインピーダンスを Z_0 と称する）の信号源173が接続されている。

【0005】

周波数帯 f_1 で動作している場合、負荷170のインピーダンス $Z_L(f_1)$ を主整合ブロック171の第1端子P1と反対側の端であるA点で、信号源173のインピーダンス Z_0 に整合させるように主整合ブロック171は設計されている。つまり、主整合ブロック171は周波数 f_1 に対する整合回路となる。

遅延回路172は分布定数素子で構成されその特性インピーダンスは良く知られているように式(1)に示す関係にある。

$$Z_0 = (L/C) \quad (1)$$

10

20

30

40

50

Lは分布定数素子のインダクタンス、Cは分布定数素子のキャパシタンスである。

【0006】

したがって、遅延回路172の特性インピーダンスを Z_0 にしておくことで、周波数帯f1において信号源173と負荷170の整合は取れている。

周波数帯f1と異なる、例えば周波数帯f1よりも周波数が低い周波数帯f2の時は、負荷170のインピーダンスが $Z_L(f_2)$ に変化する。また、主整合ブロック171は先に説明したとおり周波数f1に対する整合回路であり、周波数f2においては主整合ブロック171の第1端子P1と反対側の端であるA点において、信号源173のインピーダンス Z_0 に整合していない。この場合、周波数f2における整合をとる目的で遅延回路172の他端にスイッチ素子174を介して副整合ブロック175を接続する構成にしている。周波数帯f2の時に、A点から負荷170側を見込んだインピーダンスがどのような値であっても、主整合ブロック171に遅延回路172とスイッチ素子174を介して副整合ブロック175を付加することで、B点から遅延回路172側を見たインピーダンスを Z_0 にすることができる。

10

【0007】

ここで、遅延回路172の遅延量は、周波数帯f2においてB点で整合させるために必要な遅延量に設定されている。

図18に示した整合回路の対応可能周波数帯を3個とした例を図19に示す。対応周波数帯の数を2個から3個にしたことで、遅延回路180とスイッチ素子181と副整合ブロック182の組がもう1組増える。こうすることで、第三の周波数帯f3において変化した負荷170のインピーダンス $Z_L(f_3)$ を、遅延回路180と副整合ブロック182とによって、C点から遅延回路180側を見たインピーダンスを Z_0 になるように調整する。このときも、遅延回路の特性インピーダンスは周波数に依存せず一定なので、周波数帯f1の動作ではスイッチ素子174とスイッチ素子181を非導通状態に、周波数帯f2の動作ではスイッチ素子174を導通状態に、周波数帯f3の動作ではスイッチ素子181を導通状態にすれば、各周波数で信号源173と負荷170の整合を取ることができる。

20

【0008】

このように周波数によってインピーダンスが変化しない直列整合ブロックである遅延回路を多段に直列接続すると共に、遅延回路間にスイッチ素子を介して接続される副整合ブロックを設けることで、複数の周波数帯に対して整合可能な整合回路を実現している。

30

このとき周波数帯f3において必要な遅延量は、遅延回路172と遅延回路180の和で与える必要がある。

この遅延回路172及び180は、伝送線路で実現することが比較的容易であり、伝送線路は、特に周波数が低い場合に回路の中では比較的大きな部品となる。例えば負荷170をあるFETとした時に、周波数1GHzで増幅器を設計した場合、50の分布定数素子は、幅0.63mm、長さが9.22mmの線路となり、10mm前後の長さを持つ部品となる。

【特許文献1】国際公開第WO2004/082138号パンフレット(図4)

【非特許文献1】NTT DoCoMoテクニカルジャーナルVol.10, No.1: “移動機”

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記特許文献1に示す技術においては、遅延回路は前述したように現実的には分布定数素子で構成される。分布定数素子の長さは比較的大きく、切替える周波数帯が比較的低い場合、遅延回路としての分布定数素子の面積が大きくなり、整合回路全体としても大型化する課題があった。なお、この課題は切替える周波数帯域が低く且つ多くなると一層大きくなる。

【課題を解決するための手段】

【0010】

50

インピーダンスが周波数特性を持つ負荷に一端を接続する第一の整合ブロックと、第一の整合ブロックに直列に接続される集中定数素子で形成される第二の整合ブロックと、第二の整合ブロックの両端にそれぞれ接続されるスイッチ素子及び副整合ブロックの直列回路からなる型回路を構成する整合回路部とを備え、第一周波数帯で動作する時は上記スイッチ素子は非導通状態であって上記第二の整合ブロックの上記第1端子と反側の端で整合が取られ、第二周波数帯で動作する時は上記スイッチ素子は導通状態であって上記型回路が構成され上記第一の整合ブロックの上記第1端子と反側の端で整合が取られる。

【発明の効果】

【0011】

以上のような構成によれば、上記の低い周波数帯における整合条件を第一の整合ブロックと第二の整合ブロックとの直列接続で作ることが出来ると共に、それよりも高い周波数帯において必要が無くなる第二の整合ブロックのインピーダンスをその両端に接続可能とした副整合ブロックによる型回路の値を適切に設定することで、型回路のインピーダンスを Z_0 にし、高い周波数帯において影響のないものにすることが出来る。

第二の整合ブロックは集中定数素子で構成されるので、分布定数素子で構成した従来の整合回路よりも整合回路の大きさを小型化することが可能になる。

【発明を実施するための最良の形態】

【0012】

以下、この発明の実施形態を図面を参照して説明する。各図面において対応する部分については、同一の参照符号を付けて重複説明を省略する。

[第1実施形態]

【実施例1】

【0013】

図1にこの発明の整合回路の基本構成を示す。インピーダンス $Z_L(f)$ の周波数特性を持つ素子1(この例では負荷)が接続される第1端子P1に、一端を接続する第一の整合ブロック2と、第一の整合ブロック2に直列に接続される集中定数素子からなる第二の整合ブロック3と、第二の整合ブロック3の両端にそれぞれ接続されるスイッチ素子4と副整合ブロック6の直列回路と、スイッチ素子5と副整合ブロック7の直列回路と、で型を構成する整合回路部8とで構成される。

整合回路部8の第一の整合ブロック2と反対側の端には、インピーダンスが周波数特性を持たないインピーダンス Z_0 の素子9、例えば信号源などが第2端子P2を介して接続される。

【0014】

図1の整合回路の動作を図2を用いて説明する。周波数帯 f_2 で動作する時、スイッチ素子4と5は非導通である。したがって、周波数帯 f_2 においては、周波数帯 f_2 における素子1のインピーダンス $Z_L(f_2)$ と、第一の整合ブロック2のインピーダンス Z_1 と、第二の整合ブロック3のインピーダンス Z_2 (以下、特に必要が無いと思われる部分では、インピーダンスを省略する)の和 Z_A が Z_0 になるように、第二の整合ブロックの Z_2 を設定する。その結果、第二の整合ブロック3の素子1とは反対側の端で整合を取ることが出来る。

【0015】

周波数帯 f_1 においては、図1に示したスイッチ素子4, 5が導通状態にされるので図2(b)に示すように、整合回路部8は第二の整合ブロック3の両端にそれぞれ副整合ブロック6, 7が接続された型回路を構成する。ここで、第一の整合ブロック2は周波数帯 f_1 用の整合回路である。

したがって、周波数 f_1 において、第一の整合ブロック2の第1端子P1と反対側の端、A点で素子9の Z_0 と整合がとれているので、点Aから第2端子P2側をみた合成インピーダンス Z を Z_0 と等しく($Z_0 = Z$)なるように設計することで、インピーダンス的に周波数帯 f_1 における第二の整合ブロック3の影響を排除することが出来る。この時、副整合ブロック6のインピーダンスを Z_3 、副整合ブロック7のインピーダンスを Z

10

20

30

40

50

4 とすると、式 (1) に示す条件になるように Z 3 及び Z 4 を設計すればよい。

【 0 0 1 6 】

【 数 1 】

$$Z_{\pi} = \frac{Z_0 Z_2 Z_3 + Z_4 Z_2 Z_3 + Z_0 Z_4 Z_3}{Z_0 Z_4 + Z_0 Z_2 + Z_0 Z_3 + Z_4 Z_2 + Z_1 Z_3} \quad (1)$$

以上述べたことで、周波数帯 f 1 での素子 1 のインピーダンス $Z_L(f 1)$ を素子 9 の Z_0 に整合させる働きをするのが第一の整合ブロック 2 であることが明確になった。また、周波数帯を f 1 から f 2 に変化させることで変化した素子 1 の $Z_L(f 2)$ を素子 9 の Z_0 に整合させる働きをするのが、第二の整合ブロック 3 であり、周波数帯 f 1 において邪魔になる第二の整合ブロック 3 の影響が、副整合ブロック 6, 7 の働きによって除かれることが明確になった。

10

【 0 0 1 7 】

図 1 に示す 型回路である整合回路部 8 は、T 型回路でも構成できる。図 1 に示す 型回路を T 型回路で構成した例を図 3 に示す。図 3 では、図 1 の第二の整合ブロック 3 が、A 点に一端を接続する第二の整合ブロック 3 1 と、第二の整合ブロック 3 1 の他端に一端を接続する直列第二整合ブロック 3 2 の直列回路に置き換えられている。直列第二整合ブロック 3 2 の他端が第 2 端子 P 2 に接続され、第二の整合ブロック 3 1 と直列第二整合ブロック 3 2 の接続点にスイッチ素子 3 3 を介して副整合ブロック 3 4 が接続されている。

20

図 1 と図 3 との関係は、よく知られている Y 変換 (T 変換) の関係では変換できない。すなわち、図 1 と等価な整合回路とするためには、周波数帯 f 2 で整合する条件である第二の整合ブロック 3 のインピーダンス値が Z_2 であることが前提条件になる。

【 0 0 1 8 】

したがって、第二の整合ブロック 3 1 を Z_a 、直列第二整合ブロック 3 2 を Z_b とすると、 $Z_2 = Z_a + Z_b$ の関係が必要になる。 型回路と等価な T 型回路にするためには、この条件で、副整合ブロック 3 4 の値を設計すればよい。

もちろん、最初から整合回路部 8 を T 型回路で構成する場合は、前提条件無しに設計できることは、言うまでもないことである。

このように、整合回路部 8 は 型回路に限られず T 型回路でも構成が可能である。

30

【 実施例 2 】

【 0 0 1 9 】

図 1 に示したこの発明の基本構成を、複数の周波数帯に適用出来るように一般化した例を図 4 に示す。第 1 端子 P 1 に一端を接続する第一の整合ブロック 2 の他端に、一端を接続し直列な第二の整合ブロック 4 0 a と第二の整合ブロック 4 0 a の一端にシャントに接続される第一スイッチ素子 4 1 a と第一副整合ブロック 4 2 a の直列回路からなる L 型回路 4 3 a が接続されている。

L 型回路 4 3 a の他端である第二の整合ブロック 4 0 a の他端には、シャントに接続される第一スイッチ素子 4 1 b (図面では b と c を・・・で省略) と第一副整合ブロック 4 2 b と第二の整合ブロック 4 0 b による 2 段目の L 型回路 4 3 b が接続され、更に第二の整合ブロック 4 0 b の他端には次段の L 型回路 4 3 c の第二の整合ブロック 4 0 c の一端が接続される関係で N 段からなる L 型ブロック 4 3 n が従属接続されている。N は 1 以上の整数である。

40

【 0 0 2 0 】

L 型ブロック 4 3 n の他端には、第二スイッチ素子 4 4 a と第二副整合ブロック 4 5 b の直列回路で構成されるシャント回路ブロック 4 6 が N 個、並列に接続されている。

今、例えば 3 個の L 型ブロック 4 3 c と 3 個のシャント回路ブロック 4 4 c まで接続されているとする。

〔 周波数帯 4 〕

素子 9 である例えば信号源の周波数帯を f 4 とし、その状態において第一スイッチ素子

50

4 1 a ~ 4 1 c 及び第二スイッチ素子 4 4 a ~ 4 4 c の全てのスイッチ素子が非導通状態だとする。すると周波数によってそのインピーダンスが変化する素子 1 の $Z_L(f_4)$ は、3 段目の L 型ブロック 4 3 a ~ 4 3 c を形成する 3 個の第二の整合ブロック 4 0 a ~ 4 0 c の直列接続を介して第 2 端子 P 2 に接続される Z_0 に接続されることになる。この時、第二の整合ブロック 4 0 c は、 $Z_L(f_4)$ と第二の整合ブロック 4 0 a ~ 4 0 b までの合成インピーダンスを Z_0 と変換する回路であり、またそのように第二の整合ブロック 4 0 c を設計することで、第二の整合ブロック 4 0 c の第 2 端子 P 2 側の端で、素子 1 はインピーダンス Z_0 で整合する。

〔周波数帯 f_3 〕

次に周波数帯 f_3 の場合は、3 段目の L 型ブロック 4 3 c のスイッチ素子 4 1 c とシャント回路ブロック 4 6 a の第二スイッチ素子 4 4 a が導通状態にする。すると 3 段目の第二の整合ブロック 4 0 c の両端に第一副整合ブロック 4 2 c と第二副整合ブロック 4 5 a が接続され、 π 型回路が構成される。

【0 0 2 1】

このとき、1、2 段目の L 型ブロック 4 3 a, 4 3 b を形成する第二の整合ブロック 4 0 a と第一の整合ブロック 2 と周波数帯 f_3 における素子 1 の $Z_L(f_3)$ の直列接続によるインピーダンスを、 Z_0 に整合させるように第二の整合ブロック 4 0 b を設計する。したがって、第二の整合ブロック 4 0 b の第 2 端子 P 2 側の端で、素子 1 はインピーダンス Z_0 で整合する。

ここで、周波数 f_3 において式 (1) に示したこの π 型回路と信号源インピーダンスの和 Z を Z_0 になるように式 (1) に従って π 型回路を構成する第一副整合ブロック 4 2 c と第二副整合ブロック 4 5 a を設計して置くことで、周波数 f_3 において素子 1 と素子 9 との間に直列に挿入されている 3 段目の L 型ブロック 4 3 c の第二の整合ブロック 4 0 c のインピーダンスの影響を排除することが出来る。

【0 0 2 2】

第 1 端子 P 1 側から素子 9 側を見たインピーダンスは、3 段目の L 型ブロック 4 3 c の第 1 端子 P 1 側の端で Z_0 と見なせる。したがって、3 段目の L 型ブロック 4 3 c の第二の整合ブロック 4 0 c のインピーダンスの影響を排除することが出来る。

〔周波数帯 f_2 〕

次に周波数帯 f_2 の場合は、2 段目の L 型ブロック 4 3 b のスイッチ素子 4 1 b とシャント回路ブロック 4 6 b の第二スイッチ素子 4 4 b を導通状態にする。すると 3 段目の第二の整合ブロック 4 0 c と 2 段目の第二の整合ブロック 4 0 b との直列接続の両端に第一副整合ブロック 4 2 b と第二副整合ブロック 4 5 b が接続され、 π 型回路が構成される。

【0 0 2 3】

第一の整合ブロック 2 と周波数帯 f_2 における $Z_L(f_2)$ の直列接続によるインピーダンスを、 Z_0 となるように 1 段目の L 型ブロック 4 3 a を形成する第二の整合ブロック 4 0 a を設計しておくことで、第二の整合ブロック 4 0 a の第 2 端子 P 2 側の端で、 Z_0 に整合している。

第二の整合ブロック 4 0 a の第 2 端子 P 2 側から素子 9 側をみたインピーダンス Z が Z_0 となるように式 (1) に従って π 型回路を構成する第一副整合ブロック 4 2 b と第二副整合ブロック 4 5 b を設計して置くことで、素子 1 と素子 9 との間に直列に挿入されている 2 段目と 3 段目の第二の整合ブロック 4 0 b, 4 0 c のインピーダンスの影響を排除することが出来る。

【0 0 2 4】

すなわち、第 2 端子 P 2 から素子 1 側を見たインピーダンスは、3 段目の L 型ブロック 4 3 c を構成する第二の整合ブロック 4 0 c の第 2 端子 P 2 側の端で Z_0 と見なせる。これは周波数帯 f_3 の時と同じである。したがって、3 段目と 2 段目の第二の整合ブロック 4 0 c, 4 0 b のインピーダンスの影響を排除することが出来る。

〔周波数帯 f_1 〕

10

20

30

40

50

次に周波数帯 f_1 の場合は、1 段目の L 型ブロック 4 3 a のスイッチ素子 4 1 a とシャント回路ブロック 4 6 c の第二スイッチ素子 4 4 c が導通状態になる。すると第二の整合ブロック 4 0 c ~ 4 0 a の両端に第一副整合ブロック 4 2 a と第二副整合ブロック 4 5 c が接続され T 型回路を構成する。

【 0 0 2 5 】

このとき、周波数帯 f_1 における素子 1 の $Z_L(f_1)$ のインピーダンスを Z_0 へ整合させるように第一の整合ブロック 2 を設計しておくことで、第一の整合ブロック 2 の第 2 端子 P 2 側の端で、素子 1 はインピーダンス Z_0 に整合する。ここで、第一の整合ブロック 2 の第 2 端子 P 2 側から素子 9 側をみたインピーダンス Z が Z_0 となるように式 (1) に従って T 型回路を構成する第一副整合ブロック 4 2 a と第二副整合ブロック 4 5 a を設計して置くことで、素子 1 と素子 9 との間に直列に挿入されている 3 段の L 型ブロックの第二の整合ブロック 4 0 a ~ 4 0 c のインピーダンスの影響を排除することが出来る。

【 0 0 2 6 】

すなわち、第 2 端子 P 2 から素子 1 側を見たインピーダンスは、3 段目の L 型ブロック 4 3 c を構成する第二の整合ブロック 4 0 c の第 2 端子 P 2 側の端で Z_0 と見なせるのは、各周波数帯 $f_4 \sim f_2$ と同じである。逆の第 1 端子 P 1 側から素子 9 側を見たインピーダンスは、1 段目の L 型ブロック 4 3 a の第二の整合ブロック 4 0 a の第 1 端子 P 1 側の端で Z_0 と見なせる。したがって、1 段目から 3 段目の L 型ブロック 4 3 a ~ 4 3 c の第二の整合ブロック 4 0 a ~ 4 0 c のインピーダンスの影響を排除することが出来る。

以上述べたように、3 個の L 型ブロックとシャント回路の組み合わせで 4 つの周波数帯に整合することが出来る整合回路が実現できた。これを一般化して言うと N 個の L 型ブロックとシャント回路の組み合わせで $N + 1$ 個の周波数帯に整合可能となる。

【 0 0 2 7 】

この N 個の周波数帯をグラフで表すと図 5 になる。図 5 の横軸は周波数であり、縦軸は伝達する電力を表している。 N が大きくなるほど周波数帯は低くなる関係を一例として示している。

尚、上記した説明では、周波数帯を f_N から f_1 に高めて行くに従って、シャント回路ブロック 4 6 a から順に第 2 端子 P 2 側のシャント回路ブロック内の第二スイッチ素子を導通する順番で説明したが、シャント回路ブロック 4 6 a ~ 4 6 n は同列であるので、第一副整合ブロック 4 2 a ~ 4 2 n との一对一の関係さえ満足されていれば、第二スイッチ素子 4 5 a ~ 4 5 n を導通する順番はどうであってもよい。

【 0 0 2 8 】

導通された第一スイッチ素子と第二スイッチ素子間に直列に接続される第二の整合ブロックは集中定数素子で構成されているため、この第二の整合ブロックの数が増えても、これを分布定数素子で構成する場合と比較して、全体としての形状を著しく小型化することができる。

[第 2 実施形態]

【 実施例 3 】

【 0 0 2 9 】

T 型回路を従属接続させ、複数の周波数帯に整合可能とした整合回路を図 4 に示して説明したが、同様なことが T 型回路で構成できる。T 型回路を 2 つ従属接続させたこの発明の整合回路の実施例を図 6 に示し、動作を説明する。

第 1 端子 P 1 に一端を接続する第一の整合ブロック 2 の他端に一端を接続し直列な第二の整合ブロック 6 0 a と、第二の整合ブロック 6 0 a の他端にシャントに接続されるスイッチ素子 6 1 a と副整合ブロック 6 2 a の直列回路からなる L 型ブロック部 6 3 a と、L 型ブロック部 6 3 a の他端に一端を接続する第二の整合ブロック 6 0 b とから、一点鎖線で囲む T 型整合回路 6 4 を構成している。

【 0 0 3 0 】

T 型整合回路 6 4 を構成する第二の整合ブロック 6 0 b の他端には、スイッチ素子 6 1

10

20

30

40

50

bと副整合ブロック62bがシャントに接続され、第二の整合ブロック60bと共にL型ブロック63bを形成している。第二の整合ブロック60bの他端には、第二の整合ブロック60cの一端が直列に接続され他端は第2端子P2に接続されている。このL型ブロック63bと第二の整合ブロック60cでT型整合回路65を構成している。

この様にT型整合回路64と65の二段で3つの周波数帯に整合する整合回路を構成している。

【0031】

今、例えば周波数帯を f_3 として、スイッチ素子61aと61bが両方共に非導通の場合を考えると、周波数帯によってそのインピーダンスが変化する素子1の $Z_L(f_3)$ は、第一の整合ブロック2～第二の整合ブロック60cまでの直列接続を介してインピーダンスが Z_0 の素子9に接続される。

10

素子1の $Z_L(f_3)$ と第一の整合ブロック2～第二の整合ブロック60cの直列接続の合成インピーダンスを Z_0 とするように第二の整合ブロック60bと第二の整合ブロック60cを設計することで、第二の整合ブロック60cの第2端子P2側の端で整合をとることが出来る。

【0032】

次に周波数 f_3 とは異なる周波数帯 f_2 においては、T型整合回路65を構成するスイッチ素子61bが導通状態になる。素子1の $Z_L(f_2)$ と第一の整合ブロック2の直列接続による合成インピーダンスを Z_0 とするように第二の整合ブロック60aを設計することで、第二の整合ブロック60aの第2端子P2側の端で整合をとることが出来る。

20

ここで、第二の整合用ブロック60bの第1端子P1側であるD点から素子9側を見たインピーダンス、この場合、第二の整合ブロック60b、60cと副整合ブロック62bと素子9の合成インピーダンスを Z_0 になるように副整合ブロック62bを設計して置くことで、周波数 f_2 において第二の整合ブロック60cと60bの影響を排除することが出来る。

【0033】

このとき、第二の整合ブロック60cの第2端子P2側においても Z_0 となる。したがって、第二の整合ブロック60cと60bと副整合ブロック62bの合成インピーダンスは整合条件に影響を与えなくなる。

次に周波数帯 f_3 や f_2 と異なる周波数帯 f_1 においては、T型整合回路65を構成するスイッチ素子61bが非導通状態にされ、T型整合回路64を構成するスイッチ素子61aが導通状態になる。素子1の $Z_L(f_1)$ のインピーダンスを Z_0 とするように第一の整合ブロック2を設計することで、第一の整合ブロック2の第2端子P2側の端、A点で整合をとることが出来る。

30

【0034】

ここで、第二の整合ブロック60aの第1端子P1側の点であるA点から素子9側を見たインピーダンスを Z_0 になるように第一の副整合ブロック62aを設計して置くことで、周波数 f_1 において第二の整合ブロック60cと60bと60aと第一の副整合ブロック62aの影響を排除することが出来る。

今、スイッチ素子61bが非導通における状態で説明したが、スイッチ素子61bの導通の条件は必須ではない。この場合は、T型整合回路65の構成に応じて副整合ブロック62aを設計すればよい。

40

【0035】

すなわちスイッチ素子61bが導通状態であれば、その条件に合わせて第二の整合ブロック60aの第1端子P1側の点であるA点から素子9側を見たインピーダンスが Z_0 になるように、副整合ブロック62aを設計しておけばよい。

このように、2個のT型整合回路64、65によって3つの周波数帯に整合可能な整合回路が実現出来る。

【実施例4】

【0036】

50

以上述べたT型整合回路を従属接続して複数の周波数帯に整合可能とした整合回路を、一般化して示した例を図7に示す。第一の整合ブロック2から見て2段目までのL型ブロック63bまでの構成は図6と全く同一である。2段目のL型ブロック63bの第2端子P2側にL型ブロックを追加し、合計N段のL型ブロック63nが従属接続されている。N段目のL型ブロック63nの他端には、直列第二整合ブロック70の一端が接続され、直列第二整合ブロック70の他端が第2端子P2に接続されている。Nは1以上の整数である。

【0037】

図7に示した整合回路は、N個のT型整合回路の従属接続の構成であり、N+1個の周波数帯に整合可能である。動作説明は図6において説明済みであるので省略する。

10

【実施例5】

【0038】

T型整合回路の組み合わせで構成した他の実施例を図8に示す。図8は、図6で説明済みの隣り合うL型ブロックの第二の整合ブロックを兼用してT型回路を形成した例と異なり、素子1と素子9との間に直列に接続される第二の整合ブロックを挟んで、副整合ブロックに対向する位置に第二スイッチ素子と第二の副整合ブロックを配置した例である。

第1端子P1に一端を接続する第一の整合ブロック2の他端に、一端を直列に接続する第2の整合ブロック80aと第2の整合ブロック80aの他端に一端を接続する第二の整合ブロック80bと、第2の整合ブロック80a, 80bの接続点にシャントに接続されるスイッチ素子81aと副整合ブロック82aの直列回路とからT型整合回路83aが形成されている。

20

【0039】

第二の整合ブロック80bの他端に、一端を直列に接続する第2の整合ブロック80cと第2の整合ブロック80cの他端に一端を接続する第二の整合ブロック80dと、第2の整合ブロック80c, 80dの接続点にシャントに接続されるスイッチ素子81bと副整合ブロック82bの直列回路とからT型整合回路83bが形成され、第二の整合ブロック80dの他端は第2端子P2に接続されている。

更に、第2の整合ブロック80c, 80dの接続点に第二スイッチ素子84を介して副整合ブロック82bと対向する位置に副整合ブロック85が接続され、第2の整合ブロック80c, 80dと副整合ブロック85とでT型整合回路83cが形成されている。

30

【0040】

以上のように素子1と素子9との間にT型整合回路を多段に接続してもよい。図8に示す実施例は、3つのT型整合回路によって3つの周波数帯に整合可能である。

周波数帯f3の時、スイッチ素子81a, 81b及び第二スイッチ素子84の全てのスイッチは非導通である。

周波数帯f3における素子1の $Z_L(f3)$ と第一の整合ブロック2と第二の整合ブロック80a~80bの合計のインピーダンスを素子1の Z_0 に整合させるように第二の整合ブロック80cと80dを設計する。

【0041】

周波数帯f2の時は、T型整合回路83bを形成するスイッチ素子81bだけが導通状態にされる。周波数帯f2における素子1の $Z_L(f2)$ と第一の整合ブロック2合成インピーダンスを素子1の Z_0 に整合させるように第二の整合ブロック80aと80bを設計する。

40

スイッチ素子81bが導通したときに第二の整合ブロック80c, 80dと副整合ブロック82bと素子9の合成インピーダンスが Z_0 となるように、副整合ブロック82bの値を設計しておくことで、素子1はT型整合回路83aの第2端子P2側の端で、素子9と整合する。

【0042】

周波数帯f1の時は、スイッチ素子81aと第二スイッチ素子84が同時に導通状態にされる。周波数帯f1における素子1の $Z_L(f1)$ のインピーダンスを素子1の Z_0 に

50

整合させるように第一の整合ブロック 2 を設計する。

ここで、第二の整合ブロック 8 0 c , 8 0 d は、集中定数素子で形成されているために周波数特性を持つ。したがって、周波数帯 f 2 において設計された T 型整合回路 8 3 b の副整合ブロック 8 2 b では、周波数帯 f 1 においては同様な効果が得られない。

周波数帯 f 1 における第二の整合ブロック 8 0 c , 8 0 d のインピーダンス値に対して、第二スイッチ素子 8 4 と副整合ブロック 8 5 を付加して新たな T 型整合回路 8 3 c を構成させ、周波数帯 f 1 において、スイッチ素子 8 4 が導通したときに第二の整合ブロック 8 0 c , 8 0 d と副整合ブロック 8 5 と素子 9 の合成インピーダンスが Z 0 となるように、副整合ブロック 8 5 の値を設計しておく。

【 0 0 4 3 】

また、周波数帯 f 1 における第二の整合ブロック 8 0 a , 8 0 b のインピーダンス値に対して、スイッチ素子 8 1 a と副整合ブロック 8 2 a を付加して新たな T 型整合回路 8 3 a を構成させ、周波数帯 f 1 において、スイッチ素子 8 1 a が導通したときに第二の整合ブロック T 型整合回路 8 3 c と素子 9 の合成インピーダンスが Z 0 となるように、副整合ブロック 8 2 a の値を設計しておく。

もしくは、T 型整合回路 8 3 a と T 型整合回路 8 3 c と素子 9 の合成インピーダンスが Z 0 となるように、副整合ブロック 8 5 と副整合ブロック 8 2 a を設計してもよい。

【 0 0 4 4 】

このように、T 型整合回路を従属接続させた場合は、あくまで 2 個の第二の整合ブロックと 1 個の副整合ブロックとは、一つの周波数帯に対してのセットである。第二の整合ブロックを複数の周波数帯に対応可能にするためには、複数の副整合ブロックが設けられる。

なお、前述した各実施例において、各副整合ブロックのスイッチ素子と反対側は、整合回路の共通電位点に接続されるものである。したがって、スイッチ素子と副整合ブロックとの接続を逆にしてもよい。

【実施例 6】

【 0 0 4 5 】

実施例 5 で説明したように、T 型整合回路を従属接続させた場合、2 個の第二の整合ブロックに対して、複数個の副整合ブロックを必要とする場合がある。その場合の他の副整合ブロックの構成例を図 9 に示す。

図 9 に示す実施例は、図 8 の T 型整合回路 8 2 b のシャント回路であるスイッチ素子 8 1 b と副整合ブロック 8 2 b に、更に副整合ブロック 8 2 b に直列に第二のスイッチ素子 9 0 を介して第二の副整合ブロック 9 1 を接続するようにしたものである。

T 型整合回路 8 3 b を構成する第二の整合ブロック 8 0 c , 8 0 d が 2 つの周波数帯に対応できるように、副整合ブロックを 2 段に直列接続する構成にしている。この例の場合、スイッチ素子 8 1 b が単独で導通する場合も機能するためには、副整合ブロックが分布定数素子で形成されている必要がある。

【 0 0 4 6 】

そのような条件を設けたくない場合には、単極単投スイッチ (S P S T : Single Pole Single Throw) で示したスイッチ素子 8 1 b を、図示しない単極双投スイッチ又は、それ以上の多接点のスイッチ素子で構成して各双投端子に異なる値の副整合ブロックを配置するようにすれば良い。

要するに、素子 1 と素子 9 との間に挿入される第二の整合ブロックのインピーダンスを、上記の整合点と素子 9 の両方向から見て Z 0 に出る回路構成であれば、T 型や 型に限定されるもので無く、その形は何でも良いのである。

【実施例 7】

【 0 0 4 7 】

これは第二の整合ブロックについても言えることである。今までの説明では、第二の整合ブロックとして 1 個のブロックで説明をして来た。説明済みの図 1 の第二の整合ブロック 3 を、第一の整合ブロック 2 に一端を直列に接続する直列整合ブロック 1 0 0 と、直列

10

20

30

40

50

整合ブロック100の他端にシャントに接続される整合用スイッチ素子101と整合素子102の直列回路からなるL型回路で構成した例を図10に示す。

図10において周波数帯f1で動作する場合、スイッチ素子4,5が非導通状態であり、整合用スイッチ素子101だけが導通する。この時は、素子1と第一の整合ブロック2の直列接続のインピーダンスの和を直列整合ブロック100と整合素子102により、素子9のZ0と整合させる。

【0048】

周波数帯f1と異なる周波数帯f2で整合させるときは、スイッチ素子4,5を導通させ整合用スイッチ素子101を非導通状態にする。整合素子102が無い図1に対して優れているのは、整合素子102があることによって、第二の整合ブロック100及び副整合ブロック6,7の選択肢が広がる点である。

このように第二の整合ブロックを直列整合ブロック100と第一の整合用スイッチ素子101と整合素子102で構成することで、第二の整合ブロックの設計の自由度を上げることが出来る。この実施例においては、標準的に飛び飛びの値しかない第二の整合ブロック3を構成する集中定数素子の選択肢を広げる効果が得られる。

【実施例8】

【0049】

第二の整合ブロックの他の構成を図11に示す。図11は図1に示した第二の整合ブロック3を第二の整合ブロック60aと第二の整合ブロック60bの直列接続と、第二の整合ブロック60aと第二の整合ブロック60bの接続点にシャントに接続される整合用スイッチ素子110と整合素子111の直列回路からなるT型回路で構成した例である。

整合用スイッチ素子101と整合素子102は、第二の整合ブロックと副整合ブロック7と副整合ブロック6の設計の自由度を上げることを目的にしており、上記した実施例7と同じように機能するものである。説明は省略する。

【実施例9】

【0050】

第二の整合ブロックの他の構成を図12に示す。図12は図3に示したT型整合回路部30の第2端子P2側にシャントに接続される、整合用スイッチ素子120と整合素子121の直列回路を設けたものである。周波数f2において、スイッチ素子33と整合用スイッチ素子120は例えば、排他的に導通状態とされ、整合素子121と第二の整合ブロック31は素子1と第一の整合ブロック2の直列接続の合成インピーダンスをZ0とするように設計する。

このように構成することで第二の整合ブロックの設計の自由度を上げることが出来る。

【実施例10】

【0051】

第二の整合ブロック3を複数の素子を用いて回路として構成したのと同様に、第一の整合ブロック2も同様に複数の素子で構成しても良い。その実施例を図13に示す。この例では第一の整合ブロック2が、第一直列整合ブロック130とその一端にシャントに接続される副整合ブロック131とにより構成されている。副整合ブロック131は第一直列整合ブロック130のどちらの端に接続されてもよい。

第一直列整合ブロック130は、図1で説明済みの整合回路部8を介して素子9に接続されている。

第一の整合ブロックの構成はこの他の任意の形態を取ることが可能である。要するに周波数帯によって変化する素子1のインピーダンス $Z_L(f)$ を、ある周波数帯においてA点から素子1側を見てZ0に出来るインピーダンス値を持つものであれば、どのような回路構成であっても良い。

【応用例】

今まで説明して来た整合回路を2GHz帯と1GHz帯の2つの周波数帯で動作する増幅回路に応用した例を図14に示す。電力増幅素子であるFET140の入力側には、図13に示した整合回路を、出力側には図12に示した整合回路を接続した例を示す増幅回

10

20

30

40

50

路である。入力側整合回路は、第一の整合ブロック 2 が第一の整合ブロック 1 4 1 となっている。出力側整合回路は、図 1 2 に示した整合回路を基本に、第一の整合ブロック 2 を 2 素子で形成される第一の整合ブロック 1 4 2 で構成したものである。

【 0 0 5 2 】

動作はすでに説明済みであるので、ここでは繰り返さない。図 1 4 の増幅器の動作をシミュレーションした結果を図 1 5 に示す。図 1 5 (a) は、2 GHz 帯の周波数に整合させた結果の周波数特性を示す図であり、横軸を周波数で縦軸を S パラメータで表す。第 1 端子 P 1 に入力した信号の反射量を表す S_{11} は、2 GHz において急激に減衰している。第 1 端子 P 1 に入力した信号の伝達量を表す S_{21} は、2 GHz において約 14 dB を示し、良く伝達していることを表している。

10

図 1 5 (b) は、1 GHz 帯の周波数に整合させた結果の周波数特性を示す図であり、横軸と縦軸は図 1 5 (a) と同じである。第 1 端子 P 1 に入力した信号の反射量を表す S_{11} は、1 GHz において急激に減衰している。第 1 端子 P 1 に入力した信号の伝達量を表す S_{21} は、1 GHz において約 19 dB を示し、良く伝達していることを表している。

【 0 0 5 3 】

このようにこの発明による整合回路が、マルチバンド用整合回路として機能していることが分かる。

以上述べてきたように、この発明による整合回路は、素子 9 と素子 1 との間に挿入される集中定数素子で形成される第二の整合ブロックの両端から見たインピーダンスを、その両端を挟む副整合ブロックによって、素子 9 のインピーダンス Z_0 に整合させるようにして、複数の周波数帯において使用可能な整合回路としたものである。

20

その特徴は、第二の整合ブロックが集中定数素子で形成される為に、従来の分布定数素子で構成した整合回路よりも小型化できる点である。

【 0 0 5 4 】

その効果は、従来の整合回路を示した図 1 8 とこの発明の整合回路を示す図 1 とを比較することで可能である。図 1 8 及び図 1 は共に 2 つの周波数帯に整合可能にしたもので、従来の整合回路に対してこの発明の整合回路はスイッチ素子が 1 個と副整合ブロックが 1 個、合計 2 個の部品を多く必要とする。

しかし、従来の整合回路に必要な遅延回路 1 7 2 は、大型の部品であり、その大きさは周波数帯及び使用する電力増幅素子によって変化するが、例えばある増幅素子で周波数帯を 1 GHz とした時に、幅 0.63 mm、長さが 9.22 mm、又は長さが 15.32 mm と 10 mm を超えてしまうこともある。

30

【 0 0 5 5 】

この大型の遅延回路 1 7 2 に対して、同じ 2 周波数帯に対応するこの発明の整合回路では 2 部品多く必要とするが、その部品サイズは通称 0 6 0 3 と呼ばれる幅が 0.3 mm、長さが 0.6 mm のチップ部品や数 mm 角のモノリシックマイクロ波集積回路 (Monolithic Microwave Integrated Circuit) で構成可能であり、遅延回路 1 7 2 の大きさ (特に長さ) の範囲に十分含まれてしまうものである。

更に 2 つ以上の周波数帯に対応する為に、遅延回路 1 7 2 の数も増えることを考えれば、この発明による整合回路は、それに対して明らかに小型化することが可能である。

40

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 この発明の整合回路の基本構成を示す図である。

【 図 2 】 図 1 の動作を説明する為の図である。

【 図 3 】 図 1 に示す T 型回路を T 型回路に置き換えた図である。

【 図 4 】 図 1 に示したこの発明の基本構成を複数の周波数帯に適用出来るように一般化した図である。

【 図 5 】 N 個の周波数帯を示す図である。

【 図 6 】 T 型回路を従属接続させた実施例を示す図である。

【 図 7 】 T 型整合回路を従属接続して複数の周波数帯に整合可能とした整合回路を示す図

50

である。

【図8】T型整合回路の組み合わせで構成した他の実施例を示す図である。

【図9】シャント回路を2つのスイッチ素子と2つの副整合ブロックで構成した例を示す図である。

【図10】図1の第二の整合ブロックをL型回路で構成した例を示す図である。

【図11】第二の整合ブロックの他の構成を示す図である。

【図12】第二の整合ブロックの他の構成を示す図である。

【図13】第一の整合ブロックを複数の素子で構成した例を示す図である。

【図14】この発明の整合回路を増幅回路に応用した例を示す図である。

【図15】図12の増幅器の動作をシミュレーションした結果を示す図である。

【図16】非特許文献1に示された電力増幅器の構成を示す図である。

【図17】図16の電力増幅器の構成を示す図である。

【図18】特許文献1に示された整合回路を示す図である。

【図19】図18に示した整合回路の対応可能周波数帯を3個とした例を示す図である。

【図1】

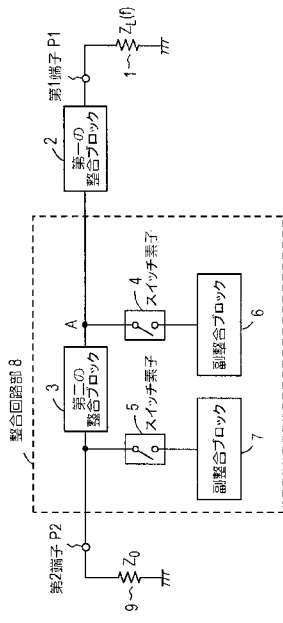


図1

【図2】

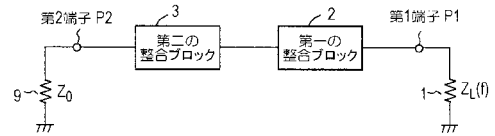


図2(a)

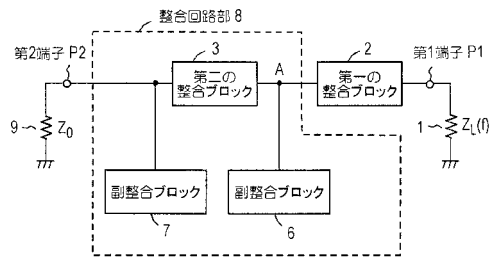


図2(b)

【 図 3 】

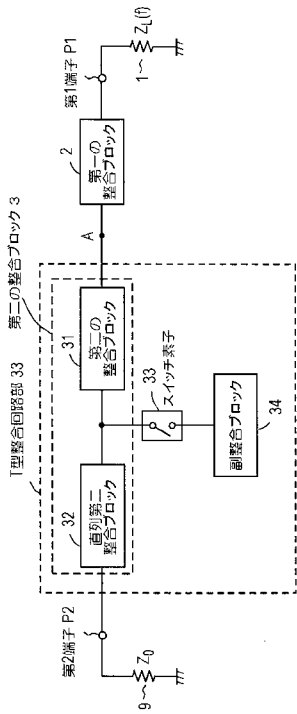


図3

【 図 4 】

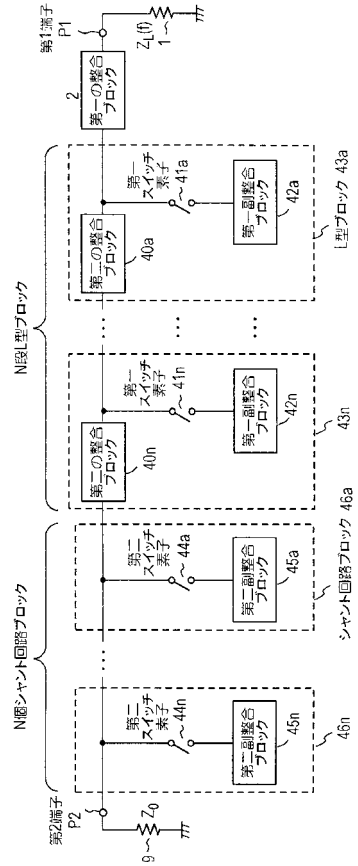


図4

【 図 5 】

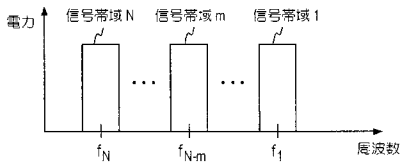


図5

【 図 6 】

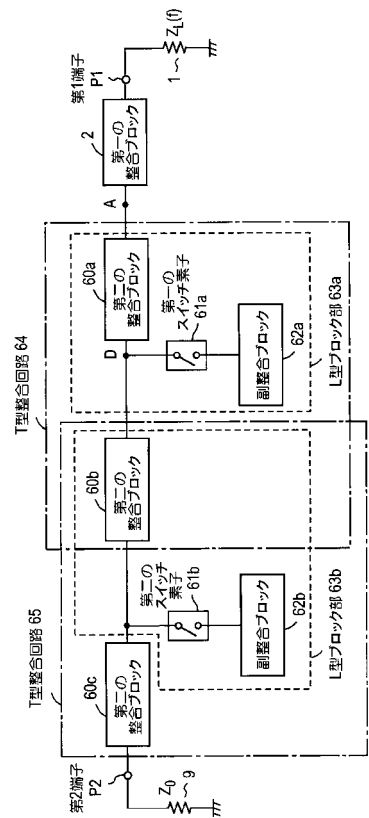


図6

【 図 7 】

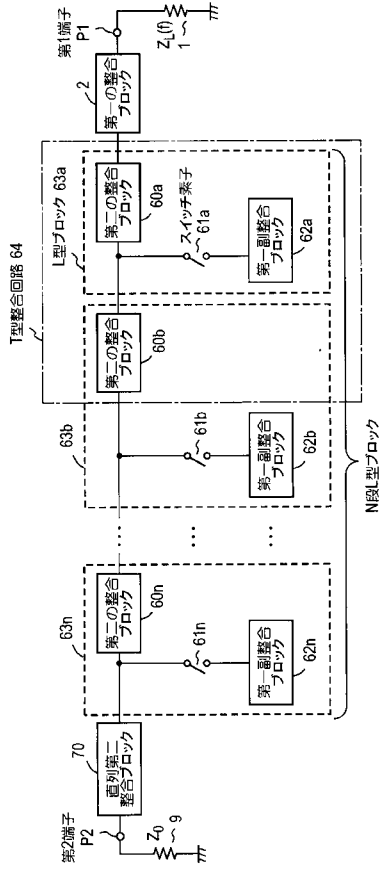


図7

【 図 8 】

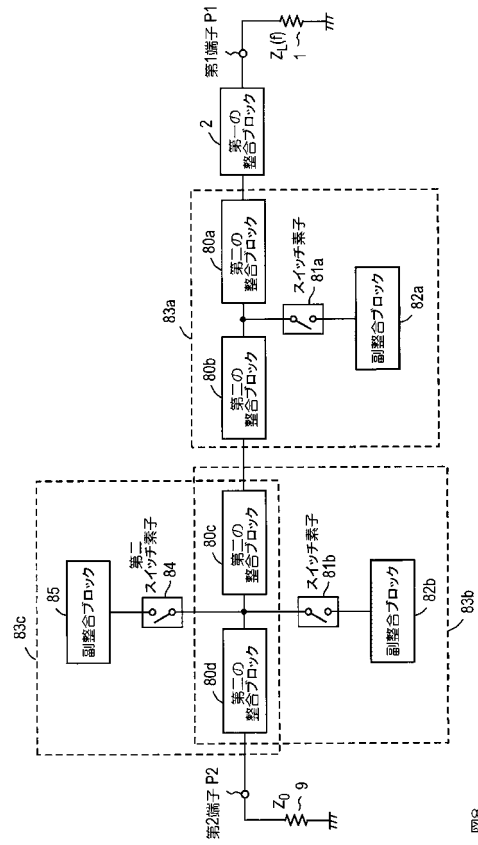


図8

【 図 9 】

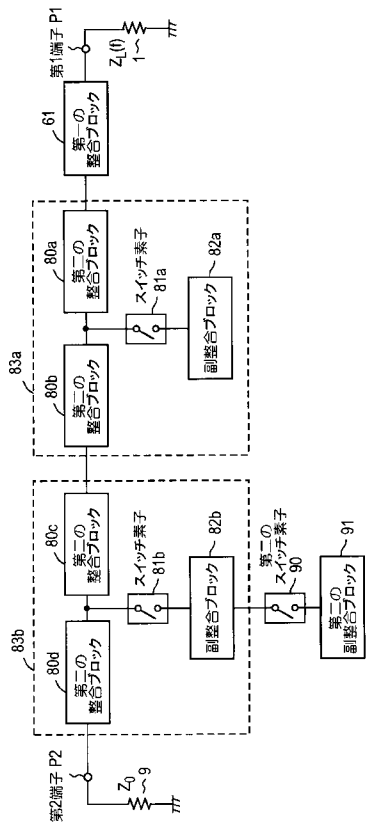


図9

【 図 10 】

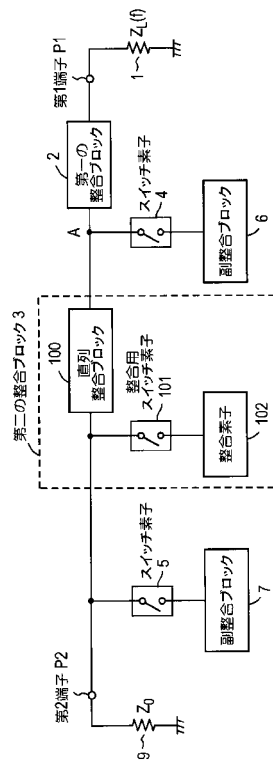


図10

【 図 15 】

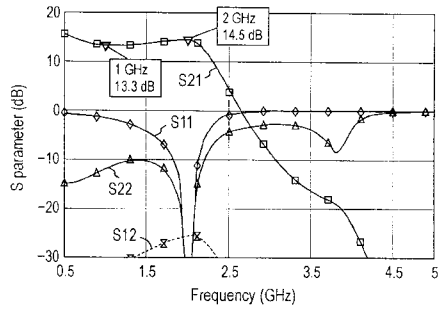


図15(a)

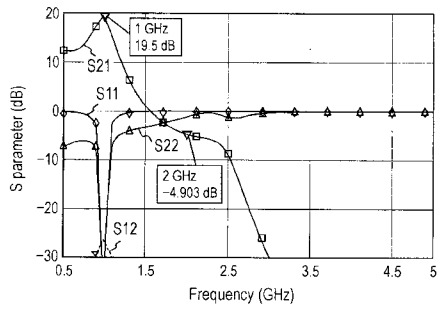


図15(b)

【 図 16 】

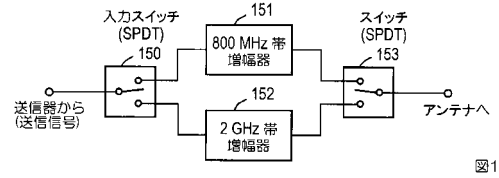


図16

【 図 17 】

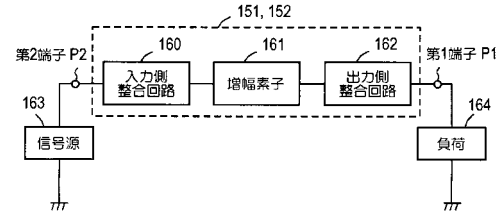


図17

【 図 18 】

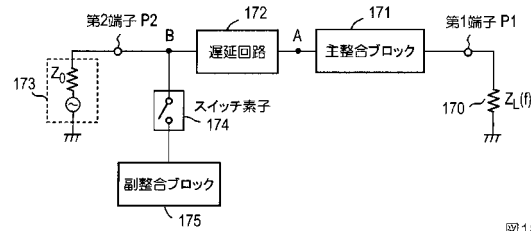


図18

【 図 19 】

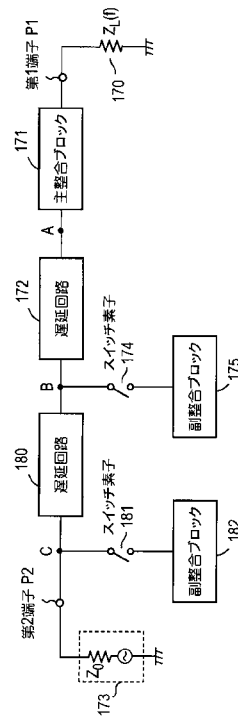


図19

フロントページの続き

(72)発明者 榎橋 祥一

東京都千代田区永田町二丁目11番1号 株式会社エヌ・ティ・ティ・ドコモ内

審査官 野元 久道

(56)参考文献 国際公開第2004/082138(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H03H 7/38

H03F 3/60

H04B 1/04