



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I594330 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：099121502

(22)申請日：中華民國 99 (2010) 年 06 月 30 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2009/07/03 日本

2009-159065

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：及川欣聰 OIKAWA, YOSHIAKI (JP)；岡崎健一 OKAZAKI, KENICHI (JP)；丸山
穗高 MARUYAMA, HOTAKA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2006/0046335A1

US 2008/0315193A1

US 2009/0142887A1

審查人員：陳聖

申請專利範圍項數：30 項 圖式數：30 共 133 頁

(54)名稱

半導體裝置之製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

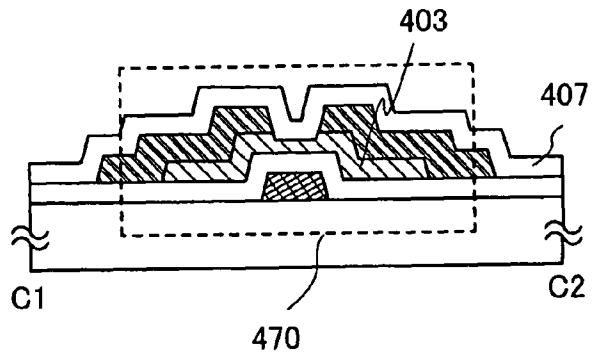
(57)摘要

揭示具有氧化物半導體作為通道形成區的薄膜電晶體之製造方法。方法包含：在閘極絕緣層上形成氧化物半導體層；在氧化物半導體層上形成與氧化物半導體層接觸的源極和汲極電極層，以致於至少部份氧化物半導體層曝露；以及，在氧化物半導體層形成與氧化物半導體層接觸的氧化物絕緣膜。在形成氧化物絕緣膜之前，在電漿存在下，氧化物半導體的曝露部份曝露於含有氧的氣體中。方法允許氧擴散至氧化物半導體層中，有助於薄膜電晶體的優良特徵。

Disclosed is a method to manufacture a thin film transistor having an oxide semiconductor as a channel formation region. The method includes; forming an oxide semiconductor layer over a gate insulating layer; forming a source and drain electrode layers over and in contact with the oxide semiconductor layer so that at least portion of the oxide semiconductor layer is exposed; and forming an oxide insulating film over and in contact with the oxide semiconductor layer. The exposed portion of the oxide semiconductor may be exposed to a gas containing oxygen in the presence of plasma before the formation of the oxide insulating film. The method allows oxygen to be diffused into the oxide semiconductor layer, which contributes to the excellent characteristics of the thin film transistor.

指定代表圖：

圖4C



符號簡單說明：

403 . . . 氧化物半導體層

407 . . . 氧化物絕緣層

470 . . . 薄膜電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099121502

※申請日：99 年 06 月 30 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置之製造方法

Method for manufacturing semiconductor device

H01L 21/336 2006.01
H01L 21/28 2006.01

二、中文發明摘要：

揭示具有氧化物半導體作為通道形成區的薄膜電晶體之製造方法。方法包含：在閘極絕緣層上形成氧化物半導體層；在氧化物半導體層上形成與氧化物半導體層接觸的源極和汲極電極層，以致於至少部份氧化物半導體層曝露；以及，在氧化物半導體層形成與氧化物半導體層接觸的氧化物絕緣膜。在形成氧化物絕緣膜之前，在電漿存在下，氧化物半導體的曝露部份曝露於含有氧的氣體中。方法允許氧擴散至氧化物半導體層中，有助於薄膜電晶體的優良特徵。

三、英文發明摘要：

Disclosed is a method to manufacture a thin film transistor having an oxide semiconductor as a channel formation region. The method includes; forming an oxide semiconductor layer over a gate insulating layer; forming a source and drain electrode layers over and in contact with the oxide semiconductor layer so that at least portion of the oxide semiconductor layer is exposed; and forming an oxide insulating film over and in contact with the oxide semiconductor layer. The exposed portion of the oxide semiconductor may be exposed to a gas containing oxygen in the presence of plasma before the formation of the oxide insulating film. The method allows oxygen to be diffused into the oxide semiconductor layer, which contributes to the excellent characteristics of the thin film transistor.

四、指定代表圖：

(一) 本案指定代表圖為：第(4C)圖。

(二) 本代表圖之元件符號簡單說明：

403：氧化物半導體層

407：氧化物絕緣層

470：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於包含氧化物半導體的半導體裝置製造方法。

【先前技術】

近年來，已注意到使用形成於具有絕緣表面的基底上的半導體薄膜（厚度約數奈米至數佰奈米）以形成薄膜電晶體（TFT）的技術。薄膜電晶體應用至範圍廣大的電子裝置，例如IC或電光裝置，以及特別地正在推動作為影像顯示裝置中的切換元件之薄膜電晶體的發展。

各式各樣的金屬氧化物用於不同的應用。氧化銦是習知的材料且作為液晶顯示器等所需的透明電極材料。

某些金屬氧化物具有半導體特徵。具有半導體特徵的此類金屬氧化物的實施例為氧化鎢、氧化錫、氧化銦、及氧化鋅。已知在使用具有半導體特徵的此類金屬氧化物以形成通道形成區之薄膜電晶體。（舉例而言，請參見專利文獻1至4及非專利文獻1）。

此外，已知金屬氧化物不僅可為單一成份氧化物，也可為多成份氧化物。舉例而言，為同系化合物之 $\text{InGaO}_3(\text{ZnO})_m$ （ m 是自然數）是習知的含有In、Ga、及Zn之多成份氧化物材料（非專利文獻2至4等等）。

此外，已確認包含此In-Ga-Zn-O為基礎的氧化物之氧化物半導體可以應用於薄膜電晶體的通道層（舉例而言，

請參見專利文獻5、及非專利文獻5和6)。

[參考文獻]

[專利文獻]

[專利文獻1] 日本公開專利申請號S60-198861

[專利文獻2] 日本公開專利申請號H8-264794

[專利文獻3] PCT國際申請號H11-505377之日文譯本

[專利文獻4] 日本公開專利申請號2000-150900

[專利文獻5] 日本公開專利申請號2004-103957

[非專利文獻]

[非專利文獻1] M. W. Prins, K.O. Grosse-Holz, G. Muller, J.F.M. Cillessen, J.B. Giesbers, R.P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol.68 pp.3650-3652

[非專利文獻2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350°C", J. Solid State Chem., 1991, Vol.93, pp.298-315

[非專利文獻3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System", J. Solid State Chem., 1995,

Vol. 116, pp.170-178

[非專利文獻4] M. Nakamura, N.Kimizuka, T. Mohri, and M. Isobe, "Homologous Series, Synthesis and Crystal Structure of $\text{InFeO}_3(\text{ZnO})_m$ (m:natural number) and its Isostructural Compound", KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol.28, No.5, pp.317-327

[非專利文獻5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp. 1269-1272

[非專利文獻6] Nomura, H.Ohta, A. Takagi, T.Kamiya, M.Hirano, and H.Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432 pp.488-492

【發明內容】

本發明的實施例之目的在於製造及提供包含電特徵穩定的薄膜電晶體之高度可靠的半導體裝置。

在具有薄膜電晶體的半導體裝置之製造方法中，形成與氧化物半導體層接觸的氧化物絕緣膜，所述薄膜電晶體中，包含通道形成區的半導體層是氧化物半導體層。注意，在至少部份氧化物半導體層曝露的狀態下，將氧化物半導體層導入腔室中。在氧化物半導體層被導入壓力減少的

腔室中之後，在氮氛圍下，執行熱處理步驟及電漿導入步驟（至少含有氧電漿）。然後，將沈積氣體導入以形成氧化物絕緣膜。或者，藉由將含有氧元素的氣體導入腔室中，可以產生電漿，以及，使用與腔室連接的遠端電漿設備（自由基產生器），可將電漿導入腔室中。

關於含有氧元素的氣體，可以使用氮氧化物（氧化亞氮（也稱爲一氧化二氮）（ N_2O ）或二氧化氮（ NO_2 ）），以及，可以含有例如氦或氬等稀有氣體。

含有矽烷的氣體可以用沈積氣體。使用含有矽烷的氣體，形成含有矽的氧化物絕緣膜。形成阻擋例如濕氣、氫離子、及 OH^- 等雜質的無機絕緣膜，作爲與氧化物半導體層接觸的氧化物絕緣膜，具體而言，形成氧化矽膜或氮氧化矽膜。

在等於或高於 100°C 且低於或等於 500°C （較佳地，高於或等於 150°C 且低於或等於 400°C ）下，在減壓的腔室中，在氮氛圍下，較佳地執行氧化物半導體層的熱處理。執行氧化物半導體層的熱處理直到形成氧化物絕緣膜爲止。溫度較佳地爲高於或等於 100°C 且低於或等於 500°C （更佳地，高於或等於 150°C 且低於或等於 400°C ）。

當形成氧化物絕緣膜時腔室中的壓力較佳地大於或等於 1 Pa 且小於或等於 300 Pa （大於或等於 $7.5\times 10^{-3}\text{ Torr}$ 且小於或等於 2.25 Torr ）。

本說明書中揭示的本發明的實施例是半導體裝置的製造方法，包含下述步驟：在具有絕緣表面的基底上形成閘

極電極層、閘極絕緣層、及至少部份曝露的氧化物半導體層；將有至少部份曝露的氧化物半導體層形成於上的基底導入壓力減少的腔室中；將腔室中有至少部份曝露的氧化物半導體層形成於上的基底加熱並降低腔室中的壓力及將氮導入腔室中；當加熱基底時，將含有氧元素的氣體導入腔室中；在有含氧元素的氣體導入之腔室中，至少產生氧電漿；以及，藉由將沈積氣體導入腔室中，形成與氧化物半導體層接觸的氧化物絕緣膜。

本說明書中揭示的本發明的實施例是半導體裝置的製造方法，包含下述步驟：在具有絕緣表面的基底上形成閘極電極層、閘極絕緣層、及至少部份曝露的氧化物半導體層；將有至少部份曝露的氧化物半導體層形成於上的基底導入壓力減少的腔室中；將腔室中有至少部份曝露的氧化物半導體層形成於上的基底加熱並降低腔室中的壓力及將氮導入腔室中；當加熱基底時，將含有氧元素的氣體導入腔室中；在有含氧元素的氣體導入之腔室中，至少產生氧電漿；以及，藉由將含有矽烷的沈積氣體導入腔室中，形成與氧化物半導體層接觸的含矽氧化物絕緣膜。

本說明書中揭示的本發明的實施例是半導體裝置的製造方法，包含下述步驟：在具有絕緣表面的基底上形成閘極電極層、閘極絕緣層、及至少部份曝露的氧化物半導體層；將有至少部份曝露的氧化物半導體層形成於上的基底導入壓力減少的腔室中；將腔室中有至少部份曝露的氧化物半導體層形成於上的基底加熱並降低腔室中的壓力及將

氮導入腔室中；使用連接至腔室的遠端電漿設備，將氧電漿導入腔室中，並加熱基底；以及，藉由將沈積氣體導入腔室中，形成與氧化物半導體層接觸的氧化物絕緣膜。

在上述結構中，在壓力降低且有氮導入的腔室中加熱有至少部份曝露的氧化物半導體層形成於上的基底之後，將含有氧元素的氣體（或是含有氧化矽的氣體）導入腔室中。

本說明書中使用的氧化物半導體層是以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜，以及，製造使用此薄膜作為半導體層之薄膜電晶體。注意，M代表選自Ga、Fe、Ni、Mn、及Co之一金屬元素或眾多金屬元素。舉例而言，M在某些情形中代表Ga；同時，在其它情形中，M代表Ga以外的上述金屬元素，舉例而言，Ga及Ni或Ga及Fe。此外，除了含有作為M的金屬元素之外，上述氧化物半導體層尚含有作為雜質元素的Fe或Ni、另一暫態金屬元素、或是暫態金屬元素的氧化物。在本說明書中，在成份公式以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的複數個氧化物半導體層中，包含至少Ga作為M之氧化物半導體被稱為In-Ga-Zn-O為基礎的氧化物半導體，以及，In-Ga-Zn-O為基礎的氧化物半導體的薄膜稱為In-Ga-Zn-O為基礎的非單晶膜。

關於應用至氧化物半導體層的氧化物半導體，除了上述之外，還可以應用下述氧化物半導體中的任一者：In-Sn-Zn-O為基礎的氧化物半導體；In-Al-Zn-O為基礎的氧化物半導體；Sn-Ga-Zn-O為基礎的氧化物半導體；Al-Ga-

Zn-O爲基礎的氧化物半導體；Sn-Al-Zn-O爲基礎的氧化物半導體；In-Zn-O爲基礎的氧化物半導體；Sn-Zn-O爲基礎的氧化物半導體；Al-Zn-O爲基礎的氧化物半導體；In-O爲基礎的氧化物半導體；Sn-O爲基礎的氧化物半導體；及Zn-O爲基礎的氧化物半導體。此外，氧化矽可以添加至上述氧化物半導體層中。氧化物半導體層包含抑制氧化物半導體層的晶化之氧化矽（ SiO_x （ $x>0$ ）），因此，可以抑制導因於熱處理之氧化物半導體層的晶化。氧化物半導體層較佳地以非晶狀態存在；但是，氧化物半導體層可以部份晶化。

由於薄膜電晶體容易因爲靜電等而穿損，所以，用於保護驅動電路的保護電路較佳地設於與閘極線或源極線相同的基底上。保護電路較佳地由包含氧化物半導體之非線性元件形成。

可以連續地處理閘極絕緣層及氧化物半導體膜（也稱爲連續處理、原地處理、連續膜形成），而不曝露於空氣。未曝露於空氣的連續處理能夠在閘極絕緣層與氧化物半導體膜之間形成介面，而不受例如濕氣或碳氫化合物等氛圍成份或漂浮於空氣中的雜質污染。因此，可以降低薄膜電晶體的特徵變異。

注意，在本說明書中「連續處理」一詞意指在使用電漿CVD方法或濺射法的第一處理步驟至使用電漿CVD方法或濺射法的第二處理步驟之系列步驟期間，要被處理的基底所處的氛圍未受例如空氣等污染氛圍所污染，且被保持

控制在真空中或惰性氣體氛圍（氮氣氛圍或稀有氣體氛圍）下。藉由連續處理，可以形成形，並同時防止濕氣等再度附著至被清潔的要處理之基底。

在相同腔室中執行從第一處理步驟至第二處理步驟的製程是在本說明書中的連續處理的範圍之內。

此外，下述情形也是在本說明書的連續處理的範圍之內：在複數個腔室中執行從第一處理步驟至第二處理之製程的情形中，在第一處理步驟之後，基底傳送至另一腔室，但未曝露於空氣且接受第二處理。

注意，在第一處理步驟與第二處理步驟之間有下述驟的情形也是在本說明書中的連續處理的範圍之內：基底傳送步驟、對齊步驟、加熱或冷卻基底以將基底的溫度調整至適於第二處理步驟的溫度之步驟、等等。

在第一處理步驟與第二處理步驟之間可以提供例如清潔步驟、濕蝕刻步驟、或光阻形成步驟等使用液體的步驟。此情形未在本說明書中的連續處理之範圍內。

注意，在本說明書中例如「第一」及「第二」等序號是爲了方便使用並非代表步驟的次序及層的堆疊次序。此外，在本說明書中的序號未代表特別具體說明本發明之特別名稱。

此外，關於包含驅動電路之顯示裝置，除了液晶顯示裝置之外，尚有使用發光元件的發光顯示裝置及也稱爲電子紙之使用電泳顯示元件的顯示裝置。

包含發光元件的發光顯示裝置包含具有眾多薄膜電晶

體之像素部。像素部包含一薄膜電晶體的閘極電極連接至另一薄膜電晶體的源極或汲極佈線之區域。此外，在使用發光元件的發光顯示裝置之驅動電路中，有薄膜電晶體的閘極電極連接至薄膜電晶體的源極佈線或汲極佈線之區域。

在本說明書中，半導體裝置通常意指利用半導體特徵操作之裝置，以及，電子裝置、半導體電路、及電子設備都是半導體裝置。

根據本發明的實施例，可以製造及提供具有穩定的電特徵之薄膜電晶體。因此，可以提供包含具有優良的電特徵及高可靠度的薄膜電晶體之半導體裝置。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。但是，本發明不限於下述說明，以及，習於此技藝者清楚可知其模式及細節的多種變化，除非這些變化悖離本發明的精神及範圍。因此，本發明不應被解釋成侷限於下述實施例的說明。在下述結構中，在不同圖式中，相同部份或具有類似功能的部份以相同的代號表示，且不重複其說明。

（實施例1）

將參考圖1、圖2、及圖3，說明半導體裝置及半導體裝置的製造方法之實施例。

在具有薄膜電晶體之半導體裝置之製造方法中，形成

與氧化物半導體層接觸的氧化物絕緣膜，所述薄膜電晶體中，包含通道形成區的半導體層是氧化物半導體層。於下，詳細說明半導體裝置的製造方法。

如圖 1 所示，閘極電極層、閘極絕緣層、及氧化物半導體層形成於具有絕緣表面的基底上（步驟 8000）。也形成源極電極層和汲極電極層。注意，在至少部份氧化物半導體層曝露的狀態下，將氧化物半導體層導入腔室中。

另一方面，將形成氧化物絕緣膜的腔室抽真空至較低壓力（步驟 8001）。腔室中的壓力可大於或等於 1×10^{-5} Pa 且小於或等於 5×10^{-1} Pa（大於或等於 7.5×10^{-8} Torr 且小於或等於 3.75×10^{-3} Torr）。有氧化物半導體層以至少部份氧化物半導體層曝露的狀態形成於上的基底被導入至壓力減少的腔室中（步驟 8002）。

執行熱處理並將氮導入設有基底的腔室中，在所述基底上形成有氧化物半導體層（步驟 8003）。在等於或高於 100°C 且低於或等於 500°C （較佳地，高於或等於 150°C 且低於或等於 400°C ）下，在減壓的腔室中，在氮氣氛圍下，較佳地執行氧化物半導體層的熱處理。

然後，在氮氣氛圍下執行熱處理的腔室中的壓力再度被降低（步驟 8004），以及，將含有氧元素的氣體導至其中（步驟 8005）。關於含有氧元素的氣體，可以使用氧或氮氧化物（一氧化二氮（ N_2O ）或二氧化氮（ NO_2 ）），以及，可以含有例如氦或氬等稀有氣體。注意，無需執行導入含有氧元素的氣體之前降低腔室中的壓力之步驟（步

驟 8004) 。

在有含氧元素的氣體被導入之腔室中，產生電漿（步驟 8006）。電漿包含至氧電漿。藉由氧電漿的產生，增加氧化物半導體層的曝露部份之氧密度。因此，可以形成氧過多區。

由於可以降低對氧化物半導體層的損傷，所以，用於產生電漿的功率較佳地為 500 W 或更低的低功率（更佳地為 150 W 或更低）。

將沈積氣體導入（步驟 8007）使用含有氧元素的氣體而產生電漿的腔室中，以及，形成氧化物絕緣膜（步驟 8008）。

含有矽烷的氣體可以用沈積氣體。使用含有矽烷的氣體，形成含有矽的氧化物絕緣膜。與氧化物半導體層接觸的氧化物絕緣膜是阻擋例如濕氣、氫離子、及 OH^- 等雜質的無機絕緣膜，具體而言，為氧化矽膜或氮氧化矽膜。

從氮氛圍下的熱處理至氧化物絕緣膜的形成處理，執行氧化物半導體層的熱處理。在熱處理期間的溫度較佳地在等於或高於 100°C 且低於或等於 500°C （更佳地，高於或等於 150°C 且低於或等於 400°C ）。

當形成氧化物絕緣膜時腔室中的壓力較佳地大於或等於 1 Pa 且小於或等於 300 Pa（大於或等於 7.5×10^{-3} Torr 且小於或等於 2.25 Torr）。

注意，在以可燃氣體用於含有氧元素的氣體以及以含有矽烷的氣體用於沈積氣體的情形中，可燃氣體及含有矽

烷的氣體之混合可能造成爆炸；因此，從腔室中移除可燃氣體，導入例如氧化氮（一氧化二氮（ N_2O ）或二氧化氮（ NO_2 ））等可燃強化氣體，然後，將含有矽烷的氣體導入。

圖 2 顯示一實施例中，其中，氧化氮（一氧化二氮（ N_2O ）或二氧化氮（ NO_2 ））用於含有氧元素的氣體（步驟 8105）及含有矽烷的氣體用於沈積氣體（步驟 8107），以形成含有矽的氧化物絕緣膜作為氧化物絕緣膜（步驟 8108）。舉例而言，二氧化氮（ NO_2 ）及矽烷（ SiH_4 ）可以分別用於含有氧元素的氣體及沈積氣體，以形成氧氮化矽膜。

如圖 1 及圖 2 所示，可以產生電漿，並將含有氧元素的氣體導入腔室中，或者，如圖 3 所示，使用與腔室連接的遠端電漿設備（自由基產生器），將電漿導入。

圖 3 顯示一實施例，其中，使用遠端電漿設備（自由基產生器）（步驟 8200）以將電漿導入腔室中，在腔室中，於氮氛圍下執行熱處理（步驟 8201）。使用遠端電漿設備，在與形成氧化物絕緣膜的腔室不同的腔室中，使用含有氧元素的氣體，產生電漿。如圖 3 所示，當在形成氧化物絕緣膜的腔室之外面產生電漿並將電漿導入使用遠端電漿設備的腔室中時，可以防止電漿產生時對氧化物半導體層的損傷。

將說明可以使用的腔室之實施例。腔室設有加熱器且加熱腔室的內部。此外，腔室設有供氣機構及排氣機構。

藉由供氣機構，將氣體導入腔室中。藉由排氣機構，將腔室抽真空或者降低腔室的壓力。

藉由上述方法，形成與氧化物半導體層接觸的氧化物絕緣膜，因此，可以製造及提供具有穩定的電特徵之薄膜電晶體。因此，可以提供包含具有優良電特徵之高度可靠的薄膜電晶體之半導體裝置。

（實施例 2）

將參考圖 4A 至 4C 及圖 5A 和 5B，說明半導體裝置的實施例及半導體裝置的製造方法。

圖 5A 是包含於半導體裝置中的薄膜電晶體 470 的平面視圖，圖 5B 是圖 5A 的 C1-C2 剖面視圖。薄膜電晶體 470 是底部閘極型薄膜電晶體以及包含位於具有絕緣表面的基底 400 上之閘極電極層 401、閘極絕緣層 402、半導體層 403、及源極和汲極電極層 405a 和 405b。此外，設置氧化物絕緣膜 407 以遮蓋薄膜電晶體 470 及與半導體層 403 接觸。

此外，源極和汲極電極層 405a 和 405b 與半導體層 403 接觸。包含於源極和汲極電極層 405a 和 405b 中的元素是選自鈦、鋁、錳、鎂、鋅、銻及鈦之一或更多元素。可以堆疊結合上述元素中的任意元素等的合金膜。

可以使用具有半導體特徵的氧化物材料，作為包含通道形成區的半導體層 403。典型地，使用 In-Ga-Zn-O 為基礎的非單晶膜。

圖 4A 至 4C 是剖面視圖，顯示薄膜電晶體 470 的製造步

驟。

在圖 4A 中，閘極電極層 401 設置於具有絕緣表面的基底 400 上。作為基部膜的絕緣膜可以設於基底 400 與閘極電極層 401 之間。基部膜具有防止雜質元素從基底 400 擴散的功能，以及，可以使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜中之一或更多膜，將基部膜形成為具有單層或堆疊層的結構。使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬、或含有這些材料中的任何材料作為主成份的合金材料，形成具有單層或堆疊層結構的閘極電極層 401。

舉例而言，關於二層結構的閘極電極層 401，下述結構是較佳的：鋁層及堆疊於其上的鉬層的二層結構、銅層及堆疊於其上的鉬層的二層結構、銅層及堆疊於其上的氮化鈦層或氮化鉭層的二層結構、以及鈦層及鉬層的二層結構。關於三層結構的堆疊結構、鎢層或氮化鎢層、鋁及矽的合金或鋁及鈦的合金、以及氮化鈦層或鈦層之堆疊層是較佳的。

接著，閘極絕緣層 402 形成於閘極電極層 401 上。

藉由電漿 CVD 法或濺射法，使用氧化矽層、氮化矽層、氧氮化矽層、及氮氧化矽層之單層或堆疊層，形成閘極絕緣層 402。舉例而言，以電漿 CVD 法，使用含有 SiH_4 、氧、及氮作為沈積氣體，形成氧氮化矽層。

接著，在閘極絕緣層 402 上，形成氧化物半導體膜。

注意，在藉由濺射法形成氧化物半導體膜之前，藉由

逆濺射，較佳地移除閘極絕緣層402的表面的灰塵，在逆濺射中，導入氬氣及產生電漿。逆濺射係一方法，其在氬氛圍下，使用RF電源以施加電壓至基底側而非靶材側，以及，在基底的近處產生電漿以修整表面。注意，可以使用氮氛圍、氦氛圍、等等以取代氬氛圍。或者，氧、一氧化二氮（ N_2O ）、等等可以添加至氬氛圍。又或者，可以在添加 Cl_2 、 CF_4 、等等的氬氛圍下，執行電漿處理。

藉由使用In-Ga-Zn-O為基礎的氧化物半導體靶材之濺射法，形成氧化物半導體膜。在稀有氣體（典型的是氬）氛圍、氧氛圍、或包含稀有氣體（典型的是氬）及氧的氛圍下，執行濺射法。

可以連續地形成閘極絕緣層402及氧化物半導體膜而不曝露至空氣。不曝露至空氣之連續的膜形成能夠取得沒有例如濕氣或碳氣化合物等氛圍成份或漂浮於空氣中的雜質污染之二堆疊層之間的介面。因此，可以降低薄膜電晶體的特徵差異。

經由微影處理，將氧化物半導體膜處理成島狀，藉以形成氧化物半導體層430。（請參見圖4A）。

氧化物半導體層430較佳地是非晶的；但是，氧化物半導體層430可以部份地晶化。

接著，在閘極絕緣層402及氧化物半導體層430上形成導電膜。

關於導電膜的材料，有選自Al、Cr、Ta、Ti、Mo、及W的元素、含有這些元素中的任何元素作為成份之合金、

含有這些元素結合的合金、等等。

假使在形成導電膜之後執行熱處理，則較佳的是導電膜具有足夠的抗熱性以承受熱處理。由於單獨使用鋁會導致例如低抗熱性及易於腐蝕等缺點，所以將鋁與具有抗熱性的導電材料結合使用。關於用於與鋁結合之具有抗熱性的導電材料，可以使用下述材料中的任何材料：選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及釷（Sc）之元素、包含這些元素中的任何元素的合金、包含這些元素的組合之合金、或包含些元素中的任何元素的氮化物。

氧化物半導體層430及導電膜接受蝕刻處理，以致於形成氧化物半導體層432及源極和汲極電極層405a和405b（請參見圖4B）。注意，經由蝕刻處理，在氧化物半導體層432中形成溝槽（凹部）。

如同實施例1中所述般，在有氧化物半導體層432形成於上的基底被導入壓力降低的腔室中之後，在氮氛圍之下，執行熱處理步驟及電漿（至少含有氧電漿）導入步驟。然後，將沈積氣體導入以形成氧化物絕緣膜407。

在實施例2中，以一氧化二氮（ N_2O ）及矽烷（ SiH_4 ）分別用於含有氧元素的氣體以及沈積氣體，以形成厚度300 nm的氧化物絕緣膜407。

在等於或高於 $100^{\circ}C$ 且低於或等於 $500^{\circ}C$ （更佳地，高於或等於 $150^{\circ}C$ 且低於或等於 $400^{\circ}C$ ），在壓力降低的腔室中，較佳地執行氮氛圍下氧化物半導體層432的熱處理。

從氮氣氛圍下的熱處理步驟至氧化物絕緣膜 407 的形成步驟，執行氧化物半導體層 432 的熱處理。在熱處理期間的溫度較佳地等於或高於 100℃ 且低於或等於 500℃（更佳地，高於或等於 150℃ 且低於或等於 400℃）。

當形成氧化物絕緣膜時腔室中的壓力較佳地大於或等於 1 Pa 且小於或等於 300 Pa（大於或等於 7.5×10^{-3} Torr 且小於或等於 2.25 Torr）。

當藉由上述方法形成與氧化物半導體層 432 接觸的氧化物絕緣膜 407 時，至少與氧化物絕緣膜 407 接觸的區域之電阻可以增加（載子濃度降低）。因此，所述區域變成高電阻氧化物半導體區。因此，氧化物半導體層 432 變成具有高電阻的氧化物半導體區之氧化物半導體層 403，因此，可以製造薄膜電晶體 470（請參見圖 4C）。

此外，在形成氧化物絕緣膜 407 之後，在氮氣氛圍或大氣氛圍（空氣氛圍）下，薄膜電晶體 470 接受熱處理（較佳地，等於或高於 150℃ 且低於 350℃）。藉由熱處理，氧化物半導體層 403 與氧化物絕緣膜 407 接觸下被加熱，因此，可以降低薄膜電晶體 470 的電特徵變異。對於何時執行此熱處理並無特別限定，只要在形成氧化物絕緣膜 407 之後執行即可。藉由執行另一熱處理步驟，舉例而言，形成樹脂膜時的熱處理或是用於降低透明導電膜的電阻之熱處理時，可以移除熱處理，藉以避免步驟數目增加。

藉由上述方法，形成與氧化物半導體層接觸的氧化物絕緣膜，因此，可以製造及提供具有穩定的電特徵之薄膜

電晶體。因此，可以提供包含具有優良電特徵之高度可靠的薄膜電晶體之半導體裝置。

(實施例3)

將參考圖6A至6C、圖7A至7C、圖8、及圖9A1、9A2、9B1、及9B2，說明包含薄膜電晶體的半導體裝置之製造步驟。

在圖6A中，可以使用硼矽酸鋇玻璃基底、硼矽酸鋁玻璃等玻璃基底作為具有透光特性的基底100。

接著，導電層形成於基底100的表面上，然後，執行第一微影處理以形成光阻掩罩。然後，藉由蝕刻以移除不必要的部份，以致於形成佈線及電極（包含閘極電極層101、電容器佈線108、及第一端子121之閘極佈線）。此時，執行蝕刻以致於至少閘極電極層101的端部具有推拔狀。

使用例如選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及釷（Sc）之元素、含有這些上述元素中的任何元素的合金；含有這些元素的組合之合金；或含有這些元素中的任何元素的氮化物等抗熱導電材料，形成包含閘極電極層101之閘極佈線、電容器佈線108、及端子部的第一端子121中的每一者。

接著，在閘極電極層101的整個表面上形成閘極絕緣層102。藉由電漿CVD法、濺射法、等等，形成厚度50至250 nm的閘極絕緣層102。

舉例而言，關於閘極絕緣層102，藉由濺射法，將氧化矽膜形成為100 nm的厚度。可以容易瞭解，閘極絕緣層102的主成份不限於氧化矽，可以使用氧氮化矽膜、氮化矽膜、氧化鋁膜、氧化鋇膜、等等。或者，可以使用由這些材料中的任何材料形成的單層或堆疊層。

接著，在閘極絕緣層102上形成氧化物半導體膜（In-Ga-Zn-O為基礎的非單晶膜）。由於灰塵及濕氣未附著至閘極絕緣層與半導體膜之間的介面，所以，在閘極絕緣層102形成之後，有效地形成In-Ga-Zn-O為基礎的非單晶膜而不曝露至空氣。使用包含In、Ga、及Zn的氧化物半導體靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ （mol%）以及In:Ga:Zn=1:1:0.5[at%]）。沈積條件設定如下：基底與靶材之間的距離設為100 mm、壓力為0.2 Pa、直流（DC）電源為0.5 kW、氛圍為氬氣及氧氣（氬：氧=30sccm：20sccm且氧流速比例為40%）的混合氛圍。注意，由於可以抑制灰塵的產生以及降低膜厚的差異，所以，脈衝直流（DC）電源是較佳的。In-Ga-Zn-O為基礎的非單晶膜形成為具有5 nm至200 nm的厚度。在實施例3中，關於氧化物半導體膜，使用In-Ga-Zn-O為基礎的氧化物半導體材，藉由濺射法，形成20 nm厚的In-Ga-Zn-O為基礎的非單晶膜。

濺射法的實施例包含使用高頻電源作為濺射電源的RF濺射法、DC濺射法、以及以脈衝方式施加偏壓的脈衝式DC濺射法。在形成絕緣膜的情形中，主要使用RF濺射法，以及，在形成金屬膜的情形中，主要使用DC濺射法。

此外，有多源濺射設備，其中，可以設置複數個不同材料的靶材。藉由多源濺射設備，可以在相同腔室中堆疊不同材料膜，或者，在相同腔室中，同時藉由放電而沈積含有多種材料的膜。

此外，有濺射設備是在腔室內設有磁系統且用於磁控管濺射，也有用於 ECR 濺射的濺射設備，其中，使用微波產生的電漿而未使用輝光放電。

此外，關於藉由濺射的沈積法，也有反應濺射法及偏壓濺射法，在反應濺射法中，靶材物質及濺射氣體成份在沈積期間彼此化學地反應以形成其薄化合物膜，在偏壓濺射法中，在沈積期間，電壓也施加至基底。

接著，執行第二微影步驟以形成光阻掩罩，然後，蝕刻氧化物半導體膜。舉例而言，使用磷酸、醋酸、及硝酸的混合溶液，以濕蝕刻移除不需要的部份，以致於形成氧化物半導體層 133（請參見圖 6A）。注意，此處之蝕刻不限於濕蝕刻，也可以使用乾蝕刻。

關於用於乾蝕刻的蝕刻氣體，較佳地使用含有氯的氣體（例如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等氯為基礎的氣體）。

或者，可以使用含有氟的氣體（例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）；溴化氫（ HBr ）；氧（ O_2 ）；這些氣體中任何添加例如氦（ He ）或氬（ Ar ）等稀有氣體之氣體；等等。

關於乾蝕刻法，可以使用平行板 RIE（反應離子蝕刻

）法或 ICP（感應耦合電漿）蝕刻法。為將膜蝕刻成所需形狀，適當地調整蝕刻條件（施加至線圈狀電極的電力、施加至基底側上的電極之電力量基底側上電極的溫度、等等）。

關於用於濕蝕刻的蝕刻劑，可以使用藉由混合磷酸、醋酸、及硝酸、氫氧化銨混合物（過氧化氫：氨：水 = 5:2:2）等等取得的混合溶液。此外，也可以使用 ITO07N（KANTO CHEMICAL CO., INC.製造）。

藉由清洗，將濕蝕刻後的蝕刻劑與被蝕刻掉的材料一起移除。包含蝕刻劑及被蝕刻掉的材料之廢液可以被純化以及再使用材料。當從蝕刻後的廢液中收集及再使用包含於氧化物半導體層中之例如銦等材料時，可以有效率地使用資源及降低成本。

視材料而適當地調整蝕刻條件（例如蝕刻劑、蝕刻時間、及溫度），以取得所需形狀。此處，如圖 6A 及圖 8 中所示般，執行蝕刻以致於整體氧化物半導體層 133 遮蓋部份閘極電極層 101。

接著，藉由濺射法或真空蒸鍍法，使用金屬材料，於氧化物半導體層 133 上形成導電膜 132（請參見圖 6B）。

關於導電膜 132 的材料，有選自 Al、Cr、Ta、Ti、Mo、及 W 之元素、含有這些元素中的任何元素作為成份之合金、含有這些元素的組合之合金、等等。

在形成導電膜 132 後執行熱處理的情形中，導電膜較佳地具有足以承受此耐熱的抗熱性。

接著，經由第三微影步驟。形成光阻掩罩，然後，移除不需要的部份，以致於形成源極和汲極電極層 105a 及 105b、以及第二端子 122（請參見圖 6C）。此時，使用濕蝕刻或乾蝕刻作為蝕刻方法。舉例而言，當使用鋁膜或鋁合金膜作為導電膜 132 時，可以執行使用磷酸、醋酸、及硝酸的混合溶液之濕蝕刻。或者，藉由使用氫氧化銨混合物（過氧化氫：氨：水 = 5:2:2），將導電膜 132 蝕刻以形成源極和汲極電極 105a 和 105b。在此蝕刻步驟中，部份氧化物半導體層 133 被蝕刻，以致於形成半導體層 135。因此，設於源極和汲極電極層 105a 和 105b 之間的氧化半導體層 135 的區域具有小厚度。如圖 6C 所示般，厚度比與源極和汲極電極層（105a 和 105b）相重疊的區域還小之氧化物半導體層 135 的區域（曝露區）曝露。在圖 6C 中，使用乾蝕刻，一次執行源極和汲極電極層 105a 和 105b 以及半導體層 135 的蝕刻。因此，源極和汲極電極層 105a 和 105b 的端部與半導體層 135 的端部相對齊；因此，形成連續結構。亦即，面對源極電極層 105a 的汲極電極層 105b 的側表面以及曝露區的複數個側表面之一是共平面的。以類似方式，面對源極電極層 105a 的汲極電極層 105b 的側表面以及其它側表面是共平面的。換言之，曝露區的側表面與源極電極層 105a 及汲極電極層 105b 的側表面中至少之一是共平面的。

在第三微影步驟中，由與源極和汲極電極層 105a 和 105b 相同的材料形成的第二端子 122 餘留在端部中。注意，第二端子 122 電連接至源極佈線（包含源極和汲極電極

層 105a 和 105b 的源極佈線)。

此外，藉由使用以多色調光罩形成的具有多種厚度（典型上二種厚度）的區域之光阻掩罩，可以降低光阻掩罩的數目，造成簡化的製程及更低的成本。

接著，移除光阻掩罩，以及使用電漿 CVD 法，形成保護絕緣層 107，保護絕緣層 107 遮蓋閘極絕緣層 102、氧化物半導體層 103、及源極和汲極電極層 105a 和 105b。

具體而言，如同實施例 1 中所述般，在形成源極和汲極電極層 105a 和 105b 之後，將基底 100 導入壓力降低的腔室中，以及，在氮氛圍之下，執行熱處理步驟。然後，執行電漿（至少含有氧電漿）導入步驟，接著，將沈積氣體導入以形成保護絕緣層 107，保護絕緣層 107 是氧化物絕緣膜。

在實施例 3 中，以一氧化二氮（ N_2O ）及矽烷（ SiH_4 ）分別用於含有氧元素的氣體以及沈積氣體，以形成厚度 300 nm 的保護絕緣層 107。

在等於或高於 $100^{\circ}C$ 且低於或等於 $500^{\circ}C$ （更佳地，高於或等於 $150^{\circ}C$ 且低於或等於 $400^{\circ}C$ ），在壓力降低的腔室中，較佳地執行氮氛圍下氧化物半導體層 135 的熱處理。

從氮氛圍下的熱處理步驟至氧化物絕緣膜的形成步驟，執行氧化物半導體層 135 的熱處理。在熱處理期間的溫度較佳地等於或高於 $100^{\circ}C$ 且低於或等於 $500^{\circ}C$ （更佳地，高於或等於 $150^{\circ}C$ 且低於或等於 $400^{\circ}C$ ）。

當形成保護絕緣層 107 時腔室中的壓力較佳地大於或

等於 1 Pa 且小於或等於 300 Pa (大於或等於 7.5×10^{-3} Torr 且小於或等於 2.25 Torr)。

設於源極和汲極電極層 105a 和 105b 之間的氧化物半導體層 135 的曝露區、與作為保護絕緣層 107 之氧化物絕緣膜設置成彼此接觸，以致於與保護絕緣層 107 接觸的氧化物半導體層 103 中的區域的電阻增加 (載子濃度降低)，因此，可以形成包含具有高電阻的通道形成區之氧化物半導體層 103 (請參見圖 7A)。

接著，在形成保護絕緣層 107 之後，可以執行熱處理。在等於或高於 150°C 且低於 350°C 的溫度下，在大氣氛圍或氮氣氛圍下，執行熱處理。藉由熱處理中，氧化物半導體層 103 與保護絕緣層 107 相接觸下被加熱，因而進一步增加氧化物半導體層 103 的電阻。因此，可以增進薄膜電晶體的電特徵以及可以降低薄膜電晶體的電特徵的變異。對於熱處理的時機並無特別限制，只要在形成保護絕緣層 107 之後即可。藉由執行另一熱處理步驟，舉例而言，形成樹脂膜時的熱處理或是用於降低透明導電膜的電阻之熱處理，可以移除熱處理，藉以避免步驟數目增加。

經由上述步驟，可以製造薄膜電晶體 170。

接著，執行第四微影步驟以形成光阻掩罩。蝕刻保護絕緣層 107 和閘極絕緣層 102 以形成抵達汲極電極層 105b 的接觸孔 125。此外，也在相同的蝕刻步驟中，形成抵達第二端子 122 的接觸孔 127 以及抵達第一端子 121 的接觸孔 126。圖 7B 顯示此階段的剖面視圖。

在移除光阻掩罩之後，形成透明導電膜。藉由濺射法、真空蒸鍍法、等等，以氧化銦（ In_2O_3 ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為ITO）、等等形成透明導電膜。以氫氯酸為基礎的溶液，蝕刻此材料。但是，由於特別是在蝕刻ITO時，容易在基底上產生餘留物，所以，可以使用氧化銦-氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）以增進蝕刻處理能力。在執行熱處理以降低透明導電膜的電阻之情形中，藉由增加氧化物半導體層103的電阻，能夠省略用於增進薄膜電晶體的電特徵及用於降低薄膜電晶體的電特徵變異之上述熱處理。

接著，執行第五微影步驟以形成光阻掩罩。然後，蝕刻移除不需要的部份，以致於形成像素電極層110。

經由第五微影處理，由電容器佈線108及像素電極層110形成儲存電容器，其中，使用電容器部份中的保護絕緣層107及閘極絕緣層102作為介電質。

此外，在第五微影步驟中，第一端子121及第二端子122由光阻掩罩遮蓋，以及，透明導電膜128及129餘留在端子部中。透明導電膜128及129作為連接至可撓印刷電路（FPC）的佈線或電極。形成於第一端子121上的透明導電膜128是連接端子電極，作為閘極佈線的輸入端子。形成於第二端子122上的透明導電膜129是連接端子電極，作為源極佈線的輸入端子。

然後，移除光阻掩罩。此階段的剖面視圖顯示於圖7C中。注意，此階段的平面視圖對應於圖8。

圖 9A1 及 9A2 分別是此階段的閘極佈線端子部的剖面視圖及上視圖。圖 9A1 是圖 9A2 的 E1-E2 剖面視圖。在圖 9A1 中，形成於保護絕緣層 154 上的透明導電膜 155 是連接端子電極，作為輸入端子。此外，在圖 9A1 的端子部中，使用與閘極佈線相同的材料形成的第一端子 151 及使用與源極佈線相同的材料形成的連接電極層 153 彼此重疊而以閘極絕緣層 152 介於其間，以及，經由透明導電膜 155 而彼此電連接。注意，圖 7C 中所示的第一端子 121 與透明導電膜 128 彼此接觸的部份對應於圖 9A1 中所示之第一端子 151 與透明導電膜 155 彼此接觸的部份。

圖 9B1 及 9B2 分別是不同於圖 7C 中示之源極佈線端子部份的剖面視圖及上視圖。圖 9B1 的剖面視圖是延著圖 9B2 的 F1-F2 線取得。在圖 9B1 中，形成於保護絕緣層 154 上的透明導電膜 155 是連接端電極，作為輸入端子。此外，在圖 9B1 中，在端子部份中，由與閘極佈線相同的材料形成之電極層 156 位於電連接至源極佈線之第二端子 150 的下方並與其重疊，以閘極絕緣層 152 介於其間。電極層 156 未電連接至第二端子 150，以及，假使電極層 156 的電位設定於例如浮動、GND、或 0V 等不同於第二端子 150 的電位，可以形成防止雜訊或靜電的電容器。第二端子 150 電連接至透明導電膜 155，而以保護絕緣層 154 設於其間。

視像素密度而設置眾多閘極佈線、源極佈線、及電容器佈線。也在端子部中，配置處於與閘極佈線相同電位之眾多第一端子、處於與源極佈線相同電位之眾多第二端子

、以及處於與電容器佈線相同電位之眾多第三端子、等等。每一端子的數目可以是任何數目，以及，端子的數目可以由實施者適當地決定。

經由這五個微影步驟，使用五個光罩，可以完成包含底部閘極交錯薄膜電晶體的薄膜電晶體 170 之像素薄膜電晶體部份及儲存電容器。藉由在以矩陣狀配置像素之像素部份中的每一像素中配置薄膜電晶體及儲存電容器，可以取得用於製造主動矩陣顯示裝置的複數個基底之一。在本說明書中，為方便起見，此基底稱為主動矩陣基底。

在製造主動矩陣液晶顯示裝置的情形中，主動矩陣基底及設有對立電極的對立基底彼此接合而以液晶層夾於其間。注意，電連接至對立基底上的對立電極之共同電極設於主動矩陣基底上，以及，電連接至共同電極的第四端子設於端子部中。第四端子設置成共同電極設定於例如 GND 或 0V 等固定電位。

或者，像素電極可以與相鄰像素的閘極佈線重疊而以保護絕緣膜及閘極絕緣層介於其間，形成儲存電容器，而無電容器佈線。

在主動矩陣液晶顯示裝置中，驅動以矩陣形式配置的像素電極以在顯示幕上顯示顯示圖案。具體而言，電壓施加至選取的像素電極與對應於像素電極的對立電極之間，以致於設置在像素電極與對立電極之間的液晶層被光學地調變且此光學調變被觀視者視為顯示圖案。

在顯示移動影像時，液晶顯示裝置具有因液晶分子本

身長響應時間而造成後像或移動影像模糊之問題。爲了增進液晶顯示裝置的移動影像特徵，採用稱爲黑插入的驅動方法，其中，每一格週期之後於整個顯示幕上顯示黑色。

或者，可以使用稱爲雙格速率驅動的驅動方法，其中，垂直同步頻率是一般垂直同步頻率的1.5倍或更多，較佳地爲2倍或更多，藉以增進響應速度，以及，對每一格中多個分割欄選取要寫入的灰階。

又或者，爲了增進液晶顯示裝置的移動影像特徵，可以使用一驅動方法，其中，使用眾多LED（發光二極體）或眾多EL光源以形成作爲背照光的平面光源，且於一格週期中獨立地驅動平面光源中的每一光源。關於平面光源，可以使用三或更多種LED，以及，可以使用發射白光的LED。由於可以獨立地控制眾多LED，所以，LED的發光時序可以與液晶層被光學地調變之時序同步。根據本驅動方法，可以部份地關閉LED；因此，特別是在顯示具有大部份爲黑色顯示的影像之情形中，可以取得降低耗電的效果。

藉由結合這些驅動方法，相較於習知的液晶顯示裝置，可以增進例如移動影像特徵等液晶顯示裝置之顯示特徵。

本說明書中揭示的薄膜電晶體包含用於通道形成區的氧化物半導體膜以及具有優良的動態特徵；因此，其可以與這些驅動方法相結合。

在製造發光顯示裝置時，有機發光元件的一電極（也

稱為陰極) 設定在例如 GND 或 0V 等低電源電位；因此，端子部份設有第四端子，用於將陰極設定在例如 GND 或 0V 等。也是在製造發光顯示裝置時，除了源極佈線及閘極佈線之外，也設置電源線。因此，端子部設有電連接至電源線的第五端子。

此外，在製造發光顯示裝置時，在某些情形中，使用有機樹脂層，在有機發光元件之間設置分隔部。在該情形中，有機樹脂層接受熱處理。因此，藉由增進氧化物半導體層 103 的電阻，能夠省略用於增進的電特徵及降低電晶體的電特徵變異之熱處理。

以氧化物半導體用於薄膜電晶體造成製造成本降低。特別地，使用上述方法，形成與氧化物半導體層接觸的氧化物絕緣膜，藉以製造及提供具有穩定電特徵的薄膜電晶體。因此，可以提供包含具有優良電特徵之高度可靠的薄膜電晶體之半導體裝置。

氧化物半導體層中的通道形成區是高電阻區；因此，可以穩定薄膜電晶體的電特徵以及可以防止關閉電流增加。因此，可以提供包含具有高度電特徵之半導體裝置。

實施例 3 可以與其它實施例中所述的結構適當地結合實施。

(實施例 4)

在實施例 4 中，將說明半導體裝置的製造方法實施例，其中，在形成氧化物絕緣膜之前，氧化物半導體層預先

接受熱處理。在實施例4中，在氮氛圍下執行熱處理。

在本說明書中，實施例4中所述的氮氛圍下的熱處理稱為脫水或脫氫之熱處理，其在形成氧化物絕緣膜之前執行（在有氧化物半導體層形成於上的基底被導入形成氧化物絕緣膜的腔室中之前）。在本說明書中，「脫氫」並非表示僅有 H_2 由熱處理消除。為了方便起見，H、OH、等等的消除被稱為「脫水或脫氫」。

實施例4中的熱處理步驟可以在形成氧化物絕緣層的步驟（參考圖1、圖2、及圖3之實施例1中所述的步驟）之前及形成氧化物半導體層之後執行。舉例而言，在製造實施例2的半導體裝置時，在形成源極和汲極電極層405a和405b之前在圖4A及圖4B之間、或是在形成源極和汲極電極層405a和405b之後在圖4B及圖4C之間，執行熱處理。或者，對如圖4A所示之尚未被處理成島狀氧化物半導體層430之氧化物半導體膜執行熱處理。

在實施例4中，執行熱處理（用於脫水或脫氫），其中，增加氧化物半導體膜的純度及降低例如濕氣等雜質。此外，不僅降低氧化物半導體膜中的雜質，也降低閘極絕緣層中例如濕氣等雜質，以及也減少膜與設於之上及之下且彼此接觸的氧化物半導體膜之間的介面中存在的例如濕氣等雜質。

為了降低例如濕氣等雜質，在形成氧化物半導體膜之後，在氮或稀有氣體（例如氬或氦）之惰性氣體氛圍下、在 $200^{\circ}C$ 或更高溫度（較佳地，高於或等於 $400^{\circ}C$ 且低於或

等於 600℃) 、在氧化物半導體膜曝露之狀態下，執行熱處理。因此，含於氧化物半導體膜中之濕氣減少。在熱處理之後，在惰性氣體氛圍下，執行緩慢冷卻至等於或高於室溫且低於 100℃ 之溫度。

注意，較佳的是，在脫水及脫氫的熱處理中，水、氫、等等未含於氮或例如氮、氬、或氫等稀有氣體中。較佳地，導入熱處理設備中之氮或例如氮、氬、或氫等稀有氣體的純度設定為 6N (99.9999%) 或更高，較佳地為 7N (99.99999%) 或更高 (亦即，雜質濃度為 1ppm 或更低，較佳地為 0.1ppm 或更低) 。

此外，關於熱處理，可以使用例如使用電熱爐的加熱法、例如使用經過加熱的氣體之 GRTA (氣體快速熱退火) 法或是使用燈光的燈快速熱退火 (LRTA) 法等快速加熱法。

藉由使用含於膜中的濕氣由氮、氫等惰性氣體氛圍下或降壓下的熱處理降低之氧化物半導體膜，可以增進薄膜電晶體的可靠度以及取得具有增進的量產力及高性能的薄膜電晶體。

藉由惰性氣體氛圍下的熱處理，降低含於氧化物半導體層中的雜質 (例如 H_2O 、H、OH、等等)，以及，增加載子濃度，之後，執行緩慢冷卻。然後，藉由形成與氧化物半導體層接觸的氧化物絕緣膜等，降低氧化物半導體層的載子濃度，導致可靠度增進。

藉由在氮氣氛圍下執行的熱處理，降低氧化物半導體

層的電阻（亦即，載子濃度增加，較佳地增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高）；因此，可以形成低電阻氧化物半導體層。之後，藉由形成接觸低電阻氧化物半導體層之氧化物絕緣膜，在至少與氧化物絕緣膜接觸的低電阻氧化物半導體層的區域的電阻增加（亦即，載子濃度降低，較佳地降低至 $1 \times 10^{18}/\text{cm}^3$ 或更低，更佳地降低至 $1 \times 10^{14}/\text{cm}^3$ 或更低）；因此，可以形成高電阻氧化物半導體區。在實施例4中半導體裝置的製程期間，重要的是藉由惰性氣體氛圍下（或是降低壓力下）加熱、緩慢冷卻、形成氧化物絕緣膜、等等，以增加或降低氧化物半導體層的載子濃度。載子濃度的增加及降低來自於脫水及脫氫的熱處理，其首先將原先i型氧化物半導體層成為缺氧的氧化物半導體層，導致氧化物半導體層成為n型（ n^+ 、 n^- 、等等）。後續的氧化物絕緣膜的形成將導致氧化物半導體膜成為氧過量狀態，允許其變成i型氧化物半導體。

依此方式，在接受氮氛圍下的脫氫及脫氧的熱處理之氧化物半導體層上，以實施例1中所述的方法，形成氧化物絕緣膜，因而製造半導體裝置。

因此，可以製造及提供包含具有優良電特徵之高度可靠的薄膜電晶體之半導體裝置。

（實施例5）

在實施例5中，將說明半導體裝置的製造方法實施例，其中，在形成氧化物絕緣膜之前，氧化物半導體層預先

接受熱處理。在實施例4中，說明在氮氛圍下執行熱處理；但是，在實施例5中，說明在大氣氛圍（空氣氛圍）下執行熱處理。

實施例5中的熱處理步驟可以在形成氧化物絕緣層的步驟（參考圖1、圖2、及圖3之實施例1中所述的步驟）之前及形成氧化物半導體層之後執行。舉例而言，在製造實施例2的半導體裝置時，在形成源極和汲極電極層405a和405b之前在圖4A及圖4B之間、或是在形成源極和汲極電極層405a和405b之後在圖4B及圖4C之間，執行熱處理。或者，對如圖4A所示之尚未被處理成島狀氧化物半導體層430之氧化物半導體膜執行熱處理。在200℃至600℃下，典型地在300℃至500℃下，較佳地執行熱處理。舉例而言，在大氣氛圍（空氣氛圍）下，在350℃下，執行熱處理一小時。

依此方式，在接受大氣氛圍（空氣氛圍）下的熱處理之氧化物半導體層上，以實施例1中所述的方法，形成氧化物絕緣膜，因而製造半導體裝置。

因此，可以製造及提供包含具有優良電特徵之高度可靠的薄膜電晶體之半導體裝置。

（實施例6）

在實施例6中，於下將說明在一基底上形成至少部份驅動電路及要配置於像素部份中的薄膜電晶體之實施例。

根據實施例1至5中的任一實施例，形成要配置於像素

部份中的薄膜電晶體。此外，實施例 1 至 5 中的任一實施例所述的薄膜電晶體是 n 通道 TFT。因此，複數個驅動電路中使用 n 通道 TFT 而形成的部份驅動電路形成於與像素部份的薄膜電晶體相同的基底上。

圖 20A 顯示主動矩陣顯示裝置的方塊圖實施例。在顯示裝置中，在基底 5300 上設置像素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、及訊號線驅動電路 5304。在像素部 5301 中，設置眾多從訊號線驅動電路 5304 延伸的訊號線以及眾多從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸的訊號線。注意，包含顯示元件的像素在各別區中以矩陣設置，其中，掃描線與訊號線彼此交會。此外，顯示裝置中的基底 5300 經由例如可撓印刷電路（FPC）等連接部而連接至時序控制電路 5305（也稱為控制器或控制器 IC）。

在圖 20A 中，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、及訊號線驅動電路 5304 設置於與像素部 5301 相同的基底 5300 上。因此，設置於外部的驅動電路之元件數目等可以降低，以致於可以降低成本。此外，在驅動電路設置於基底 5300 之外面的情形中，藉由延長佈線，可以降低連接部中的連接數目，因而可以取得可靠度的增進及產能增加。

注意，舉例而言，時序控制電路 5305 將第一掃描線驅動電路啟動訊號（GSP1）及掃描線驅動電路時脈訊號（GCK1）供應給第一掃描線驅動電路 5302。舉例而言，時

序控制電路5305將第二掃描線驅動電路啟動訊號（GSP2）（也稱為啟動脈動）及掃描線驅動電路時脈訊號（GCK2）供應給第二掃描線驅動電路5303。時序控制電路5305將訊號線驅動電路啟動訊號（SSP）、訊號線驅動電路時脈訊號（SCK）、視頻訊號資料（DATA）（也簡稱為視頻訊號）及佇鎖訊號（LAT）供應給訊號線驅動電路5304。注意，每一時脈訊號可為週期不同的眾多時脈訊號或者與反相時脈訊號（CKB）一起供應。注意，第一掃描線驅動電路5302及第二掃描線驅動電路5303中之一可以省略。

圖20B顯示一結構，其中，具有低驅動頻率的電路（例如第一掃描線驅動電路5302及第二掃描線驅動電路5303）與像素部5301形成於相同的基底5300上，以及，訊號線驅動電路5304形成於與基底5300不同的基底上，像素部5301係形成於基底5300上。根據此結構，藉由使用場效遷移率比使用單晶半導體形成的電晶體之場效遷移率還低的薄膜電晶體，構形成於基底5300上的驅動電路。因此，可以增加顯示裝置的尺寸、減少步驟數目、降低成本、及增進產能、等等。

實施例1至5中的每一實施例中所述的薄膜電晶體是n通道TFT。在圖21A及21B中，舉例說明使用n通道TFT形成的訊號線驅動電路的結構及操作的實施例。

訊號線驅動電路包含移位暫存器5601及切換電路5602。切換電路5602包含眾多切換電路5602_1至5602_N（N為自然數）。切換電路5602_1至5602_N均包含眾多薄膜電晶

體 5603_1 至 5603_k (k 是自然數) 。將說明薄膜電晶體 5603_1 至 5603_k 為 n 通道 TFT 的實施例。

將以切換電路 5602_1 為例，說明訊號線驅動電路的連接關係。薄膜電晶體 5603_1 至 5603_k 的第一端子分別接至佈線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二端子分別連接至訊號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接至佈線 5605_1。

移位暫存器 5601 具有依序輸出 H 位準訊號 (也稱為 H 訊號或高電源電位位準) 至佈線 5605_1 至 5605_N 以及依序選取切換電路 5602_1 至 5602_N 之功能。

切換電路 5602_1 具有控制佈線 5604_1 至 5604_k 與訊號線 S1 至 Sk 之間的電連續性 (第一端子與第二端子之間的電連續性) 之功能，亦即，控制是否供應佈線 5604_1 至 5604_k 的電位給訊號線 S1 至 Sk 之功能。如同如此所述般，切換電路 5602_1 作為選取器。此外，薄膜電晶體 5603_1 至 5603_k 均具有控制佈線 5604_1 至 5604_k 與訊號線 S1 至 Sk 之間的電連續性的功能，亦即，控制是否供應佈線 5604_1 至 5604_k 的電位給訊號線 S1 至 Sk 之功能。依此方式，每一薄膜電晶體 5603_1 至 5603_k 作為開關。

注意，視頻訊號資料 (DATA) 輸入至每一佈線 5604_1 至 5604_k。在很多情形中，視頻訊號資料 (DATA) 是對應於影像資料或影像訊號的類比訊號。

接著，將參考圖 21B 中的時序圖，說明圖 21A 中的訊號線驅動器的操作。在圖 21B，顯示訊號 Sout_1 至 Sout_N 以

及訊號 Vdata_1 至 Vdata_k 的實施例。訊號 Sout_1 至 Sout_N 是移位暫存器 5601 的輸出訊號的實施例，以及，訊號 Vdata_1 至 Vdata_k 是輸入至佈線 5604_1 至 5604_k 的訊號實施例。注意，訊號線驅動電路的一操作週期對應於顯示裝置中的一閘極選取週期。舉例而言，一閘極選取週期被分割成週期 T1 至 TN。週期 T1 至 TN 是用於將視頻訊號資料 (DATA) 寫至屬於被選取的列之像素的週期。

在週期 T1 至 TN 中，移位暫存器 5601 順序地輸出 H 位準訊號至佈線 5605_1 至 5605_N。舉例而言，在週期 T1 中，移位暫存器 5601 輸出 H 位準訊號至佈線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 被開啓，以致於佈線 5604_1 至 5604_k 與訊號線 S1 至 Sk 具有電連續性。在此情形中，Data(S1) 至 Data(Sk) 分別輸入至佈線 5604_1 至 5604_k。Data(S1) 至 Data(Sk) 分別經由薄膜電晶體 5603_1 至 5603_k 而輸入至第一至第 k 行中被選取的列中的像素。因此，在週期 T1 至 TN 中，視頻訊號資料 (DATA) 順序地寫至每一 k 行的被選取列中的像素。

藉由將視頻訊號資料 (DATA) 寫至所有眾多行的像素，可以降低視頻訊號資料 (DATA) 的數目或佈線的數目。因此，可以降低對外部電路的連接。藉由將視頻訊號寫至所有眾多行的像素，可以延長寫入時間及防止視頻訊號的不充份寫入。

注意，關於移位暫存器 5601 及切換電路 5062，可以使用包含實施例 1 至 5 中的任一實施例中所述的薄膜電晶體之

電路。

將參考圖 22A 至 22C 及圖 23A 及 23B，說明用於部份掃描線驅動電路及／或訊號線驅動電路之移位暫存器的實施例。

掃描線驅動電路包含移位暫存器。在某些情形中，掃描線驅動電路也可以包含位準移位器、緩衝器、等等。在掃描線驅動電路中，當時脈訊號（CLK）及啟動脈衝訊號（SP）輸入至移位暫存器時，產生選取訊號。所產生的選取訊號由緩衝器緩衝及放大，以及，所造成的訊號供應給對應的掃描線。一線之像素中的電晶體的閘極電極連接至掃描線。由於一線的像素中的電晶體必須一次開啓，所以，使用可以供應大電流的緩衝器。

移位暫存器包含第一至第 N 個脈衝輸出電路 IO_1 至 IO_N（N 是 3 或更大的自然數）（請參見圖 22A）。來自第一佈線 11 的第一時脈訊號 CK1、來自第二佈線 12 的第二時脈訊號 CK2、來自第三佈線 13 的第三時脈訊號 CK3、以及來自第四佈線 14 的第四時脈訊號 CK4 供應給圖 22A 中所示的移位暫存器的第一至第 N 個脈衝輸出電路 IO_1 至 IO_N。來自第五佈線 15 的啟動脈衝 SP1（第一啟動脈衝）輸入至第一脈衝輸出電路 IO_1。來自先前級中的脈衝輸出電路 IO_(n-1)（n 是大於或等於 2 且低於或等於 N 的自然數）之訊號輸入至第二級或其後續級中的第 n 個脈衝輸出電路 IO_n。來自第一脈衝輸出電路 IO_1 之後二個級的第三脈衝輸出電路 IO_3 之訊號輸入至第一脈衝輸出電路 IO_1。以類似方

式，來自第 n 個脈衝輸出電路 IO_n 後的二個級之第 $(n+2)$ 個脈衝輸出電路 $IO_(n+2)$ 的訊號（稱為下一級訊號 $OUT(n+2)$ ）輸入至第二級或其後續級中的第 n 個脈衝輸出電路。因此，第一輸出訊號（ $OUT(1)(SR)$ 至 $OUT(N)(SR)$ ）從第 n 個脈衝輸出電路輸出至下一級脈衝輸出電路（第 $(n+1)$ 個脈衝輸出電路）及／或至第 n 個脈衝輸出電路之前的二個級（第 $(n-2)$ 個脈衝輸出電路），以及，第二輸出訊號（ $OUT(1)$ 至 $OUT(N)$ ）從第 n 個脈衝輸出電路輸出至另一電路等等。注意，如圖 22A 中所示般，下一級輸出訊號 $OUT(n+2)$ 未輸入至移位暫存器的最後二級；因此，舉例而言，第二啟動脈衝 $SP2$ 及第三啟動脈衝 $SP3$ 可以分別地輸入至移位暫存器的最後二級。

注意，時脈訊號（ CK ）是以固定週期在 H 位準與 L 位準（稱為 L 訊號或低電源電位位準）之間振盪的訊號。第一至第四時脈訊號（ $CK1$ ）至（ $CK4$ ）依序延遲 $1/4$ 週期。在實施例 6 中，藉由使用第一至第四時脈訊號（ $CK1$ ）至（ $CK4$ ），以控制脈衝輸出電路的驅動。注意，根據時脈訊號輸入的驅動電路，時脈訊號也稱為 GCK 或 SCK ；但是，使用 CK 作為時脈訊號以作說明。

第一輸入端 21、第二輸入端 22、及第三輸入端 23 電連接至第一至第四佈線 11 至 14。舉例而言，在圖 22A 中，第一脈衝輸出電路 IO_1 的第一輸入端 21 電連接至第一佈線 11，第一脈衝輸出電路 IO_1 的第二輸入端 22 電連接至第二佈線 12，以及，第一脈衝輸出電路 IO_1 的第三輸入端 23 電連

接至第三佈線 13。類似地，第二脈衝輸出電路 I0_2 的第一輸入端 21 電連接至第二佈線 12，第二脈衝輸出電路 I0_2 的第二輸入端 22 電連接至第三佈線 13，以及，第二脈衝輸出電路 I0_2 的第三輸入端 23 電連接至第四佈線 14。

第一至第 N 個脈衝輸出電路 I0_1 至 I0_N 均包含第一輸入端 21、第二輸入端 22、第三輸入端 23、第四輸入端 24、第五輸入端 25、第一輸出端 26、及第二輸出端 27（請參見圖 22B）。在第一脈衝輸出電路 I0_1 中，第一時脈訊號 CK1 輸入至第一輸入端 21；第二時脈訊號 CK2 輸入至第二輸入端 22；第三時脈訊號 CK3 輸入至第三輸入端 23；啓動脈衝輸入至第四輸入端 24；下一級訊號 OUT(3) 輸入至第五輸入端 25；第一輸出訊號 OUT(1)(SR) 從第一輸出端 26 輸出；以及，第二輸出訊號 OUT(1) 從第二輸出端 27 輸出。

接著，將參考圖 22C，說明圖 22B 中所示的脈衝輸出電路的具體電路結構。

圖 22C 中所示的脈衝輸出電路包含第一至第十三電晶體 31 至 43。除了上述第一至第五輸入端 21 至 25 及第一至第二輸出端 26 和 27 之外，訊號或電源電位也從供應第一電源電位 VDD 的電源線 51、供應第二電源電位 VCC 的電源線 52、以及供應第三電源電位 VSS 的電源線 53 供應給第一至第十三電晶體 31 至 43。此處，圖 22C 中每一電源線的電源電位的量值關係如下所述：第一電源電位 VDD 高於第二電源電位 VCC，第二電源電位 VCC 高於第三電源電位 VSS。雖然第一至第四時脈訊號（CK1）至（CK4）是以固定週期

在 H 位準訊號與 L 位準訊號之間交錯之訊號，但是，當時脈訊號在 H 位準時，它們的電位被調整至 V_{DD} ，以及，當時脈訊號在 L 位準時，它們被調整至 V_{SS} 。注意，當電源線 51 的電位 V_{DD} 設定為高於電源線 52 的電位 V_{CC} 時，施加至電晶體的閘極電極之電位可以降低而不會不利地影響操作；因此，可以降低電晶體的臨界值偏移以及可以抑制劣化。

在圖 22C 中，第一電晶體 31 的第一端電連接至電源線 51，第一電晶體 31 的第二端電連接至第九電晶體 39 的第一端，第一電晶體 31 的閘極電極電連接至第四輸入端 24。第二電晶體 32 的第一端電連接至電源線 53，第二電晶體 32 的第二端電連接至第九電晶體 39 的第一端，第二電晶體 32 的閘極電極電連接至第四電晶體 34 的閘極電極。第三電晶體 33 的第一端電連接至第一輸入端 21，第三電晶體 33 的第二端電連接至第一輸出端 26。第四電晶體 34 的第一端電連接至電源線 53，第四電晶體 34 的第二端電連接至第一輸出端 26。第五電晶體 35 的第一端電連接至電源線 53，第五電晶體 35 的第二端電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，第五電晶體 35 的閘極電極電連接至第四輸入端 24。第六電晶體 36 的第一端電連接至電源線 52，第六電晶體 36 的第二端電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，第六電晶體 36 的閘極電極電連接至第五輸入端 25。第七電晶體 37 的第一端電連接至電源線 52，第七電晶體 37 的第二端電連接至第八電晶體 38 的

第二端，第七電晶體 37 的閘極電極電連接至第三輸入端 23。第八電晶體 38 的第一端電連接至第二電晶體 32 的閘極電極以及第四電晶體 34 的閘極電極，第八電晶體 38 的閘極電極電連接至第二輸入端 22。第九電晶體 39 的第一端電連接至第一電晶體 31 的第二端及第二電晶體 32 的第二端，第九電晶體 39 的第二端電連接至第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，第九電晶體 39 的閘極電極電連接至電源線 52。第十電晶體 40 的第一端電連接至第一輸入端 21，第十電晶體 40 的第二端電連接至第二輸出端 27，以及，第十電晶體 40 的閘極電極電連接至第九電晶體 39 的第二端。第十一電晶體 41 的第一端電連接至電源線 53，第十一電晶體 41 的第二端電連接至第二輸出端 27，以及，第十一電晶體 41 的閘極電極電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。第十二電晶體 42 的第一端電連接至電源線 53，第十二電晶體 42 的第二端電連接至第二輸出端 27，以及，第十二電晶體 42 的閘極電極電連接至第七電晶體 37 的閘極電極。第十三電晶體 43 的第一端電連接至電源線 53，第十三電晶體 43 的第二端電連接至第一輸出端 26，以及，第十三電晶體 43 的閘極電極電連接至第七電晶體 37 的閘極電極。

在圖 22C 中，第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極、及第九電晶體 39 的第二端的連接點稱為節點 A。此外，第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端、第六電晶體 36 的第二

端、第八電晶體 38 的第一端、及第十一電晶體 41 的閘極電極的連接點稱為節點 B。

圖 23A 顯示當圖 22C 中所示的脈衝輸出電路施加至第一脈衝輸出電路 10_1 時，輸入至或輸出自第一輸入端 21 至第五輸入端 25、第一輸出端 26、及第二輸出端 27 之訊號。

具體而言，第一時脈訊號 CK1 輸入至第一輸入端 21；第二時脈訊號 CK2 輸入至第二輸入端 22；第三時脈序號 CK3 輸入至第三輸入端 23；啟動脈衝 SP1 輸入至第四輸入端 24；下一級訊號 OUT(3) 輸入至第五輸入端 25；第一輸出訊號 OUT(1)(SR) 從第一輸出端 26 輸出；第二輸出訊號 OUT(1) 從第二輸出端 27 輸出。

注意，薄膜電晶體是具有至少閘極、汲極、和源極等三個端的元件。薄膜電晶體具有半導體，其中，通道區形成於與閘極重疊的區域中，以及，藉由控制閘極電位，可以控制經由通道區而在汲極與源極之間流動的電流。此處，由於薄膜電晶體的源極和汲極可以視薄膜電晶體的結構、操作條件、等等而互換，所以，難以界定何者為源極或汲極。因此，作為源極和汲極的區域在某些情形中不會稱為源極或汲極。在此情形中，舉例而言，源極和汲極之一可以稱為第一端及其中另一稱為第二端。

此處，圖 23B 顯示包含圖 23A 中所示的眾多脈衝輸出電路之移位暫存器的時序圖。注意，當移位暫存器為掃描線驅動電路時，圖 23B 中的週期 61 和週期 62 分別對應於垂直追溯週期及閘極選取週期。

注意，如圖 23A 所示，藉由設置閘極被供予第二電源電位 V_{CC} 的第九電晶體 39，在自舉操作之前及之後取得下述優點。

未設置閘極被供予第二電源電位 V_{CC} 的第九電晶體 39 時，假使節點 A 的電位受自舉操作而升高時，第一電晶體 31 的第二端之源極電位增加至高於第一電源電位 V_{DD} 的值。然後，第一電晶體 31 的第一端，亦即，電源線 51 變成作為其源極。因此，在第一電晶體 31 中，施加大的偏壓電壓，並因而在閘極與源極之間以及在閘極與汲極之間施加顯加的應力。造成電晶體劣化。藉由設置閘極被供予第二電源電位 V_{CC} 的第九電晶體 39，節點 A 的電位受自舉操作而升高，但是，同時，可以防止第一電晶體 31 的第二端的電位增加。換言之，藉由設置第九電晶體 39，可以降低施加於第一電晶體 31 的閘極與源極之間的負偏壓電壓。因此，藉由實施例 6 的電路結構，可以降低施加於第一電晶體 31 的閘極與源極之間的負偏壓電壓，以致於可以進一步抑制導因於應力之第一電晶體 31 中的劣化。

注意，第九電晶體 39 配置成經由其第一端及第二端而連接於第一電晶體 31 的第二端與第三電晶體 33 的閘極之間。當使用實施例 6 中所示之包含眾多脈衝輸出電路的移位暫存器時，在比掃描線驅動電路具有更多級的訊號線驅動電路中，第九電晶體 39 可以省略以及電晶體數目可以降低。

當氧化物半導體層用於第一電晶體 31 至第十三電晶體

43半導體層時，可以降低薄膜電晶體的關閉電流，以及，可以增加開啓電流及場效遷移率，以及，可以降低劣化程度；因此，可以降低電路故障。相較於使用非晶矽形成的電晶體，使用氧化物半導體形成的電晶體因高電位施加至閘極電極而造成的劣化程度小。因此，即使當第一電源電位VDD被供應至供應第二電源電位VCC的電源線時，仍然可以執行類似的操作，以及，可以降低設置於電路中的電源線的數目，以致於電路可以最小化。

注意，即使改變佈線連接，以致於經由第三輸入端23供應給第七電晶體37的閘極電極之時脈訊號以及經由第二輸入端22供應給第八電晶體38的閘極電極之時脈訊號分別為經由第二輸入端22供應給第七電晶體37的閘極電極之時脈訊號以及經由第三輸入端23供應給第八電晶體38的閘極電極之時脈訊號，仍然可以取得類似的操作效果。注意，在圖23A中所示的移位暫存器中，在第七電晶體37及第八電晶體38都開啓之後，第七電晶體37被關閉以及第八電晶體38仍然開啓，然後，第七電晶體37仍然關閉以及第八電晶體38關閉。因此，由於第七電晶體37的閘極電極電位下降以及以及第八電晶體38的閘極電位下降，所以，由第二輸入端22及第三輸入端23的電位下降造成的節點B的電位下降發生二次。另一方面，在圖23A中所示的移位暫存器中，由第二輸入端22及第三輸入端23的電位下降造成的節點B的電位下降次數可以降低至一次，發生於當第八電晶體38的閘極電極的電位下降時。藉由下述方式，可以降低

節點 B 的電位下降次數：如圖 23B 的週期 62 中所示般，在第七電晶體 37 及第八電晶體 38 都開啓之後，第七電晶體 37 仍然開啓及第八電晶體 38 關閉，然後，第七電晶體 37 關閉及第八電晶體 38 仍然關閉。因此，藉由使用經由第三輸入端 23 而供應給第七電晶體 37 的閘極電極之時脈訊號以及經由第二輸入端 22 而供應給第八電晶體 38 的閘極電極之時脈訊號，降低節點 B 的電位變化；因此，可以降低雜訊，這是較佳的。

依此方式，在第一輸出端 26 及第二輸出端 27 的電位保持在 L 位準期間的時段中，H 位準訊號規律地供應給節點 B；因此，可以抑制脈衝輸出電路的故障。

（實施例 7）

當製造薄膜電晶體且以薄膜電晶體用於像素部及又用於驅動電路時，可以製造具有顯示功能之半導體裝置（也稱為顯示裝置）。此外，當使用薄膜電晶體而在與像素部相同的基底上形成部份或全部驅動電路時，可以取得面板上的系統。

顯示裝置包含顯示元件。關於顯示元件，可以使用液晶元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元件）。發光元件在其類別內包含亮度受電流或電壓控制的元件，以及，具體地包含無機電致發光（EL）元件、有機 EL 元件、等等。此外，可以使用例如電子墨水等對比會受電作用改變的顯示媒體。

顯示裝置包含面板及模組，顯示元件密封於面板中，在模組中包含控制器之IC等安裝於面板上。顯示裝置也關於對應於顯示裝置製程中完成顯示元件之前的一模式之元件基底，元件基底設有供應電流給多個像素中的每一像素中的顯示元件之機構。具體而言，元件基底可以處於僅形成顯示元件的像素電極（像素電極層）之後的狀態、在形成作為像素電極的導電膜之後及導電膜被蝕刻以形成像素電極之前的狀態、或任何其它狀態。

注意，在本說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包含發光裝置）。此外，顯示裝置在其類別中包含下述模組：例如可撓印刷電路（FPC）、捲帶式自動接合（TAB）帶、或捲帶載體封裝（TCP）等連接器附著之模組；具有尾端設有印刷線路板之TCP或TAB帶的模組；以及，具有以玻璃上晶片（COG）法直接安裝於顯示元件上的積體電路（IC）之模組。

將參考圖16A1、16A2、及16B，說明半導體裝置的一實施例之液晶顯示面板的外觀及剖面。圖16A1及16A2均為面板的平面視圖，其中，實施例3中所述之均包含形成於第一基底4001上之氧化物半導體層的高度可靠的薄膜電晶體4010和4011，以及，液晶元件4013由密封劑4005密封於第一基底4001與第二基底4006之間。圖16B是圖16A1及16A2之M-N剖面視圖。

密封劑4005設置成圍繞設於第一基底4001上的像素部4002及掃描線驅動電路4004。第二基底4006設於像素部

4002及掃描線驅動電路4004上。因此，像素部4002及掃描線驅動電路4004與液晶層4008一起由第一基底4001、密封劑4005、及第二基底4006密封。使用單晶半導體膜或多晶半導體膜而形成於分開製備之基底上的訊號線驅動電路4003安裝於一區域中，所述區域與第一基底4001上由密封劑4005圍繞的區域不同。

注意，對於分開形成的驅動電路之連接方法並無特別限定，可以使用COG方法、接線接合法、TAB法、等等。圖16A1顯示以COG法安裝訊號線驅動電路4003的實施例，以及，圖16A2顯示以TAB法安裝訊號線驅動電路4003的實施例。

設於第一基底4001上的像素部4002及掃描線驅動電路4004均包含多個薄膜電晶體。圖16B顯示包含於像素部4002中的薄膜電晶體4010以及包含於掃描線驅動電路4004中的薄膜電晶體4011。保護絕緣層4020和4021設於薄膜電晶體4010和4011上。

可以使用實施例3中所述的包含氧化物半導體層的薄膜電晶體作為薄膜電晶體4010及4011。或者，可以使用實施例1或2中所述的薄膜電晶體。在實施例7中，薄膜電晶體4010和4011為n通道薄膜電晶體。

包含於液晶元件4013中的像素電極層4030電連接至薄膜電晶體4010。液晶元件4013的對立電極層4031形成於第二基底4006上。像素電極層4030、對立電極層4031、及液晶層4008彼此重疊的部份對應於液晶元件4013。注意，像

素電極層 4030 及對立電極層 4031 分別設有均作為對齊膜的絕緣層 4032 及絕緣層 4033。液晶層 4008 夾於像素電極層 4030 及對立電極層 4031 之間，以絕緣層 4032 及 4033 介於其間。

注意，可以使用玻璃、金屬（典型上為不銹鋼）、陶瓷、或塑膠以製成第一基底 4001 與第二基底 4006。關於塑膠，可以使用玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜。此外，可以使用具有鋁箔夾於 PVF 膜或聚酯膜之間的結構之板片。

藉由選擇性地蝕刻絕緣膜而取得柱狀間隔器 4035，柱狀間隔器 4035 設置成控制像素電極層 4030 與對立電極層 4031 之間的距離（胞間隙）。注意，可以使用球形間隔器。對立電極層 4031 電連接至設置於與薄膜電晶體 4010 相同的基底上之共同電位線。藉由使用共同連接部，對立電極層 4031 可以經由配置於成對基底之間的導電粒子而電連接至共同電位線。注意，導電粒子包含於密封劑 4005 中。

或者，可以使用不須要對齊膜之呈現藍相位的液晶。藍相位液晶是當膽茲液晶的溫度增加時，正好在膽茲液晶變成各向等性相位之前產生的液晶相位之一。由於藍相位僅在相當狹窄的溫度範圍內產生，所以，以含有 5 重量 % 或更高的掌性劑之液晶成份用於液晶層 4008，以增加溫度範圍。包含呈現藍相位液晶及掌性劑的液晶成份具有 1 msec 或更低的小響應時間、具有光學上各向等性而不須要對齊處理、以及具有小視角相依性。

本發明的實施例除了可以應用至透射式液晶顯示裝置外，也可以應用至反射式液晶顯示裝置或透反射式液晶顯示裝置。

將說明液晶顯示裝置的實施例，其中，極化板設置於基底的較外表面上（觀視側上），以及，用於顯示元件的色層（濾光器）及電極層依序設置於基底的較內表面上；但是，極化板可以設置於基底的較內表面上。極化板及色層的堆疊結構不限於實施例7中所述的結構，可以根據極化板和色層的材料或製程條件而適當地設置。此外，可以設置作為黑矩陣的遮光膜。

在薄膜電晶體4010及4011上，形成與包含通道形成區的氧化物半導體層接觸之作為保護絕緣膜的絕緣層4020。使用類似於實施例1中所示的氧化物絕緣膜407的材料及方法，形成絕緣層4020。為了降低薄膜電晶體的表面粗糙度，薄膜電晶體由作為平坦化絕緣膜之絕緣層4021遮蓋。

此處，形成具有堆疊結構的絕緣層4020作為保護膜。藉由實施例1中所示的電漿CVD法，形成氧氮化矽膜，作為絕緣層4020的第一層。

以電漿CVD法，形成氮化矽層作為絕緣層4020的第二層。使用氮化矽膜作為保護膜能夠防止例如鈉離子等可移動的離子進入半導體層，藉以抑制TFT的電特性之變異。

在形成保護膜之後，在氮氣氛圍或大氣氛圍之下，執行熱處理（在300℃或更低）。

形成絕緣層4021作為平坦化絕緣膜。使用例如聚醯亞

胺、丙烯酸樹膠、苯環丁烯為基礎的樹脂、聚醯胺、或環氧樹脂等具有抗熱性的有機材料以作為絕緣層4021。除了這些有機材料之外，也能夠使用低介電常數材料（低k材料）、矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。注意，可以藉由堆疊這些材料形成的複數個絕緣膜，形成絕緣層4021。

注意，矽烷樹脂是由作為起始材料的矽烷材料且具有Si-O-Si鍵之樹脂形成。矽烷為基礎的樹脂包含有機基（舉例而言，烷基或芳基）作為替代物。此外，有機基可以包含氟基。

對於絕緣層4021之形成方法並無特別限定，可以視材料而使用下述方法以形成絕緣層4021：濺射法、SOG法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、偏離印刷法、等等）、或是使用例如刮刀、輥塗著器、簾幕塗著器、刀式塗著器等工具（設備）。絕緣層4021的烘烤步驟也作為氧化物半導體層的退火步驟，因此可以有效率地製造半導體裝置。

以例如含有氧化鎢的氧化銦、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（此後稱為ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導電材料，製成像素電極層4030及對立電極層4031。

含有導電高分子（也稱為導電聚合物）的導電成份可以用於像素電極層4030及對立電極層4031。導電成份製成

的像素電極較佳地具有小於或等於10000歐姆／平方的薄片電阻以及具有之波長550nm的透射率為大於或等於70%。此外，包含於導電成份中的導電高分子的電阻率較佳地小於或等於 $0.1\ \Omega \cdot \text{cm}$ 。

關於導電高分子，可以使用所謂的 π 電子共軛導電聚合物。舉例而言，能夠使用聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、它們之中的二或更多種的共聚物。

各種訊號及電位從可撓印刷電路（FPC）4018供應給分別形成的訊號線驅動電路4003、掃描線驅動電路4004、或像素部4002。

由與包含於液晶元件4013中的像素電極層4030相同的導電膜，形成連接端電極4015，以及，由與薄膜電晶體4011的源極和汲極電極層相同的導電膜，形成端電極4016。

連接端電極4015經由各向異性導電膜4019而電連接至包含於FPC 4018中的端子。

注意，圖16A1、16A2、及16B顯示訊號線驅動電路4003分別地形成及安裝於第一基底4001上的實施例；但是，實施例7不限於此結構。可以分開地形成掃描線驅動電路，然後安裝，或是，僅有部分訊號線驅動電路或部份掃描線驅動電路分別地形成，然後安裝。

圖26顯示液晶顯示模組之實施例，藉由使用根據本說明書中揭示的製造方法所製造的TFT基底2600，形成液晶

顯示模組作為半導體裝置。

圖 26 顯示液晶顯示模組之實施例，其中，TFT 基底 2600 與對立基底 2601 藉由密封劑 2602 而彼此接合，以及，包含 TFT 等的像素部 2603、包含液晶層的顯示元件 2604、及色層 2605 設於基底之間，以形成顯示區。色層 2605 是執行彩色顯示時所需的。在 RGB 系統中，對各別像素，設置對應於紅、綠、藍的各別色層。極化板 2606 和 2607 及散光板 2613 設於 TFT 基底 2600 及對立基底 2601 之外面。光源包含冷陰極管 2610 及反射板 2611。電路板 2612 經由可撓線路板 2609 連接至 TFT 基底 2600 的佈線電路部 2608，以及，包含例如控制電路或電源電路等外部電路。極化板及液晶層相堆疊，以延遲板介於其間。

液晶顯示模組可以使用 TN（對絞向列）模式、IPS（平面中切換）模式、FFS（邊緣場切換）模式、MVA（多域垂直對齊）模式、PVA（圖案化垂直對齊）模式、ASM（軸向對稱對齊微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（抗鐵電液晶）模式、等等。

經由上述製程，可以製造作為半導體裝置之高度可靠的液晶顯示面板。

實施例 7 可以與其它實施例中所述的結構適當地結合實施。

（實施例 8）

在實施例 8 中，將說明作為本發明的實施例之半導體裝置的電子紙實施例。

使用本發明製造的半導體裝置可以用於電子紙，在電子紙中，使用電連接至切換元件之元件以驅動電子墨水。電子紙也稱為電泳顯示裝置（電泳顯示器），其優點在於具有與一般紙相同等級的可讀性，比其它顯示裝置具有更少的耗電，以及，可以製成薄且輕。

電泳顯示器具有不同模式。電泳顯示器含有多個散佈於溶劑或溶質中的微囊，每一微囊均含有正電荷的第一粒子及負電荷的第二粒子。藉由施加電場至微囊，微囊中的粒子以彼此相反的方向移動，以及，僅有聚集於一側上的粒子的顏色被顯示。注意，第一粒子及第二粒子均含有著色劑，且當無電場時不會移動。此外，第一粒子與第二粒子具有不同的顏色（可以是無色）。

因此，電泳顯示器是利用所謂的電泳效應之顯示器，藉由電泳效應，具有高介電常數的物質移動至高電場區。電泳顯示裝置不需使用液晶顯示裝置中所要求的極化板。

有上述微囊散佈於溶劑中的溶液稱為電子墨水。此電子墨水可以印於玻璃、塑膠、布、紙、等等的表面上。此外，藉由使用濾光器或具有色料的粒子，也能夠取得彩色顯示。

此外，假使多個上述微囊適當地配置於主動矩陣基底上以致插入於二電極之間時，則完成主動矩陣顯示裝置，以及，藉由施加電場至微囊，可以執行顯示。舉例而言，

可以使用以實施例 1 至 4 中任一實施例中所述之薄膜電晶體取得的主動矩陣基底。

注意，微囊中的第一粒子及第二粒子可由選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電色顯示材料、及磁泳材料中的單一材料形成、或這些材料中的任何材料的複合材料形成。

圖 24 顯示作為半導體裝置的實施例之主動矩陣電子紙。以類似於實施例 2 中所述的薄膜電晶體之方式，製造用於半導體裝置的薄膜電晶體 581，薄膜電晶體 581 是包含氧化物半導體層之高度可靠的薄膜電晶體。實施例 1 及 3 至 5 中任一實施例所述的薄膜電晶體也可以作為實施例 8 的薄膜電晶體 581。

圖 24 中的電子紙是使用對絞球顯示系統之顯示裝置的實施例。對絞球顯示系統意指一方法，其中，顏色為黑白的球形粒子配置於第一電極層與第二電極層之間，第一電極層與第二電極層是用於顯示元件的電極層，以及，在第一電極層與第二電極層之間產生電位差，以控制球形粒子的配向，以致於執行顯示。

形成於基底 580 上的薄膜電晶體 581 是具有底部閘極結構且由與半導體層接觸之絕緣膜 583 遮蓋。薄膜電晶體 581 的源極電極層或汲極電極層經由形成於絕緣層 585 中的開口而與第一電極層 587 相接觸，因此，薄膜電晶體 581 電連接至第一電極層 587。在形成於基底 596 上的第一電極層 587 與第二電極層 588 之間，設置均具有黑色區 590a 及白色

區 590b 的球形粒子 589。圍繞球形粒子 589 的空間例如樹脂等填充物 595 填充。第一電極層 587 對應於像素電極，第二電極層 588 對應於共同電極。第二電極層 588 電連接至設於與薄膜電晶體 581 相同的基底上之共同電位線。藉由使用共同連接部，第二電極層 588 經由設於成對基底 580 和 596 之間的導電粒子而電連接至共同電位線。

取代使用對絞球的元件，也可以使用電泳元件。使用具有約 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 的直徑之微囊，其中，透明液體、正電荷的白微粒子、及負電荷的黑微粒子封裝於微囊中。在設於第一電極層與第二電極層之間的微囊中，當在第一電極層及第二電極層施加電場時，白微粒與黑微粒彼此移至相反側，以致於可以顯示白色及黑色。使用此原理的顯示元件是電泳顯示元件，一般稱為電子紙。電泳顯示元件具有比液晶顯示元件還高的反射率，因而不需要輔助光、功率消耗低且即使是微暗的環境仍可辨識顯示部。此外，即使當功率未供應給顯示部時，仍然可以保持曾經顯示的影像。因此，即使具有顯示功能的半導體裝置（也簡稱為顯示裝置或設有顯示裝置之半導體裝置）與電源斷接，仍然可以儲存顯示的影像。

經由上述製程，可以製造高度可靠的電子紙作為半導體裝置。

實施例 8 可以與其它實施例中所述的結構適當地結合實施。

(實施例 9)

將說明作為半導體裝置的發光顯示裝置的實施例。此處，說明利用電致發光的發光元件作為包含於顯示裝置中的顯示元件。利用電致發光的發光元件根據發光材料是否為有機化合物或無機化合物而分類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞分別從電極對注入含有發光有機化合物的層，以及，電流通過。然後，載子（電子及電洞）復合，以致於發光有機化合物受激發。發光有機化合物從激態返回至基態，藉以發光。歸因於此機制，此發光元件稱為電流激發發光元件。

無機 EL 元件根據它們的元件結構而分成散佈型無機 EL 元件及薄膜型無機 EL 元件。散佈型無機 EL 元件具有發光層，其中，發光材料的粒子散佈於結合劑中，以及，其發光機制是利用施子能階與受子能階之施子－受子復合型發光。薄膜型無機 EL 元件具有一結構，在結構中，發光層夾於介電層之間，介電層又夾於電極之間，以及，其發光機制是使用金屬離子之內殼電子跳遷之局部型發光。注意，此處說明使用有機 EL 元件作為發光元件之實施例。

圖 18 顯示藉由數位時間灰階法驅動的像素結構實施例作為半導體裝置的實施例。

將說明藉由數位時間灰階法驅動的像素的結構及操作。此處，說明一實施例中，其中，一像素包含二 n 通道電

晶體，每一 n 通道電晶體均在通道形成區中使用氧化物半導體層。

像素 6400 包含切換電晶體 6401、用於驅動發光元件的電晶體 6402、發光元件 6404、及電容器 6403。切換電晶體 6401 的閘極連接至掃描線 6406，切換電晶體 6401 的第一電極（源極電極與汲極電極之一）連接至訊號線 6405，切換電晶體 6401 的第二電極（源極電極與汲極電極中的另一電極）連接至用於驅動發光元件之電晶體 6402 的閘極。用於驅動發光元件的電晶體 6402 的閘極經由電容器 6403 連接至電源線 6407，驅動電晶體 6402 的第一電極連接至電源線 6407，用於驅動發光元件的電晶體 6402 的第二電極連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接至設於相同基底上的共同電位線。

注意，發光元件 6404 的第二電極（共同電極 6408）設於低電源電位。低電源電位低於供應給電源線 6407 的高電源電位。舉例而言，接地（GND）、或 0V 可以設定為低電源電位。在高電源電位與低電源電位之間的電位差施加至發光元件 6404 以致於電流流經發光元件 6404，發光元件 6404 因而發光。因此，每一電位設定成使得高電源電位與低電源電位之間的電位差大於或等於順向臨界電壓。

當使用用於驅動發光元件的電晶體 6402 的閘極電容作為電容器 6403 的替代時，可以省略電容器 6403。用於驅動發光元件的驅動電晶體 6402 的閘極電容可以形成於通道區

與閘極電極之間。

此處，在使用電壓輸入電壓驅動法的情形中，視頻訊號輸入至用於驅動發光元件的電晶體 6402 的閘極，以使用於驅動發光元件的電晶體 6402 完全開啓或關閉。亦即，用於驅動發光元件的驅動電晶體 6402 在線性區操作，因此，比電源線 6407 的電壓還高的電壓施加至用於驅動發光元件的電晶體 6402 的閘極。注意，高於或等於（電源線電壓 + 用於驅動發光元件的電晶體 6402 的 V_{th} ）之電壓施加至訊號線 6405。

在使用類比灰階驅動以取代數位時間灰階法的情形中，藉由以不同方式輸入訊號，可以使用與圖 18 中相同的像素結構。

在使用類比灰階法的情形中，高於或等於（發光元件 6404 的順向電壓 + 用於驅動發光元件之電晶體 6402 的 V_{th} ）之電壓施加至用於驅動發光元件之電晶體 6402 的閘極。發光元件 6404 的順向電壓表示取得所需亮度之電壓且包含至少順向臨界電壓。藉由輸入使用於驅動發光元件之電晶體 6402 能夠在飽合區操作的視頻訊號，電流可以供應給發光元件 6404。爲了使用於驅動發光元件之電晶體 6402 在飽合區操作，電源線 6407 的電位高於用於驅動發光元件之電晶體 6402 的閘極電位。由於視頻訊號是類比訊號，所以，根據視頻訊號之電流流入發光元件 6404，以及，執行類比灰階法。

注意，像素結構不限於圖 18 中所示的結構。舉例而言

，圖 18 中的像素可以又包含開關、電阻器、電容器、電晶體、邏輯電路、等等。

接著，參考圖 19A 至 19C，說明發光元件的結構。此處，以用於驅動發光元件之 n 通道驅動 TFT 為例，說明像素的剖面結構。以類似於實施例 2 中所述的用於像素中的薄膜電晶體之方式，製造圖 19A 至 19C 中所示之用於半導體裝置的用於驅動發光元件的 TFT 7001、7011、及 7021。TFT 7001、7011、及 7021 是高度可靠的薄膜電晶體，均包含氧化物半導體層。或者，可以使用實施例 1 及 3 至 5 中所述之像素中所使用的薄膜電晶體作為驅動 TFT 7001、7011、及 7021。

為了取出發光元件發射的光，陽極與陰極中至少之一須要使光透射。薄膜電晶體及發光元件形成於基底上。發光元件可以具有頂部發光結構，其中，經由與基底相反的表面，取出發射光；底部發光結構，其中，經由基底側上的表面，取出發射光；或者，雙發光結構，其中，經由與基底相反的表面及基底側上的表面，取出發射光。像素結構可以應用至具有這些發光結構中的任何結構之發光元件。

參考圖 19A，說明具有頂部發光結構的發光元件。

圖 19A 是用於驅動發光元件之 TFT 7001 是 n 型的且光從發光元件 7002 發射至陽極 7005 側之情形中像素的剖面視圖。在圖 19A 中，發光元件 7002 的陰極 7003 電連接至用於驅動發光元件之 TFT 7001，以及，發光層 7004 及陽極 7005 依

此次序堆疊於陰極 7003 上。陰極 7003 可以由各種材料形成，材料只要具有低功函數及能反射光即可。舉例而言，較佳地使用 Ca、Al、CaF、MgAg、AlLi、等等。發光層 7004 可以由單層或堆疊的多個層形成。當以多個層形成發光層 7004 時，依序於陰極 7003 上堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成發光層 7004。注意，並非需要形成所有這些層。使用例如含有氧化鎢的氧化銮膜、含有氧化鎢的氧化銮鋅、含有氧化鈦的氧化銮、含有氧化鈦的氧化銮錫、氧化銮錫（此後稱為 ITO）、氧化銮鋅、或添加氧化矽之氧化銮錫等透光導電材料，製成陽極 7005。

此外，在陰極 7003 與相鄰像素的陰極之間設置分隔部 7009，以遮蓋其每一端部。使用例如聚醯亞胺、丙烯酸樹脂、聚醯胺、或環氧樹脂等有機樹脂膜、無機絕緣膜、或聚矽烷，形成分隔部 7009。特別較佳地，使用感光樹脂材料，形成分隔壁 7009，以致於分隔部 7009 的側壁形成為具有連續曲率的傾斜表面。在以感光樹脂材料用於分隔部 7009 的情形中，可以省略形成光阻掩罩的步驟。

發光元件 7002 對應於發光層 7004 夾於陰極 7003 與陽極 7005 之間的區域。在圖 19A 中所示的像素的情形中，如箭頭所示般，光從發光元件 7002 發射至陽極 7005 側。

接著，將參考圖 19B，說明具有底部發光結構的發光元件。圖 19B 是在用於驅動發光元件的 TFT 7011 是 n 型的且光從發光元件 7012 發射至陰極 7013 側之情形中像素的剖面

視圖。在圖 19B 中，發光元件 7012 的陰極 7013 形成於透光導電膜 7017 上，透光導電膜 7017 電連接至用於驅動發光元件之 TFT 7011，以及，發光層 7014 及陽極 7015 依此次序堆疊於陰極 7013 上。注意，當陽極 7015 具有透光特性時，形成用於反射或阻擋光的遮光膜 7016 以遮蓋陽極 7015。如同圖 19A 的情形般，多種材料可以用於陰極 7013，材料只要是具有低功函數的導電材料即可。注意，陰極 7013 形成至具有可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，可以使用 20 nm 厚的鋁膜作為陰極 7013。類似於圖 19A 的情形，使用單層結構或堆疊的多個層，形成發光層 7014。類似於圖 19A 的情形般，陽極 7015 不需要使光透射，但是，可由透光導電材料製成。關於遮光膜 7016，舉例而言，可以使用使光反射的金屬等等，但是，不限於金屬膜。舉例而言，也可以使用添加黑色顏料的樹脂等。

此外，在導電膜 7017 與相鄰像素的導電膜之間設置分隔部 7019，以遮蓋其每一端部。使用例如聚醯亞胺、丙烯酸樹脂、聚醯胺、或環氧樹脂等有機樹脂膜、無機絕緣膜、或聚矽烷，形成分隔部 7019。特別較佳地，使用感光樹脂材料，形成分隔部 7019，以致於分隔部 7019 的側壁形成為具有連續曲率的傾斜表面。在以感光樹脂材料用於分隔部 7019 的情形中，可以省略形成光阻掩罩的步驟。

發光元件 7012 對應於發光層 7014 夾於陰極 7013 與陽極 7015 之間的區域。在圖 19B 所示的像素的情形中，如箭頭所示般，光從發光元件 7012 發射至陰極 7013 側。

接著，參考圖 19C，說明具有雙發光結構的發光元件。在圖 19C 中，發光元件 7022 的陰極 7023 形成於透光導電膜 7027 上，透光導電膜 7027 電連接至用於驅動發光元件的 TFT 7021，發光層 7024 及陰極 7025 依此次序堆疊於陰極 7023 上。類似圖 19A 的情形般，陰極 7023 可由多種材料形成，只要它們具有低功函數即可。注意，陰極 7023 形成至具有可以使光透射的厚度。舉例而言，可以使用 20 nm 厚的鋁膜作為陰極 7023。類似圖 19A 般，使用單層或堆疊的多個層，以形成發光層 7024。類似圖 19A 的情形般，使用透光導電材料，製成陽極 7025。

此外，在導電膜 7027 與相鄰像素的導電膜之間設置分隔部 7029，以遮蓋其每一端部。使用例如聚醯亞胺、丙烯酸樹脂、聚醯胺、或環氧樹脂等有機樹脂膜、無機絕緣膜、或聚矽烷，形成分隔部 7029。特別較佳地，使用感光樹脂材料，形成分隔部 7029，以致於分隔部 7029 的側壁形成為具有連續曲率的傾斜表面。在以感光樹脂材料用於分隔部 7029 的情形中，可以省略形成光阻掩罩的步驟。

發光元件 7022 對應於陰極 7023、發光層 7024、及陽極 7025 彼此重疊的區域。在圖 19C 中所示的像素的情形中，如箭頭所示，光從發光元件 7022 發射至陽極 7025 側及陰極 7023 側。

雖然此處將有機 EL 元件說明為發光元件，但是，也可以設置無機 EL 元件作為發光元件。

說明一實施例，其中，控制發光元件的驅動之薄膜電

晶體（用於驅動發光元件的TFT）電連接至發光元件；但是，可以使用用於電流控制的TFT連接於用於驅動發光元件的TFT與發光元件之間的結構。

注意，半導體裝置的結構不限於圖19A至19C中所述的結構，可以根據本發明的技術精神，以不同方式修改。

接著，將參考圖17A及17B，說明半導體裝置的實施例之發光顯示面板（也稱為發光面板）的外觀及剖面。圖17A是面板的平面視圖，其中，薄膜電晶體及發光元件由密封劑密封於第一基底與第二基底之間。圖17B是圖17A的H-I剖面視圖。

密封劑4505設置成圍繞設於第一基底4501上的像素部4502、訊號線驅動電路4503a和4503b、及掃描線驅動電路4504a和4504b。此外，第二基底4506設於像素部4502、訊號線驅動電路4503a和4503b、以及掃描線驅動電路4504a和4504b上。因此，像素部4502、訊號線驅動電路4503a和4503b、以及掃描線驅動電路4504a和4504b與填充物4507一起由第一基底4501、密封劑4505、及第二基底4506密封。較佳地，面板由具有高氣密性及低除氣之保護膜（例如接合膜或紫外線可固化樹脂膜）或遮蓋材料封裝（密封），以致於面板不會曝露至外部空氣。

形成於第一基底4501上的像素部4502、訊號線驅動電路4503a和4503b、以及掃描線驅動電路4504a和4504b均包含多個薄膜電晶體，以及，包含於像素部4502中的薄膜電晶體4510及包含於訊號線驅動電路4503a中的薄膜電晶體

4509作為實施例，顯示於圖17B中。

關於薄膜電晶體4509和4510，可以使用包含實施例3中所述的氧化物半導體層之高度可靠的薄膜電晶體。或者，可以使用實施例1、2、4及5中所述的薄膜電晶體。薄膜電晶體4509和4510為n通道薄膜電晶體。

代號4511代表發光元件。第一電極層4517為包含於發光元件4511中的像素電極，其電連接至薄膜電晶體4510的源極電極層或汲極電極層。注意，發光元件4511的結構不限於實施例9中所述的堆疊結構，實施例9中所述的堆疊結構包含第一電極層4517、電致發光層4512、及第二電極層4513。發光元件4511的結構可以視從發光元件4511取出光的方向等而適當地改變。

分隔壁4520由有機樹脂膜、無機絕緣膜、或聚矽烷製成。特別較佳地，分隔壁4520由感光材料形成至在第一電極層4517上具有開口，以致於開口的側壁形成為具有連續曲率的傾斜表面。

使用單層或堆疊的多個層，形成電致發光層4512。

在第二電極層4513和分隔壁4520上形成保護膜以防止氧、氫、濕氣、二氧化碳等進入發光元件4511中。關於保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC膜、等等。

此外，各種訊號及電位從FPC 4518a和4518b供應至訊號線驅動電路4503a和4503b、掃描線驅動電路4504a和4504b、或像素部4502。

由與包含於發光元件4511中的第一電極層4517相同的

導電膜，形成連接端電極 4515，以及，由與包含於薄膜電晶體 4509 中的源極和汲極電極層相同的導電膜，形成端電極 4516。

連接端電極 4515 經由各向異性導電膜 4519 而電連接至包含於 FPC 4518a 的端子。

位於從發光元件 4511 取出光的方向上之基底需要具有透光特性。在該情形中，使用例如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等透光材料。

關於填充物 4507，除了例如氮或氬等惰性氣體外，還可以使用紫外光可固化樹脂或熱固樹脂。舉例而言，可以使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯乙酸乙烯酯（EVA）。

假使需要時，可以在發光元件的發光表面上適當地設置例如極化板、圓形極化板（包含橢圓形極化板）、延遲板（四分之一波板、或半波板）、或濾光器等光學膜。此外，極化板或圓形極化板可以設有抗反射膜。舉例而言，可以執行防眩光處理，藉以使反射光由表面上的凹部及凸部散射以降低眩光。

訊號線驅動電路 4503a 及 4503b 以及掃描線驅動電路 4504a 和 4504b 可以安裝作為驅動電路，驅動電路係由使用單晶半導體膜或多晶半導體膜而於分別製備的基底上形成的。或者，僅有訊號線驅動電路或其一部份、或是僅有掃描線驅動電路或其一部份，可以分別地形成及安裝。實施

例 9 不限於圖 17A 及 17B 中所示的結構。

經由上述製程，製造高度可靠的發光顯示裝置（顯示面板）作為半導體裝置。

實施例 9 可以與其它實施例中所述的結構適當地結合實施。

（實施例 10）

在本說明書中揭示的半導體裝置可以應用於電子紙。電子紙可以用於不同領域的電子設備，只要它們可以顯示資料即可。舉例而言，電子紙可以應用於電子書（e-書）讀取器、海報、例如火車等車輛中的廣告、或例如信用卡等不同卡片的顯示。這些電子設備的實施例顯示於圖 27 中。

圖 27 顯示電子書讀取器 2700 的實施例。舉例而言，電子書讀取器 2700 包含機殼 2701 和 2703 等二機殼。機殼 2701 和 2703 由鉸鏈 2711 結合，以致於電子書讀取器 2700 可以以鉸鏈 2711 為軸打開及閉合。藉由此結構，電子書讀取器 2700 可以如同紙書般操作。

顯示部 2705 及顯示部 2707 分別併入於機殼 2701 及機殼 2703 中。顯示部 2705 和顯示部 2707 可以配置成顯示一影像、或不同的影像。在顯示不同的影像之顯示部 2705 及顯示部 2707 的情形中，舉例而言，在右方顯示部上（圖 27 中的顯示部 2705）可以顯示文字，在左方顯示部上（圖 27 中的顯示部 2707）可以顯示圖像。

圖 27 顯示一實施例，其中，機殼 2701 設有操作部等等。舉例而言，機殼 2701 設有電源開關 2721、操作鍵 2723、揚音器 2725、等等。藉由操作鍵 2723，可以翻頁。注意，鍵盤、指標裝置、等等可以設於與機殼的顯示部相同的表面上。此外，在機殼的背面或側面上，設置外部連接端子（耳機端子、USB 端子、例如 AC 配接器或 USB 纜線等可以連接至不同纜線的端子）、記錄媒體插入部、等等。此外，電子書 2700 可以具有電子字典的功能。

電子書 2700 可以具有能夠無線地傳送及接收資料之配置。經由無線通訊，可以從電子書伺服器購買及下載所需的書資料等等。

（實施例 11）

本說明書中揭示的半導體裝置可以應用至不同的電子設備（包含遊戲機）。電子設備的實施例包含電視機（也稱為電視或電視接收器）、電腦等的監視器、例如數位相機或數位攝影機等相機、數位相框、蜂巢式電話手機（也稱為行動電話或行電話裝置）、可攜式遊戲機、可攜式資訊端、音頻再生裝置、例如彈珠台等大型遊戲機、等等。

圖 28A 顯示電視機 9600 的實施例。在電視機 9600 中，顯示部 9603 併入於機殼 9601 中。顯示部 9603 可以顯示影像。此處，機殼 9601 由架子 9605 支撐。

電視機 9600 可以由機殼 9601 的操作開關或分開的遙控器 9610 操作。以遙控器 9610 的操作開關 9609，可以控制頻

道及聲音，以致於可以控制顯示於顯示部 9603 上的影像。此外，遙控器 9610 可以設有顯示部 9607，用於顯示自遙控器 9610 輸出的資料。

注意，電視機 9600 設有接收器、數據機、等等。藉由使用接收器，可以接收一般電視廣播。此外，當顯示裝置經由數據機有線地或無線地連接至通訊網路時，可以執行單向（從發送器至接收器）或雙向（在發送器與接收器之間或在接收器之間）資料通訊。

圖 28B 顯示數位相框 9700 的實施例。舉例而言，在數位相框 9700 中，顯示部 9703 併入於機殼 9701 中。顯示部 9703 可以顯示各種影像，舉例而言，顯示部 9703 可以顯示由數位相機等拍攝的影像資料以及作為一般相框。

注意，數位相框 9700 設有操作部、外部連接端子（USB 端子、或可以連接至例 USB 纜線等不同纜線的端子）、記錄媒體插入部、等等。雖然這些元件可以設於設有顯示部的表面上，但是，較佳地，為了數位相框 9700 的設計，將它們設於側表面或背面上。舉例而言，儲存數位相機拍攝的影像資料之記憶體插入於數位相框的記錄媒體插入部中，因此，可以傳送影像資料，然後，顯示於顯示部 9703 上。

數位相框 9700 可以具有能夠無線地傳送及接收資料的配置。經由無線通訊，所需的影像資料可以被下載而顯示。

圖 29A 顯可攜式遊戲機，其包含機殼 9881 和機殼 9891

等二機殼。機殼 9881 和機殼 9891 藉由連接部 9893 而連接，以便開啓及關閉。顯示部 9882 及顯示部 9883 分別併入於機殼 9881 和機殼 9891 中。此外，圖 29A 中所示的可攜式遊戲機包含揚音器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力量、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流速、濕度、梯度、振動、氣味、或紅外線的功能之感測器）、及麥克風 9889）、等等。無需多言，可攜式遊戲機的結構不限於上述，可以使用至少設有本說明書中揭示的半導體裝置之其它結構。可攜式遊戲機可以適當地包含其它輔助設備。圖 29A 中所示的可攜式遊戲機具有讀出儲存於儲存媒體中的程式或資料以將其顯示於顯示部上之功能以及具有經由無線通訊而與其它可攜式遊戲機共用資訊之功能。注意，圖 29A 中所示的可攜式遊戲機的功能不限於上述功能，可攜式遊戲機可以具有眾多功能。

圖 29B 顯示大型遊戲機之投幣機 9900 的實施例。在投幣機 9900 中，顯示部 9903 併入於機殼 9901 中。此外，投幣機 9900 包含例如啓動桿及停止開關、硬幣槽、揚音器、等操作機構。無需多言，投幣機 9900 的結構不限於上述，可以使用至少設有本說明書中揭示的半導體裝置之其它結構。投幣機 9900 可以適當地包含其它輔助設備。

圖 30A 是立體視圖，顯示可攜式電腦的實施例。

在圖 30A 的可攜式電腦中，藉由關閉連接頂殼 9301 及底殼 9302 之鉸鏈單元，具有顯示部 9303 的頂殼 9301 及具有鍵盤 9304 的底殼 9302 可以彼此重疊。圖 30A 的可攜式電腦便於攜帶，以及，在使用用於輸入的鍵盤之情形中，打開鉸鏈單元及使用者可以看著顯示部 9303 輸入資料。

除了鍵盤 9304 之外，底殼 9302 還包含指標裝置 9306，藉由指標裝置 9306 可以執行輸入。此外，當顯示部 9303 是觸控輸入面板，藉由觸控部份顯示部，可以執行輸入。底殼 9302 包含例如 CPU 或硬碟等算術功能部份。此外，底殼 9302 包含另一裝置，例如外部連接埠 9305，符合 USB 的通訊標準之通訊纜線可以插入外部連接埠 9305。

頂殼 9301 包含顯示部 9307，以及，藉由將顯示部 9307 朝向頂殼 9301 的內部而可以將顯示部 9307 保持於其中，頂殼 9301 可以具有大的顯示幕。此外，使用者可以調整被保持於頂殼 9301 中的顯示部 9307 中的顯示幕的方向。當可以保持於頂殼 9301 中的顯示部 9307 是觸控式輸入面板時，藉由觸控可以保持於頂殼 9301 中的部份顯示部 9307，可以執行輸入。

使用液晶顯示面板、例如有機發光元件或無機發光元件等發光顯示面板之影像顯示裝置，形成可以保持於頂殼 9301 中的顯示部 9303 或顯示部 9307。

此外，圖 30A 中的可攜式電腦可以設有接收器等，以及可以接收電視廣播以在顯示部 9303 或顯示部 9307 上顯示影像。當藉由滑動顯示部 9307 而使顯示部 9307 的整個螢幕

曝露，而連接頂殼 9301 及底殼 9302 的鉸鏈單元關閉時，使用者可以觀看電視廣播。在此情形中，鉸鏈單元未打開且未於顯示部 9303 上執行顯示。此外，僅有用於顯示電視廣播的電路之啓動被執行。因此，電力消耗最小，對於電池容量有限的可攜式電腦是有用的。

圖 30B 是立體視圖，顯示如同手錶般可由使用者戴於手腕上之行動電話。

行動電話由下述形成：主體，包含包括至少電話功能之通訊裝置、及電池；帶部 9204，使主體能夠被穿戴於手腕上；調整部 9205，用於調整固定於手腕的帶部之固定程度；顯示部 9201；揚音器 9207；及麥克風 9208。

此外，主體包含操作開關 9203。舉例而言，操作開關 9203 可以在開關被按下時作為啓動網際網路的程式之開關，以及作為開啓電源的開關、用於移動顯示的開關、用於指令開始拍攝影像之開關、等等，以及，可以用以對應每一功能。

以手指或輸入筆觸控顯示部 9201、操作操作鍵 9203、或輸入聲音至麥克風 9208，以操作對行動電話的輸入。注意，顯示於顯示部 9201 上的顯示按鍵 9202 顯示於圖 30B 中。以手指等觸控顯示按鍵 9202，可以執行輸入。

此外，主體包含相機部 9206，相機部 9206 包含攝影機構，攝影機構具有將經由相機鏡頭形成之物體的影像轉換成電子影像訊號之功能。注意，並非一定要設置相機部。

圖 30B 中所示的行動電話設有電視廣播的接收器等等

，且能夠藉由接收電視廣播而在顯示部9201上顯示影像。此外，圖30B中顯示的行動電話設有例如記憶體等記憶裝置，以及，能夠將電視廣播記錄於記憶體中。圖30B中所示的行動電話可以具有例如GPS等偵測位置資訊之功能。

使用液晶顯示面板、例如有機發光元件或無機發光元件之發光顯示面板等影像顯示裝置作為顯示部9201。圖30B中所示的行動電話是小巧的且圖30B中所示的行動電話的電池容量有限。因此，較佳地使用可以由低耗電驅動的面板作為用於顯示部9201的顯示裝置。

注意，圖30B顯示穿戴於腕上的電子裝置，但是，本實施例不限於此，只要使用可攜式形狀即可。

（實例1）

在實施例1中，製造本發明的實施例之薄膜電晶體以及顯示電特徵評估結果。

將說明實例1之薄膜電晶體的製造方法。藉由電漿CVD法，在玻璃基底上，形成150 nm厚的氮化矽膜與厚度100 nm的氧氮化矽膜之堆疊層膜以作為基部膜。然後，以濺射法，在氧氮化矽膜上形成作為閘極電極層的150 nm厚的鎢膜。以電漿CVD法，在閘極電極層上，形成100 nm厚的氧氮化矽膜作為閘極絕緣層。

使用In-Ga-Zn-O為基礎的氧化物半導體靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ （mol%）以及 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [at%]），以形成厚度20 nm的氧化物半導體層。沈積條件設定如下

：基底與靶材之間的距離設為 100 mm、壓力為 0.2 Pa、直流（DC）電源為 0.5 kW、氛圍為氬氣及氧氣（氬：氧=30 sccm：20sccm且氧流速比例為 40%）的混合氛圍。

以濺射法，在氧化物半導體層上堆疊鈦膜（100 nm厚）、鋁膜（200 nm厚）、及鈦膜（100 nm厚），作為源極和汲極電極層。

接著，在大氣氛圍下，在 350℃ 加熱氧化物半導體層。

首先，形成氧化物絕緣膜的腔室中的壓力降低至 1×10^{-3} Pa（降低壓力所需的時間約為 5 分鐘）。然後，將氧化物半導體層形成於上的基底傳送至壓力已降低的腔室。在氮被導入腔室 5 分鐘且在 330℃ 加熱 5 分鐘之後，腔室的壓力下降（降低壓力所需的時間約為 3 分鐘）。將一氧化二氮（ N_2O ）導入腔室中且將腔室的壓力調整至 22 Pa。

在已導入一氧化二氮（ N_2O ）及導入矽甲烷（ SiH_4 ）的腔室中產生電漿，以致於形成與氧化物半導體層接觸的 300 nm 厚的氧氮化矽膜，其為氧化物絕緣膜。以 SiH_4 及 N_2O （ SiH_4 ： N_2O =10 sccm：1200 sccm）用於沈積氣體。當產生電漿及形成氧化物絕緣膜時，條件設定如下：腔室的壓力為 22 Pa；電功率為 30 W；電源頻率為 13.56 MHz；以及，溫度為 330℃。

在氧化物絕緣膜及閘極絕緣層中形成要成為接觸孔的開口，然後，在大氣氛圍下，在 350℃ 下加熱基底一小時。

依此方式，形成實例 1 的薄膜電晶體。注意，包含於薄膜電晶體中的氧化物半導體層具有 $20\ \mu\text{m}$ 的通道長度（ L ）及 $20\ \mu\text{m}$ 的通道寬度（ W ）。

關於檢查薄膜電晶體的可靠度的方法，有偏壓溫度應力測試（於下，稱為 BT 測試）。BT 測試是一種加速測試且藉由此方法可以在短時間內評估薄膜電晶體因長期使用而造成的特徵變化。在 BT 測試前及後之間，薄膜電晶體的臨界電壓的差值是用於檢查薄膜電晶體可靠度之重要指標。當 BT 測試之前及之後之間臨界電壓差值小時，薄膜電晶體具有較高可靠度。

具體而言，薄膜電晶體形成於上之基底的溫度（基底溫度）維持在固定溫度，而薄膜電晶體的源極和汲極設定在相同電位，以及，不同於源極和汲極的電位之電位施加至薄膜電晶體的閘極一段時間。根據測試目的，適當地決定基底溫度。在施加至閘極的電位高於源極和汲極的電位之測試 BT 被稱為 +BT 測試，以及，在施加至閘極的電位低於源極和汲極的電位之測試 BT 被稱為 -BT 測試。

根據基底溫度、施加至閘極絕緣膜的電場強度、及電場的施加時間，可以決定 BT 測試的測試強度。藉由將閘極與源極和汲極之間的電位差除以閘極絕緣膜的厚度，決定施加至閘極絕緣膜的電場強度。舉例而言，當施加至 100nm 厚的閘極絕緣膜之電場強度被調整為 2MV/cm 的情形中，電位差可以設定為 20V 。

將說明實例 1 的薄膜電晶體的 BT 測試結果。

注意，「電壓」通常表示二點的電位之間的差，以及，「電位」表示靜電場中給定點處單位電荷的靜電能量。注意，一般而言，在某點的電位與參考電位之間的差僅稱為電位或電壓，且在很多情形中，電位及電壓是同義詞。因此，在本說明書中，除非特別指明，否則，電位會寫作電壓且電壓會寫為電位。

在下述條件下，執行+BT及-BT測試：基底溫度為150℃、施加至閘極絕緣膜的電場強度為2MV/cm；及施加時間為一小時之條件下。

首先，說明+BT測試。為了測量BT測試標的之薄膜電晶體之初始特徵，將基底溫度設為40℃、源極－汲極電壓設為10V。因此，在源極-閘極電壓（於下稱為閘極電壓）在-20V至+20V的範圍變化時，測量源極－汲極電流（於下，稱為汲極電流）的特徵變化，亦即， V_g-I_d 特徵曲線。雖然將基底溫度設為40℃以防止樣品表面吸收濕氣，但是，只要沒有特定問題，基底溫度可以是室溫（25℃）。

接著，在基底溫度增加至150℃之後，將薄膜電晶體的源極和汲極的電位設定於0V。之後，施加電壓，以致於施加至閘極絕緣膜的電場強度為2MV/cm。由於薄膜電晶體的閘極絕緣膜的厚度為100 nm，所以，閘極被供予+20V，以及，保持此電壓一小時。電壓施加的時間為一小時；但是，可以根據目的而適當地決定時間。

接著，基底溫度降低至40℃，同時將電壓施加至閘極與源極和汲極之間。此時，假使在基底溫度完全降低之前

停止電壓施加，則在BT測試中對薄膜電晶體造成的傷害由餘留的熱修復；因此，當施加電壓時，基底溫度必須降低。在基底溫度降至 40°C 之後，結束電壓施加。嚴格而言，降低溫度的時間必須加至電壓施加的時間；但是，由於溫度在數分鐘內真正能夠降低至 40°C ，所以，這被視為誤差範圍且降溫時間未加至施加時間。

然後，在與初始特徵的測量條件相同的條件下，測量 V_g - I_d 特徵曲線，以及取得+BT測試之後的 V_g - I_d 特徵曲線。

接著，說明-BT測試。以幾乎同於+BT測試的方式，執行-BT測試；但是，-BT測試與+BT測試不同點在於在基底溫度增加至 150°C 之後施加至閘極的電壓為 -20V 。

注意，在BT測試中，重要的是對未執行BT測試的薄膜電晶體執行BT測試。舉例而言，當對曾經接受+BT測試的薄膜電晶體執行-BT測試時，由於已首先執行過+BT測試，所以無法正確地評估-BT測試的結果。此外，同樣的情形適用於對曾經接受+BT測試的薄膜電晶體執行+BT測試。注意，在慮及這些影響下，相同的情形不適用於刻意地重複執行BT測試的情形。

圖25A及25B顯示BT測試之前及之後薄膜電晶體的 V_g - I_d 特徵曲線。在圖25A及25B中，水平軸代表閘極電壓（ V_g ），其為對數刻度，垂直軸代表汲極電極（ I_d ），其為對數刻度。

圖25A顯示+BT測試之前及之後薄膜電晶體的 V_g - I_d 特

徵曲線。初始特徵曲線 811 代表 +BT 測試之前薄膜電晶體的 V_g - I_d 特徵曲線，曲線 812 代表 +BT 測試之後薄膜電晶體的 V_g - I_d 特徵曲線。

圖 25B 顯示 -BT 測試之前及之後薄膜電晶體的 V_g - I_d 特徵曲線。初始特徵曲線 821 代表 -BT 測試之前薄膜電晶體的 V_g - I_d 特徵曲線，曲線 822 代表 -BT 測試之後薄膜電晶體的 V_g - I_d 特徵曲線。

注意，在實例 1 的薄膜電晶體的 V_g - I_d 特徵曲線的這些測量中， I_d 變成小於或等於關閉區中測量裝置的偵測極限（對於大部份的 n 通道電晶體， V_g 從約 0V 至負值的區域）。因此，圖 25A 及 25B 未顯示 I_d 小於或等於測量裝置的偵測極限之部份。

在圖 25A 中，相較於曲線 811 的臨界電壓，曲線 812 的臨界電壓在正方向上偏移，以及，在圖 25B 中，相較於初始特徵曲線 821 的臨界電壓，曲線 822 的臨界電壓在負方向上偏移。因此，由於在二 BT 測試中臨界電壓的改變量都小至數伏特，所以，確認 BT 測試中實例 1 的薄膜電晶體是具有高可靠度的薄膜電晶體。

（實例 2）

在實例 2 中，顯示使用模型之實施例 1 中從導入含氧元素的氣體（步驟 8005 至步驟 8105）至氧化物絕緣膜（步驟 8008 至步驟 8108）之步驟的計算結果。

首先，顯示計算使用氧作為含有氧元素的氣體之實例

而取得的結果。使用第一原理 MD（分子動力學）法，計算氧化物半導體層與氧分子（ O_2 ）之間的反應。關於用於計算的軟體，使用 Accelrys Software Inc.製造的 CASTEP，以及，計算條件如下所述：使用 NVT 整體；時間為 0.5 微微秒；溫度為 350°C 。因此，採用使用平面波為基礎的擬電位法之密度函數理論。關於函數，使用 GGAPBE。

此處，關於用於 IGZO 表面的計算模型，使用 12 個 In 原子、12 個 Ga 原子、12 個 Zn 原子、及 46 個 O 原子形成的非晶結構。用於計算的基本晶格是 $1.02\text{ nm} \times 1.02\text{ nm} \times 2.06\text{ nm}$ 的長方形固體。使用週期邊界條件作為邊界。下述以添加氧分子（ O_2 ）或一氧化二氮（ N_2O ）之模型用於上述表面模型。

圖 10A 顯示配置於及接近於氧化物半導體層的表面之氧分子（ O_2 ）的初始狀態，圖 10B 顯示其在 0.5 微微秒之後的位置。在圖 10B 中，氧分子（ O_2 ）被吸收至氧化物半導體層的表面的金屬。在 0.5 微微秒之內，氧分子（ O_2 ）的共價鍵未喪失。

但是，相較於氧原子彼此接合的狀態，在氧－氧鍵斷裂且造成的氧原子相鄰於金屬原子的狀態中，氧原子在熱動力上是更穩定的。此外，使用氧化物半導體層的密度測量值製備的結構模型顯示，當共價鍵保持時，氧化物半導體層內部的空間太窄而無法擴散氧分子（ O_2 ）。因此，在熱動力平衡的狀態中，氧原子在氧化物半導體層之內擴散。

接著，顯示藉由計算使用氧化氮作為含有氧元素的氣體之實例而取得的結果。氧化亞氮（一氧化二氮（ N_2O ））分子配置成接近氧化物半導體層的表面，以及，使用第一原理 MD 法，計算氧化物半導體層與氧化亞氮（一氧化二氮（ N_2O ））之間的反應。計算條件如下：使用 NVT 整體；時間為 0.5 微微秒；以及，溫度為 350°C 。

圖 11A 顯示配置於及接近於氧化物半導體層的表面之 N_2O 分子的初始狀態，圖 11B 顯示其在 0.5 微微秒之後的位置。在圖 11B 中， N_2O 被分解且觀察到氮分子接近氧化物半導體層。此外，源自 N_2O 分子的氧原子擴散至氧化物半導體層中。

N_2O 分子的結構顯示於圖 12A 及 12B 中。如圖 12A 所示，在 N_2O 分子中，氮原子及氧原子線性地配置。如圖 12B 所示，線性地配置的氮原子及氧原子以共振狀態彼此接合。

接著，計算包含具有高氧密度的區域及具有低氧密度的區域之氧化物半導體層中熱處理之氧擴散現象。參考圖 13 及圖 14，說明結果。此處，關於計算軟體，使用 Fujitsu Limited 製造的 Materials Explorer 5.0。

圖 13 顯示用於計算之氧化物半導體層的模型。氧化物半導體層 701 具有堆疊層結構，堆疊層結構係具有低氧密度的層 703 及具有高氧密度的層 705 之堆疊層結構。

此處，關於具有低氧密度的層 703，採用 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子、及 54 個 O 原子形成的非晶結

構。

關於具有高氧密度的層 705，採用 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子、及 66 個 O 原子形成的非晶結構。

氧化物半導體層 701 的密度設定於 5.9 g/cm^3 。

接著，在 250°C 下，使用 NVT 整體，對氧化物半導體層 701 執行古典 MD（分子動力學）計算。時間步階寬度以及總模擬時間分別設定為 0.2 fs ，及 200 ps 。此外，以玻思－梅爾－哈金斯（Born-Mayer-Huggins）電位應用於金屬－氧鍵及氧－氧鍵。此外，將氧化物半導體層 701 的上端及下端之原子固定。

模擬結果顯示於圖 14。在 z 軸座標中，具有低氧濃度的層 703 以 0 nm 至 1.15 nm 的範圍表示，具有高氧濃度的層 705 以 1.15 nm 至 2.3 nm 的範圍代表。以實線 707 表示 MD 計算之前氧的密度分佈，以虛線 709 表示 MD 計算之後的氧密度分佈。

在實線 707 中，具有高氧密度的層 705 的氧密度高於具有低氧密度的層 703 與具有高氧密度的層 705 之間的介面的氧密度。另一方面，如虛線 709 所示，具有低氧密度的層 703 與具有高氧密度的層 705 具有幾乎相同的氧密度。

因此，在密度分佈如同具有低氧密度的層 703 與具有高氧密度的層 705 的堆疊層狀態中一般不均勻時，發現氧密度藉由熱處理而成為均質的。

換言之，如同實施例 1 中所述般，由於藉由在氧化物半導體層上形成氧化物絕緣膜，而增加氧化物半導體層與

氧化物絕緣層之間的介面處之氧濃度，所以，氧擴散至氧化物半導體層中，以及，氧化物半導體層的電阻增加。因此，可以增進薄膜電晶體的可靠度。

如實例 2 中所示般，在氧被吸收至氧化物半導體層的表面之後，氧以離子方式接合至含於氧化物半導體層中的金屬離子（Me）以及以氧原子的狀態在氧化物半導體層內擴散（請參見圖 15A 至 15C）。

本申請案根據 2009 年 7 月 3 日向日本專利局申請之日本專利申請序號 2009-159065，其整體內容於此一併列入參考。

【圖式簡單說明】

在附圖中：

圖 1 是流程圖，顯示半導體裝置的製造方法；

圖 2 是流程圖，顯示半導體裝置的製造方法；

圖 3 是流程圖，顯示半導體裝置的製造方法；

圖 4A 至 4C 是視圖，顯示半導體裝置的製造方法；

圖 5A 及 5B 是視圖，顯示半導體裝置的製造方法；

圖 6A 至 6C 是視圖，顯示半導體裝置的製造方法；

圖 7A 至 7C 是視圖，顯示半導體裝置的製造方法；

圖 8 是視圖，顯示半導體裝置；

圖 9A1、9A2、9B1 及 9B2 是視圖，顯示半導體裝置；

圖 10A 及 10B 是視圖，顯示氧分子（ O_2 ）與氧化物半導體層的表面之間的反應之計算結果；

圖 11A 及 11B 是視圖，顯示一氧化二氮與氧化物半導體層的表面之間的反應之計算結果；

圖 12A 及 12B 是視圖，均顯示一氧化二氮分子結構；

圖 13 是視圖，顯示用於計算之氧化物半導體層的結構；

圖 14 是圖形，顯示氧化物半導體層的氧密度的計算結果。

圖 15A 至 15C 是視圖，顯示氧與氧化物半導體膜的表面之間的反應；

圖 16A1、16A2 和 16B 是視圖，顯示半導體裝置；

圖 17A 和 17B 是視圖，顯示半導體裝置；

圖 18 是視圖，顯示半導體裝置的像素等效電路；

圖 19A 至 19C 是視圖，顯示半導體裝置；

圖 20A 和 20B 是方塊圖，顯示半導體裝置；

圖 21A 和 21B 是電路視圖及時序圖，顯示訊號線驅動電路的配置；

圖 22A 至 22C 是電路視圖，均顯示移位暫存器的配置；

圖 23A 及 23B 是電路視圖及時序圖，顯示移位暫存器的操作；

圖 24 是視圖，顯示半導體裝置；

圖 25A 及 25B 是圖形，顯示薄膜電晶體的電特徵之評估結果；

圖 26 是視圖，顯示半導體裝置；

圖 27 是外觀視圖，顯示電子書讀取器的實施例；

圖 28A 及 28B 是外觀視圖，分別顯示電視機及數位相框的實施例；

圖 29A 及 29B 是外觀視圖，顯示遊戲機的實施例；

圖 30A 及 30B 是外觀視圖，分別顯示可攜式電腦的實施例及行動電話的實施例。

【主要元件符號說明】

100：基底

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

105a：源極電極層

105b：汲極電極層

107：保護絕緣層

108：電容器佈線

110：像素電極層

121：第一端子

122：第二端子

125：接觸孔

126：接觸孔

127：接觸孔

128：透明導電膜

129：透明導電膜

132：導電膜

133：氧化物半導體層
 135：氧化物半導體層
 150：第二端子
 151：第一端子
 152：閘極絕緣層
 153：連接電極層
 154：保護絕緣層
 155：透明導電膜
 156：電極層
 170：薄膜電晶體
 400：基底
 401：閘極電極層
 402：閘極絕緣層
 403：氧化物半導體層
 405a：源極電極層
 407：氧化物絕緣層
 430：氧化物半導體層
 431：氧化物半導體層
 432：氧化物半導體層
 470：薄膜電晶體
 580：基底
 581：薄膜電晶體
 583：絕緣膜
 585：絕緣層

587：第一電極層
588：第二電極層
589：球形粒子
590a：黑色區
590b：白色區
595：填充物
596：基底
701：氧化物半導體層
703：層
705：層
2600：TFT基底
2601：對立基底
2602：密封劑
2603：像素部
2604：顯示元件
2605：色層
2606：極化板
2607：極化板
2608：佈線電路部
2609：可撓線路板
2610：冷陰極管
2611：反射板
2612：電路板
2613：散射板

2700：電子書讀取器
 2701：機殼
 2703：機殼
 2705：顯示部
 2707：顯示部
 2711：鉸鏈
 2721：電源開關
 2723：操作鍵
 2725：揚音器
 4001：基底
 4002：像素部
 4003：訊號線驅動電路
 4004：掃描線驅動電路
 4005：密封劑
 4006：第二基底
 4008：液晶層
 4010：薄膜電晶體
 4011：薄膜電晶體
 4013：液晶元件
 4015：連接端電極
 4016：連接電極
 4018：可撓印刷電路
 4019：各向異性導電膜
 4020：保護絕緣層

4021：保護絕緣層
4030：像素電極層
4031：對立電極層
4032：絕緣層
4035：間隔器
4501：第一基底
4502：像素部
4503a：訊號線驅動電路
4504a：掃描線驅動電路
4505：密封劑
4506：第二基底
4507：填充物
4509：薄膜電晶體
4510：薄膜電晶體
4511：發光元件
4512：電致發光層
4513：第二電極層
4515：連接端電極
4516：端電極
4517：第一電極層
4518a：可撓印刷電路
4519：各向異性導電膜
4520：分隔壁
5300：基底

5301：像素部

5302：第一掃描線驅動電路

5303：第二掃描線驅動電路

5304：訊號線驅動電路

5305：時序控制電路

5601：移位暫存器

5602：切換電路

5603：薄膜電晶體

5604：佈線

5605：佈線

6400：像素

6401：切換電晶體

6402：用於驅動發光元件的電晶體

6403：電容器

6404：發光元件

6405：訊號線

6406：掃描線

6407：電源線

6408：共同電極

7001：薄膜電晶體

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7009：分 隔 部

7011：用於驅動發光元件的電晶體

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮光膜

7017：導電膜

7019：分 隔 部

7021：用於驅動發光元件的電晶體

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：導電膜

7029：分 隔 部

9201：顯示部

9202：顯示按鍵

9203：操作鍵

9204：帶部

9205：調整部

9206：相機部

9207：揚音器

9208：麥克風

9301：頂殼

9302：底殼

9303：顯示部

9304：鍵盤

9305：外部連接埠

9306：指標裝置

9307：顯示部

9600：電視機

9601：機殼

9603：顯示部

9605：架子

9607：顯示部

9609：操作鍵

9610：遙控器

9700：數位相框

9701：機殼

9703：顯示部

9881：機殼

9882：顯示部

9883：顯示部

9884：揚音器部

9885：輸入機構

9886：記憶媒體插入部

9887：連接端子

9888：感測器

9889：麥克風

9890：LED燈

9891：機殼

9893：連接部

9900：投幣機

9901：機殼

9903：顯示部

七、申請專利範圍：

1. 一種半導體裝置之製造方法，該方法包含下述步驟：

在具有絕緣表面的基底上形成閘極電極層；

在該閘極電極層上形成閘極絕緣層；

在該閘極絕緣層上形成氧化物半導體層；

在該氧化物半導體層上形成與該氧化物半導體層接觸的金屬膜；

蝕刻該金屬膜以在該氧化物半導體層中形成曝露區，以及在該氧化物半導體層上形成與該氧化物半導體層接觸的源極電極層和汲極電極層；

在含有氧元素的氣體存在下，對該曝露區執行電漿處理；以及

在該氧化物半導體層、該源極電極層和該汲極電極層上形成與該氧化物半導體層、該源極電極層和該汲極電極層接觸的氧化物絕緣膜，

其中，執行該蝕刻，以致於該氧化物半導體層的該曝露區具有比由該源極電極層或該汲極電極層遮蓋的該氧化物半導體層的區域還小的厚度，以及

其中，至少從該電漿處理直到該氧化物絕緣膜的形成，該氧化物半導體層持續被加熱。

2. 如申請專利範圍第 1 項之方法，其中，該氧化物半導體層包含銦、鋅、氧、及選自 Ga、Fe、Ni、Mn 及 Co 之金屬。

3.如申請專利範圍第1項之方法，其中，該氧化物半導體層具有由 $\text{InMO}_3(\text{ZnO})_m$ 表示的成份，

其中，M是選自Ga、Fe、Ni、Mn及Co之金屬，以及

其中，m是大於0。

4.如申請專利範圍第1項之方法，其中，該氣體係選自氧氣體、氧化氮氣體、及二氧化氮氣體。

5.如申請專利範圍第1項之方法，其中，該氧化物絕緣膜包含矽。

6.如申請專利範圍第1項之方法，其中，該曝露區的側表面與該源極電極層及該汲極電極層的側表面中至少之一是共平面的。

7.如申請專利範圍第1項之方法，其中，執行該蝕刻，以致於該氧化物半導體層之全部遮蓋該閘極電極層之部分。

8.一種半導體裝置之製造方法，該方法包含下述步驟：

在具有絕緣表面的基底上形成閘極電極層；

在該閘極電極層上形成閘極絕緣層；

在該閘極絕緣層上形成氧化物半導體層；

在該氧化物半導體層上形成與該氧化物半導體層接觸的金屬膜；

蝕刻該金屬膜以在該氧化物半導體層中形成曝露區，以及在該氧化物半導體層上形成與該氧化物半導體層接觸的源極電極層和汲極電極層；

將該基底導入腔室中；

將含有氧元素的氣體導入該腔室中，而該基底留於該腔室中；

在該腔室中該氣體存在下，產生電漿，而該基底留於該腔室中；以及

在該腔室中，在該氧化物半導體層、該源極電極層和該汲極電極層上形成與該氧化物半導體層、該源極電極層和該汲極電極層接觸的氧化物絕緣膜，

其中，執行該蝕刻，以致於該氧化物半導體層的該曝露區具有比由該源極電極層或該汲極電極層遮蓋的該氧化物半導體層的區域還小的厚度，以及

其中，至少在該基底被導入至該腔室之後且直到完成該氧化物絕緣膜的形成，該氧化物半導體層持續被加熱。

9.如申請專利範圍第8項之方法，其中，該氧化物半導體層包含銦、鋅、氧、及選自Ga、Fe、Ni、Mn及Co之金屬。

10.如申請專利範圍第8項之方法，其中，該氧化物半導體層具有由 $\text{InMO}_3(\text{ZnO})_m$ 表示的成份，

其中，M是選自Ga、Fe、Ni、Mn及Co之金屬，以及

其中，m是大於0。

11.如申請專利範圍第8項之方法，其中，該氣體係選自氧氣體、氧化氮氣體、及二氧化氮氣體。

12.如申請專利範圍第8項之方法，其中，該氧化物絕緣膜包含矽。

13.如申請專利範圍第8項之方法，其中，該曝露區的側表面與該源極電極層及該汲極電極層的側表面中至少之一是共平面的。

14.如申請專利範圍第8項之方法，其中，執行該蝕刻，以致於該氧化物半導體層之全部遮蓋該閘極電極層之部分。

15.一種半導體裝置之製造方法，該方法包含下述步驟：

在具有絕緣表面的基底上形成閘極電極層；

在該閘極電極層上形成閘極絕緣層；

在該閘極絕緣層上形成氧化物半導體層；

在該氧化物半導體層上形成與該氧化物半導體層接觸的金屬膜；

蝕刻該金屬膜以在該氧化物半導體層中形成曝露區，以及在該氧化物半導體層上形成與該氧化物半導體層接觸的源極電極層和汲極電極層；

將該基底導入腔室中；

將該腔室抽真空，而該基底留在該腔室中；

將氮氣體導入該腔室中，而該基底留於該腔室中；

在該腔室中加熱該基底，而該基底留於該腔室中；

將含有氧元素的氣體導入該腔室中，而該基底留於該腔室中；

在該氣體存在下，將電漿導入該腔室中，而該基底留於該腔室中；以及

在該腔室中，在該氧化物半導體層、該源極電極層和該汲極電極層上形成與該氧化物半導體層、該源極電極層和該汲極電極層接觸的氧化物絕緣膜，

其中，執行該蝕刻，以致於該氧化物半導體層的該曝露區具有比由該源極電極層或該汲極電極層遮蓋的該氧化物半導體層的區域還小的厚度，以及

其中，至少在該基底被加熱之後且直到完成該氧化物絕緣膜的形成，該氧化物半導體層持續被加熱。

16.如申請專利範圍第15項之方法，其中，該氧化物半導體層包含銦、鋅、氧、及選自Ga、Fe、Ni、Mn及Co之金屬。

17.如申請專利範圍第15項之方法，

其中，該氧化物半導體層具有由 $\text{InMO}_3(\text{ZnO})_m$ 表示的成份，

其中，M是選自Ga、Fe、Ni、Mn及Co之金屬，以及

其中，m是大於0。

18.如申請專利範圍第15項之方法，其中，該氣體係選自氧氣體、氧化氮氣體、及二氧化氮氣體。

19.如申請專利範圍第15項之方法，其中，該氧化物絕緣膜包含矽。

20.如申請專利範圍第15項之方法，其中，使用遠端電漿設備，執行該電漿的導入。

21.如申請專利範圍第15項之方法，其中，該曝露區的側表面與該源極電極層及該汲極電極層的側表面中至少

之一是共平面的。

22.如申請專利範圍第 15 項之方法，其中，執行該蝕刻，以致於該氧化物半導體層之全部遮蓋該閘極電極層之部分。

23.一種半導體裝置之製造方法，該方法包含下述步驟：

在具有絕緣表面的基底上形成閘極電極層；

在該閘極電極層上形成閘極絕緣層；

在該閘極絕緣層上形成氧化物半導體層；

在該氧化物半導體層上形成源極電極層及汲極電極層；

在含有氧元素的氣體存在下，對該氧化物半導體層執行電漿處理；以及

在該氧化物半導體層、該源極電極層及該汲極電極層上形成與該氧化物半導體層、該源極電極層及該汲極電極層接觸的氧化物絕緣膜，

其中，在該源極電極層及該汲極電極層之間的區域中的該氧化物半導體層的厚度小於在由該源極電極層或該汲極電極層遮蓋的區域中的該氧化物半導體層的厚度，以及

其中，至少從該電漿處理直到該氧化物絕緣膜的形成，該氧化物半導體層持續被加熱。

24.如申請專利範圍第 23 項之方法，

其中，該源極電極層及該汲極電極層係形成為與該氧化物半導體層接觸。

25.如申請專利範圍第 23 項之方法，

其中，該氧化物半導體層包含銦、鋅、氧、及選自 Ga、Fe、Ni、Mn 及 Co 之金屬。

26.如申請專利範圍第 23 項之方法，

其中，該氧化物半導體層具有由 $\text{InMO}_3(\text{ZnO})_m$ 表示的成份，

其中，M 是選自 Ga、Fe、Ni、Mn 及 Co 之金屬，以及

其中，m 是大於 0。

27.如申請專利範圍第 23 項之方法，

其中，該氣體係選自氧氣體、氧化氮氣體及二氧化氮氣體。

28.如申請專利範圍第 27 項之方法，

其中，該氧化物絕緣膜包含矽。

29.如申請專利範圍第 23 項之方法，

其中，在該源極電極層及該汲極電極層之間的該區域之側表面與該源極電極層及該汲極電極層的側表面中至少之一是共平面的。

30.如申請專利範圍第 23 項之方法，

其中，形成該氧化物半導體層，以致於該氧化物半導體層之全部遮蓋該閘極電極層之部分。

圖 1

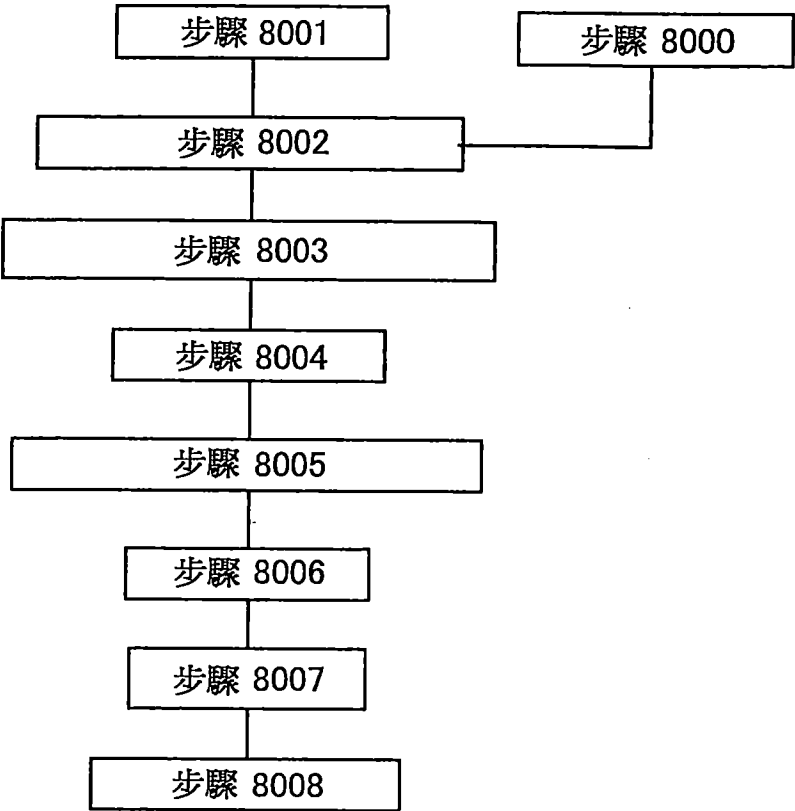


圖 2

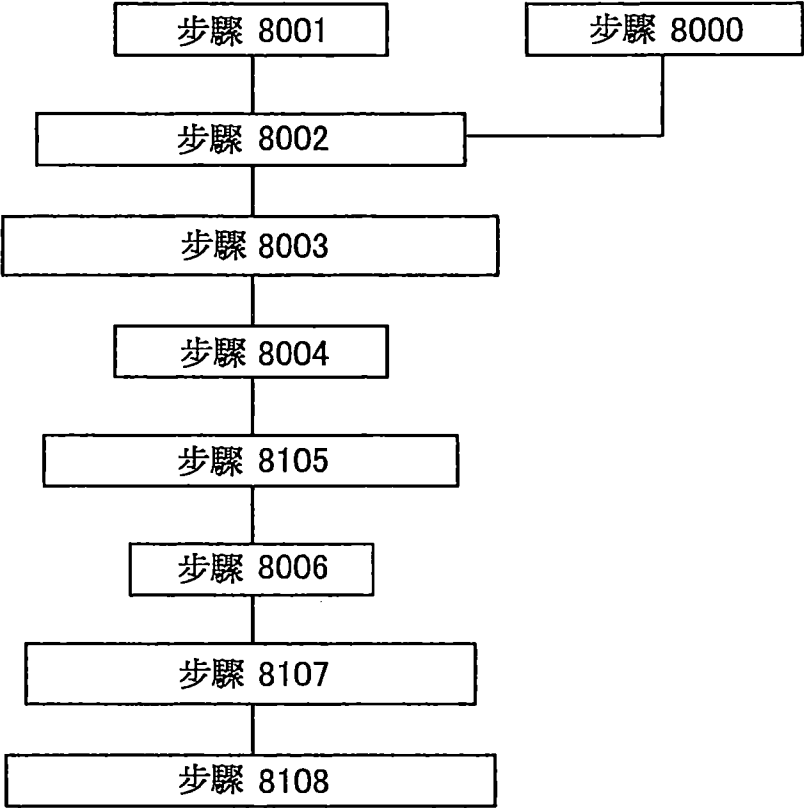


圖 3

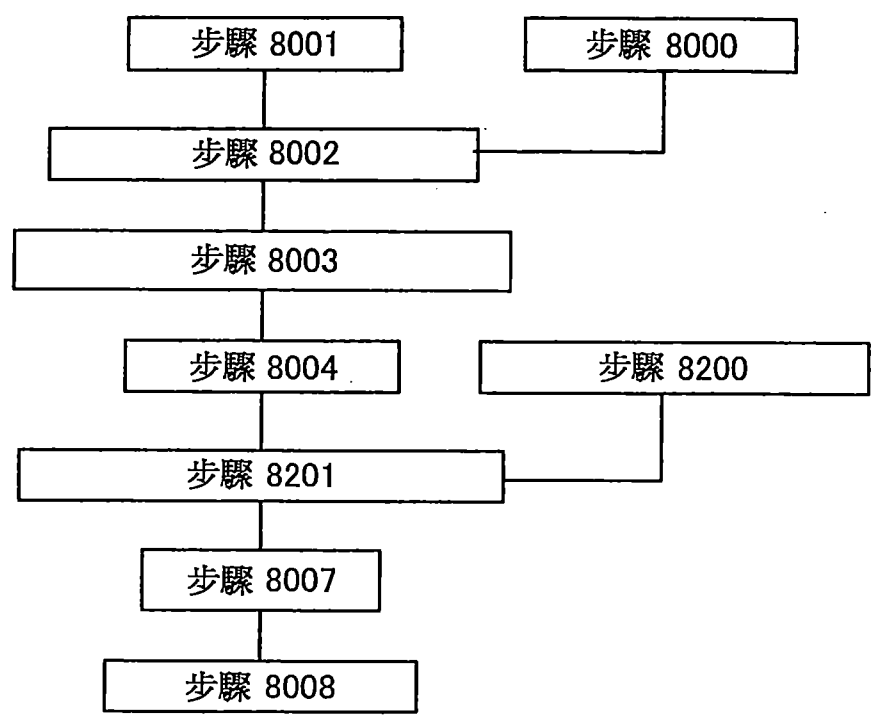


圖 4A

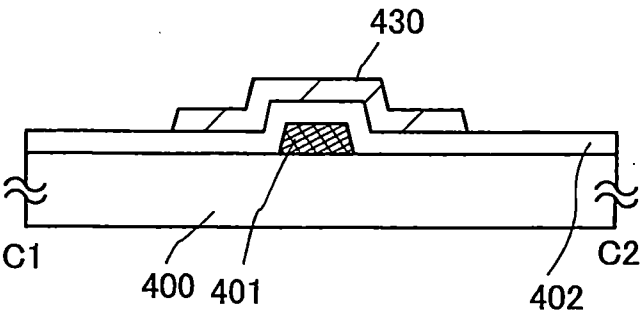


圖 4B

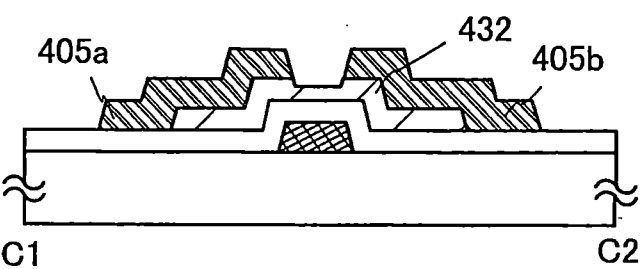


圖 4C

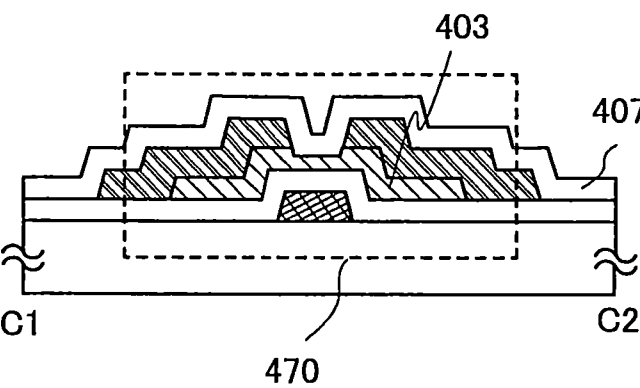


圖5A

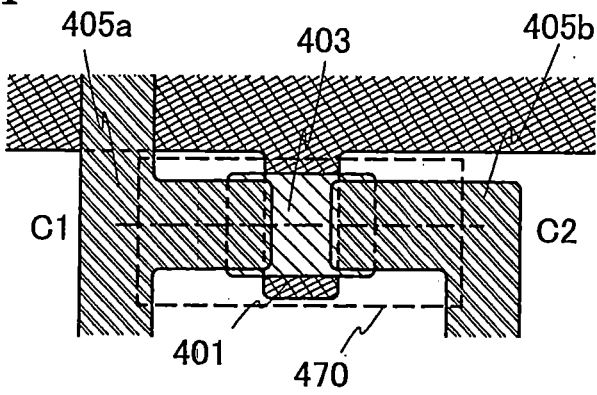


圖5B

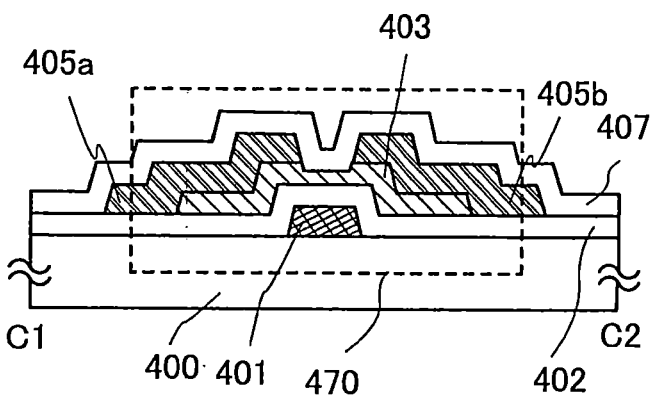


圖6A

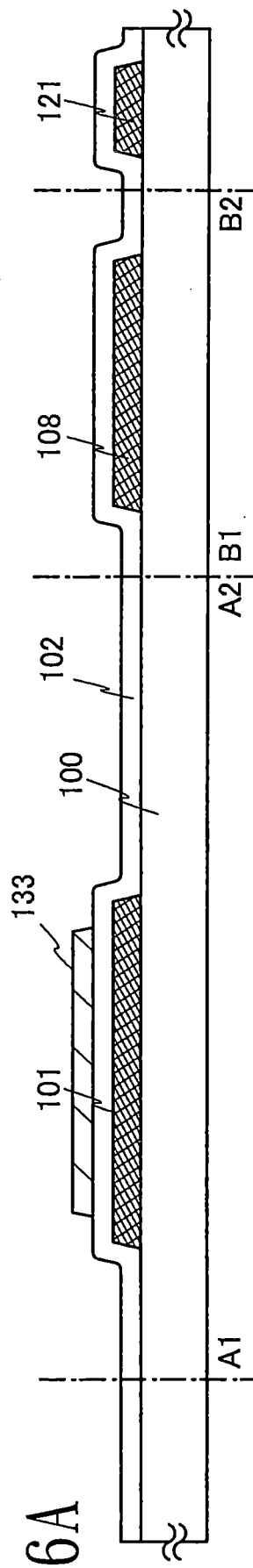


圖6B

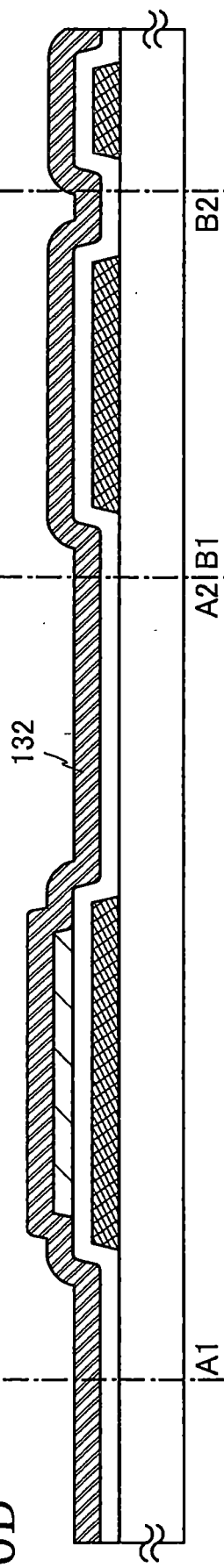


圖6C

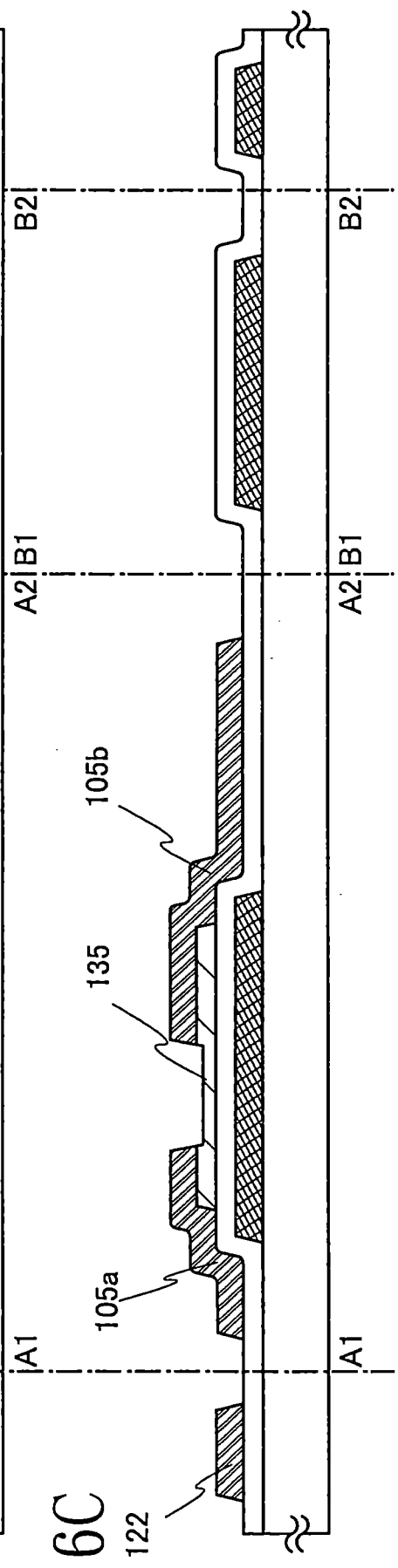


圖 7A

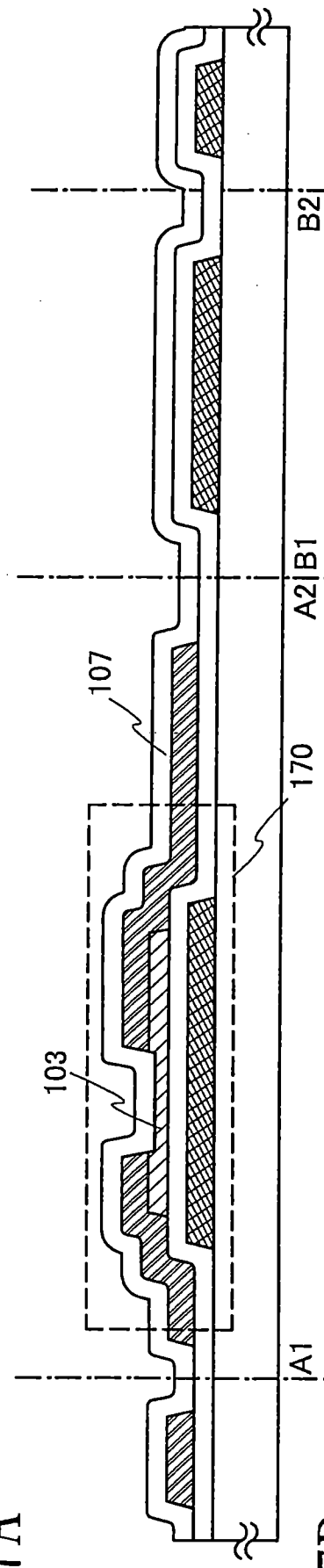


圖 7B

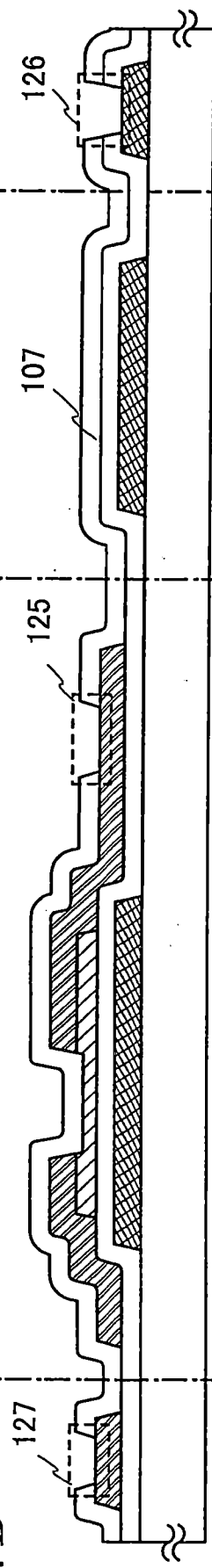


圖 7C

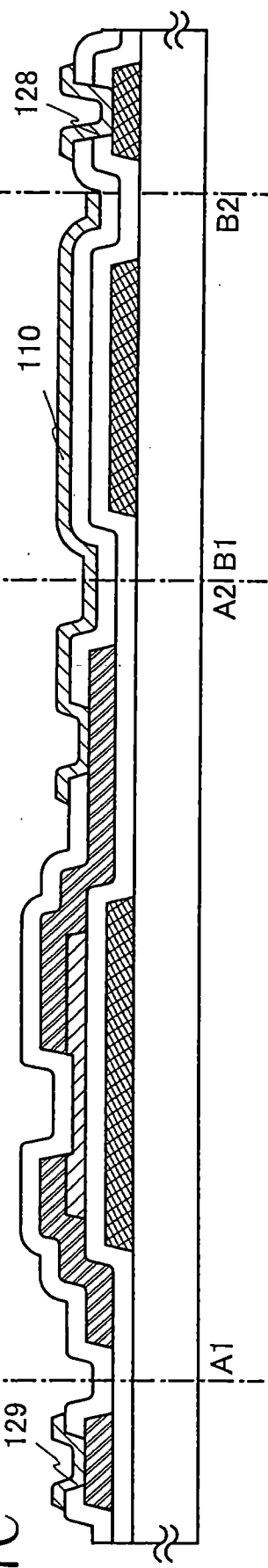


圖8

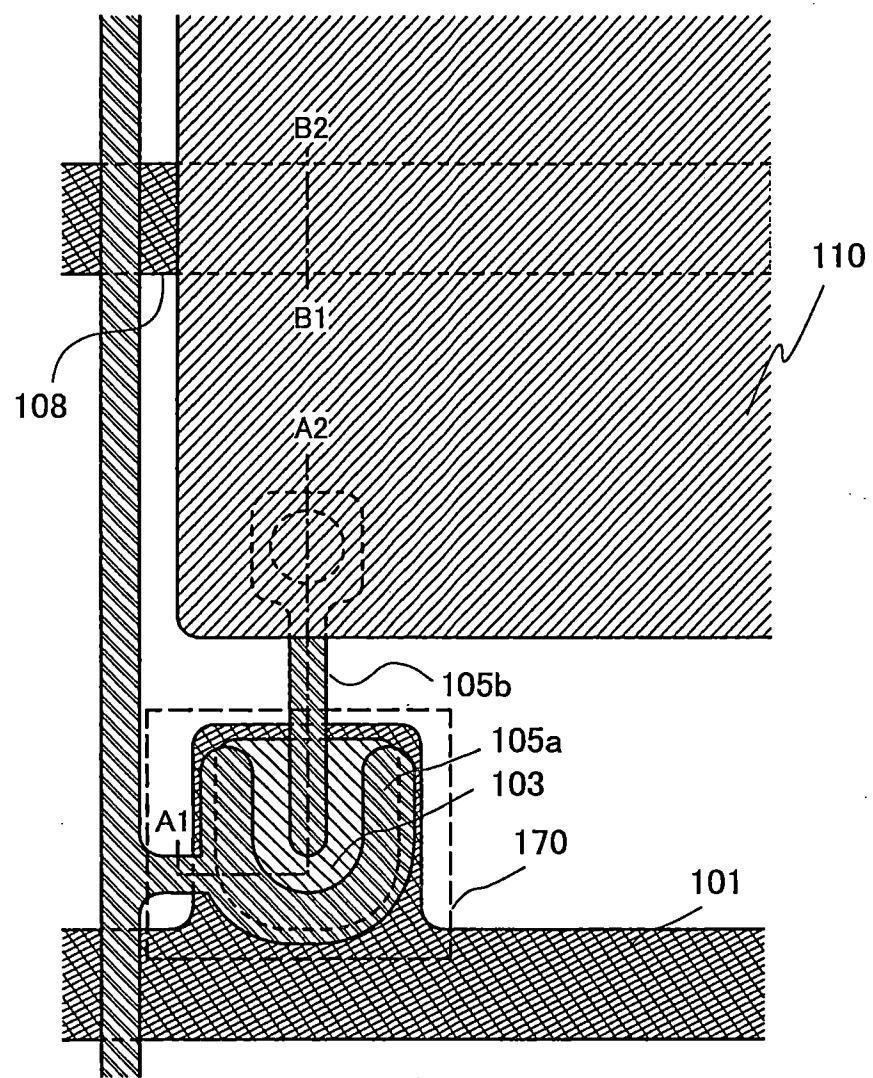


圖 9A1

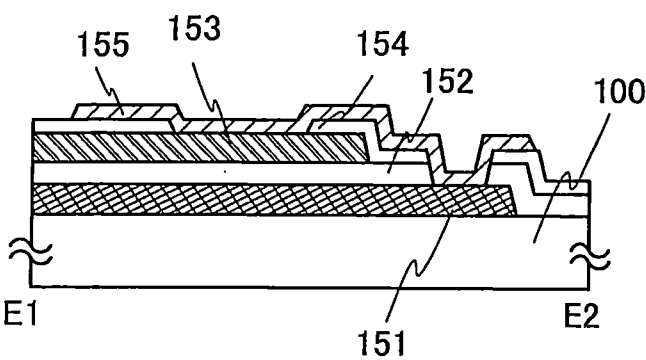


圖 9A2

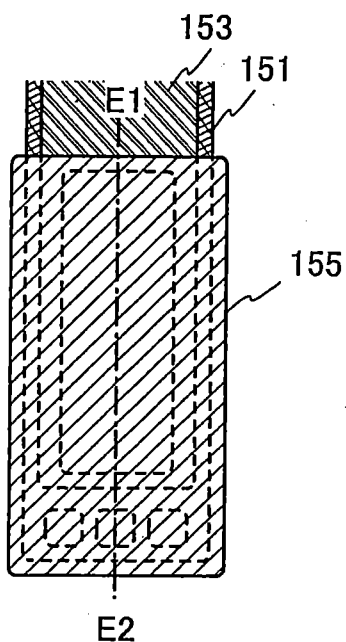


圖 9B1

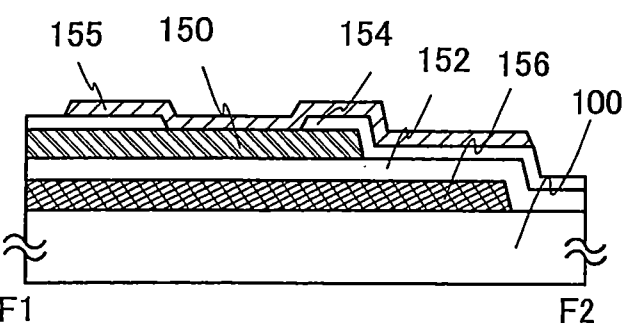


圖 9B2

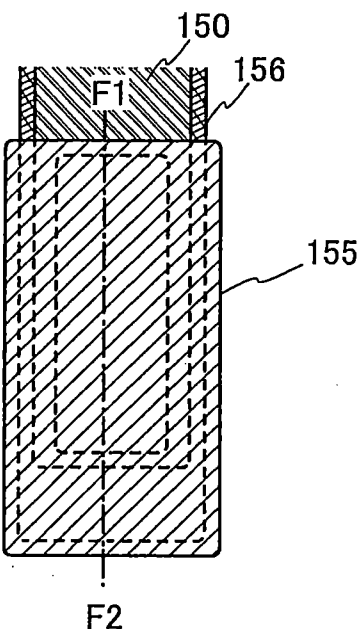


圖 10A

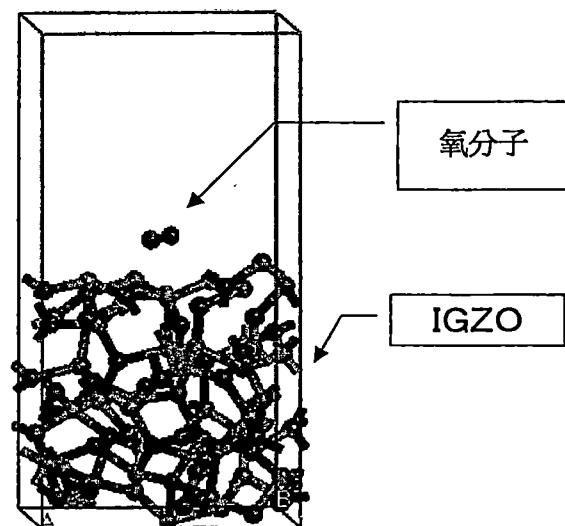


圖 10B

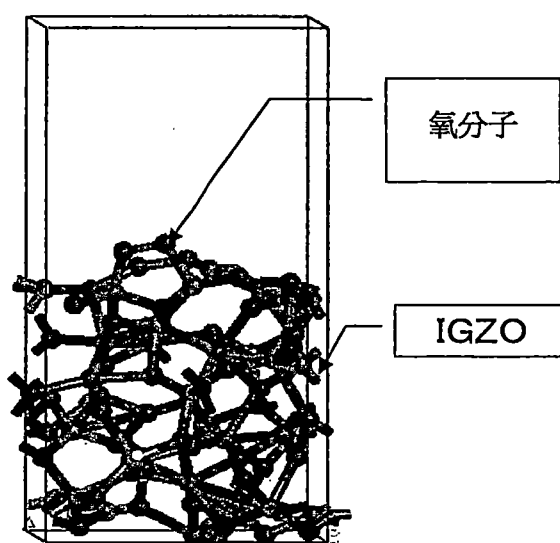


圖 11A

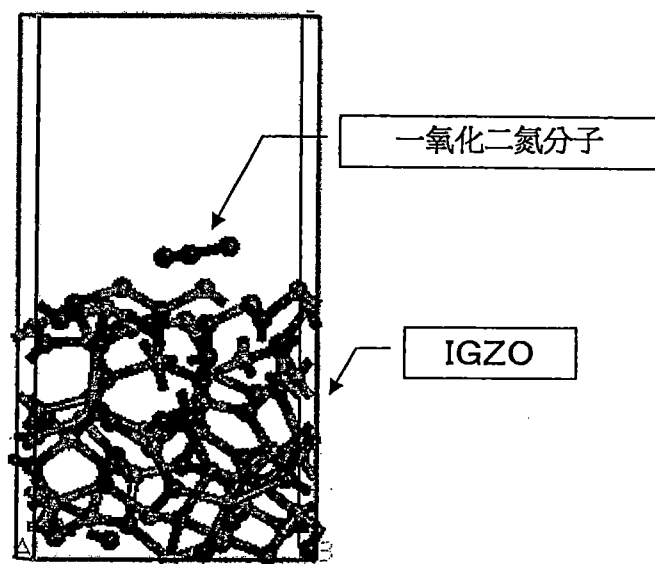


圖 11B

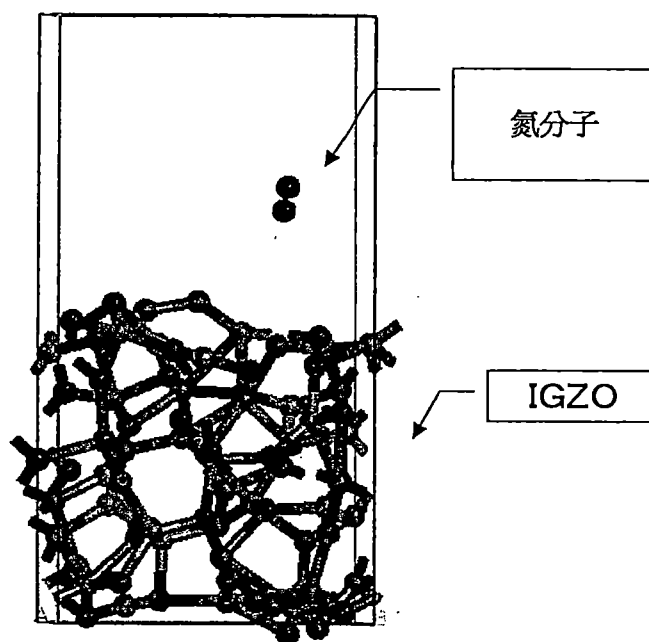


圖 12A

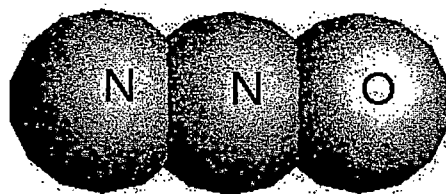


圖 12B

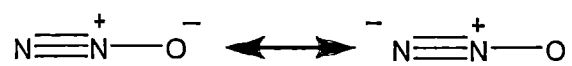


圖 13

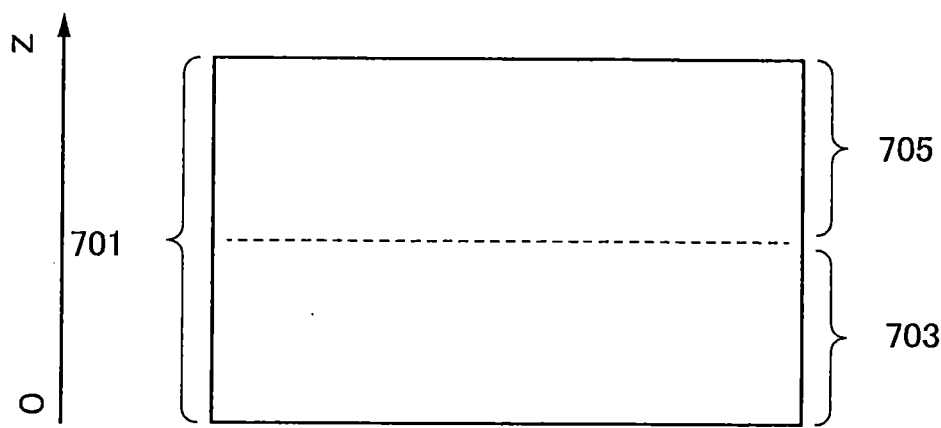


圖 14

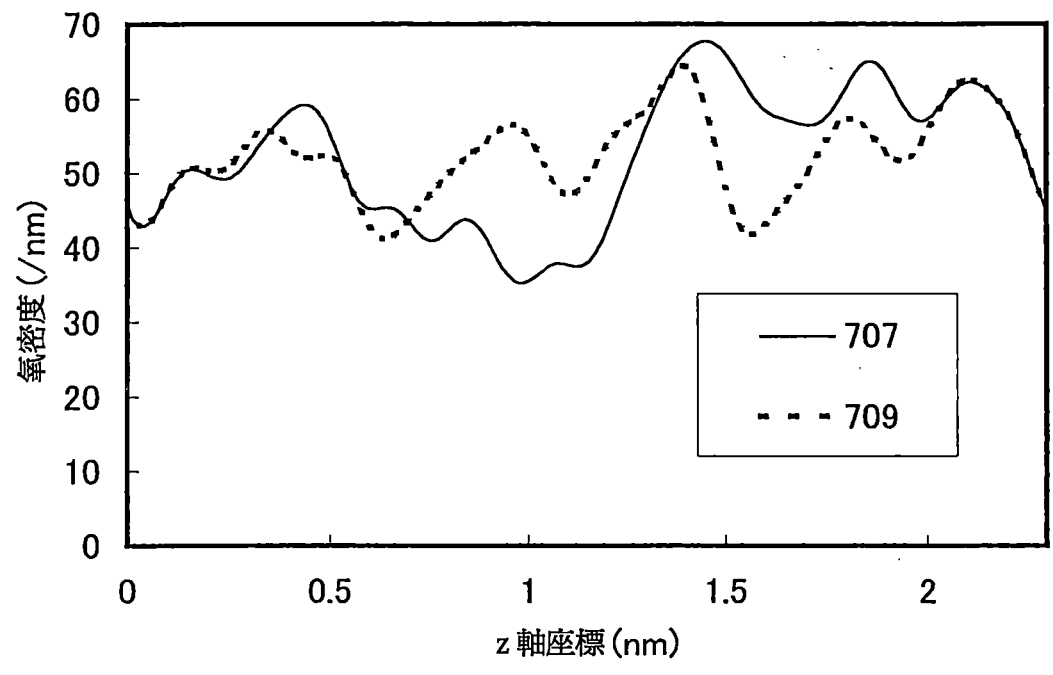


圖 15A

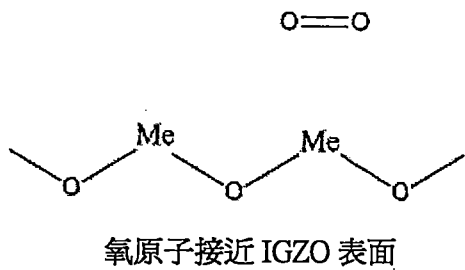


圖 15B



圖 15C

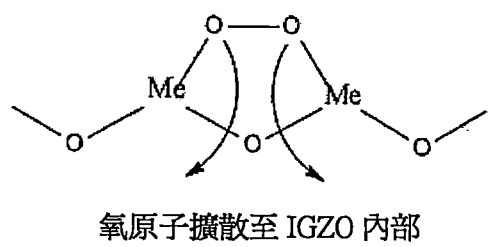


圖 16A1

圖 16A2

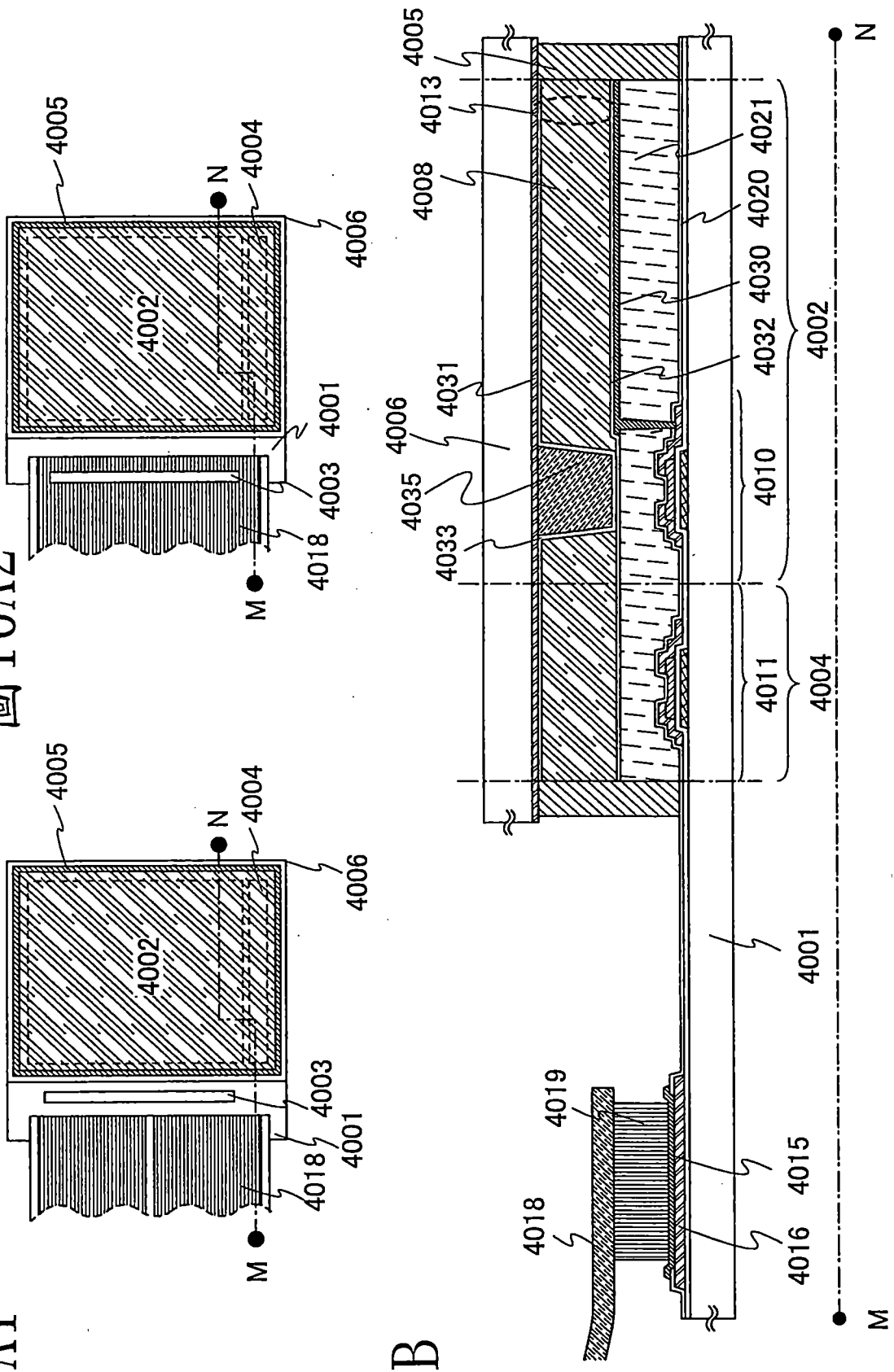


圖17A

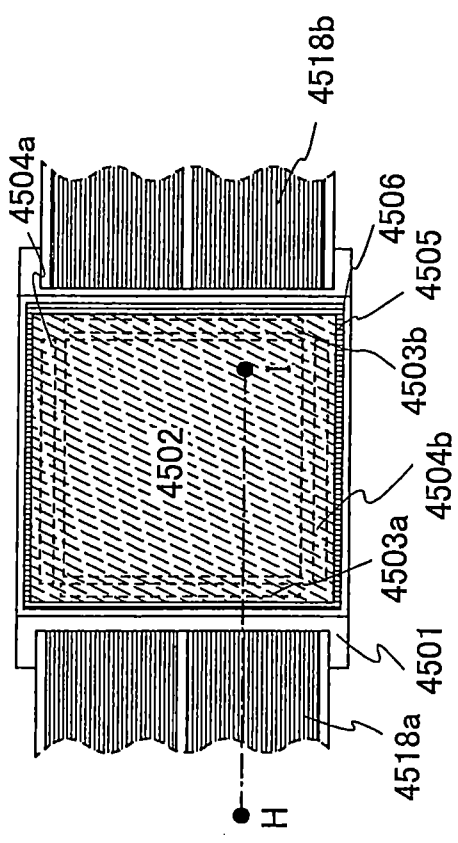


圖17B

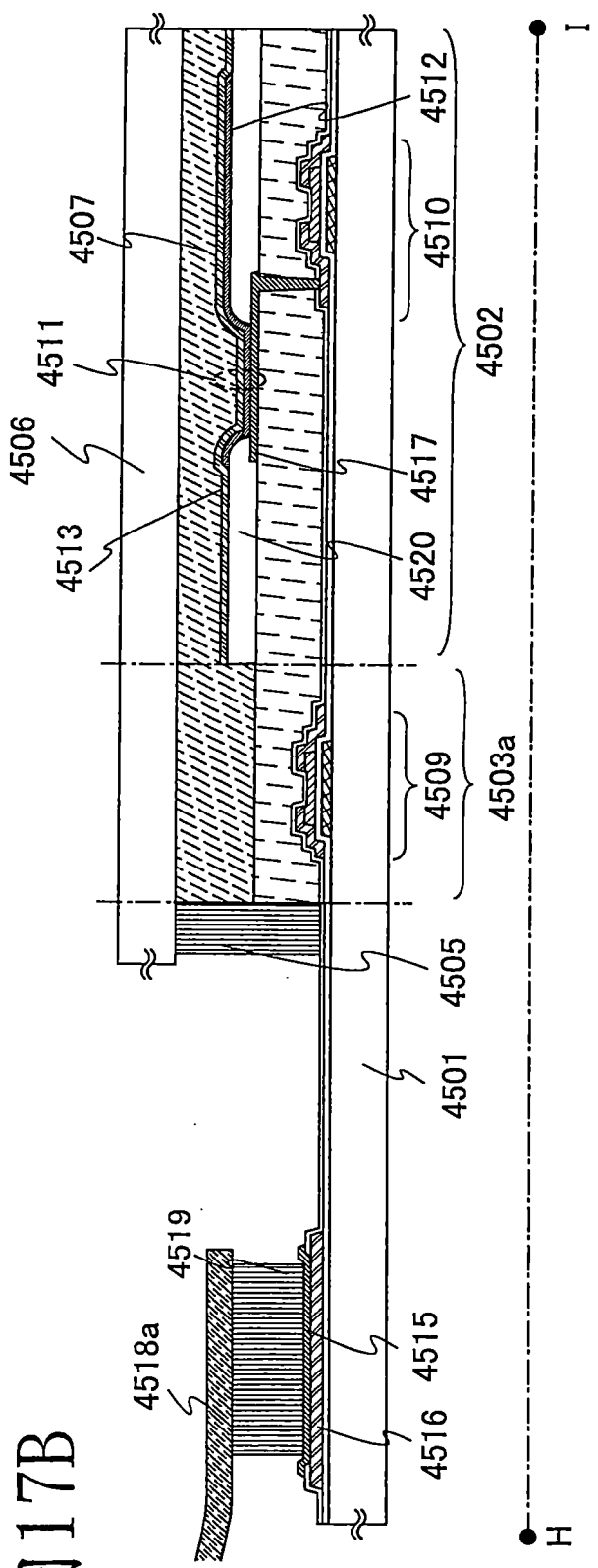


圖 18

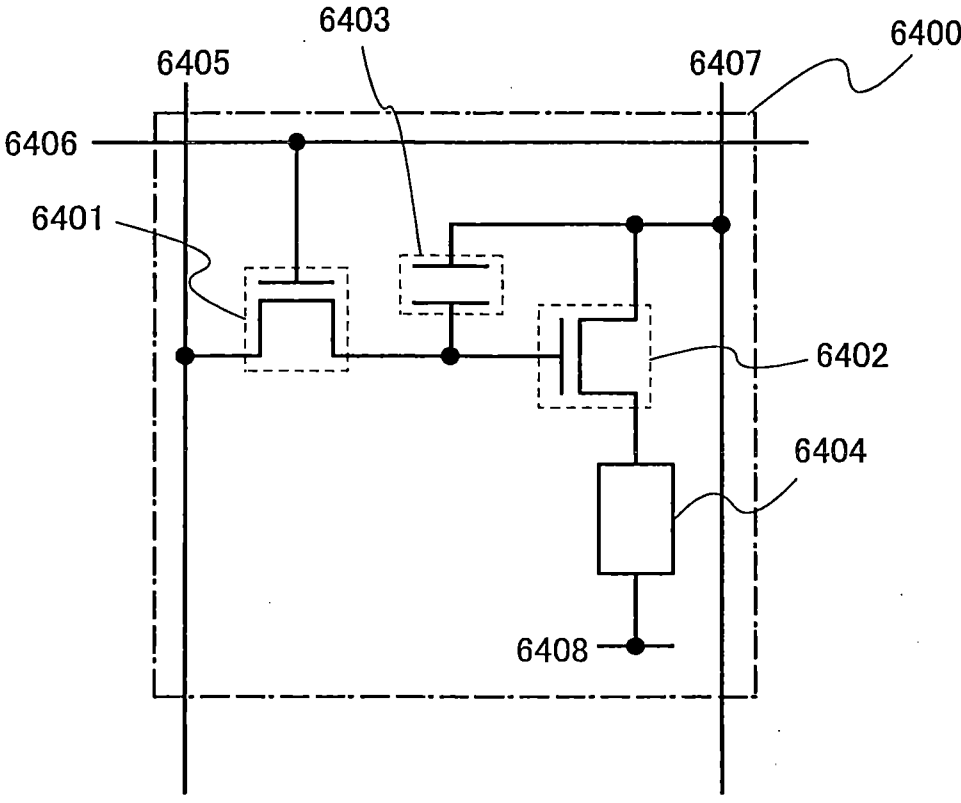


圖 19A

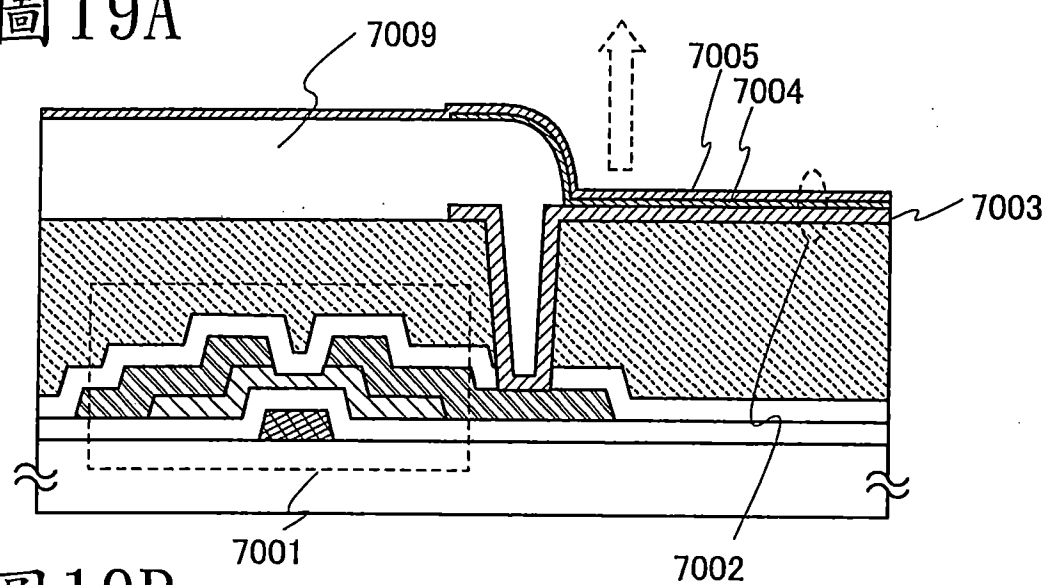


圖 19B

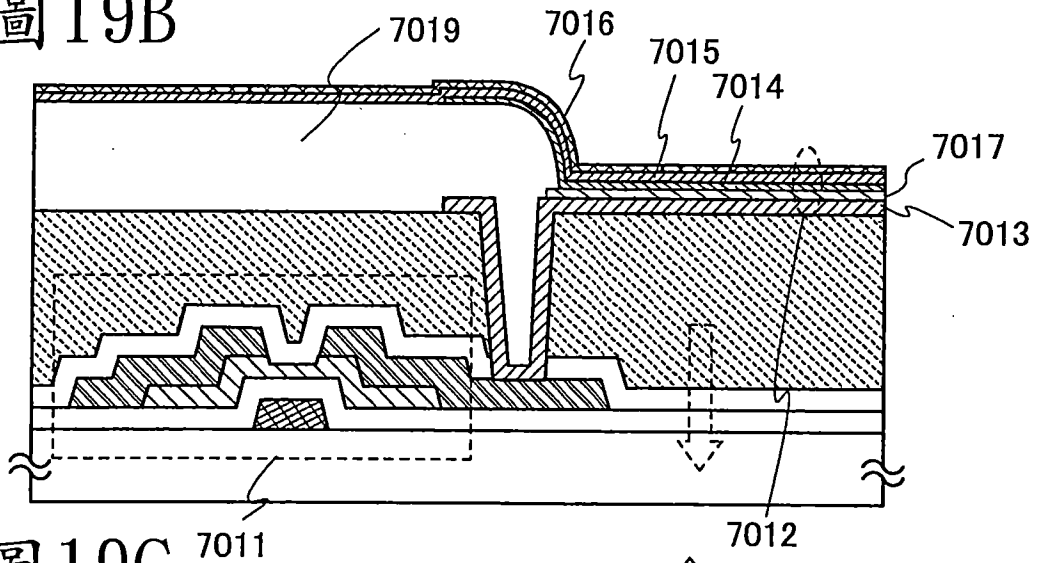


圖 19C

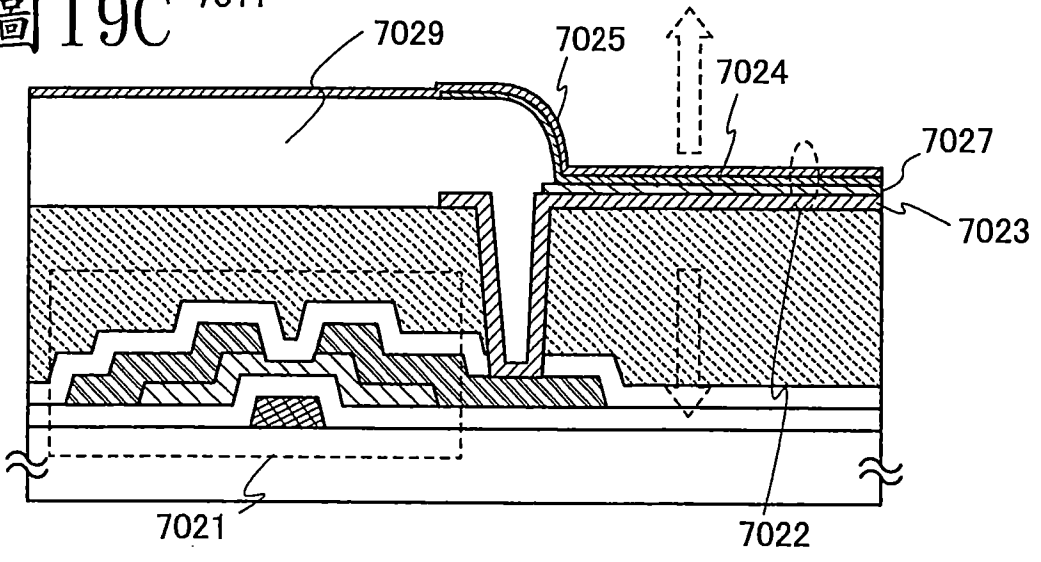


圖 20A

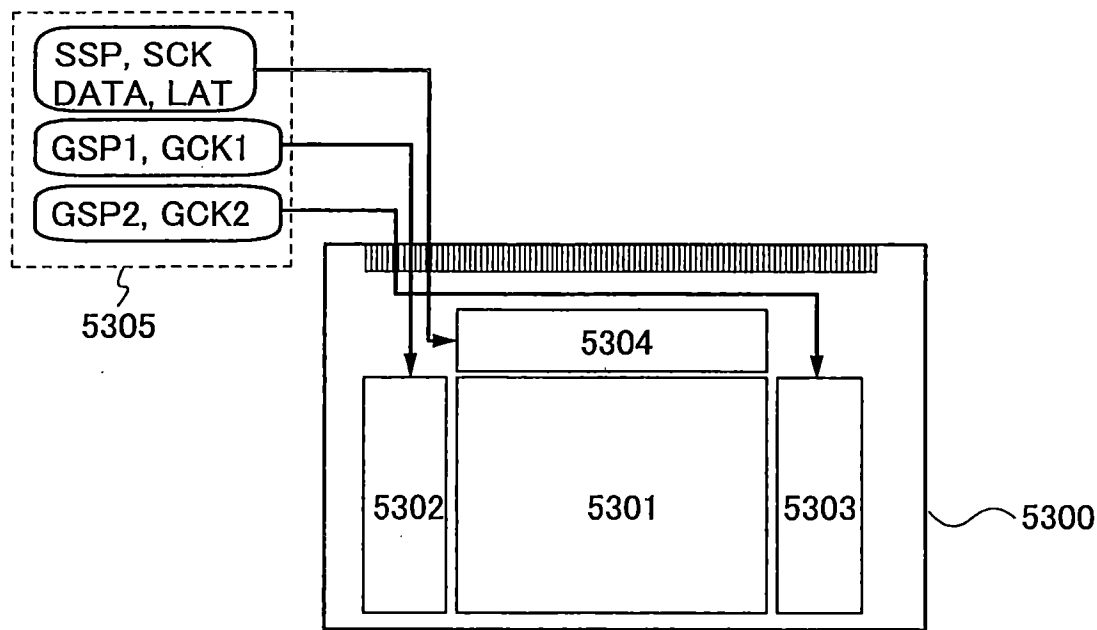


圖 20B

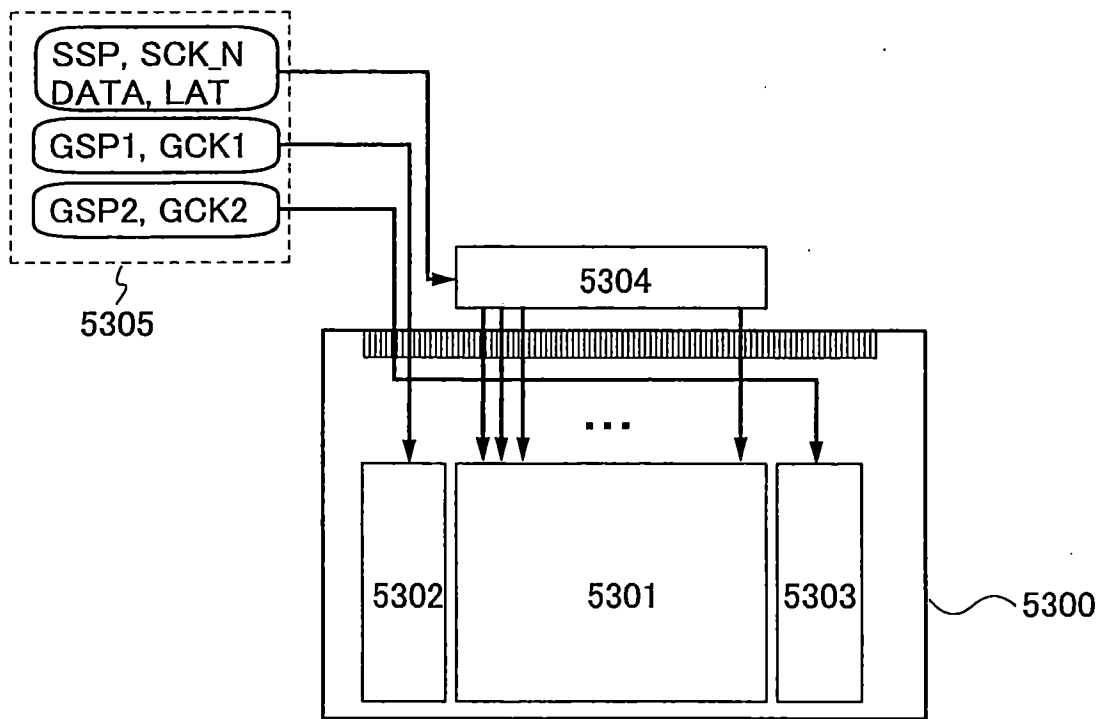


圖21A

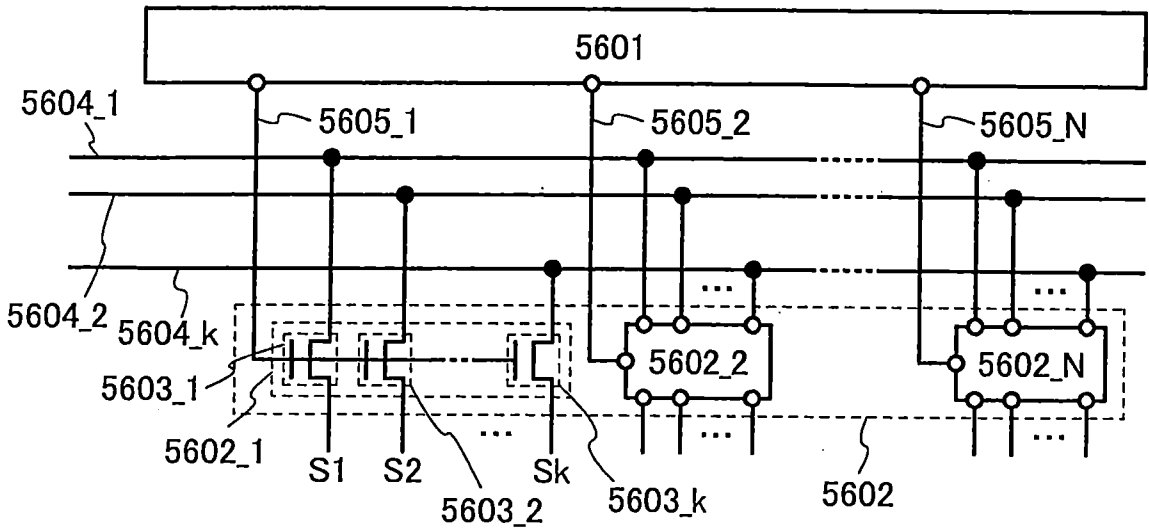


圖21B

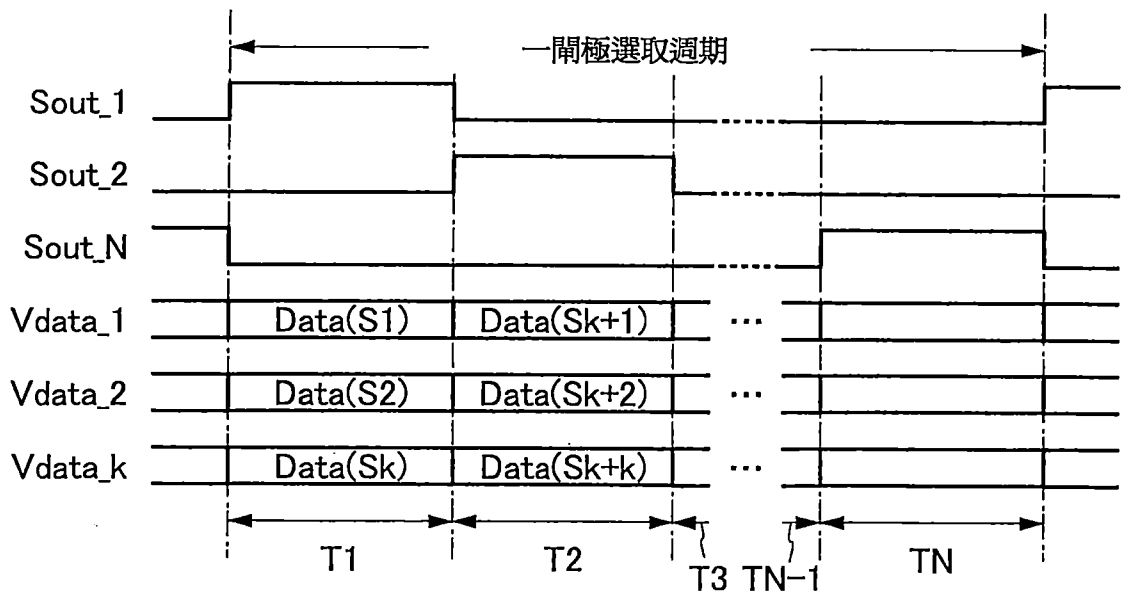


圖 22A

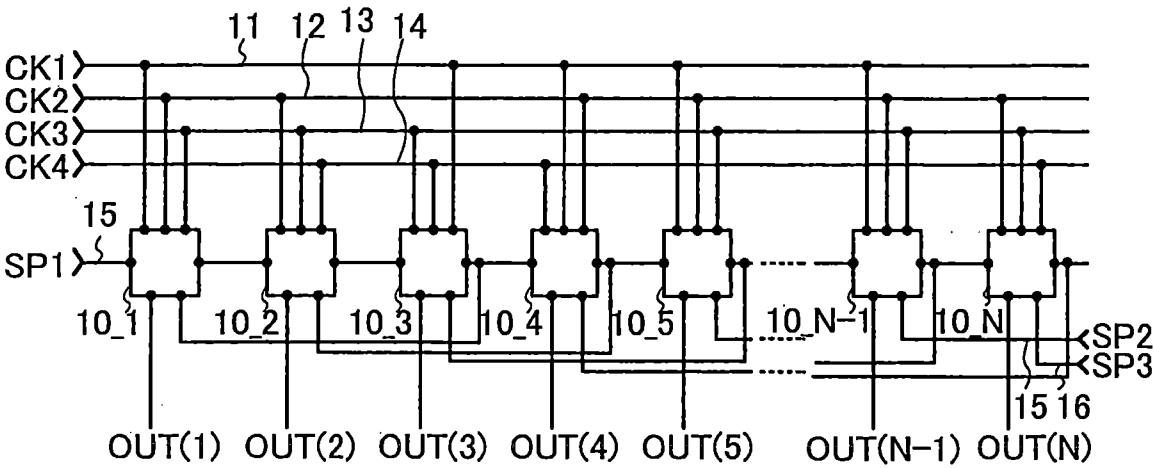


圖 22B

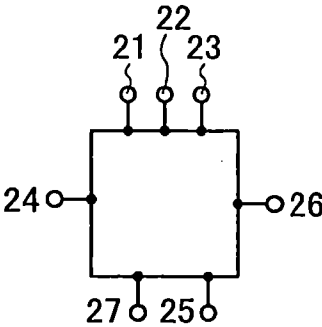


圖 22C

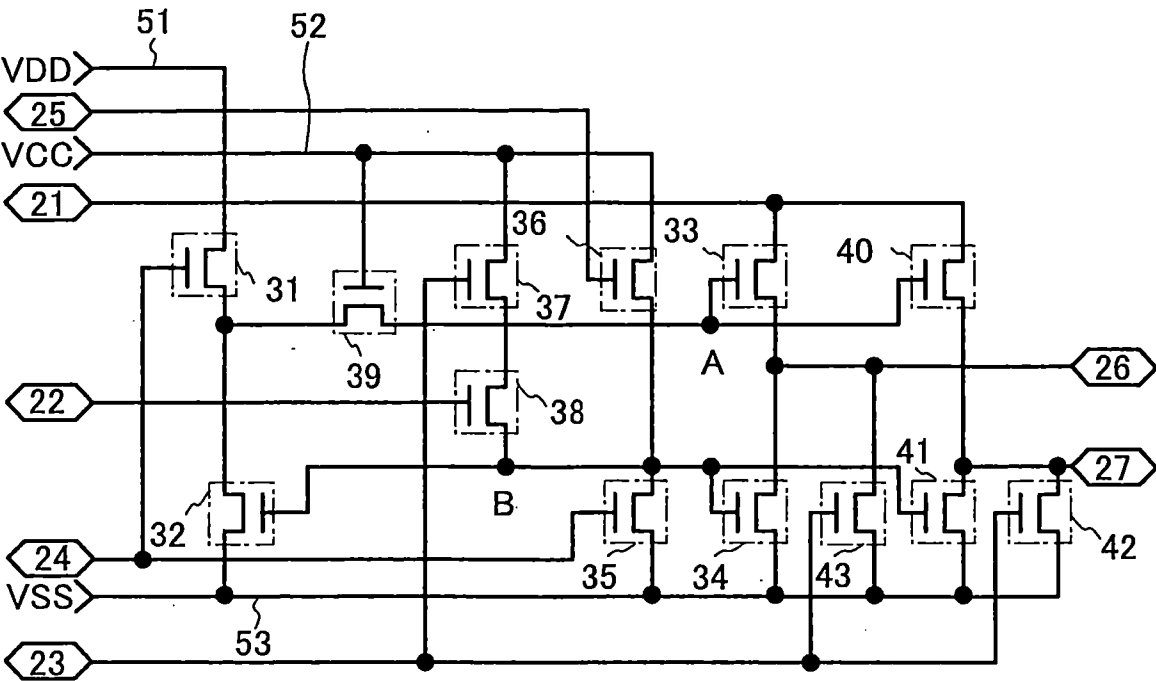


圖 23A

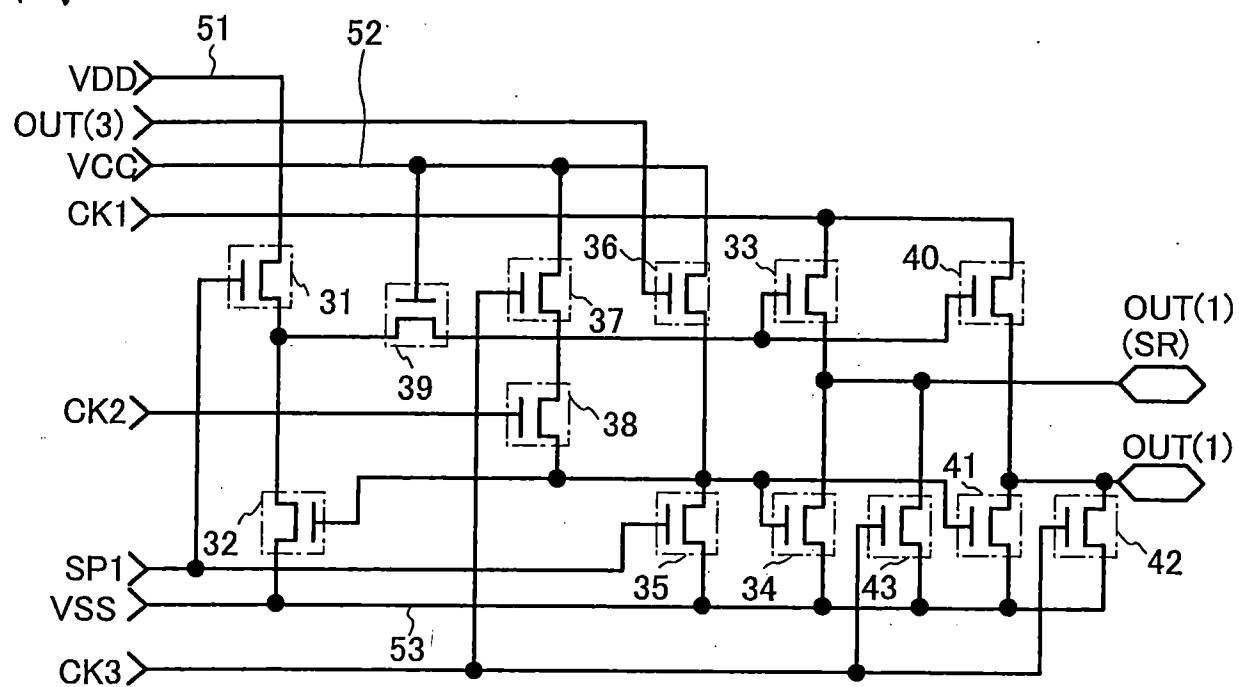


圖 23B

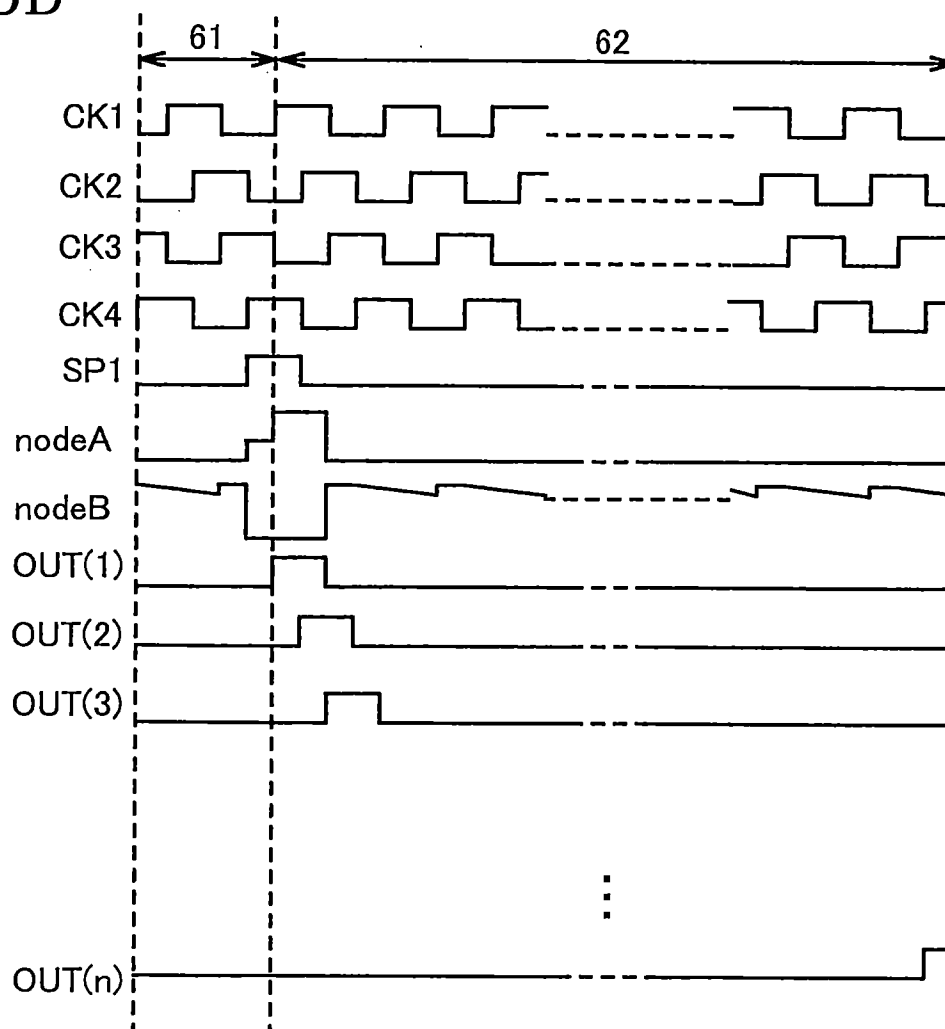


圖 25A

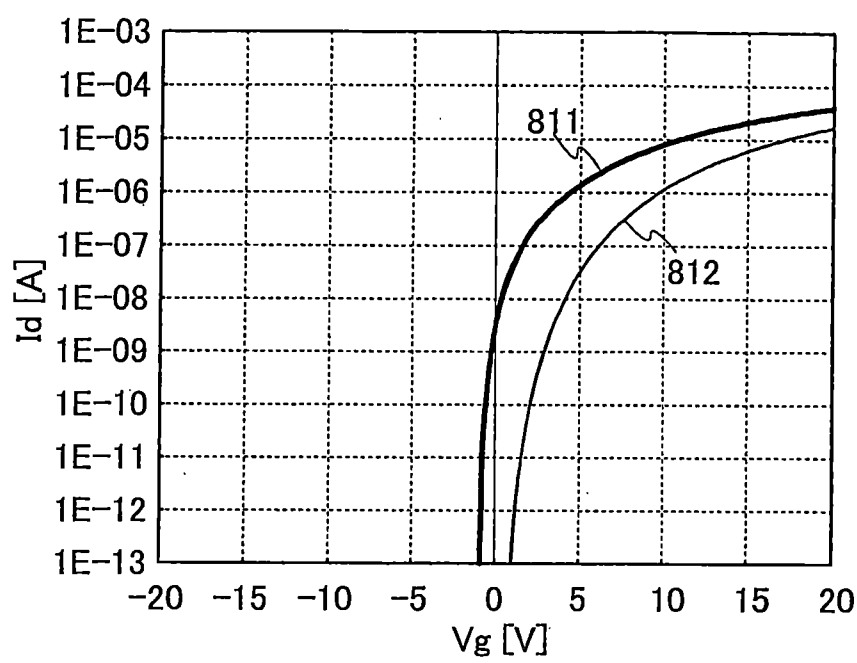


圖 25B

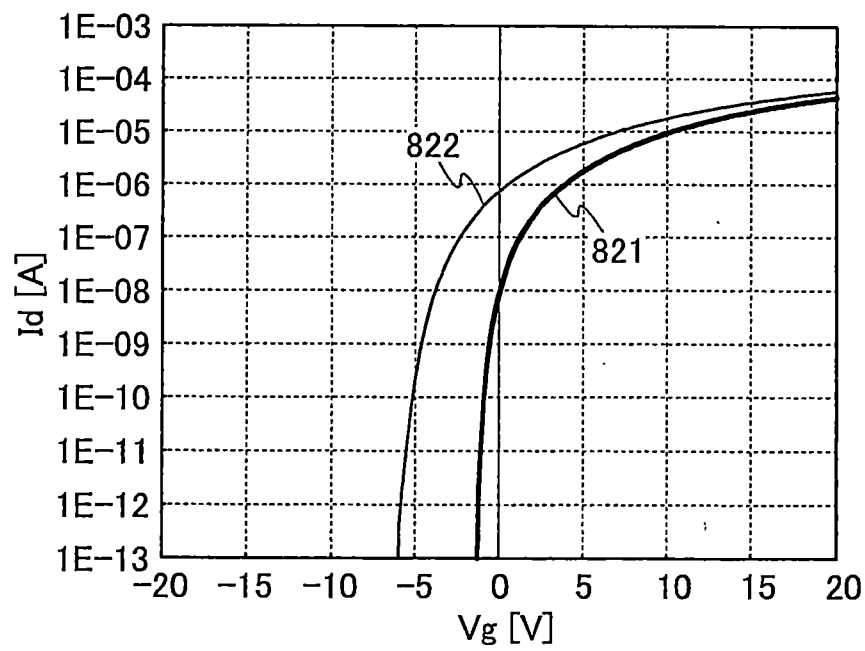


圖26

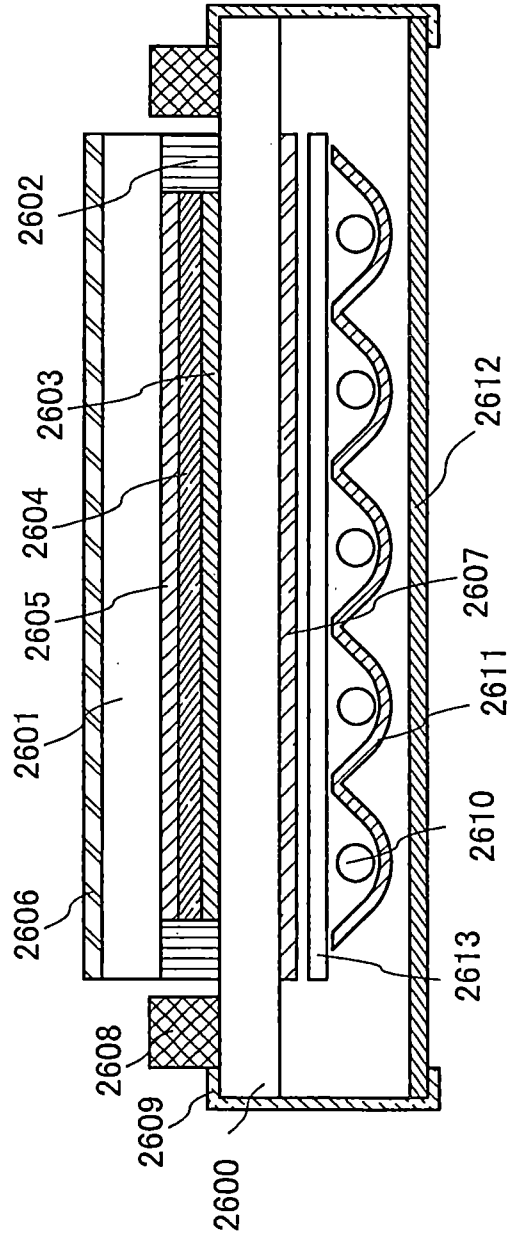


圖 27

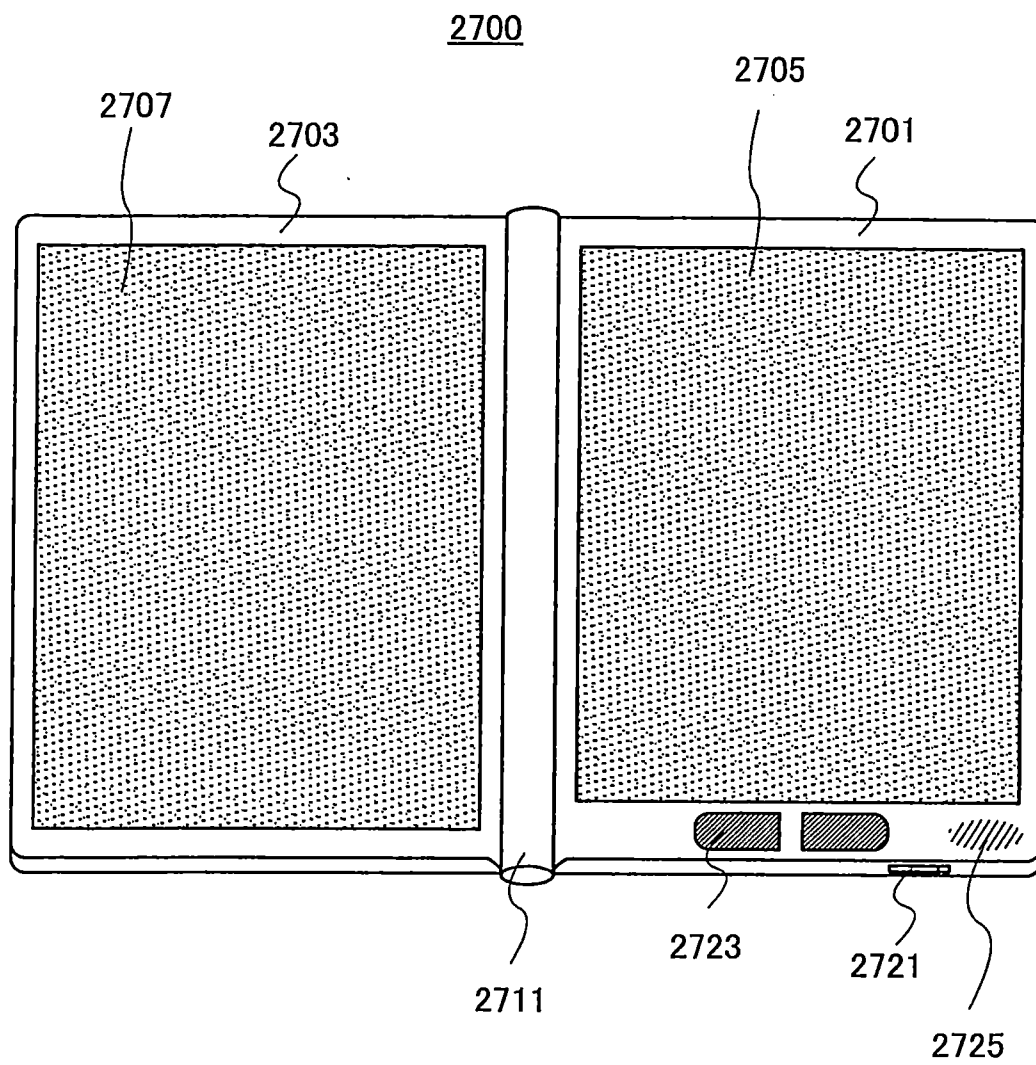


圖 28A

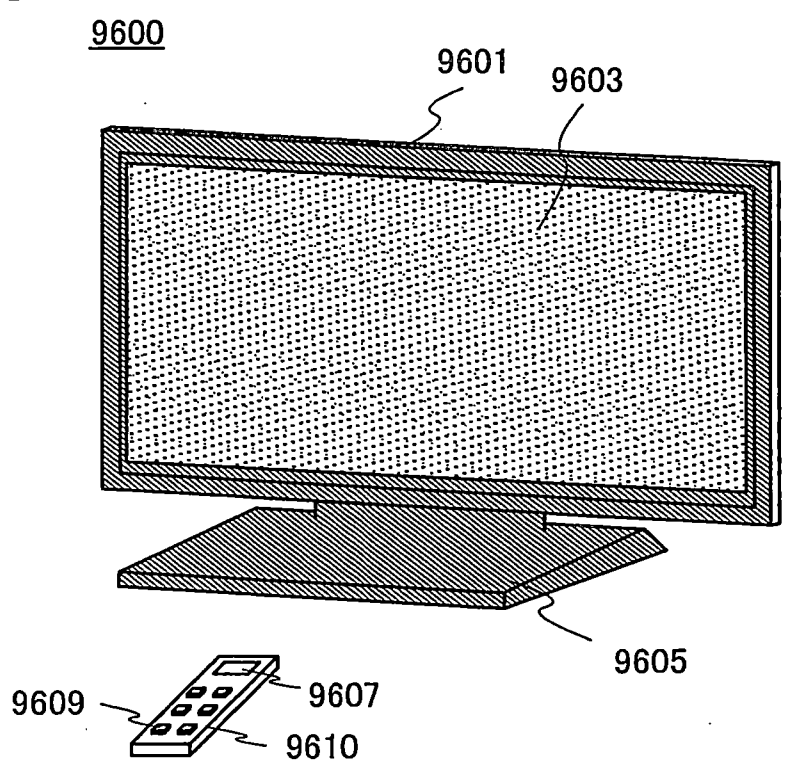


圖 28B

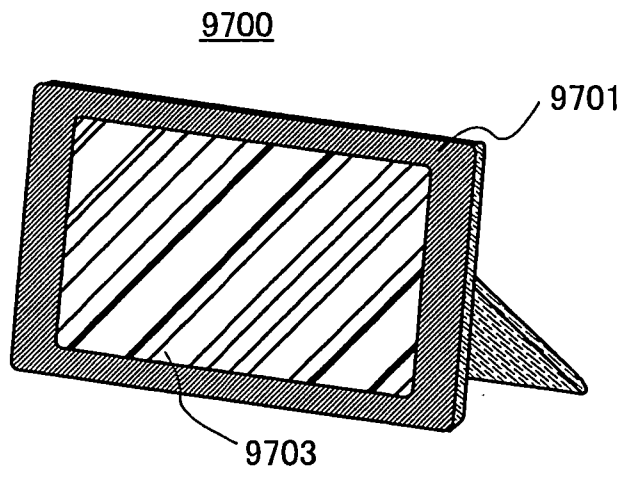


圖 29A

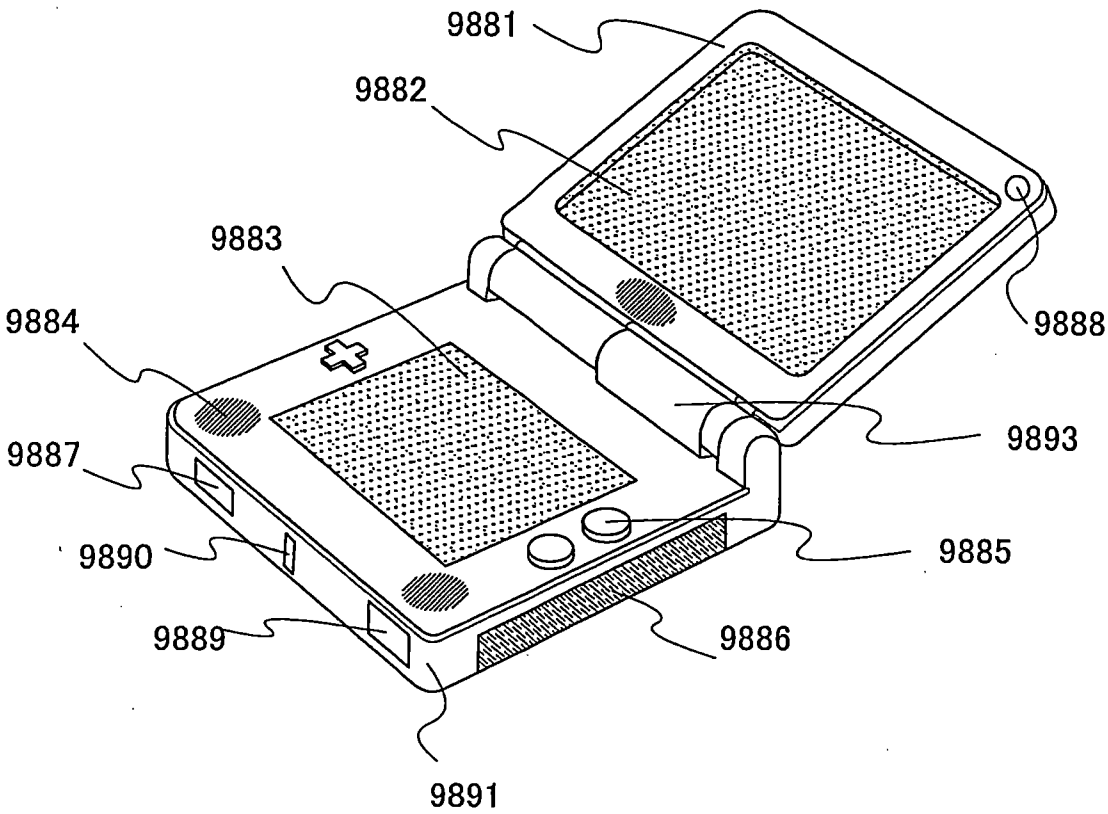


圖 29B

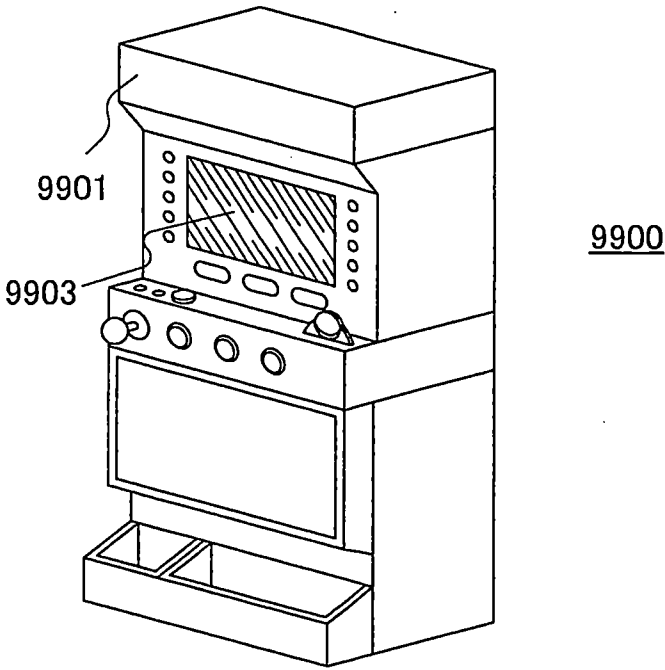


圖 30A

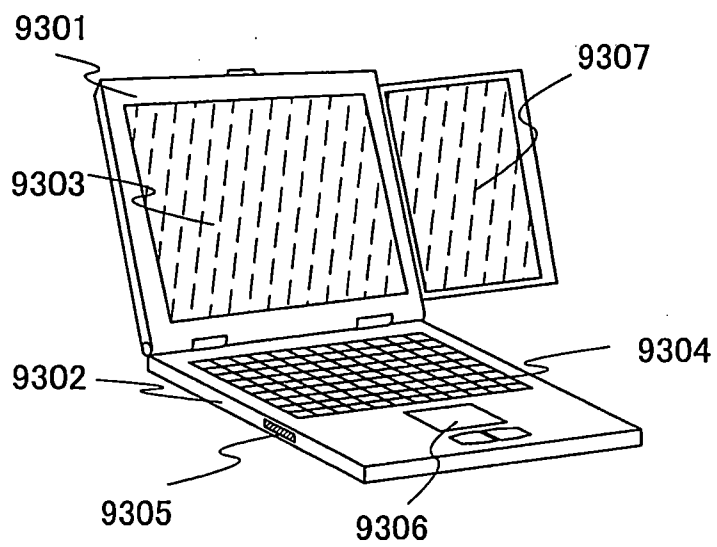


圖 30B

