



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0015628
(43) 공개일자 2018년02월13일

(51) 국제특허분류(Int. Cl.)

H01L 21/762 (2006.01) *H01L 21/02* (2006.01)
H01L 21/306 (2006.01) *H01L 21/3105* (2006.01)
H01L 21/311 (2006.01) *H01L 21/8234* (2006.01)
H01L 21/8238 (2006.01) *H01L 29/06* (2006.01)

(52) CPC특허분류

H01L 21/76229 (2013.01)
H01L 21/0217 (2013.01)

(21) 출원번호 10-2017-7033788

(22) 출원일자(국제) 2016년06월03일

심사청구일자 없음

(85) 번역문제출일자 2017년11월22일

(86) 국제출원번호 PCT/US2016/035785

(87) 국제공개번호 WO 2016/200693

국제공개일자 2016년12월15일

(30) 우선권주장

14/735,359 2015년06월10일 미국(US)

(71) 출원인

マイクロチップ テクノロジ インコーポレイ티드
미국 85224-6199 아리조나 첸들러 웨스트 첸들러
블리바드 2355

(72) 발명자

사토, 저스틴 히로키

미국, 오리건 97068, 웨스트 린, 21031 세랭고 드
라이브

스톰, 그레고리 앤런

미국, 오리건 97089, 다마스쿠스, 17045 사우스
이스트 맥카누도 스트리트

(74) 대리인

특허법인세신

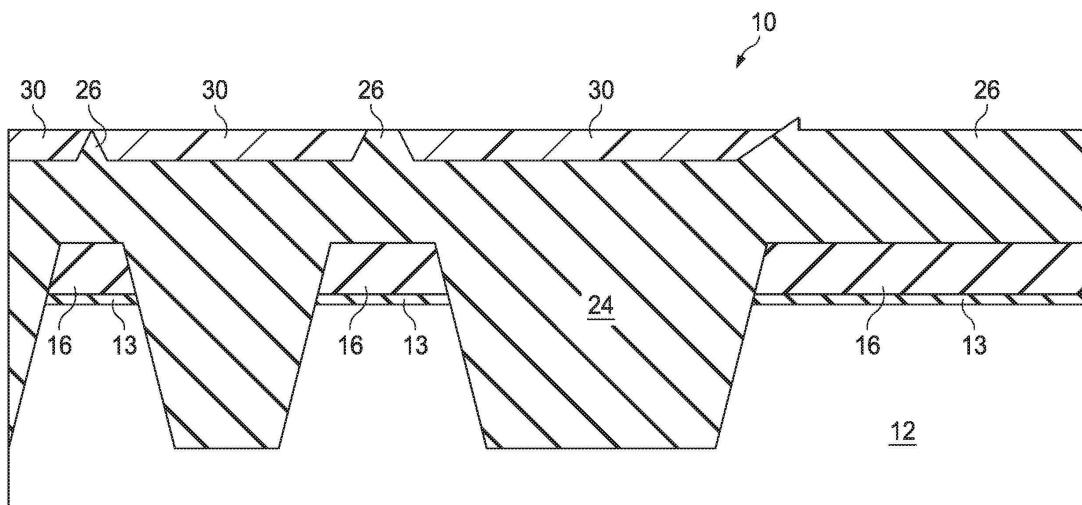
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 얇은 트렌치 아이솔레이션(STI) 구조를 형성하는 방법

(57) 요 약

집적 회로용 트렌치 아이솔레이션(예컨대, STI)을 형성하는 방법은, 패드 산화물 층을 형성한 후 반도체 기판 위에 질화물 층을 형성하는 단계, 상기 구조를 통해 트렌치 에칭을 수행하여 트렌치를 형성하는 단계, 상기 구조 위에 트렌치 산화물 층을 침착하여 충전된 트렌치를 형성하는 단계, 상기 트렌치 산화물 층에 에칭 선택적인 희생 평탄화 층을 상기 침착된 산화물 위에 침착하는 단계, 상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키는 평탄화 에칭 공정을 수행하는 단계, 상기 트렌치 산화물 층에 대해 선택적인 산화물 에칭 공정을 수행하여 상기 충전된 트렌치 밖에 있는 상기 트렌치 산화물 층의 나머지 부분들을 제거하는 단계, 및 상기 잔류 산화물 충전된 트렌치가 상기 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이솔레이션 구조를 정의하도록 상기 잔류 질화물 층을 제거하는 단계를 포함한다.

대표 도 - 도1d



(52) CPC특허분류

H01L 21/30604 (2013.01)

H01L 21/31056 (2013.01)

H01L 21/31111 (2013.01)

H01L 21/823481 (2013.01)

H01L 21/823878 (2013.01)

H01L 29/0649 (2013.01)

명세서

청구범위

청구항 1

집적 회로용 트렌치 아이슬레이션 구조를 형성하는 방법으로서,

반도체 기판 위에 질화물 층을 형성하는 단계;

상기 질화물 층 및 상기 반도체 기판의 일부들을 통해 트렌치 에칭 공정을 수행하여 트렌치를 형성하는 단계;

상기 질화물 층의 나머지 부분들 위에 트렌치 산화물 층을 침착하고 상기 트렌치 내로 연장하여 충전된 트렌치를 형성하는 단계;

상기 트렌치 산화물 층 위에 희생 평탄화 층 - 상기 희생 평탄화 층은 상기 트렌치 산화물 층에 대해 에칭 선택적임 - 을 침착하는 단계;

상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키며, 그리고 상기 충전된 트렌치 밖에 있는 상기 트렌치 산화물 층의 나머지 부분들을 제거하는 다단계 에칭 공정을 수행하는 단계; 및

상기 충전된 트렌치의 잔류 산화물이 상기 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이슬레이션 구조를 정의하도록 상기 질화물 층의 나머지 부분을 제거하는 단계를 포함하는 트렌치 아이슬레이션 구조 형성 방법.

청구항 2

제 1항에 있어서,

상기 다단계 에칭 공정은,

(a) 상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키는 평탄화 에칭 공정; 및

(b) 상기 충전된 트렌치 외부의 상기 트렌치 산화물 층의 나머지 부분들을 제거하기 위해 상기 트렌치 산화물 층에 선택적인 산화물 에칭 공정을 포함하는 트렌치 아이슬레이션 구조 형성 방법.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 트렌치 에칭 공정은 복수의 트렌치를 형성하고;

상기 트렌치 산화물 층은 복수의 충전된 트렌치를 형성하기 위해 상기 복수의 트렌치에 침착되며;

상기 산화물 에칭 공정은 상기 복수의 충전된 트렌치 밖에 있는 상기 트렌치 산화물 층의 나머지 부분들을 제거하고; 그리고

상기 질화물 제거 공정은 상기 복수의 충전된 트렌치의 각각의 잔류 산화물이 상기 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이슬레이션 구조를 정의하도록 상기 질화물 층의 나머지 부분들을 제거하는 트렌치 아이슬레이션 구조 형성 방법.

청구항 4

제 2항 또는 제 3항에 있어서,

상기 평탄화 에칭 공정은,

상기 트렌치 산화물 층보다 상기 평탄화 층에 선택적인 제1 에칭;

상기 평탄화 층보다 상기 트렌치 산화물 층에 선택적인 제2 에칭; 및

상기 제1 예칭보다 덜 선택적인 제3 예칭을 포함하고,

상기 제2 예칭은 상기 평탄화 층이 제거될 때까지 비슷한 비율로 상기 트렌치 산화물 층 및 상기 평탄화 층을 제거하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 5

제 2항 내지 제 4항 중 어느 한 항에 있어서,

상기 산화물 예칭 공정은 상기 산화물 충전된 트렌치의 상단 표면이 상기 산화물 충전된 트렌치에 인접한 상기 질화물 층의 나머지 부분들의 상단 표면 아래의 소정 거리까지 예칭될 때까지 수행되는 트렌치 아이솔레이션 구조 형성 방법.

청구항 6

제 2항 내지 제 4항 중 어느 한 항에 있어서,

상기 산화물 예칭 공정은 상기 산화물 충전된 트렌치의 상단 표면이 상기 산화물 충전된 트렌치에 인접한 상기 반도체 기판의 상단 표면 위의 소정 거리까지 예칭될 때까지 수행되는 트렌치 아이솔레이션 구조 형성 방법.

청구항 7

제 1항 내지 제 6항 중 어느 한 항에 있어서,

상기 다단계 예칭 공정은 다단계 평탄화 예칭 공정을 포함하고; 그리고

상기 질화물 층의 나머지 부분들을 제거하는 단계는 상기 다단계 평탄화 예칭 공정에 의해 수행되는 트렌치 아이솔레이션 구조 형성 방법.

청구항 8

제 7항에 있어서,

상기 다단계 예칭 공정은 4단계의 평탄화 예칭 공정을 포함하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 9

제 7항에 있어서, 상기 다단계 평탄화 예칭 공정은 상기 산화물 충전된 트렌치의 상단 표면이 상기 산화물 충전된 트렌치에 인접한 상기 반도체 기판의 상단 표면 위의 소정 거리까지 예칭될 때까지 수행되는 산화물에 선택적인 예칭을 포함하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 10

제 1항 내지 제 9항 중 어느 한 항에 있어서,

상기 평탄화 층은 유기 실리케이트를 포함하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 11

제 1항 내지 제 10항 중 어느 한 항에 있어서,

상기 평탄화 층은 유기 실록산계 중합체를 포함하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 12

제 1항 내지 제 11항 중 어느 한 항에 있어서,

상기 유기 실리케이트는 화학식 $R_xCH_{3y}SiO_z$ - 여기서, R은 유기 발색단 - 를 갖는 유기 실록산계 중합체를 포함하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 13

제 1항 내지 제 12항 중 어느 한 항에 있어서,

상기 평탄화 층은 상기 침착된 산화물 위에 스판 코팅되는 트렌치 아이솔레이션 구조 형성 방법.

청구항 14

제 1항 내지 제 13항 중 어느 한 항에 있어서,

상기 방법은 화학 기계적 평탄화(CMP) 공정없이 수행되는 트렌치 아이솔레이션 구조 형성 방법.

청구항 15

제 1항 내지 제 14항 중 어느 한 항에 있어서,

반도체 기판 위에 상기 질화물 층을 형성하는 단계는 상기 반도체 기판 위에 박막 패드 산화물을 형성하는 단계 와, 그 후 상기 박막 패드 산화물을 위에 상기 질화물 층을 형성하는 단계를 포함하는 트렌치 아이솔레이션 구조 형성 방법.

청구항 16

반도체 다이로서,

반도체 기판; 및

하기 공정에 의해 상기 반도체 기판에 형성된 복수의 트렌치 아이솔레이션 구조를 포함하고, 상기 공정은,

상기 반도체 기판 위에 질화물 층을 형성하는 단계;

복수의 트렌치를 형성하기 위해 상기 질화물 층 및 상기 반도체 기판의 일부들을 통해 트렌치 에칭 공정을 수행하는 단계;

상기 질화물 층의 나머지 부분들 위에 트렌치 산화물 층을 침착하고 상기 복수의 트렌치 내로 연장하여 복수의 충전된 트렌치를 형성하는 단계;

상기 침착된 산화물 위에 희생 평탄화 층 - 상기 희생 평탄화 층은 상기 트렌치 산화물 층에 대해 에칭 선택적 임 - 을 침착하는 단계;

상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키며; 그리고 상기 복수의 충전된 트렌치들 밖에 있는 상기 트렌치 산화물 층의 나머지 부분들을 제거하는 다단계 에칭 공정을 수행하는 단계; 및

각각의 충전된 트렌치의 잔류 산화물이 상기 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이솔레이션 구조를 정의하도록 상기 질화물 층의 나머지 부분들을 제거하는 단계를 포함하는 반도체 다이.

청구항 17

제 16항에 있어서,

다단계 에칭 공정은,

(c) 상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키는 평탄화 에칭 공정; 및

(d) 충전된 트렌치 외부의 트렌치 산화물 층의 나머지 부분들을 제거하기 위해 트렌치 산화물 층에 대해 선택적인 산화물 에칭 공정을 포함하는 반도체 다이.

청구항 18

제 17항에 있어서,

상기 평탄화 에칭 공정은,

상기 트렌치 산화물 층보다 상기 평탄화 층에 선택적인 제1 에칭;

상기 평탄화 층보다 상기 트렌치 산화물 층에 선택적인 제2 에칭; 및

상기 제1 에칭보다 덜 선택적인 제3 에칭을 포함하고,

상기 제2 예칭은 상기 평탄화 층이 제거될 때까지 비슷한 비율로 상기 트렌치 산화물 층 및 상기 평탄화 층을 제거하는 반도체 다이.

청구항 19

제 17항에 있어서,

상기 산화물 예칭 공정은 상기 산화물 충전된 트렌치의 상단 표면이 상기 산화물 충전된 트렌치에 인접한 상기 질화물 층의 나머지 부분들의 상단 표면 아래의 소정 거리까지 예칭될 때까지 수행되는 반도체 다이.

청구항 20

제 17항에 있어서,

상기 산화물 예칭 공정은 상기 산화물 충전된 트렌치의 상단 표면이 상기 산화물 충전된 트렌치에 인접한 상기 반도체 기판의 상단 표면 위의 소정 거리까지 예칭될 때까지 수행되는 반도체 다이.

청구항 21

제 16항 내지 제 20항 중 어느 한 항에 있어서,

상기 다단계 예칭 공정은 다단계 평탄화 예칭 공정을 포함하고; 그리고

상기 질화물 층의 나머지 부분들을 제거하는 단계는 상기 다단계 평탄화 예칭 공정에 의해 수행되는 반도체 다이.

청구항 22

제 16항 내지 제 21항 중 어느 한 항에 있어서,

다단계 예칭 공정은 4단계의 평탄화 예칭 공정을 포함하는 반도체 다이.

청구항 23

제 21항에 있어서,

상기 다단계 평탄화 예칭 공정은 상기 산화물 충전된 트렌치의 상단 표면이 상기 산화물 충전된 트렌치에 인접한 상기 반도체 기판의 상단 표면 위의 소정 거리까지 예칭될 때까지 수행되는 산화물에 선택적인 예칭을 포함하는 반도체 다이.

청구항 24

제 16항 내지 제 23항 중 어느 한 항에 있어서,

상기 평탄화 층은 유기 실록산계 중합체를 포함하는 반도체 다이.

청구항 25

제 16항 내지 제 24항 중 어느 한 항에 있어서,

상기 유기 실리케이트는 화학식 $R_xCH_{3y}SiO_z$ - 여기서, R은 유기 발색단 - 를 갖는 유기 실록산계 중합체를 포함하는 반도체 다이.

청구항 26

제 16항 내지 제 25항 중 어느 한 항에 있어서,

상기 방법은 화학적-기계적 평탄화(CMP) 공정없이 수행되는 반도체 다이.

청구항 27

반도체 기판; 및

하기 공정에 의해 상기 반도체 기판에 형성된 복수의 트렌치 아이솔레이션 구조를 포함하는 반도체 구조체를 포

함하는 상보형 금속 산화물 반도체(complementary metal-oxide semiconductor; CMOS) 디바이스로서, 상기 공정은,

상기 반도체 기판 위에 질화물 층을 형성하는 단계;

복수의 트렌치를 형성하기 위해 상기 질화물 층 및 상기 반도체 기판의 일부들을 통해 트렌치 에칭 공정을 수행하는 단계;

상기 질화물 층의 나머지 부분들 위에 트렌치 산화물 층을 침착하고 상기 복수의 트렌치 내로 연장하여 복수의 충전된 트렌치를 형성하는 단계;

상기 침착된 산화물 위에 희생 평탄화 층 - 상기 희생 평탄화 층은 상기 트렌치 산화물 층에 대해 에칭 선택적임 - 을 침착하는 단계;

희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키며, 그리고 상기 복수의 충전된 트렌치들 밖에 있는 상기 트렌치 산화물 층의 나머지 부분들을 제거하는 다단계 에칭 공정을 수행하는 단계; 및

각각의 충전된 트렌치의 잔류 산화물이 상기 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이솔레이션 구조를 정의하도록 상기 질화물 층의 나머지 부분들을 제거하는 단계를 포함하는 CMOS 디바이스.

청구항 28

제 27항에 있어서,

상기 평탄화 층은 유기 실록산계 중합체를 포함하는 CMOS 디바이스.

발명의 설명

기술 분야

[0001]

본 발명은 반도체 집적 회로(IC) 제조에 관한 것으로, 더욱 상세하게는, 예를 들어 상보형 금속 산화물 반도체(CMOS) 디바이스에 대해 얇은 트렌치 아이솔레이션 구조(shallow trench isolation structures; STIs)를 형성하는 방법에 관한 것이다.

배경 기술

[0002]

얇은 트렌치 아이솔레이션(STI)은 인접한 반도체 디바이스 구성요소들간의 전류 누설을 방지하는 집적 회로 특성이다. STI 구조는 일반적으로 CMOS 디바이스에 사용되며, 전형적으로 트랜지스터가 형성되기 전에 반도체 디바이스 제조 공정 중 초기에 형성된다. 종래의 STI 공정의 핵심 단계들은 실리콘 기판에 트렌치의 패턴을 에칭하는 단계와, 이 트렌치를 채우기 위해 하나 이상의 유전체 재료(예: 이산화규소)를 침착하는(depositing) 단계, 및 화학적-기계적 평탄화(CMP)를 사용하여 과잉 유전체를 제거하는 단계를 포함한다.

[0003]

그러나, 종래의 STI 형성에 관련된 CMP 공정(processing)은 하나 이상의 관련된 문제를 야기할 수 있다. 예를 들어, CMP 공정은 웨이퍼 전체에 걸쳐 수율 저하를 야기할 정도의 변동을 초래할 수 있는 심각한 중심 대 가장 자리 치우침(center-to-edge bias)을 발생시킬 수 있다. 다른 예로서, CMP는 필드 산화물의 국부적인 불균일성(non-uniformity) 및 디싱(dishing)을 야기할 수 있다. 또한, CMP 공정은 가장 큰 활성 영역들에 산화물 잔류물을 남기게 되고, 이것이 수율 손실을 가져오는 SiN 잔류물을 가져올 수 있다. 마지막으로, CMP를 이용한 종래의 STI 형성 공정은 비교적 많은 단계들을 필요로 한다.

발명의 내용

해결하려는 과제

[0004]

이 개시의 교시에 따르면, 트렌치 아이솔레이션 구조, 예를 들어 STIs(shallow trench isolations)가 CMP를 사용하지 않고 및/또는 종래의 기술에 비해 감소된 단계 수로 형성될 수 있다.

과제의 해결 수단

[0005]

일 실시예에서, 집적 회로용 트렌치 아이솔레이션 구조(예컨대, STI)를 형성하는 방법은, 반도체 기판 위에 박

막 패드 산화물 층을 형성한 후 질화물 층을 형성하는 단계; 상기 질화물 층, 패드 산화물, 및 상기 반도체 기판의 일부들을 통해 트렌치 에칭 공정을 수행하여 트렌치를 형성하는 단계; 상기 질화물 층의 나머지 부분들 위에 트렌치 산화물 층을 침착하고 상기 트렌치 내로 연장하여 충전된 트렌치를 형성하는 단계; 상기 증착된 산화물 위에 희생 평탄화 층 - 상기 희생 평탄화 층은 상기 트렌치 산화물 층에 대해 에칭 선택적임 - 을 침착하는 단계; 상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키는 평탄화 에칭 공정을 수행하는 단계; 상기 충전된 트렌치 밖에 있는 상기 트렌치 산화물 층의 나머지 부분들을 제거하기 위해 상기 트렌치 산화물 층에 선택적인 산화물 에칭 공정을 수행하는 단계; 및 상기 충전된 트렌치의 잔류 산화물이 상기 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이솔레이션 구조를 정의하도록 상기 질화물 층의 나머지 부분을 제거하는 질화물 제거 공정을 수행하는 단계를 포함한다. 물론 이 기술은 원활 경우 복수의 트렌치 아이솔레이션 구조를 형성하는데 사용될 수도 있다.

[0006] 또 하나의 실시예에서, 반도체 다이는 반도체 기판, 및 하기 공정에 의해 상기 반도체 기판에 형성된 복수의 트렌치 아이솔레이션 구조(예컨대, STIs)를 포함할 수 있으며, 상기 공정은, 상기 반도체 기판 위에 박막 패드 산화물 층을 형성한 후 질화물 층을 형성하는 단계; 복수의 트렌치를 형성하기 위해 상기 질화물 층, 패드 산화물, 및 상기 반도체 기판의 일부들을 통해 트렌치 에칭 공정을 수행하는 단계; 상기 질화물 층의 나머지 부분들 위에 트렌치 산화물 층을 침착하고 상기 트렌치 내로 연장하여 복수의 충전된 트렌치를 형성하는 단계; 상기 침착된 산화물 위에 희생 평탄화 층 - 상기 희생 평탄화 층은 상기 트렌치 산화물 층에 대해 에칭 선택적임 - 을 침착하는 단계; 상기 희생 평탄화 층을 제거하고 상기 트렌치 산화물 층의 상부 표면의 표면 변화를 감소시키는 평탄화 에칭 공정을 수행하는 단계; 상기 충전된 트렌치 밖에 있는 상기 트렌치 산화물 층의 나머지 부분을 제거하기 위해 상기 트렌치 산화물 층에 선택적인 산화물 에칭 공정을 수행하는 단계; 및 각각의 충전된 트렌치의 잔류 산화물이 반도체 기판의 노출된 상부 표면 위에 돌출하는 트렌치 아이솔레이션 구조를 정의하도록 상기 질화물 층의 나머지 부분들을 제거하는 질화물 제거 공정을 수행하는 단계를 포함한다.

[0007] 다른 실시예들에서, CMOS 디바이스는 상술한 바와 같이 형성된 복수의 트렌치 아이솔레이션 구조를 포함하는 반도체 구조를 포함한다.

[0008] 일부 실시예에서, 희생 평탄화 층은 유기 실리케이트(organosilicate)를 포함한다. 특정 실시예들에서, 희생 평탄화 층은, 예를 들어 화학식 $R_xCH_3ySiO_z$ - 여기서 R은 유기 발색단 - 에 따른 유기 실록산계 중합체(organo-siloxane based polymer)를 포함한다. 예를 들어, 일부 실시예들에서, 희생 평탄화 층은 미국 뉴저지 07960, 모리스타운, 101 컬럼비아 로드에 소재한 하니웰 일렉트로닉 머티리얼스(Honeywell Electronic Materials)에 의해 공급되는 DUO(TM)193 또는 DUO(TM)248 반사 방지 코팅재를 포함할 수 있다.

도면의 간단한 설명

[0009] 예시적인 실시예들은 도면을 참조하여 아래에서 설명된다.

도 1a 내지 도 1h는 본 발명의 예시적인 실시예에 따른, 집적 회로용 트렌치 아이솔레이션 구조(예컨대, STIs)를 형성하는 단계별 공정을 보여주는 예시적인 반도체 집적 회로 구조체의 단면을 도시한다;

도 2는 예시적인 실시예에 따른, 도 1a 내지 도 1h에 도시된 공정에 대응하는, 집적 회로, 예컨대 CMOS 디바이스용 얇은 트렌치 아이솔레이션을 형성하는 예시적인 방법의 플로우차트이다;

도 3a 내지 도 3h는 본 발명의 예시적인 실시예에 따른, 집적 회로용 트렌치 아이솔레이션 구조(예컨대, STIs)를 형성하는 단계별 공정을 보여주는 또 하나의 예시적인 반도체 집적 회로 구조체의 단면을 도시한다; 그리고

도 4는 예시적인 실시예에 따른, 도 3a 내지 도 3h에 도시된 공정에 대응하는, 집적 회로, 예컨대 CMOS 디바이스용 얇은 트렌치 아이솔레이션을 형성하는 예시적인 방법의 플로우차트이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이 개시의 교시에 따르면, 트렌치 아이솔레이션 구조, 예컨대 얇은 트렌치 아이솔레이션(STI)이 CMP를 사용하지 않고 및/또는 종래의 기술에 비해 감소된 단계 수로 형성될 수 있다. 이러한 공정에 의해 CMP 공정과 관련된 하나 이상의 문제가 해결될 수 있거나 제거될 수 있고, 및/또는 STIs를 형성하는 비용 및 복잡성이 줄어들 수 있다.

[0011] 이제 도면을 참조하면, 특정한 예시적 실시예들의 세부사항이 개략적으로 도시된다. 도면의 동일한 요소들은 동

일한 번호로 표시되고, 유사한 요소들은 서로 다른 소문자 접미어와 함께 동일한 번호로 표시될 것이다.

[0012] 도 1a 내지 도 1h는 예시적인 실시예에 따른, 접적 회로, 예컨대 CMOS 디바이스용 트렌치 아이솔레이션 구조(예컨대, STIs)를 형성하는 예시적인 공정의 단계들을 도시한다.

[0013] 도 1a에 도시된 바와 같이, 접적 회로 구조체(10)는 웨이퍼 표면 상에 형성된 반도체 기판(12), 예컨대 실리콘(Si) 기판을 포함한다. 산화물 층(13), 예컨대 이산화규소(SiO_2)의 박막 패드(thin pad) 산화물 층은 기판에 대한 질화물의 응력/접착력(stress/adhesion)에 도움을 주기 위해 반도체 기판(12) 위에 형성되거나 침착된다. 질화물 층(16), 예컨대 질화 규소(SiN)는 패드 산화물 층(13) 위에 침착되고, 임의의 적합한 포토리소그래피 기술을 사용하여 하나 이상의 트렌치(20)들을 형성하기 위해 트렌치 에칭 공정, 예컨대 STI 에칭이 질화물 층(16), 패드 산화물 층(13) 및 반도체 기판(12)의 일부들을 통과하여 수행된다. 산화물 층(13)은 기판에 대한 질화물의 응력/접착력을 둑기 위해 질화물 층(16) 이전에 형성 또는 침착될 수 있으며, 침착된 질화물 층(16)의 두께의 약 1/10의 두께를 가질 수 있다. 에칭 후, 라이너 산화(liner oxidation)에 의해 반도체 기판(12)의 노출된 표면들 상에 라이너 산화물 층(14)이 형성될 수 있다.

[0014] 도 1b에 도시된 바와 같이, 트렌치 산화물 층(24), 예컨대 이산화규소(SiO_2)가 상기 구조체 위에 침착되고, 충전된 트렌치들을 형성하도록 각 트렌치(20) 내로 연장된다. 일부 실시예들에서, 트렌치 산화물 층(24)은 고밀도 플라즈마 화학 기상 증착(HDP CVD)에 의해 증착된다. 도시된 바와 같이, 증착된 트렌치 산화물 층(24)은, 예를 들어 아래에 놓인 구조의 토포그래피(topography)로 인해 평탄하지 않은(non-planar) 토포그래피를 가질 수 있다. 특히, 트렌치 산화물 층(24)의 토포그래피는 다수의 상향 돌출 또는 연장된 피처들(features) 또는 영역들(26)을 정의할 수 있다.

[0015] 도 1c에 도시된 바와 같이, 희생 평탄화 층(sacrificial planarizing layer;30)이 트렌치 산화물 층(24) 위에 침착된다. 희생 평탄화 층(30)은 트렌치 산화물 층(24)에 대해 에칭 선택적(etch-selective)이다. 일부 실시예들에서, 평탄화 층은 유기 실리케이트(organosilicate)를 포함한다. 예를 들면, 평탄화 층(30)은 유기 실록산계 중합체(organo-siloxane based polymer), 예컨대 화학식 $\text{R}_x\text{CH}_{3y}\text{SiO}_2$ 를 갖는 유기 실록산계 중합체 - 여기서 R은 유기 발색단(organic chromophore) - 를 포함할 수 있다. 예시적인 실시예들에서, 희생 평탄화 층(30)은 미국 뉴저지 07960, 모리스타운, 101 컬럼비아 로드에 소재한 하니웰 일렉트로닉 머티리얼스(Honeywell Electronic Materials)에 의해 공급되는 DUO(TM)193 또는 DUO(TM)248 반사 방지 코팅재(anti-reflective coating)를 포함한다. 평탄화 층(30)은 임의의 적절한 방식으로 침착될 수 있다. 일부 실시예들에서, 평탄화 층(30)은 트렌치 산화물 층(24) 위에 스핀 코팅(spin-coated)되며, 스핀 코팅은 부분적으로 평탄화하는 효과를 제공한다.

[0016] 다음으로, 예를 들어 상향 돌출 또는 연장된 피처들(features) 또는 영역들(26)을 줄이거나 제거함으로써 희생 평탄화 층(30)을 제거하고 트렌치 산화물 층(24)의 상부 표면의 표면 변화를 감소시키기 위해 평탄화 에칭 공정이 수행된다. 평탄화 에칭 공정은 단일 에칭 공정 또는 일련의 상이한 에칭 공정들을 포함할 수 있다. 아래에 설명된 예에서, 도 1d 및 도 1e에 도시된 평탄화 에칭 공정은 3개의 상이한 에칭들(etches)을 포함한다.

[0017] 도 1d를 참조하면, 웨이퍼는 산화물 에칭기(oxide etcher)에 의해 우선 평탄화 층을 개방하기 위한 동조 에칭(tuned etch)으로, 그리고 나서는 트렌치 산화물 층(24)에 대해 선택적인 짧은 산화물 에칭(short oxide etc h)으로 에칭된다. 제2 에칭은 상방향으로 돌출된 산화물 영역들(26)을 에칭하는 반면, 산화물 층(24)의 하부 필드 영역들은 희생 평탄화 층(30)에 의해 보호된다. 일부 실시예에서, 제2 에칭은 최상부 지점들(26)이 벌크 평탄화 층(bulk planarizing layer;30)과 대략 같은 높이일 때 중단된다.

[0018] 본 명세서에서, 제2 물질/층보다 빨리 제1 물질/층을 에칭하는 에칭 공정이라면 제2 물질/층보다 제1 물질/층에 "선택적인(selective)" 이라고 한다.

[0019] 도 1e를 참조하면, 다음으로, 트렌치 산화물 층(24) 및 희생 평탄화 층(30)에 대해 비 선택적인(non-selective) 제3 에칭이, 평탄화 층(30)이 제거될 때까지 트렌치 산화물 층(24)과 희생 평탄화 층(30)을 비슷한 비율로 제거하기 위하여 수행된다. 이 에칭은 도 1e에 도시된 바와 같이 질화물 층(16)에 도달하기 전에 중단될 수 있다.

[0020] 다음으로 도 1f에 도시된 바와 같이, 트렌치 산화물 층(24)에 대하여 특히 선택적인 산화물 에칭이, 충전된 트렌치들(20) 밖에 있는 트렌치 산화물 층(24)의 나머지 부분들을 제거하여 각 트렌치(20) 내에 필드 산화물(40)을 정의하도록 수행된다. 일부 실시예들에서, 정의된 양의 오버 에칭(a defined amount of over-etch)이 수행되며, 이것에 의해 필드 산화물(40)의 트렌치(trench)가 형성되고 나머지 질화물 층(16) 상의 소정의 잔류물이 제거될 수 있다.

- [0021] 도 1g에 도시된 바와 같이, 선택적인 습식 에칭이, 질화물 층(16) 상의 산화물 잔류물을 제거하고 및/또는 필드 산화물(40)의 높이를 제어하기 위해 수행된다. 습식 에칭은 도 1g에서 거리(D₁)로 표시된 기판(12)의 상단에 대하여 정의된 필드 산화물(40)의 높이를 제공하도록 설계될 수 있으며, 상기 높이는 후속 공정 단계들과 관련된 높이 감소(height-reduction)의 지식에 근거한 도 1h에서 거리(D₂)로 표시된 필드 산화물(40)의 최종 높이를 제공하기 위하여 선택될 수 있다.
- [0022] 다음으로 도 1h에 도시된 바와 같이, 질화물 층(16)이, 임의의 적절한 제거 공정을 사용하여, 예를 들어 필드 산화물(40) 및 기판(12)의 물질들보다 질화물 층(16)에 선택적인 에칭에 의해 제거된다. 도시된 바와 같이, 나머지 필드 산화물(40), 즉 트렌치 아이솔레이션 구조들은 D₂로 표시된 목표 스텝 높이(targeted step height), 즉 기판(12)의 상단 표면(top surface;52)에 대한 필드 산화물(40)의 상단 표면(top surface)의 높이만큼 반도체 기판(12)의 노출된 상부 표면 위에 돌출할 수 있다. 일부 실시예들에서, 필드 산화물(40)의 스텝 높이(D₂) 및/또는 탑 형상은, 임의의 적절한 공정들, 예를 들면 플라즈마 에칭, 습식 에칭을 수행하거나, 질화물 층(16)의 나머지 부분을 제거하기 위한 장시간의 습식 제거 공정(예컨대, 습식 SiN 제거)를 실행함으로써 원하는 대로 제어될 수 있다.
- [0023] 따라서, 일부 실시예들에서, 트렌치 아이솔레이션 구조들(40)(예컨대, STIs)은 상술한 바와 같이 다양한 이점들을 제공할 수 있는 임의의 화학적-기계적 평탄화(CMP) 공정을 사용하지 않고 형성될 수 있다. 질화물 제거 단계는 또한 선택적(optional) 습식 에칭이 스킵(skipped)될 경우, 나머지 평탄화 에칭과 동시에(in-situ with) 수행되므로 총 단계 수가 더 감소될 수 있다.
- [0024] 도 2는 도 1a 내지 도 1h에 대응하는 예시적인 실시예에 따른, 집적 회로, 예컨대 CMOS 디바이스용 얇은 트렌치 아이솔레이션을 형성하는 예시적인 방법(100)의 플로우차트이다. 단계 102에서, 실리콘 기판이 웨이퍼 상에 형성된다. 단계 104에서, 패드 산화 공정은 실리콘 기판의 표면 위에 패드 산화물을 형성한다. 단계 106에서, 질화 규소 층이 실리콘 기판 위에 증착된다. 단계 108에서, 트렌치 에칭, 예컨대 STI 에칭이 복수의 트렌치를 형성하기 위해 수행된다. 단계 109에서, 라이너 산화 공정(liner oxidation process)은 형성된 트렌치들 내에 라이너 산화물을 형성한다. 단계 110에서, 이산화규소 층(트렌치 산화물 층)이, 에칭된 트렌치들을 충전하는 고밀도 플라즈마 화학 기상 증착(HDP CVD)에 의해 웨이퍼 위에 증착된다. 증착된 이산화규소 층은, 예를 들어 하부 구조의 토포그래피(topography)로 인해 평탄하지 않은(non-planar) 토포그래피를 가질 수 있다. 특히, 이산화규소 층은 다수의 상향 돌출 또는 연장된 피쳐들(features) 또는 영역들을 정의할 수 있다.
- [0025] 단계 112에서, 유기 실록산계 중합체(예컨대, DUO(TM)193 또는 DUO(TM)248)의 희생 평탄화 층이 이산화규소 층 위에 침착된다. 단계 114에서, 동조 에칭(tuned etch)이 희생 평탄화 층을 개방하기 위해 수행되고, 뒤를 이어 단계 116에서 이산화규소 층에 선택적인 얇은 산화물을 에칭이 수행된다. 단계 116에서의 에칭은 이산화규소의 상방향으로 돌출된 영역들을 적어도 부분적으로 에칭할 수 있는 반면, 이산화규소의 하부 영역들은 희생 평탄화 층에 의해 보호된다. 단계 118에서, 비 선택적 에칭은 희생 평탄화 층이 제거될 때까지 비슷한 비율로 이산화규소 층 및 희생 평탄화 층 전체를 에칭하도록 수행된다. 이 에칭은 아래에 놓인 질화 규소 층에 도달하기 전에 중단될 수 있다.
- [0026] 다음으로 단계 120에서, 이산화규소에 특히 선택적인 산화물을 에칭이, 충전된 트렌치들 위 및 외부의 이산화규소 층의 일부들을 제거하여 각 트렌치 내에 필드 산화물을 정의하도록 수행된다. 일부 실시예들에서, 필드 산화물의 트렌치를 형성할 수 있고 나머지 질화 규소 층 상의 소정의 잔류물을 제거할 수 있는 정의된 양의 오버 에칭이 수행된다. 단계 122에서, 선택적 습식 에칭이 나머지 질화 규소 층 상의 산화물을 잔류물을 제거하기 위해 및/또는 필드 산화물의 높이를 제어하기 위해 수행된다. 단계 124에서, 질화 규소 층이 이산화규소 필드 산화물 및 실리콘 기판보다 질화 규소에 선택적인 임의의 적절한 제거 공정, 예컨대 에칭을 사용하여 제거된다. 나머지 필드 산화물들, 즉 트렌치 아이솔레이션 구조들은 임의의 적합한 마무리 공정(들)을 사용하여 원하는 대로 제어 또는 성형될 수 있는 목표 스텝 높이만큼 실리콘 기판의 노출된 상부 표면 위로 돌출할 수 있다.
- [0027] 따라서, 이 방식으로, 얇은 트렌치 아이솔레이션은 상술한 바와 같이 다양한 이점들을 제공할 수 있는 임의의 화학적-기계적 평탄화(CMP) 공정을 사용하지 않고 형성될 수 있다.
- [0028] 도 3a 내지 도 3h는 집적 회로, 예컨대 CMOS 디바이스용 트렌치 아이솔레이션 구조(예컨대, STIs)를 형성하는 공정의 또 하나의 예시적인 실시예의 단계들을 도시한다.
- [0029] 공정의 초기 단계들은 전술한 실시예의 단계들과 유사할 수 있다. 따라서, 도 3a 내지 도 3c에 대응하는 단계들

은 상술한 도 1a 내지 도 1c의 단계들과 유사할 수 있다.

[0030] 도 3a에 도시된 바와 같이, 접적 회로 구조체(10)은 웨이퍼 표면 상에 형성된 반도체 기판(12), 예컨대 실리콘(Si) 기판을 포함한다. 산화물 층(13), 예를 들어 이산화규소(SiO₂)의 박막 패드 산화물 층은 기판에 대한 질화물의 응력/접착력을 돋기 위해 반도체 기판(12) 위에 형성되거나 증착된다. 질화물 층(16), 예컨대 질화 규소(SiN)는 패드 산화물 층(13) 위에 증착되고, 트렌치 에칭 공정, 예컨대 STI 에칭은, 예를 들어 도 1a를 참조하여 상술한 바와 같이 임의의 적합한 포토리소그래피 기술을 사용하여 하나 이상의 트렌치(20)를 형성하기 위해 질화물 층(16), 패드 산화물 층(13), 및 반도체 기판(12)의 일부들을 통과하여 수행된다. 에칭 후에, 라이너 산화(liner oxidation)는 반도체 기판(12)의 노출된 표면들 상에 라이너 산화물 층(14)을 형성할 수 있다.

[0031] 도 3b에 도시된 바와 같이, 트렌치 산화물 층(24), 예컨대 이산화규소(SiO₂)가 상기 구조체 위에 증착되고, 충전된 트렌치들을 형성하도록 각 트렌치(20) 내로 연장된다. 일부 실시예들에서, 트렌치 산화물 층(24)은 고밀도 플라즈마 화학적 기상 증착(HDP CVD)에 의해 증착된다. 도시된 바와 같이, 증착된 트렌치 산화물 층(24)은, 예를 들어 아래에 있는 구조의 토포그래피로 인한 평탄하지 않은 토포그래피를 가질 수 있다. 특히, 트렌치 산화물 층(24)의 토포그래피는 다수의 상향 돌출 또는 연장된 피쳐들(features) 또는 영역들(26)을 정의할 수 있다.

[0032] 도 3c에 도시된 바와 같이, 희생 평탄화 층(30)은 트렌치 산화물 층(24) 위에 증착된다. 희생 평탄화 층(30)은 트렌치 산화물 층(24)에 대해 에칭 선택적(etch-selective)이다. 일부 실시예들에서, 평탄화 층은 유기 실리케이트를 포함한다. 예를 들면, 평탄화 층(30)은 유기 실록산계 중합체, 예컨대 화학식 R_xCH_{3y}SiO₂를 갖는 유기 실록산계 중합체 - 여기서 R은 유기 발색단(organic chromophore) - 를 포함할 수 있다. 예시적인 실시예들에서, 희생 평탄화 층(30)은, 예를 들어 도 1a를 참조하여 상술한 바와 같이 DUO(TM)193 또는 DUO(TM)248 반사 방지 코팅재를 포함한다. 평탄화 층(30)은 임의의 적절한 방식으로 증착될 수 있다. 일부 실시예들에서, 평탄화 층(30)은 트렌치 산화물 층(24) 위에 스핀 코팅되며, 스핀 코팅은 부분적으로 평탄화하는 효과를 제공한다.

[0033] 다음으로 아래에 설명된 바와 같이, 일련의 에칭이 트렌치 내에 트렌치 아이슬레이션 구조를 형성하기 위해 수행되며, 상기 에칭은 트렌치 아이슬레이션 구조를 형성하는 공정에서, 예를 들어 상향 돌출 또는 연장된 피쳐들 또는 영역들(26)을 감소시키거나 제거함으로써 희생 평탄화 층(30)을 제거하고 트렌치 산화물 층(24)의 상부 표면의 표면 변화를 감소시킨다.

[0034] 도 3d를 참조하면, 일반적으로 비 선택적인 에칭(예를 들어, DUO(TM)을 사용하는 실시예들에서는 DUO 에칭으로 지칭될 수 있음)이 수행되며, 이 에칭에 의해 트렌치 산화물 층(24) 및 희생 평탄화 층(30), 예컨대 DUO(TM) 코팅(및 관련된 경우, 질화물 층(16))이 동일하거나 거의 동일한 비율로 에칭된다. 이 일반적으로 비 선택적인 에칭은 도 3d에 도시된 바와 같이 구조체의 낮은 영역들(low lying areas)에, 예컨대 트렌치(20) 위에, 희생 평탄화 층(30)의 일부들을 남길 수 있다. 에칭은 트렌치 산화물 층(24)의 상방향으로 돌출된 산화물 영역(26)의 부분을 제거하는 한편, 산화물 층(24)의 하부 필드 영역은 희생 평탄화 층(30)에 의해 보호될 수 있다. 일부 실시예에서, 제2 에칭은 최상부 지점들(26)이 벌크 평탄화 층(30)과 대략 같은 높이일 때 중단된다.

[0035] 도 3e를 참조하면, 희생 평탄화 층(30) 및 질화물 층(16)보다 트렌치 산화물 층(24)에 선택적인 산화물 에칭이 수행된다. 도시된 바와 같이, 산화물 에칭은 트렌치 영역들 위에 희생 평탄화 층(30)을 남길 수 있는데 반해, 도 3d에 도시된 영역들(26)(예컨대, 질화물 층(16)의 위쪽 영역들)은 희생 평탄화 층(30)의 영역들 아래의 깊이 까지 에칭된다.

[0036] 다음으로 도 3f를 참조하면, 특히 트렌치들(20)(필드 산화물) 위의 모든 영역들로부터 잔류 희생 평탄화 층(30)을 평탄화 및 제거할 수 있는 제2 비 선택적 또는 일반적으로 비 선택적인 클린업 에칭(clean-up etch)이 수행된다. 일부 실시예들에서, 이 에칭은 도 3e에 도시된 바와 같이 질화물 층(16)에 도달하기 전에 중단될 수 있다.

[0037] 다음으로 도 3g에 도시된 바와 같이, 희생 평탄화 층(30) 및 질화물 층(16)보다 트렌치 산화물 층(24)에 선택적인 산화물 에칭이, 충전된 트렌치들(20) 밖에 있는 트렌치 산화물 층(24)의 나머지 부분을 제거하여 각 트렌치(20) 내에 필드 산화물(40)을 정의하도록 수행된다. 일부 실시예들에서, 정의된 양의 오버 에칭이 수행되고, 이 에칭에 의해 필드 산화물(40)의 트렌치가 형성되고, 그에 따라서 최종 필드 산화물 높이가 설정되고 나머지 질화물 층(16) 상에 있는 소정의 잔류물이 제거될 수 있다.

[0038] 다음으로 도 3h에 도시된 바와 같이, 질화물 층(16)이, 임의의 적절한 제거 공정을 사용하여, 예를 들어 필드 산화물(40) 및 기판(12)의 물질들보다 질화물 층(16)에 선택적인 에칭(예를 들어, SiN 에칭)을 사용하여 제거된

다. 도시된 바와 같이, 나머지 필드 산화물(40), 즉 트렌치 아이솔레이션 구조들은 D₂로 표시된 목표 스텝 높이, 즉 기판(12)의 상단 표면(52)에 대한 필드 산화물(40)의 상단 표면의 높이만큼 반도체 기판(12)의 노출된 상부 표면 위에 돌출할 수 있다. 일부 실시예들에서, 필드 산화물(40)의 스텝 높이(D2) 및/또는 상단 형상은, 임의의 적절한 공정들, 예컨대 플라즈마 에칭, 습식 에칭을 수행하거나, 질화물 층(16)의 나머지 부분을 제거하기 위한 장시간의 습식 제거 공정(예를 들어, 습식 SiN 제거)을 실행함으로써 원하는 대로 제어될 수 있다

[0039] 따라서, 일부 실시예들에서, 트렌치 아이솔레이션 구조(40)(예컨대, STIs)는 상술한 바와 같이 다양한 이점들을 제공할 수 있는 임의의 화학적-기계적 평탄화(CMP) 공정을 사용하지 않고 형성될 수 있다. 질화물 제거 단계는 또한, 선택적 습식 에칭이 스kip(skipped)될 경우, 나머지 평탄화 에칭과 동시에 수행되어 총 단계 수가 더 감소될 수 있다.

[0040] 도 3g에 도시된 산화물 에칭이 스kip되거나 평탄화 에칭 공정에 포함되는 일부 실시예들에서, 도 3h에 도시된 최종 질화물 에칭은 평탄화 에칭 공정과 동시에 완료될 수 있다.

[0041] 도 4는 도 3a 내지 도 3h에 대응하는 예시적인 실시예에 따른, 집적 회로, 예컨대 CMOS 디바이스용 얇은 트렌치 아이솔레이션을 형성하는 예시적인 방법(200)의 플로우차트이다.

[0042] 단계 202-210에 따르면, 단계 202에서, 실리콘 기판이 웨이퍼 상에 형성된다. 단계 204에서, 패드 산화 공정은 실리콘 기판의 표면 위에 패드 산화물을 형성한다. 단계 206에서, 질화 규소 층이 실리콘 기판 위에 증착된다. 단계 208에서, 트렌치 에칭, 예컨대 STI 에칭이 복수의 트렌치를 형성하기 위해 수행된다. 단계 209에서, 라이너 산화 공정은 형성된 트렌치들 내에 라이너 산화물을 형성한다. 단계 210에서, 이산화규소 층(트렌치 산화물 층)이 에칭된 트렌치를 충전하는 고밀도 플라즈마 화학적 기상 증착(HDP CVD)에 의해 웨이퍼 위에 증착된다. 증착된 이산화규소 층은, 예를 들어 아래에 놓인 구조의 토포그래피(topography)로 인해 평탄하지 않은 토포그래피를 가질 수 있다. 특히, 이산화규소 층은 다수의 상향 돌출 또는 연장된 피처들(features) 또는 영역들을 정의할 수 있다.

[0043] 단계 212에서, 유기 실록산계 중합체(예컨대, DUO(TM)193 또는 DUO(TM)248)의 희생 평탄화 층이 이산화규소 층 위에 침착된다. 단계 214에서, 비 선택적 에칭(예컨대, DUO 에칭)이 이산화규소 층의 높게 또는 상향 돌출된 영역들을 제거하고 희생 평탄화 층의 일부 깊이를 제거하기 위해 수행된다. 단계 214에서의 에칭은 이산화규소의 상향 돌출 영역들을 적어도 부분적으로 에칭할 수 있는데 반해, 이산화규소의 하부 영역들은 희생 평탄화 층에 의해 보호된다. 단계 216에서, 선택적 산화물 에칭이 나머지 희생 평탄화 층 아래의 깊이까지 이산화규소 층의 일부들을 에칭하기 위해 수행된다. 단계 218에서, 비 선택적 "클린-업" 에칭이 구조체를 평탄화하고 희생 평탄화 층의 임의의 나머지 부분들, 특히 트렌치들(필드 산화물) 위에 있는 상기 부분들을 제거하기 위해 수행된다. 이 에칭은 하부 질화 규소 층에 도달하기 전에 중단될 수 있다.

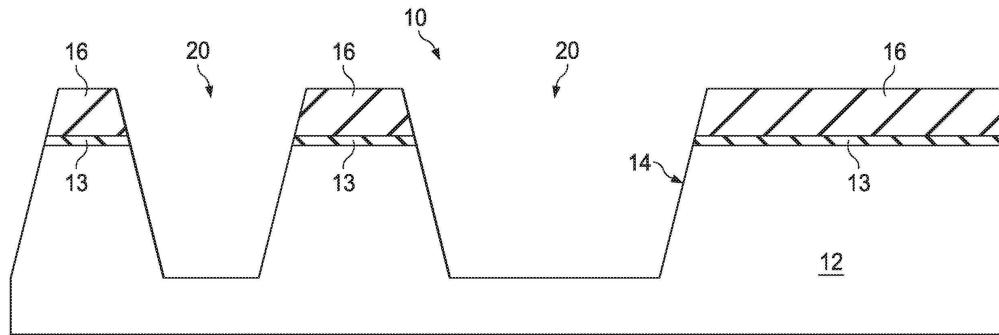
[0044] 다음으로 단계 220에서, 이산화규소에 특히 선택적인 산화물 에칭이 충전된 트렌치들의 상부 및 밖에 있는 이산화규소 층의 일부들을 제거하여 각 트렌치 내에 필드 산화물을 정의하도록 수행된다. 일부 실시예들에서, 정의된 양의 오버 에칭이 수행되는데, 이 에칭에 의해 필드 산화물의 트렌치가 형성될 수 있고 나머지 질화 규소 층 상의 임의의 잔류물이 제거될 수 있다. 단계 222에서, 질화 규소 층이 임의의 적절한 제거 공정, 예를 들어 이산화규소 필드 산화물 및 실리콘 기판보다 질화 규소에 선택적인 SiN 에칭을 사용하여 제거된다. 나머지 필드 산화물들, 즉 트렌치 아이솔레이션 구조들은 임의의 적절한 마무리 공정(들)을 사용하여 원하는 대로 제어 또는 성형될 수 있는 목표 스텝 높이만큼 실리콘 기판의 노출된 상부 표면 위에 돌출할 수 있다.

[0045] 따라서, 이러한 방식으로, 얇은 트렌치 아이솔레이션은 상술한 바와 같이 다양한 이점들을 제공할 수 있는 임의의 화학적-기계적 평탄화(CMP) 공정을 사용하지 않고 형성될 수 있다.

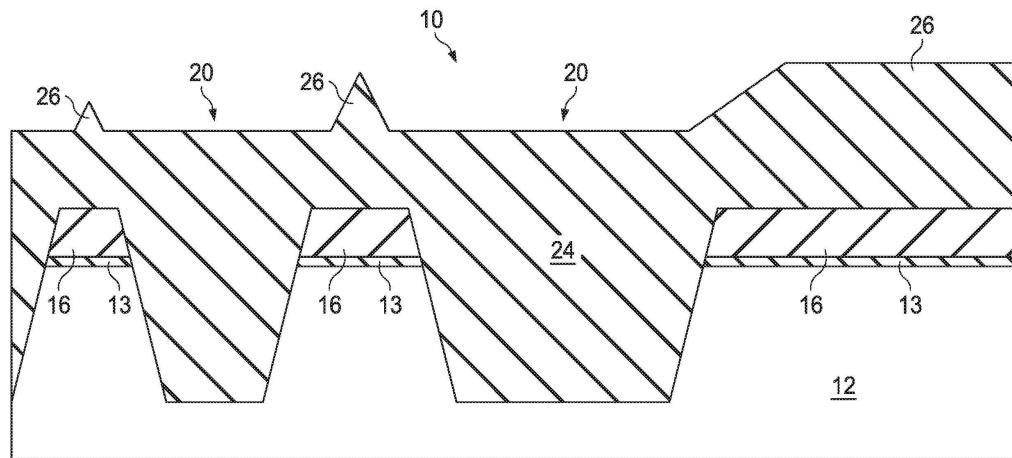
[0046] 개시된 실시예들은 본 개시에서 상세히 설명되었지만, 다양한 변형, 대체 및 변경이 본 개시의 사상 및 범위를 벗어나지 않고 실시예들에 대해 이루어질 수 있음을 이해하여야 한다.

도면

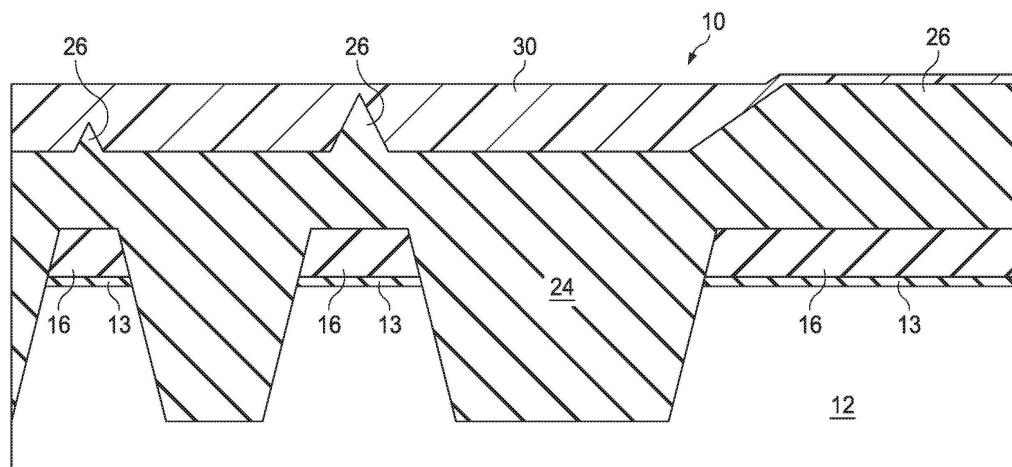
도면1a



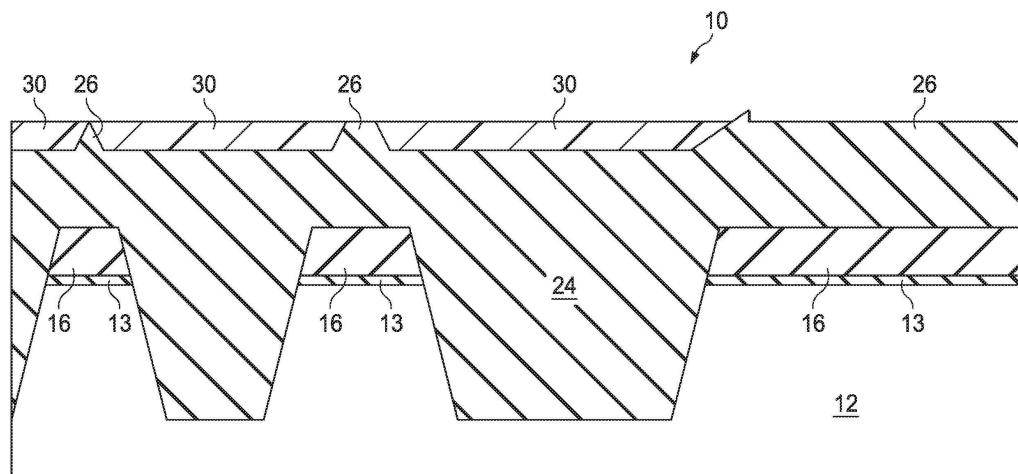
도면1b



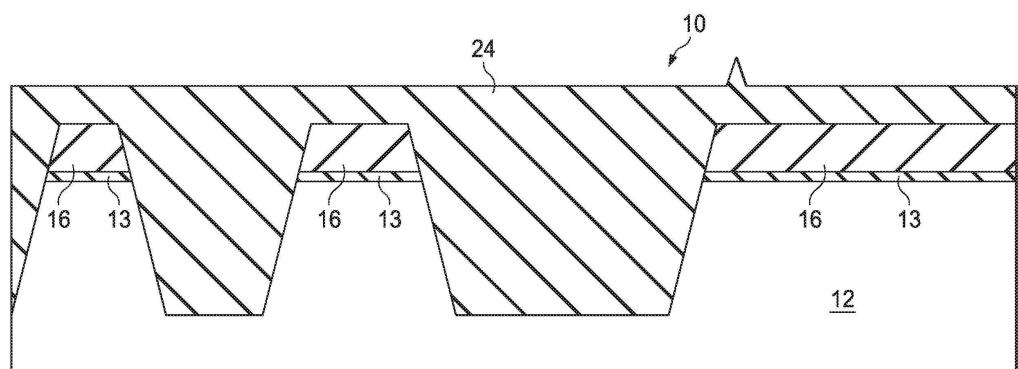
도면1c



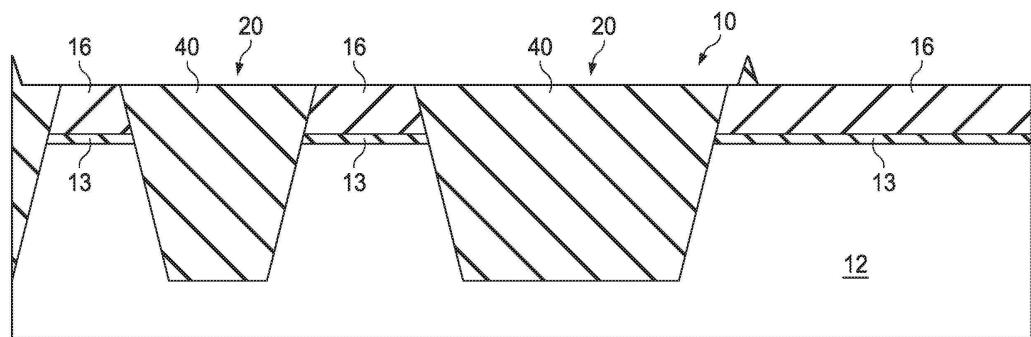
도면1d



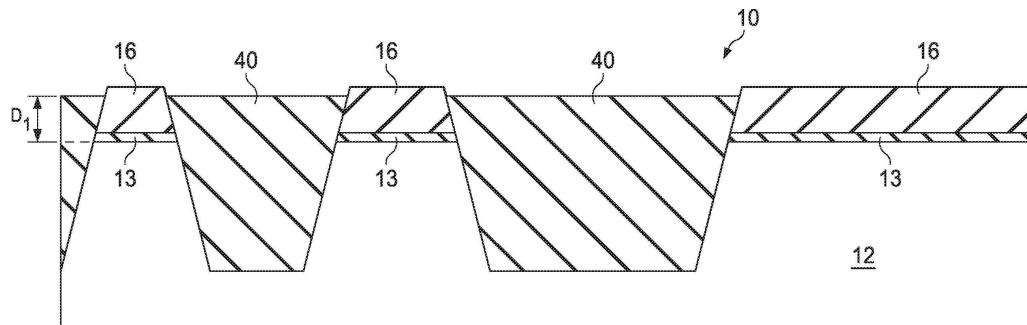
도면1e



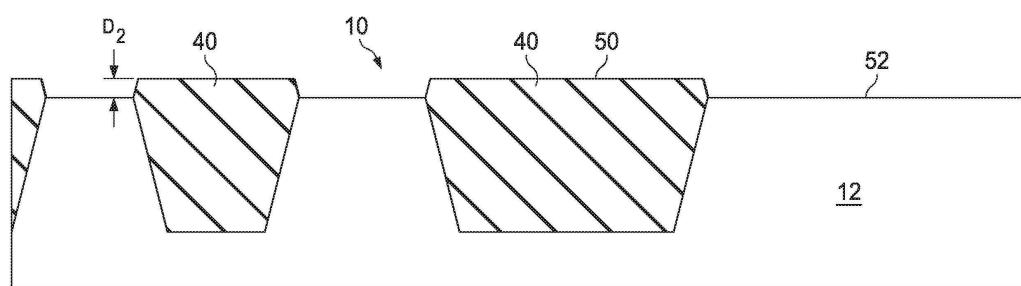
도면1f



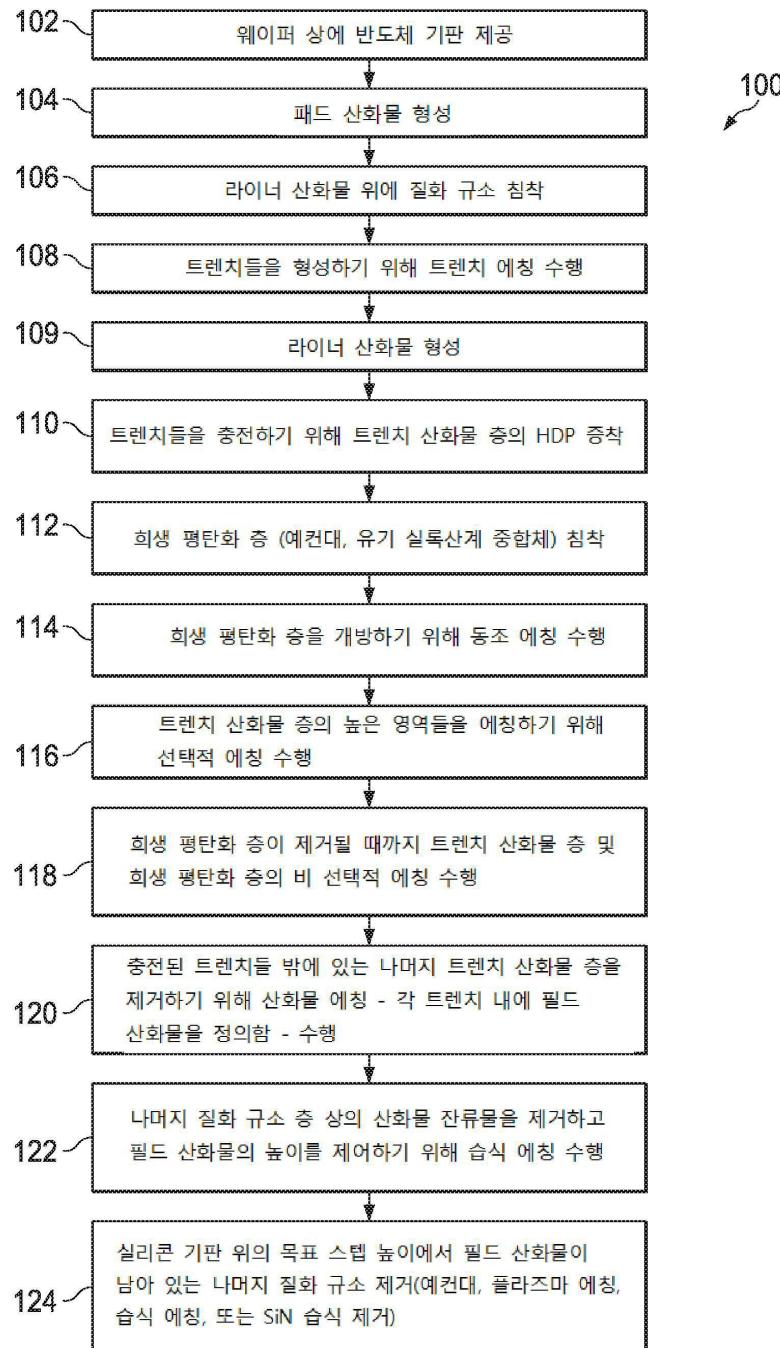
도면1g



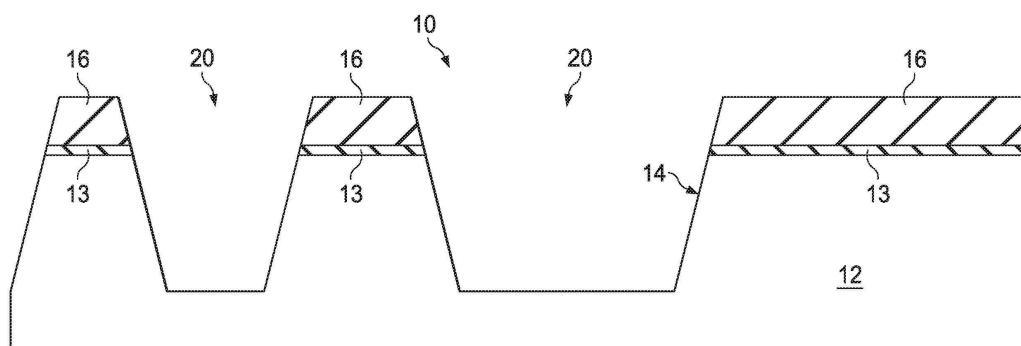
도면1h



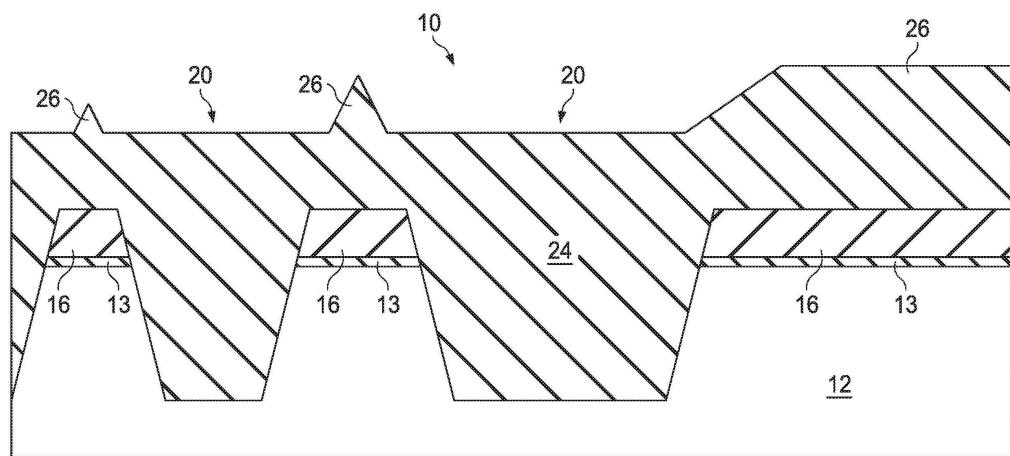
도면2



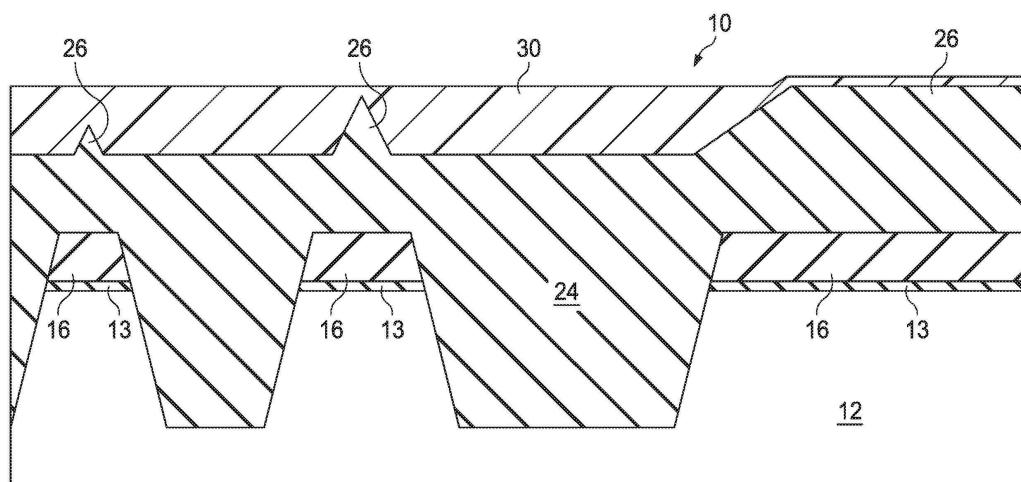
도면3a



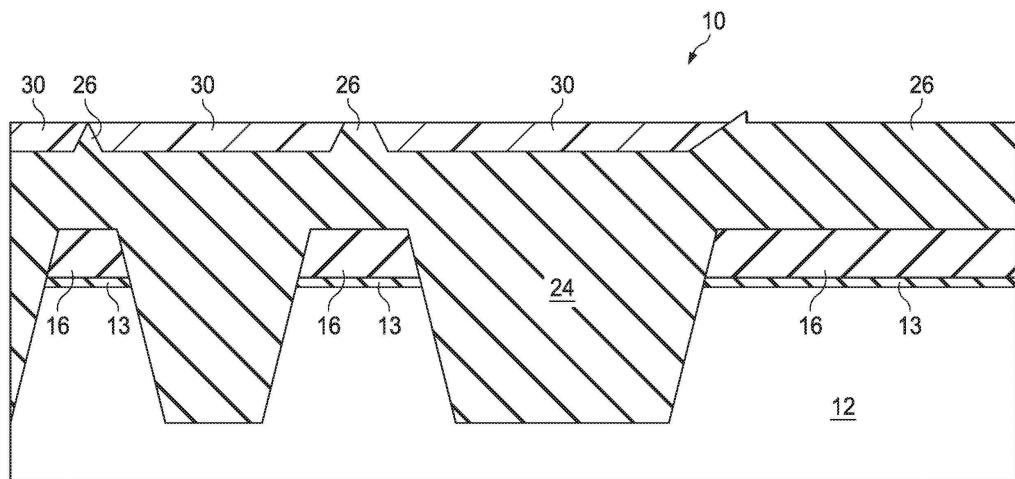
도면3b



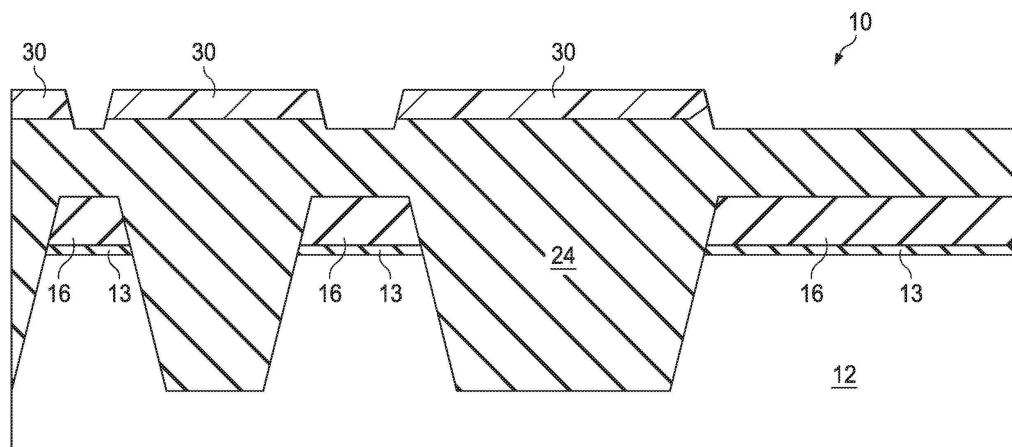
도면3c



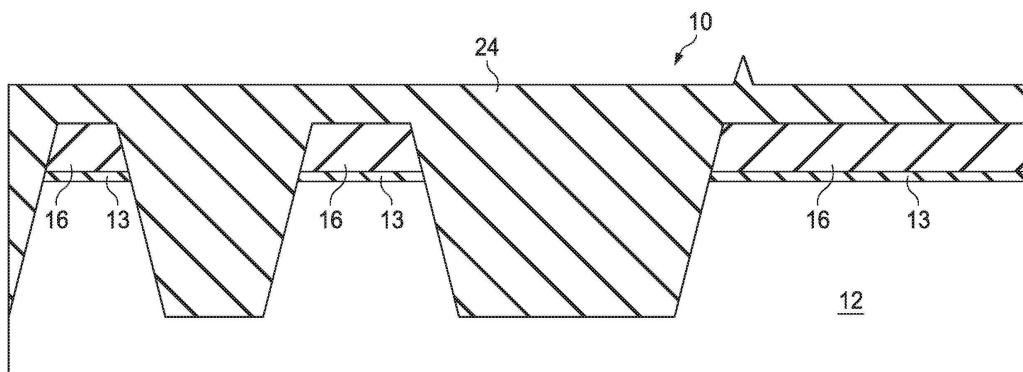
도면3d



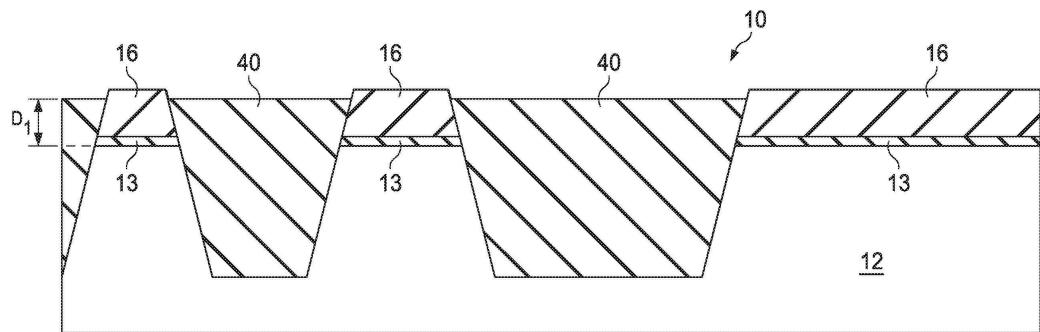
도면3e



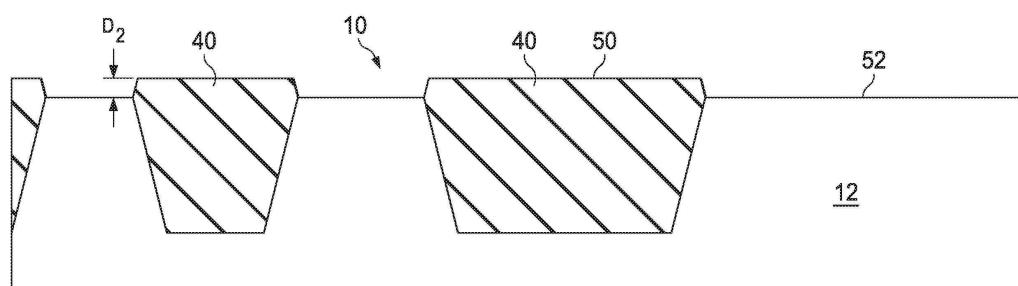
도면3f



도면3g



도면3h



도면4

