

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5439060号
(P5439060)

(45) 発行日 平成26年3月12日(2014.3.12)

(24) 登録日 平成25年12月20日(2013.12.20)

(51) Int.Cl.

F 1

G09G	3/36	(2006.01)	G09G	3/36	
G02F	1/133	(2006.01)	G02F	1/133	530
G02F	1/136	(2006.01)	G02F	1/136	
G09G	3/20	(2006.01)	G09G	3/20	641C
G06F	3/041	(2006.01)	G09G	3/20	633L

請求項の数 11 (全 19 頁) 最終頁に続く

(21) 出願番号

特願2009-155201 (P2009-155201)

(22) 出願日

平成21年6月30日 (2009.6.30)

(65) 公開番号

特開2011-13288 (P2011-13288A)

(43) 公開日

平成23年1月20日 (2011.1.20)

審査請求日

平成24年3月30日 (2012.3.30)

前置審査

(73) 特許権者 502356528

株式会社ジャパンディスプレイ

東京都港区西新橋三丁目7番1号

(74) 代理人 100089118

弁理士 酒井 宏明

(74) 代理人 100118762

弁理士 高村 順

(72) 発明者 石崎 剛司

東京都港区港南1丁目7番1号 ソニー株

式会社内

(72) 発明者 野口 幸治

東京都港区港南1丁目7番1号 ソニー株

式会社内

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

印加電圧に応じて画素ごとに変化させることができ表示機能層と、
表示基準電位との電位差で前記表示機能層に前記印加電圧を付与する画素電極と、
前記画素電極に付与するための画素信号が印加される複数の画素信号線と、
検出駆動信号に応答して検出電位が発生し、当該検出電位が被検出物の近接にともなって変化する複数の検出電極と、
前記画素電極及び前記複数の検出電極との間でそれぞれ静電容量を介して結合する複数の駆動電極と、

前記画素電極との間で静電容量を介して前記表示基準電位との電位差を前記画素電極に印加し、かつ、前記複数の検出電極との間で静電容量を介して前記検出駆動信号を前記複数の検出電極に印加する駆動制御部と、

前記表示期間中に、前記複数の画素信号線に印加する複数の前記画素信号に、極性が異なる画素信号が含まれるように制御を行う画素信号制御部と、
 を有する表示装置。

【請求項 2】

前記駆動制御部は、前記検出駆動信号を印加する前記駆動電極が、表示走査が行われている前記画素ラインと重ならないように制御する、

請求項 1 に記載の表示装置。

【請求項 3】

10

20

1つの画素内が2つの領域に区分され、各領域のそれぞれに前記画素電極とスイッチ素子が配置され、

前記画素信号制御部によって、同一の画素信号が单一の画素信号線から同一画素内の前記2つの領域に逆極性で供給されるように、前記画素信号の極性制御と、供給タイミングと、前記スイッチ素子の開閉とを制御する、

請求項1または2に記載の表示装置。

【請求項4】

1つの画素内が2つの領域に区分され、各領域のそれが異なる前記画素信号を保持可能に構成され、

前記画素信号制御部によって、同一の画素信号が隣接する異なる2本の画素信号線から、同一画素内の前記2つの領域に逆極性で供給されるように前記画素信号の極性制御と、前記2本の画素信号線への排出タイミングとを制御する、

請求項1または2に記載の表示装置。

【請求項5】

前記画素信号制御部は、画素信号を1つの画素内の单一の画素電極にスイッチ素子を介して供給する動作を並列で複数の画素分行うときは、逆極性の画素信号が同時に複数の画素信号線に排出されるように制御する、

請求項1または2に記載の表示装置。

【請求項6】

前記画素信号制御部は、前記一定の表示期間内で中心電位に対し正極性の画素信号数と負極性の画素信号数が同一となるように制御する、

請求項1または2に記載の表示装置。

【請求項7】

前記画素信号制御部は、前記一定の表示期間内で隣接画素の画素信号の極性が反転するように制御する、

請求項1または2に記載の表示装置。

【請求項8】

前記画素信号制御部は、前記一定の表示期間と次の他の一定の表示期間とにおいて、行方向と列方向で隣接する画素信号の極性が反転するように制御する、

請求項7に記載の表示装置。

30

【請求項9】

前記画素信号制御部は、一画面の表示期間と次の他の一画面の表示期間で、同一画素に対する画素信号の極性が反転するドット反転駆動を制御する、

請求項8に記載の表示装置。

【請求項10】

前記表示機能層が液晶層である、

請求項1から9の何れか一項に記載の表示装置。

【請求項11】

前記表示機能層の表示面側に前記複数の検出電極が配置され、

前記表示機能層の表示面と反対の側に前記複数の駆動電極が配置され、

40

画素ごとに分離され、前記画素信号が供給されたときに画素ごとに、対応する駆動電極の電位を基準とした前記印加電圧を前記表示機能層に付与する複数の前記画素電極が、前記表示機能層と前記複数の駆動電極との間に配置されている、

請求項1から10の何れか一項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、センサ検出の駆動信号が付与される電極が表示の基準電位が印加される電極と兼用されるセンサ内蔵型の表示装置に関する。

【背景技術】

50

【0002】

いわゆるタッチパネルと呼ばれる接触検出装置が知られている。タッチパネルは、表示パネルに重ねて形成し、表示面に画像として各種のボタンを表示させることにより、通常のボタンの代わりとして情報入力を可能とする。この技術を小型のモバイル機器に適用すると、ディスプレイとボタンの配置の共用化が可能で画面の大型化、あるいは、操作部の省スペース化や部品点数の削減という大きなメリットをもたらす。

【0003】

このように“タッチパネル”というとき、一般には、表示装置と組み合わされるパネル状の接触検出装置を指す。

しかしながら、タッチパネルを液晶パネルに設けると、液晶モジュールの全体の厚さが厚くなる。そこで、例えば特許文献1には、薄型化に適した構造の、静電容量型タッチパネル付き液晶表示素子が提案されている。

【0004】

静電容量式のタッチセンサは、複数の駆動電極と、当該複数の駆動電極の各々と静電容量を形成する複数の検出電極を有する。センサ検出精度は駆動電極と検出電極の数に比例するが、検出電極とは別にセンサ出力線を設けると配線の数が膨大となる。したがって、検出電極をセンサ出力線としても機能させるために、複数の駆動電極の1つを交流駆動し、その交流駆動している駆動電極を、駆動電極が一定ピッチで並ぶ方向（以下、走査方向）にシフトする駆動法が主流となってきている。この交流駆動する駆動電極の一方向に走査する手法では、走査に追従して検出電極の電位変化を観察すると、電位変化があった走査時の位置から被検出物のタッチパネル面への接触または近接が検出できる。

【先行技術文献】**【特許文献】****【0005】****【特許文献1】特開2008-9750号公報****【発明の概要】****【発明が解決しようとする課題】****【0006】**

このようなタッチパネルを表示装置に適用する際に、装置全体の薄型化を図ると、検出駆動のために交流駆動される駆動電極が、表示駆動のための信号線や電極と電気的に干渉しやすくなる。

表示駆動のための信号線や電極は、表示のために画素信号が印加され、あるいは、例えば液晶層等の表示機能層に付与する表示電圧の電位基準（表示基準電位）を交流反転することで駆動される場合がある。そのため、これらの表示のための電位変動が駆動電極を介して検出電極の電位を揺らし、これが物体検出にとってノイズ源となることがある。

【0007】

特に表示機能層の表示基準電位が交流反転駆動され、かつ、その交流反転駆動される表示基準電位を基準とする画素信号で白表示や黒表示の場合のように極端な階調表示を行う場合がある。このような場合、検出電極の直流電位レベルが画素信号の影響で変化し、これが検出時のノイズとなって精度が高い物体検出を阻害することがある。また、白表示や黒表示以外の中間階調の場合でも、電極間の干渉の強さによっては検出精度が低下することがある。

【0008】

本発明は、画素信号による物体検出の精度低下を防止または抑止した、タッチセンサを内蔵する表示装置を提供するものである。

【課題を解決するための手段】**【0009】**

本発明に関わる表示装置は、印加電圧に応じて画素ごとに変化させることができる表示機能層と、表示基準電位との電位差で前記表示機能層に前記印加電圧を付与する画素電極と、前記画素電極に付与するための画素信号が印加される複数の画素信号線と、検出駆動

10

20

30

40

50

信号に応答して検出電位が発生し、当該検出電位が被検出物の近接にともなって変化する複数の検出電極と、前記画素電極及び前記複数の検出電極との間でそれぞれ静電容量を介して結合する複数の駆動電極と、前記画素電極との間で静電容量を介して前記表示基準電位との電位差を前記画素電極に印加し、かつ、前記複数の検出電極との間で静電容量を介して前記検出駆動信号を前記複数の検出電極に印加する駆動制御部と、前記表示期間中に、前記複数の画素信号線に印加する複数の前記画素信号に、極性が異なる画素信号が含まれるように制御を行う画素信号制御部と、を有する。

【0010】

上記構成によれば、一定の表示期間中は、複数の駆動電極に一定の表示基準電位が印加される。そして、画素信号制御部の制御によって、この表示期間中に、複数の画素信号線に印加する複数の画素信号に対し、極性が異なる画素信号を含むようになる。そのため、複数の画素信号線の電位変動が、極性が異なる画素信号を含む割合だけ相殺される。よって、複数の画素信号線に各駆動電極が電気的に結合する場合でも、駆動電極が画素信号起因で電位変動しないか、当該電位変動が抑制される。結果として、各駆動電極に容量結合する検出電極において、画素信号起因の電位変動、すなわち物体検出のノイズ成分が防止または抑圧される。

10

【発明の効果】

【0011】

本発明によれば、画素信号による物体検出の精度低下を防止または抑止した、タッチセンサを内蔵する表示装置を提供することができる。

20

【図面の簡単な説明】

【0012】

【図1】実施の形態に關わる表示装置の電極と、その駆動や検出のための回路の配置に特化した平面図と概略断面図である。

【図2】画素の等価回路図である。

【図3】F F S液晶の画素におけるTFT基板の上面図を示す平面図である。

【図4】画素ごとに画素信号の極性を反転するドット反転が可能なドライバ構成例を示すブロック図である。

【図5】画素ごとに配色した画素配列をソース線およびゲート線によってマトリクス駆動する構成を示す平面図である。

30

【図6】6セレクタ方式の共通電位Vcomと画素信号の極性を示す図である。

【図7】1HVcom反転駆動を行う比較例において、検出電極（センサ線）の電位変化の測定結果と、対応する画素信号パルスの極性を示す図である。

【図8】画素ごとの誤差の極性とセンサ線電位変動の経路を示す図である。

【図9】第1の実施の形態における共通電位Vcomと画素信号との関係を示す図である。

【図10】第1の実施の形態の効果を示す図である。

【図11】第2の実施の形態における共通電位Vcomと画素信号との関係を示す図である。

【図12】1画素内の2領域（もしくは画素ペアとなる2画素）の規定の仕方を説明するための図である。

40

【図13】横電界モード液晶表示装置の第1の構成変形例を示す概略断面構造図である。

【図14】横電界モード液晶表示装置の第2の構成変形例を示す概略断面構造図である。

【図15】横電界モード液晶表示装置の第3の構成変形例を示す概略断面構造図である。

【発明を実施するための形態】

【0013】

本発明の実施形態を、液晶表示装置を例として図面を参照して説明する。

以下、次の順で説明を行う。

1. 第1の実施の形態：1H期間内に異なる極性の画素信号を含む実施の形態であり、特に好みしい形態として、交互に極性反転する場合を例示するものである。

50

2. 第2の実施の形態：1画素内の2領域（もしくは画素ペアとなる2画素）の同一画素信号による駆動例を示す実施の形態である。

3. 変形例

【0014】

<1. 第1の実施の形態>

[表示装置の基本構成]

図1(A)～図1(C)に、本実施の形態に關わる表示装置の電極と、その駆動や検出のための回路の配置に特化した平面図を示す。また、図1(D)に、本実施形態に關わる表示装置の概略的な断面構造を示す。図1(D)は、例えば行方向(画素表示ライン方向)の6画素分の断面を表している。図2は、画素の等価回路図である。

10

図1に図解する表示装置は、「表示機能層」としての液晶層を備える液晶表示装置である。

【0015】

液晶表示装置は、液晶層を挟んで対向する2つの基板素のうち、一方の基板側に、複数の画素で共通な電極であり、画素ごとに階調表示のための信号電圧に対し基準電圧を付与する共通電位 V_{com} が印加される電極(駆動電極)を有する。

図1(D)では断面構造を見易くするために、この本発明の主要な構成である、駆動電極、画素電極および検出電極についてはハッチングを付すが、それ以外の部分(基板、絶縁膜および機能膜等)についてはハッチングを省略している。このハッチングの省略は、これ以降の他の断面構造図においても同様である。

20

【0016】

液晶表示装置1は、図2に示す画素PIXがマトリクス配置されている。各画素PIXは、図2に示すように、画素のセレクト素子としての薄膜トランジスタ(TFT; thin film transistor、以下、TFT23と表記)と、液晶層6の等価容量C6と、保持容量(付加容量)Cxとを有する。液晶層6を表す等価容量C6の一方側の電極は、画素ごとに分離されてマトリクス配置された画素電極22であり、他方側の電極は複数の画素で共通な駆動電極43である。

【0017】

TFT23のソースとドレインの一方に画素電極22が接続され、TFT23のソースとドレインの他方に画素信号線(以下、ソース線SLという)が接続されている。ソース線SLは、後述する垂直駆動回路(ソースドライバ)に接続され、画素信号がソース線SLに垂直駆動回路から供給される。

30

TFT23のゲートは行方向、即ち表示画面の横方向に並ぶ全ての画素PIXで電気的に共通化され、これにより表示走査線が形成されている。この表示走査線は、不図示の垂直駆動回路から出力され、TFT23のゲートを開閉するためのゲートパルスが供給されるため、以下、ゲート線GLと称する。

【0018】

図2に示すように、保持容量Cxが等価容量C6と並列に接続されている。保持容量Cxは、等価容量C6では蓄積容量が不足し、TFT23のリーク電流などによって書き込み電位が低下するのを防止するために設けられている。また、保持容量Cxの追加はフリッカ防止や画面輝度の一様性向上にも役立っている。

40

【0019】

液晶表示装置1は、断面構造(図1(D))で見ると、断面に現れない箇所で図2に示すTFT23が形成され画素の駆動信号(画素信号電圧)が供給される基板(以下、駆動基板2という)を備えている。また、液晶表示装置1は、駆動基板2に対向して配置された対向基板4と、駆動基板2と対向基板4との間に配置された液晶層6とを備えている。

【0020】

駆動基板2は、図2のTFT23が形成された回路基板としてのTFT基板21(基板ボディ部はガラス等からなる)と、このTFT基板21上に形成された駆動電極43および複数の画素電極22とを有する。複数の画素電極22は、図1には表れていないが、マ

50

トリクス配置された複数の画素電極 22 と、を有する。

【0021】

TFT 基板 21 に、各画素電極 22 を駆動するための図示しない表示ドライバ（後述の図4 参照）が形成されている。また、TFT 基板 21 に、図2 に示す TFT 23、ならびに、ソース線 SL およびゲート線 GL 等の配線が形成されている。TFT 基板 21 に接触検出部 8 が形成されていてもよい。

【0022】

対向基板 4 は、ガラス基板 41 と、このガラス基板 41 の一方の面に形成されたカラーフィルタ 42 と、カラーフィルタ 42 の上（液晶層 6 側）に形成された駆動電極 43 とを有する。カラーフィルタ 42 は、例えば赤（R）、緑（G）、青（B）の3色のカラーフィルタ層を周期的に配列して構成したもので、画素 PIX（画素電極 22）ごとに R、G、B の3色の1色が対応付けられている。なお、1色が対応付けられている画素をサブ画素といい、R、G、B の3色のサブ画素を画素という場合があるが、ここではサブ画素も画素 PIX と表記する。

駆動電極 43 は、タッチ検出動作を行うタッチセンサの一部を構成するタッチ検出センサの駆動電極 DE としても兼用されるものである。

【0023】

駆動電極 43 は、液晶層 6 に電界を付与するために画素電極 22 に供給される画素電圧の基準電位として一定の共通電位 Vcom が印加されるようになっている。一方、駆動電極 43 はタッチ検出センサの駆動電極 DE を兼用することから、タッチ検出走査時に、図 1 の交流信号源 AS から供給される AC パルス信号が駆動電極 43 に印加される。

【0024】

ガラス基板 41 の他方の面（表示面側）には、センサ線 SNL が形成され、さらに、センサ線 SNL の上には、保護層 45 が形成されている。センサ線 SNL は、タッチセンサの一部を構成するもので、図1 および図2 における検出電極 E2 に相当する。センサ線 SNL は、ITO、IZO、有機導電膜等の透明電極材料から形成されている。なお、ガラス基板 41 に、タッチ検出動作を行う接触検出部 8 が形成されていてもよい。

【0025】

液晶層 6 は、「表示機能層」として、印加される電界の状態に応じて厚さ方向（電極の対向方向）を通過する光を変調する。液晶層 6 は、例えば、TN（ツイステッドネマティック）、VA（垂直配向）、ECB（電界制御複屈折）等の各種モードの液晶材料が用いられる。

【0026】

なお、液晶層 6 と駆動基板 2 との間、および液晶層 6 と対向基板 4 との間には、それぞれ配向膜が配設される。また、駆動基板 2 の反表示面側（即ち背面側）と対向基板 4 の表示面側には、それぞれ偏光板が配置される。これらの光学機能層は、図3 で図示を省略している。

【0027】

n 本のセンサ線 SNL 1 ~ SNL n は、本発明の“複数の検出電極”に相当する。n 本のセンサ線 SNL 1 ~ SNL n は、図1 (A) に示すように y 方向に細長い複数の配線から形成されている。以下、センサ線 SNL 1 ~ SNL n の任意の1本を、センサ線 SNL i (i = 1, 2, 3, ..., n) と表記する。

【0028】

図1 (D) の駆動電極 43 は、図1 (A) に示す k m 本の駆動電極の各々に相当する。各駆動電極は、x 方向に長い帯状に形成され、y 方向に同一ピッチで k m 個配置されている。このうち k 個の駆動電極 43 で、同時駆動される駆動電極群 DE j (j = 1, 2, 3, ..., m) の各々が構成される。各駆動電極 43 は、n 本のセンサ線 SNL 1 ~ SNL n と異なる方向に配置されている。本例では、駆動電極 DE j とセンサ線 SNL i が直交して配置されている。

【0029】

10

20

30

40

50

この($k \times m$)分割された駆動電極43_1~43_k mの分割配置ピッチが、(サブ)画素ピッチ、あるいは、画素電極の配置ピッチの自然数倍に設定されている。ここでは駆動電極の分割配置ピッチは画素電極の配置ピッチと等しいとする。

【0030】

なお、 k 個の駆動電極DEの単位で交流駆動が行われる理由は、交流駆動の単位を1画素ラインより大きくしてタッチセンサの静電容量を大きくして検出感度上げるためである。その一方で、駆動電極DEを画素ピッチ単位の自然数倍でシフトさせて、シフトの不可視化を図ることができる。

【0031】

図1(B)に示すTFT基板21とガラス基板41の材質を限定しない。ただし、 n 本のセンサ線SNL1~SNLnの各々(SLi)が m 個の駆動電極DE1~DEmの各々(DEj)と容量結合している必要がある。そのため当該容量結合を所定の強さとするという観点から、ガラス基板41の厚さや材質が規定されている。

【0032】

図1(A)に示すように、 m 個の駆動電極DE1~DEmの一方端に接続されて駆動制御部9が配置されている。また、 n 本のセンサ線SNL1~SNLnの一方端に接続されて接触検出部8が配置されている。

なお、接触検出部8は液晶表示装置1の外部に配置されていてもよいが、本例では液晶表示装置1が接触検出部8を内蔵している。

【0033】

駆動制御部9は、駆動電極ごとに交流信号源ASを有する。駆動制御部9は、活性化する交流信号源ASを、図1(A)の駆動制御部9のブロック内で矢印により示す方向(走査方向)内で切り替える回路である。あるいは、駆動制御部9は、1つの交流信号源ASを有し、この1つの交流信号源ASと、 m 個の駆動電極内の1つとの接続を上記走査方向内で切り替える回路である。

【0034】

駆動制御部9は、検出走査駆動を行う回路である。

ここで“検出走査駆動”とは、検出駆動電圧(例えば交流電圧)を印加する動作と、その印加対象を一方向(第1方向、ここではy方向)内でシフトするシフト動作とを行う動作である。例えば一定の共通電位Vcomが印加されている駆動電極43(単数でもよいが、ここでは隣接する k 本の駆動電極43)に、検出駆動電圧(ACパルス信号)が印加される。検出駆動電圧が印加される駆動電極以外の駆動電極は一定の共通電位Vcomで保持される。

【0035】

ただし、タッチ検出走査のための検出駆動電圧(ACパルス信号)の印加は、表示走査の画素ラインと重ならないように制御される。

つまり、表示走査の画素ラインでは、図2のゲート線GLの活性化によりTFT23がオンしてソース線SLの画素信号が画素電極22に書き込まれる。そのとき駆動電極43は一定の共通電位Vcomで保持する必要から、タッチ検出走査のための検出駆動電圧を駆動電極43に印加できない。

【0036】

タッチ検出走査のための検出駆動電圧は上記表示走査と重ならないように駆動電極43に印加されるが、このとき駆動電極DEを単位とする駆動電極43の束に対して検出駆動電圧が印加される。また、シフト動作では、駆動電極DEの幅(k 本の駆動電極43のピッチにほぼ相当)より小さい、例えば1本または数本の駆動電極43のピッチを単位として行うとよい。これは、駆動電極DEのシフト(切り替え)が視認できないようにする不可視化のためである。検出駆動電圧の印加とそのシフト動作は駆動制御部9が、例えば不図示の制御部の制御を受けて所定のアルゴリズムで実行する。

【0037】

n 本のセンサ線SNL1~SNLnの各々は、 k m本の駆動電極43と静電容量で結合

10

20

30

40

50

しており、駆動電極 4 3 に印加される検出駆動電圧のパルスが静電容量を介して伝達される。このため、各センサ線に電位変化が生じるが、その波高値が、外部に被検出物（人の指等）が近接すると変化（通常は低下）する。接触検出部 8 の検出回路 D E T は、その電位変化が所定の大きさになったときに被検出物の有無を検出する。

【 0 0 3 8 】

なお、図 1 (A) と図 1 (B) は電極パターン説明のために分けた図である。ただし、実際には図 1 (C) のように、駆動電極 4 3 _ 1 ~ 4 3 _ k m と各センサ線 S N L i とは重ねて配置されている。

この構成によって、接触検出部 8 は、どの検出回路 D E T に電圧変化が生じたかで行方向の位置が検出でき、その検出時のタイミングによって列方向の位置情報を得ることができる。つまり、駆動制御部 9 の検出駆動電圧の走査と接触検出部 8 の動作が、例えば所定周期のクロック信号で同期しているとする。このような同期動作によって、接触検出部 8 が電圧変化を得たときが、駆動制御部 9 が、どの駆動電極を駆動していたときに対応するかが分かるため、指の接触位置中心を検出できる。このような検出動作は、液晶表示装置 1 全体を統括する不図示のコンピュータベースの統括制御回路、例えば C P U やマイクロコンピュータ、あるいは、タッチ検出のための制御回路により制御される。

【 0 0 3 9 】

駆動制御部 9 は、図 1 (D) の駆動基板 2 側に形成されるが、接触検出部 8 は、駆動基板 2 側でも対向基板 4 側でもよいし、また、液晶表示装置 1 の外部に配置されてもよい。

T F T が多く集積化されているため製造工程数を減らすには駆動基板 2 に接触検出部 8 も一緒に形成することが望ましい。ただし、センサ線 S N L が対向基板 4 側に存在し、センサ線 S N L が透明電極材料から形成されるため配線抵抗が高くなることがある。そのような場合、配線抵抗が高いことの不具合を回避するには、対向基板 4 側に接触検出部 8 を形成することが好ましい。ただし、接触検出部 8 だけのために対向基板 4 に T F T 形成プロセスを用いると、コスト高になるという不利益がある。以上の利益と不利益を総合的に勘案して、接触検出部 8 の形成位置を決定するとよい。

【 0 0 4 0 】

[横電界モード液晶駆動]

図 3 に、F F S (Field Fringe Switching) 方式の液晶の画素 (P I X) における T F T 基板 2 1 の上面視を示す。

【 0 0 4 1 】

画素電極 2 2 は透明電極層 (T E) で形成され、複数のスリットを有している。透明電極材料としては、ITO、IZO、有機導電膜等を用い得る。画素電極 2 2 の下方に、駆動電極 4 3 が画素電極 2 2 と対面して形成される（図 1 (D)）。駆動電極 4 3 は、全画素共通な透明電極層 (T E) で形成される。

画素電極 2 2 は、コンタクト 4 6 を介して下層のアルミニウム (A L) 等からなる内部配線 4 7 と接続されている。内部配線 4 7 が、ポリシリコン (P S) からなる T F T 2 3 の薄膜半導体層 4 8 に形成されたソースとドレインの一方に接続されている。薄膜半導体層 4 8 のソースとドレインの他方に、アルミニウム (A L) からなるソース線 S L が接続されている。薄膜半導体層 4 8 の下層に交差するゲート線 G L が、モリブデン (M o) 等のゲートメタル (G M) から形成され、ソース線 S L と直交する向きに配置されている。

【 0 0 4 2 】

なお、図 3 に示す各種パターンを有する T F T 基板 2 1 の上方（不図示の部分）には、図 1 (D) の対向基板 4 が重ねられ、これら 2 つの基板間に液晶層 6 が形成される。また、第 1 の偏光板と第 2 の偏光板が、2 つの基板に配置されている。

【 0 0 4 3 】

[表示ドライバ構成]

図 4 は、画素ごとに画素信号の極性を反転するドット反転が可能なドライバ構成例を示すブロック図である。

図 4 に図解する液晶表示装置 1 は、図 2 および図 3 に示す画素 P I X がマトリクス配置

10

20

30

40

50

された表示部 100 を有する。

表示部 100 からは、s 本のソース線 S L 1 ~ S L s が y 方向の一方から引き出され、k m 本のゲート線 G L 1 ~ G L k m が x 方向の一方から引き出されている。

【0044】

s 本のソース線 S L 1 ~ S L s に、画素信号駆動回路としてのソースドライバ (S_D_R_V) 300 が接続され、k m 本のゲート線 G L 1 ~ G L k m にゲートドライバ (G_D_R_V) 400 が接続されている。

また、ソースドライバ 300 とゲートドライバ 400 には、これらを制御する表示制御回路 (DIS_CONT) 200 が接続されている。

例えれば、これらソースドライバ 300、ゲートドライバ 400 および表示制御回路 200 により、本発明の“画素信号制御部”の実施例を構成する。

【0045】

表示制御回路 200 は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号 D_V と、表示動作を制御するための制御信号 D_c とが与えられる。また、表示制御回路 200 には、デジタルビデオ信号 D_V に対応する水平同期信号 HSY および垂直同期信号 VSY が外部から供給される。

【0046】

表示制御回路 200 は、デジタルビデオ信号 D_V の表す画像を表示させるための信号として、4 つのソース駆動系の信号 (DA, Cch, SSP, SCK) と、3 つのゲート駆動系の信号 (GCK, GSP, GOE) を発生する。表示制御回路 200 は、これらの信号の発生を、入力された信号 (D_V, D_c, HSY, VSY) に基づいて行う。

【0047】

ここでデジタル画素信号 DA は、表示制御回路 200 がビデオ信号 D_V からを発生した信号であり、表示階調の情報を含む信号である。表示制御回路 200 は、ビデオ信号 D_V を内部メモリで必要に応じてタイミング調整等を行うことでデジタル画素信号 DA を発生し、ソースドライバ 300 に出力する。

また、表示制御回路 200 は、データスタートパルス信号 SSP と、データクロック信号 SCK と、短絡制御信号 Csh を発生し、これらをソースドライバ 300 に与える。

【0048】

データクロック信号 SCK は、デジタル画素信号 DA の表す画像の各画素に対応するパルスからなる信号であり、ソースドライバ 300 のシフト動作クロックとして用いられる。

データクロック信号 SCK は、水平同期信号 HSY に基づき 1 水平走査期間 (1H) ごとに所定期間だけハイレベル (H レベル) となる信号であり、ソースドライバ 300 の 1H シフト動作の開始と終了を制御する信号である。この動作によりデジタル画素信号 DA が所定数 (例えれば、4、6、12 等) の出力選択経路に分配される。例えれば 6 セレクタ方式の場合、6 本のソース線 S L ごとに所定数 (s / 6) の画素信号が同時に output され、この動作が全部で 6 回繰り返されて 1H 期間の画素信号排出が行われる。

短絡制御信号 Csh は、ドット反転時に用いられる信号であり、水平同期信号 HSY および制御信号 Dc に基づき表示制御回路 200 で発生し、ソースドライバ 300 に与えられる。

【0049】

表示制御回路 200 は、ゲートスタートパルス信号 GSP と、ゲートクロック信号 GCK と、ゲートドライバ出力イネーブル信号 GOE とを発生し、これらをゲートドライバ 400 に与える。

【0050】

ゲートクロック信号 GCK は、水平同期信号 HSY に基づいて発生し、ゲートドライバ 400 のゲートパルスをシフト動作させる走査クロックとして用いられる。

ゲートスタートパルス信号 GSP は、垂直同期信号 VSY に基づき 1 フレーム期間 (1 垂直走査期間) のうち所定期間に H レベルとなる信号である。

10

20

30

40

50

ゲートドライバ出力イネーブル信号 G O E は、水平同期信号 H S Y および制御信号 D c に基づき発生する。このゲートドライバ出力イネーブル信号 G O E とゲートスタートパルス信号 G S P によって、ゲートドライバ 4 0 0 が、1 フレーム (1 F) 表示動作の開始と終了を制御する。

【 0 0 5 1 】

ソースドライバ 3 0 0 は、デジタル画素信号 D A とスタートパルス信号 S S P およびクロック信号 S C K とにに基づき、デジタル画素信号 D A の表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号を 1 水平走査期間ごとに順次発生する。そして、発生したデータ信号をソースライン S L 1 ~ S L s に、例えば 6 セレクタ方式で出力する。

10

【 0 0 5 2 】

また、ソースドライバ 3 0 0 は、画素信号の極性を、例えば共通電位 V c o m を中心として反転するドット反転等の機能を有する。ここで“ドット反転”とは、画素信号の極性反転により、液晶層 6 への印加電圧の極性が 1 フレーム期間内において x 方向の 1 ゲート線ごと、かつ、y 方向の 1 ソースラインごとに反転する動作をいう。あるいは、さらに異なるフレーム期間（画面表示期間）で同一画素において画素信号が極性反転することを含めてドット反転駆動と呼ぶ。ソースドライバ 3 0 0 は、y 方向と x 方向の双方で隣接する画素間でドット反転する以外に、x 方向のみ画素信号を反転するようにしてもよい。

【 0 0 5 3 】

なお、画素電圧の極性反転の基準となる中心電位は、厳密には、画素信号の直流レベル（直流成分に相当する電位）であり、この直流レベルは、共通電位 V c o m とは一致するとは限らない。つまり、この極性反転の中心電位は、各画素における T F T のゲート・ドレイン間の寄生容量によるレベルシフトだけ共通電位 V c o m の直流レベルと異なる。ただし、寄生容量によるレベルシフトが液晶の光学的しきい値電圧に対して十分に小さい場合には、画素信号（データ信号）の直流レベルは共通電位 V c o m の直流レベルに等しいとみなせる。よって、通常、データ信号の極性すなわちソースラインへの印加電圧の極性は共通電位 V c o m の電位を基準として反転すると考えてもよい。

20

局部的な液晶の D C バイアスを平均化する意味で、画素ごとに 1 H 周期で画素信号の極性が反転することが望ましい。

【 0 0 5 4 】

また、ソースドライバ 3 0 0 では、消費電力を低減するために、短絡制御信号 C s h により、データ信号の極性反転時に隣接ソースライン間が短絡される。

30

【 0 0 5 5 】

ゲートドライバ 4 0 0 は、スタートパルス信号 G S P およびクロック信号 G C K と、ゲートドライバ出力イネーブル信号 G O E とにに基づき、各データ信号を画素電極 2 2 の容量に順次書き込む。このとき、ゲートドライバ 4 0 0 は、デジタル画素信号 D A の各フレーム期間（各垂直走査期間）において、ゲート線 G L 1 ~ G L k m をほぼ 1 H 期間ずつ順次選択する。

【 0 0 5 6 】

【 1 H V c o m 反転を行う場合（比較例）の不具合】

40

本実施の形態では、1 H 期間ごとの共通電位 V c o m の反転は、基本的には行わないが、その理由について説明する。

【 0 0 5 7 】

図 5 は、画素ごとに配色した画素配列をソース線 S L およびゲート線 G L によってマトリクス駆動する構成を示す平面図である。

図 5 に図解する配色の例では、画素列ごとに赤 (R) , 緑 (G) , 青 (B) の 1 色が配置されている。例えばソース線 S L 1 と S L 4 に赤 (R) の画素信号である R 1 信号と R 2 信号が異なるタイミングで与えられる。ソース線 S L 2 と S L 5 に緑 (G) の画素信号である G 1 信号と G 2 信号が異なるタイミングで与えられる。また、ソース線 S L 3 と S L 6 に青 (B) の画素信号である B 1 信号と B 2 信号が異なるタイミングで与えられる。

50

【0058】

より詳細には、6本のソース線SLを組として、R1信号はソース線SL1を含む第1番目、第7番目、…のソース線に同時に与えられる。同様に、R2信号はソース線SL2を含む第4番目、第10番目、…のソース線に同時に与えられる。

G1信号はソース線SL2を含む第2番目、第8番目、…のソース線ソース線に同時に与えられ、G2信号はソース線SL5を含む第5番目、第11番目、…のソース線に同時に与えられる。

同様に、B1信号はソース線SL3を含む第3番目、第9番目、…のソース線2同時に与えられ、B2信号はソース線SL6を含む第6番目、第12番目、…のソース線に同時に与えられる。

10

【0059】

このような6本のソース線SLを組として、その組内で順次に与えられた画素信号(色信号)は、活性化されたゲート線GL1～GLkmの何れかに対応する画素行に印加される。この方式は6セレクタ方式と呼ばれる。

【0060】

図6(A)と(B)は、6セレクタ方式の共通電位Vcomと画素信号の極性を示す図である。

1HVcom反転駆動を行う比較例の場合、1水平期間(1H)ごとに対向電極(駆動電極43)の電位である共通電位Vcomが、例えば0Vを中心に反転駆動される。

共通電位Vcomが正極のときは画素信号が負パルス、逆に、共通電位Vcomが負極の時は画素信号が正パルスとして与えられる。液晶層6は電界の向きが逆でも同じ電圧値が与えられると同一階調の表示となる。なお、図6では、1H期間ごとの6つのパルスを、図5の色信号の符号により表している。

20

【0061】

図7(B)は、図6の1HVcom反転駆動を行う比較例において、黒表示(BK)と白表示(W)で画素信号パルスの極性の相違を示す図である。図7(A)は、実際にセンサ線SNLの電位変化を測定し、横軸に時間をとったグラフである。また、図8(A)と図8(B)は、センサ線電位変動のノイズ発生の説明図である。

【0062】

前述した図6は、ある平均より明るい画素が4H期間という短い期間で繰り返される場合を示したものであるため、どちらかというと白表示(W)に近くほぼ同じ階調表示の例を挙げている。これに対し、図7(B)に示すように、黒表示(BK)で静電容量は、画素信号(色の輝度信号)は画素信号パルスの極性が反転した正パルスとなる。

30

【0063】

図7(A)において実線が黒表示(BK)、破線が白表示(W)に対応している。この比較例では、駆動電極43が表示のための共通電位Vcomを与えるとともに、1H反転駆動される共通電位Vcomが検出駆動電圧の交流パルスとしても用いられる。

検出電位が全体的に減衰しているのはセンサ線SNT自身の配線抵抗、ならびに、検出回路が抵抗を有するためである。その減衰の1H期間終了までの到達点、つまり共通電位Vcomが正極から負極に変化する直前での階調差によって電位差Vが生じていることがわかる。この電位差は次の負極の共通電位Vcomにおいて、初期電位差として継承されている。物体検出は、この極性変化後にセンサ線出力の波高値が減衰する前の高いレベルにおいて、被検出物の接近で変化する(より低下する)ことを検出するため、この電位差Vは、そのまま物体検出の誤差成分となる。

40

【0064】

図7(B)に示すように、次の負極正Vcomの期間では白表示と黒表示のパルス極性が反転する(図6参照)。また、同じ画素についてみると、次の1H期間でもパルス極性が反転する。図7(A)のように白表示を「+」誤差成分発生と定義すると、最初の1Hでは1画素ラインが「+」の誤差をもち、次の1Hでは反対に「-」の誤差をもち、これが交互に繰り返されることになる。

50

図8(A)は、この誤差の極性を模式的に示す図である。

【0065】

また、図8(B)に、センサ線電位変動の経路を示す。

前述したように駆動電極43(図1参照)は、ソース線SL1～SLkmの各々と交差して配置されるため、両者は多少なりとも容量結合している。この容量結合の強さは表示装置を薄型化すればするだけ増大する。従って図8(A)に示す結合容量C1～C6は、ソース線SL1～SL6の各々が駆動電極(対向電極)43と電気的に結合する強さを表している。

一方、駆動電極43は、それと直交するセンサ線SNLと静電容量Csで電気的に結合している。従って、ソース線SL1～SLkmの電位が画素信号パルスの印加で変化すると、それが更に、駆動電極43から静電容量を介してセンサ線SNLに伝達される。

【0066】

[比較例の不具合を防止のための画素信号反転制御]

以上の不具合を防止するため、本実施の形態では以下の対策を行っている。

図9に、本実施の形態における共通電位Vcomと画素信号とを示す。

本実施の形態では、1H表示期間中は、共通電位Vcomは一定電位とする。この要件を満たす場合としては、1H表示期間が次の1H表示期間に推移しても、検出駆動がなされない限り共通電位Vcomは一定電位とする場合がある。さらに、共通電位Vcomを1Hごとに反転駆動する場合も、この要件を満たす。つまり、共通電位Vcomは一定電位とするのは、「少なくとも1H期間中は」であり、それ以外は任意である。

【0067】

また、画素信号のパルスは、1H表示期間に、1つ以上の画素信号のパルスが他の画素信号のパルスと極性反転している。1H期間内における、極性反転のパルス数は、極性反転していないパルス数と等しいことがより望ましい。少なくとも1つが極性反転していると、その分だけセンサ検出出力のノイズ成分が低減される。ただし、極性反転のパルス数は、極性反転していないパルス数と等しいと、よりノイズ成分が低減し、あるいは、ほとんどノイズ成分が発生しなくなる。

【0068】

このようなパルス極性の制御は、図4のソースドライバ300が表示制御部200から与えられる短絡制御信号Csh等により、内部の反転駆動部を制御して実行する。

【0069】

図10(A)と図10(B)は、図9(B)のように画素信号の極性を水平方向に交互に切り替えたときの効果を説明するための図である。

図7の例でも分かるように、負極性の白表示(W)が「+」の誤差要因となるため、画素信号の極性と反対の極性が潜在的な誤差要因となる。よって、図9(B)のパルス極性制御では、第1番目の画素ラインにおいては、潜在的な誤差要因の極性が「+」、「-」、「+」、…の順で存在する。

【0070】

図1の構成から、画素ラインごとに駆動電極43が細く区切られているが、s本のソース線SL1～SLsのどのソース線に対しても同じように交差している。そのため、図10のように、水平方向の画素ラインで「+」誤差成分と「-」誤差成分が均衡していると、どの位置の駆動電極43においても、結合容量C1～C6を介した電位変動がほぼキャンセルされる。よって、駆動電極43の電位変動が十分に抑制され、結果として、センサ線SNLの画素信号起因の電位変動が防止または十分に抑制できる。

【0071】

<2. 第2の実施の形態>

上記第1の実施の形態では、ノイズ成分の発生がなくなる前提としては、正極性のパルスと負極性のパルスが波高値において均衡している場合が挙げられる。このような場合としてはある特定色が水平画素行の全域で表示されている場合などであるが、表示内容によつてはノイズ発生効果が変動することが予想される。

10

20

30

40

50

【0072】

本第2の実施の形態は、表示内容によらず常に高いノイズ防止効果が得られる構成を例示するものである。

【0073】

図11に、本実施の形態における共通電位Vcomと画素信号とを示す。

本実施の形態では、第1の実施の形態と同様、表示制御時に共通電位Vcomは一定電位とする。また、1H期間内における、極性反転のパルス数は、極性反転していないパルス数と等しいという、より望ましい観点も満たしている。

【0074】

本実施の形態を示す図11(B)が、図9(A)と異なる点は、画素信号が同時に2パルス、同一の画素ラインに印加されることである。10

このとき画素ラインの1つの画素が図6に示す通常の1画素構成ならば、極性が異なる画素信号同士が相殺してしまう。

【0075】

そこで、本実施の形態は、異なる極性の画素信号が相殺することがない画素構成が必須となる。これは、いわゆる“画素分割”と称される技術によって、1画素内の2領域に、それぞれ画素電極22とTFT23と設けることで達成できる。画素分割は、画素の定義が同一階調、同一色を表示する最小の単位であるという考えに基づく。その考えを採らない場合、“同色2画素を同時に同一階調で駆動する技術(以下、画素ペア駆動という)”の技術とも言える。20

【0076】

1画素内の2領域(もしくは画素ペアとなる2画素)は、図12に示すように、行方向の隣接領域(もしくは画素)でも列方向の隣接領域(もしくは画素)でもよい。この隣接領域(もしくは隣接画素)は、同一色のカラーフィルタ42によって配色されている。

【0077】

行方向の隣接領域(もしくは画素)の場合、別々の隣接する2本のソース線SLをペアとして、同一階調の画素信号で同時駆動する。一方、列方向の隣接領域(もしくは画素)の場合、1本のソース線の画素信号が2領域(2画素)に同時に書き込まれるように隣接する2本のゲート線GLをほぼ同時に駆動する。

なお、本発明で“同時”というとき、実質的に同時期に制御を行う意味であり、僅かな時間差は許容される。30

【0078】

第2の実施の形態によれば、誤差そのものの発生は防止され、これにより表示内容によらず、常に高いノイズ抑制効果が得られる。

【0079】

なお、図4に示す画素信号制御部、即ち表示制御回路200、ソースドライバ300およびゲートドライバ400の制御は、以下の2通りがある。

第1の方法では、図12の列方向(y方向)の2領域(または2画素)を1画素のように駆動する場合、異なる極性の画素信号を2領域(または2画素)で取り込む必要がある。この場合、画素信号には正極性パルスと負極性パルスが交互に印加されており、そのパルスのサンプリングタイミングを、表示制御回路200およびゲートドライバ400によるTFT23のターンオンのタイミングで制御する。40

この場合、画素信号そのものの電位変動が平均化され、ノイズ発生が発生源で抑圧されている。

【0080】

第2の方法では、図12の行方向(x方向)の2領域(または2画素)を1画素のように駆動する場合、画素信号のサンプリングタイミングはあまり重要でない。むしろ、異なる画素信号線に異なる極性の画素信号パルスが時間的に揃って排出されていることが重要である。つまり、画素信号制御部の特に、表示制御回路200およびソースドライバ300による、画素信号線への排出タイミングを隣接する逆極性の画素信号線パルスで揃える50

(同時とする)ことが重要である。ここでも“同時”は、若干の時間的なずれを排除する趣旨ではない。

これにより個々の画素信号線の電位変動は抑制できないが、駆動電極43で、その電位変動を相殺してセンサ検出精度への影響を予め排除できる。

【0081】

<3.変形例>

図9では、R1信号、R2信号、G1信号、G2信号、B1信号、B2信号の各々は、それぞれ(s/6)本の画素信号線(ソース線SL)に同一極性の画素信号パルスとして供給される。セレクタ方式を変更して、例えばR1信号とR2信号の各半分が同時供給され、残りの各半分が同時供給されるようにして、時間的に駆動電極43に重畠するノイズを相殺することができる。この場合、各ソース線SLでの電位変動は抑制されないが、異なる極性のノイズなので駆動電極43で相殺される。結果として、センサ線SNLへのノイズ重畠は防止または抑止される。

【0082】

第2の実施の形態では、センサ検出精度優先の画素分割モードと、高品位な画像表示優先の画素分割をしない通常モードとを、図4のソースドライバ300が切り替えることが可能に構成することも可能である。

例えば、操作画面を表示し、指等によるタッチ検出による操作が予想される場合は、画素分割モードにしてセンサ検出精度を高め、その他の映像再生時等には画素分割モードを解除して高品質な映像表示を行うようにしてよい。

【0083】

図13～図15は、横電界モード液晶表示装置の対向基板4側の構造例を示す。

前述したように、横電界モードでは、画素電極22と駆動電極43が駆動基板2側に配置される。

【0084】

図13に示す構造では、TFT基板21の正面側(表示面側)の面に駆動電極43が配置され絶縁層24を介して、駆動電極43と画素電極22が近接する。駆動電極43は、表示ラインの向き(x方向)に長いライン状に配置され、画素電極22は、その向きに画素ごとに分離されている。

TFT基板21は、その画素電極22側を液晶層6に隣接させ、ガラス基板41と貼り合わされている。液晶層6は不図示のスペーサで強度的に保たれている。

【0085】

符号“49”はガラスや透明性のフィルムなど、表示面側の基材を示す。この基材49の片側の面にセンサ線SNLが形成されている。基材49に保持されたセンサ線SNLは、接着層48によってガラス基板41の反液晶側の面に固定されている。

一方、TFT基板21の背面には第1偏光板61が貼られ、これと偏光の向きが異なる第2偏光板62が、基材49の表示面側に貼られている。

第2偏光板62の表示面側に不図示の保護層が形成される。

【0086】

図14に示す構造では、カラーフィルタ42がガラス基板41の液晶側に予め形成されている。カラーフィルタ42は(サブ)画素ごとに異なる色領域が規則的に配置されている。

【0087】

図15に示す構造では、表示面側の積層構造が図14と異なる。

図14に示す構造では、センサ線SNLが基材49に予め形成されて、例えばロール状の部材として貼られるが、図15ではガラス基板41の表示面側にセンサ線SNLを形成し、その上に第2偏光板62が貼られる。

【0088】

以上の第1および第2の実施の形態ならびに上記変形例によれば、ノイズ検出のための検出電極を表示機能層の近くに配置して表示装置の薄型化が図れる。このとき画素信号に

10

20

30

40

50

起因したノイズを低減することができ、検出精度を高めたタッチパネル付の表示装置を提供することができる。

とくに極性が反転した画素が隣接していると、タッチ検出精度の向上のほかにも、ちらつきなどが発生しない表示装置を実現できる。

また、ドット反転駆動とすることにより、極性反転した信号を書き込むことが容易となる。

さらに、液晶表示装置とすることにより、検出駆動と表示駆動を単一層の電極（共通電極）で制御でき、一体化した表示装置を形成することができる。

横電界モードでは、共通電極を TFT 側に形成することが可能となり、共通電極をタッチパネルのための電極として駆動させるための駆動回路を容易に形成することが可能となる。

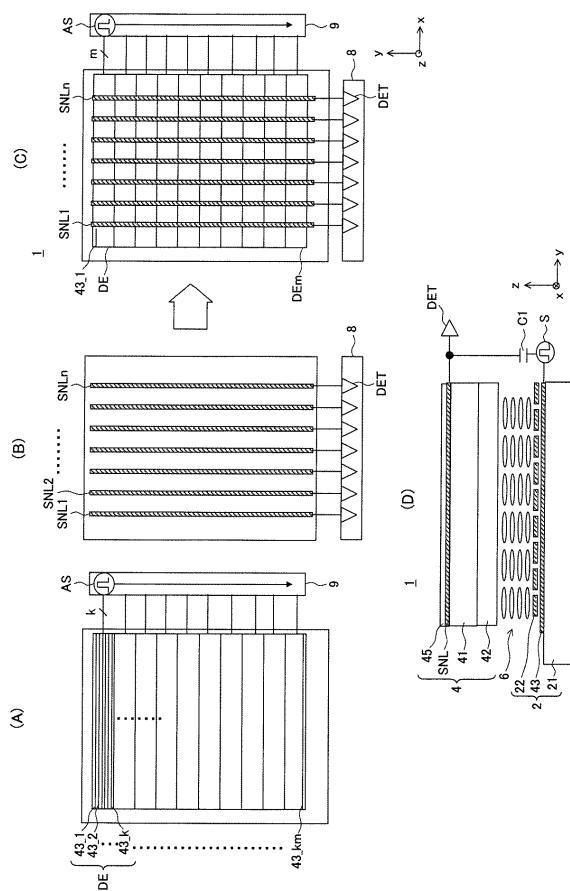
10

【符号の説明】

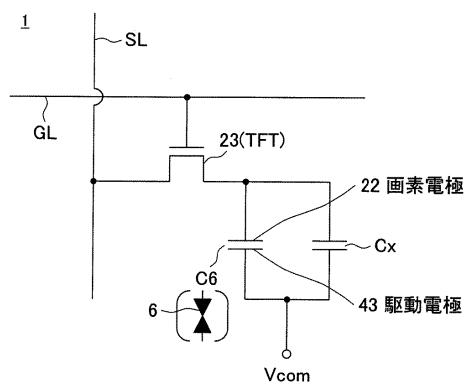
【0089】

1 ... 液晶表示装置、6 ... 液晶層、8 ... 接触検出部、9 ... 駆動制御部、43 ... 駆動電極、100 ... 表示部、200 ... 表示制御回路、300 ... ソースドライバ、400 ... ゲートドライバ、PIX ... 画素、22 ... 画素電極、23 ... TFT、SNTL ... センサ線（検出電極）、SL ... ソース線、GL ... ゲート線、C1 ~ C6 ... 結合容量、Cs ... 静電容量

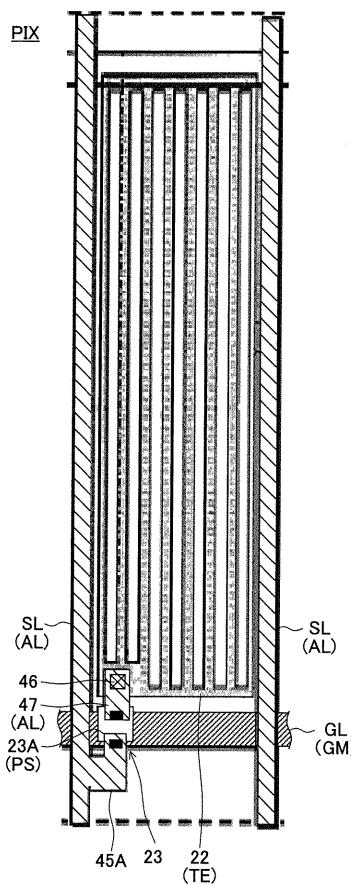
【図1】



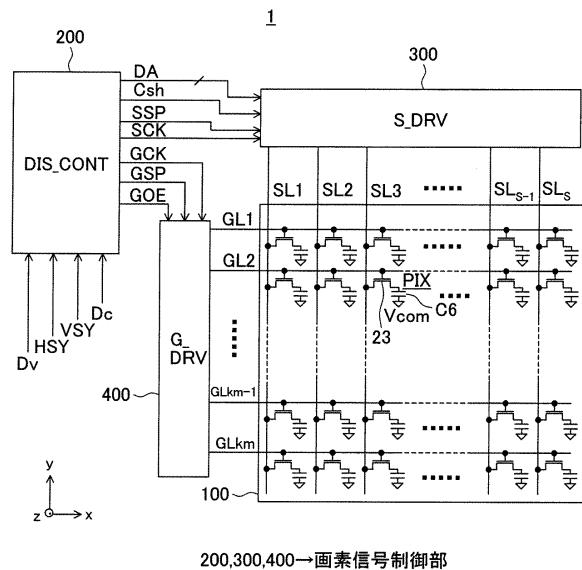
【図2】



【図3】



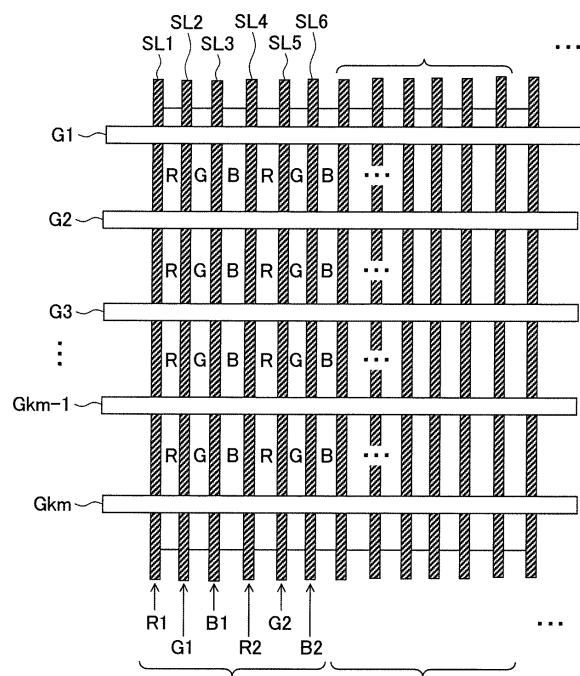
【図4】



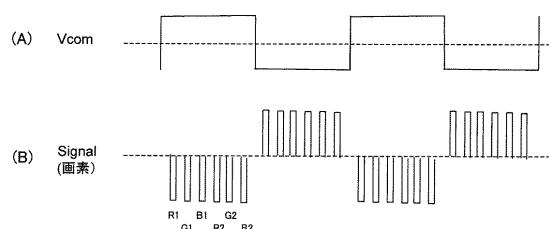
200,300,400→画素信号制御部

【図5】

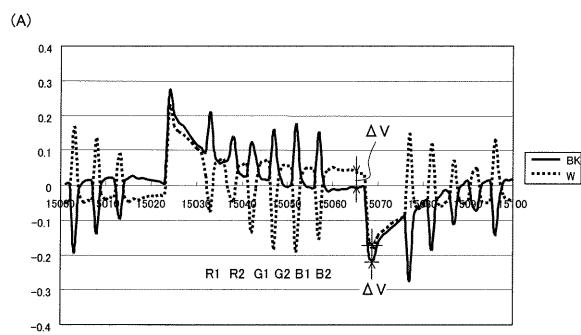
<1HVCOM反転>



【図6】



【図7】



(B)

V_{com}

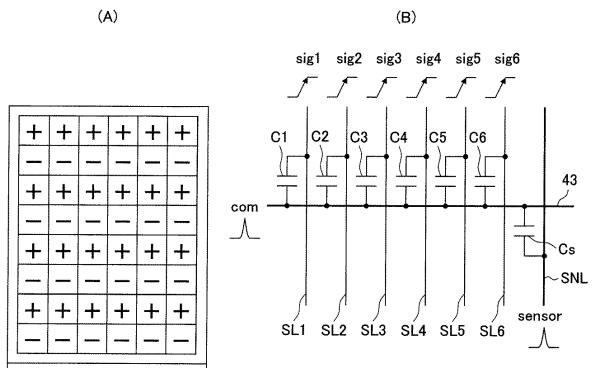
(BK)

W

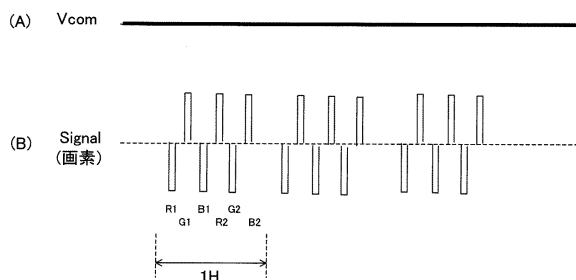
(BK)

W

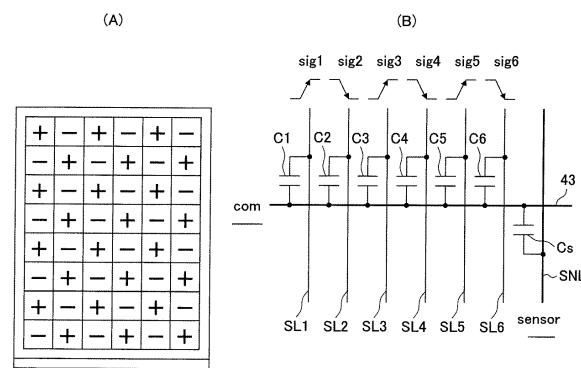
【 図 8 】



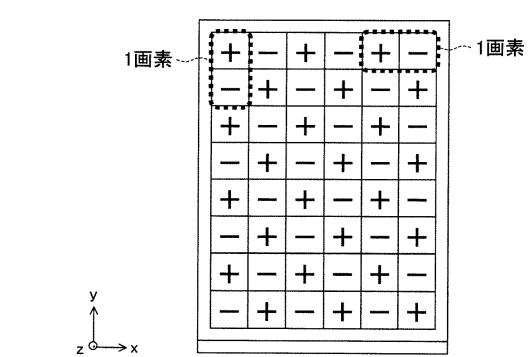
【図9】



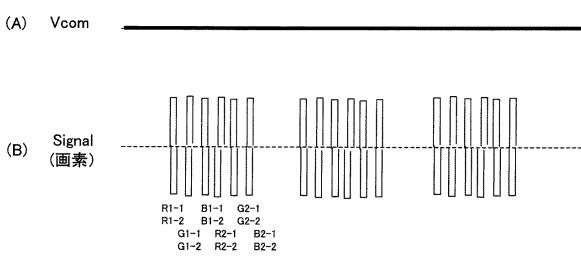
【 図 1 0 】



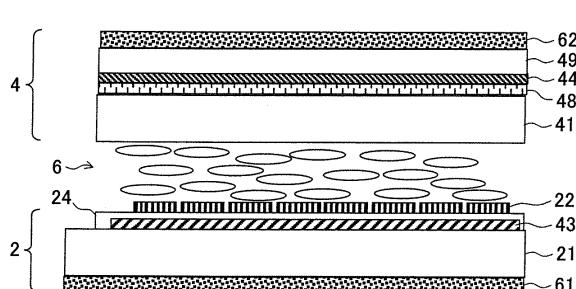
【 図 1 2 】



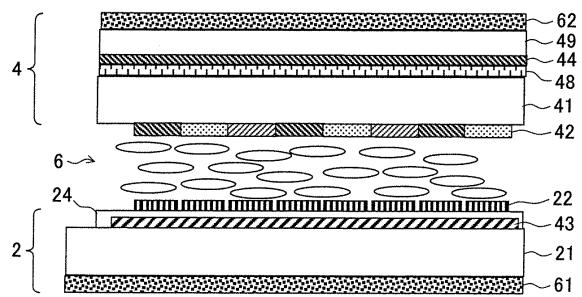
【図 1 1 】



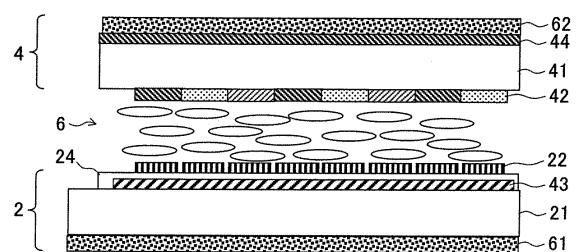
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.

F I		
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 9 1 D
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 1 1 C
G 0 9 G	3/20	6 1 1 J
G 0 6 F	3/041	3 3 0 D

(72)発明者 中西 貴之

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 寺西 康幸

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 竹内 剛也

東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 中村 直行

(56)参考文献 特開平07-182107 (JP, A)

特開2006-040289 (JP, A)

特開2005-249862 (JP, A)

特開平06-265939 (JP, A)

特開2007-058211 (JP, A)

特開2008-185915 (JP, A)

特表2007-524126 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
G 0 2 F	1 / 1 3 6		
G 0 6 F	3 / 0 4 1		