

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年4月3日 (2008.4.3)

【公開番号】特開2006-227777(P2006-227777A)

【公開日】平成18年8月31日 (2006.8.31)

【年通号数】公開・登録公報2006-034

【出願番号】特願2005-38760(P2005-38760)

【国際特許分類】

G 0 6 F 21/22 (2006.01)

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/38 (2006.01)

G 0 6 F 12/08 (2006.01)

G 0 6 F 21/24 (2006.01)

G 0 9 C 1/00 (2006.01)

【 F I 】

G 0 6 F 9/06 6 6 0 L

G 0 6 F 9/30 3 8 0 Z

G 0 6 F 9/38 3 1 0 A

G 0 6 F 9/38 3 3 0 A

G 0 6 F 12/08 5 0 5 B

G 0 6 F 12/08 5 1 1 B

G 0 6 F 12/08 5 1 5 Z

G 0 6 F 12/08 5 4 1 Z

G 0 6 F 12/08 5 5 9 Z

G 0 6 F 12/14 5 4 0 A

G 0 9 C 1/00 6 6 0 D

【手続補正書】

【提出日】平成20年2月13日 (2008.2.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

命令コードを実行可能な中央処理装置と、

暗号化された命令コードを保持可能な命令キャッシュと、

上記中央処理装置と上記命令キャッシュとの間に配置され、上記暗号化された命令コードを、上記命令キャッシュを介して取り込み、それを復号化して上記中央処理装置に供給するための命令コード復号化論理と、を含んで成るデータ処理装置。

【請求項 2】

上記命令コード復号化論理は、上記暗号化された命令コードをパイプライン処理によって順次復号化する請求項 1 記載のデータ処理装置。

【請求項 3】

上記中央処理装置は、分岐先命令アドレスに対応して、分岐先命令コードの復号化後の命令を、上記分岐命令アドレスに関連付けて保持可能な信号変換バッファを含み、上記信号変換バッファ内に分岐先アドレスに対応する分岐先命令コードが存在する場合には、それを読み出して実行する請求項 2 記載のデータ処理装置。

**【請求項 4】**

上記中央処理装置は、命令フェッチアドレスをキーとして当該命令の分岐先アドレスを出力可能な動的な分岐予測機構としての分岐先アドレスバッファを備え、上記分岐先アドレスバッファを介して投機的に命令フェッチを実行する請求項 2 記載のデータ処理装置。

**【請求項 5】**

マイクロコンピュータとして一つの半導体基板に形成された請求項 3 又は 4 記載のデータ処理装置。

**【請求項 6】**

命令を実行する中央処理装置と、

バスに接続される命令キャッシュメモリとを有し、

上記中央処理装置は、上記命令キャッシュメモリから読み出された暗号化された命令を復号化する第 1 の復号化回路と、上記第 1 の復号化回路で復号化された命令をデコードする命令デコード回路と、上記命令デコード回路のデコード結果に応じて読み出された暗号化されたデータを復号化する第 2 の復号化回路とを有するデータ処理装置。

**【請求項 7】**

上記中央処理装置は、上記暗号化されたデータを格納するためのデータキャッシュメモリを有し、

上記命令デコード回路のデコード結果に応じて、暗号化されたデータが上記第 2 の復号化回路へ供給される請求項 6 記載のデータ処理装置。

**【請求項 8】**

上記中央処理装置は、上記命令デコード回路のデコード結果に応じてデータを暗号化し、上記バスへ供給する暗号化回路を有する請求項 6 又は 7 記載のデータ処理装置。

**【請求項 9】**

上記中央処理装置は、複数の命令をパイプライン処理で実行することが可能で、

上記パイプライン処理は、命令フェッチステージ、命令デコードステージ、演算実行ステージ、ライトバックステージとを有し、

上記命令フェッチステージの次に上記第 1 の復号化回路による復号化処理が行われ、

上記演算実行ステージの次に上記第 2 の復号化回路による復号化処理が行われる請求項 6 乃至 8 の何れか 1 項に記載のデータ処理装置。

**【請求項 10】**

上記第 1 の復号化回路は、複数の暗号化された命令を並行して復号化処理可能である請求項 7 乃至 9 の何れか 1 項に記載のデータ処理装置。

**【請求項 11】**

上記バスに接続され、上記中央処理装置で実行されるための暗号化された命令を格納するメモリを有し、

上記キャッシュメモリは、上記バスを介してメモリから暗号化された命令を供給され、

上記暗号化回路は、暗号化されたデータをバスを介して上記メモリに格納する請求項 8 記載のデータ処理装置。

**【請求項 12】**

上記中央処理装置によって実行される命令は、コプロセッサによって暗号化され、上記メモリに格納される請求項 7 乃至 10 の何れか 1 項に記載のデータ処理装置。

**【請求項 13】**

暗号化された命令を実行する中央処理装置と、

上記中央処理装置に供給される暗号化された命令を格納する命令キャッシュメモリと

上記中央処理装置で実行するための暗号化されたオペランドデータを格納するオペランドキャッシュメモリとを有し、

上記中央処理装置は、暗号化された命令を復号化するための第 1 の復号化回路と、暗号化されたオペランドデータを復号化するための第 2 の復号化回路とを有するデータ処理装置。

**【請求項 14】**

さらに、上記中央処理装置の命令実行によって所定のレジスタから読み出されたデータを暗号化するための暗号化回路を有し、

上記暗号化回路によって暗号化されたデータをメモリに格納する請求項 1 2 記載のデータ処理装置。

【請求項 1 5】

上記中央処理装置は、上記第 1 の復号化回路によって復号化された命令を実行する請求項 1 3 記載のデータ処理装置。

【請求項 1 6】

さらに、命令キャッシュメモリに格納する為の暗号化された命令を保持可能なメモリを有し、

上記中央処理装置は、命令実行に伴い生成されたデータを暗号化して上記メモリに書き込むことが可能である請求項 1 3 記載のデータ処理装置。