

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7023791号

(P7023791)

(45)発行日 令和4年2月22日(2022.2.22)

(24)登録日 令和4年2月14日(2022.2.14)

(51)国際特許分類

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 5 0 K

G 1 1 C 7/10 (2006.01)

G 0 6 F 12/00 5 6 4 D

G 1 1 C 7/10 4 0 0

G 1 1 C 7/10 5 0 0

請求項の数 20 (全30頁)

(21)出願番号 特願2018-102557(P2018-102557)

(22)出願日 平成30年5月29日(2018.5.29)

(65)公開番号 特開2018-200739(P2018-200739  
A)

(43)公開日 平成30年12月20日(2018.12.20)

審査請求日 令和3年5月18日(2021.5.18)

(31)優先権主張番号 10-2017-0066377

(32)優先日 平成29年5月29日(2017.5.29)

(33)優先権主張国・地域又は機関

韓国(KR)

(31)優先権主張番号 10-2017-0089692

(32)優先日 平成29年7月14日(2017.7.14)

(33)優先権主張国・地域又は機関

韓国(KR)

早期審査対象出願

(73)特許権者 390019839

三星電子株式会社

Samsung Electronics  
Co., Ltd.大韓民国京畿道水原市靈通区三星路12  
9129, Samsung-ro, Yeon-  
gtong-gu, Suwon-si  
, Gyeonggi-do, Repub-  
lic of Korea

(74)代理人 110000051

特許業務法人共生国際特許事務所

(72)発明者 孫 永 訓

大韓民国 京畿道 水原市 靈通区 179  
ボンギル ワールドカップ路 34 1F

最終頁に続く

(54)【発明の名称】 オン・ダイターミネーションの制御方法及びこれを遂行するシステム

## (57)【特許請求の範囲】

## 【請求項1】

第1メモリバンク及び第2メモリバンクを含み、前記第1メモリバンクは第1ランク選択信号によって活性化され、前記第2メモリバンクは第2ランク選択信号によって活性化されるマルチ・ランクシステムの動的ランダムアクセスメモリ(DRAM)を動作させる方法であって、

第1オン・ダイターミネーション(ODT)動作モードと第2オン・ダイターミネーション(ODT)動作モードのうちの1つを活性化するようにモードレジスタ設定(MRSET)を設定するステップと、

前記第1ランク選択信号が活性化され、前記第2ランク選択信号が不活性化されている間中、前記第1及び第2メモリバンクで共有されるコマンドバスを介して、外部装置から動作クロック信号対に同期して第1CASコマンドと書込みコマンドを連続して受信するステップと、

前記第1CASコマンドと前記書込みコマンドを受信した後、前記第1及び第2メモリバンクで共有されるデータバスを介して、外部装置から書込みデータを受信するステップであって、前記第1ODT動作モードが活性化された場合、前記書込みデータの受信中に前記第1メモリバンクの第1ODT回路及び前記第2メモリバンクの第2ODT回路がそれぞれ第1活性化状態として活性化され、前記第2ODT動作モードが活性化された場合、前記書込みデータの受信中に前記第1メモリバンクの前記第1ODT回路が第2活性化状態として活性化され、前記第2メモリバンクの前記第2ODT回路が第1活性化状態とし

て活性化されるステップと、

前記書込みデータの受信中に、前記動作クロック信号対に同期してトグルするデータストロープ信号対を受信するステップであって、前記データストロープ信号対のトグル周波数は前記動作クロック信号対の周波数よりも高いステップと、

前記第 1 ランク選択信号が活性化され、前記第 2 ランク選択信号が不活性化されている間中、前記コマンドバスを介して、第 2 C A S コマンドと読出しコマンドを連続して受信するステップと、

前記第 2 C A S コマンド及び前記読出しコマンドに応答して、前記データバスを介して読出しデータを出力するステップであって、前記第 1 O D T 動作モードが活性化された場合又は前記第 2 O D T 動作モードが活性化された場合、前記読出しデータを出力している間中、前記第 1 メモリランクの前記第 1 O D T 回路は不活性化され、前記第 2 メモリランクの前記第 2 O D T 回路は第 1 活性化状態として活性化されるステップと、

を含むことを特徴とする、マルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 2】

前記データストロープ信号対の前記トグル周波数は、前記動作クロック信号対の周波数の 2 倍であることを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 3】

前記データストロープ信号対の前記トグル周波数は、前記動作クロック信号対の周波数の 4 倍であることを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 4】

前記第 1 C A S コマンドは、前記書込みコマンドが直後に続くことを示す第 1 フィールドを含み、前記第 1 フィールドの論理レベルはハイ ( H i g h ) であることを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 5】

前記第 2 C A S コマンドは、前記読出しコマンドが直後に続くことを示す第 2 フィールドを含み、前記第 2 フィールドの論理レベルはハイであることを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 6】

前記第 1 O D T 回路の第 1 抵抗値を設定し、前記第 2 O D T 回路の第 2 抵抗値を設定するために第 2 モードレジスタを設定するステップをさらに含むことを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 7】

前記第 1 メモリランクはターゲットメモリランクであり、前記第 2 メモリランクはノン - ターゲットメモリランクであり、前記ターゲットメモリランクの D R A M は、前記書込みコマンドと前記読出しコマンドに응答して書込み動作と読出し動作を実行することを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 8】

前記 D R A M のパワーオン時、前記モードレジスタ設定のデフォルト設定は前記第 1 O D T 動作モードであることを特徴とする、請求項 1 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 9】

第 1 O D T 動作モードから第 2 O D T 動作モードへの O D T 動作モード変更は、手順をプログラミングするモードレジスタ設定によって行われることを特徴とする、請求項 8 に記載のマルチ - ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 10】

10

20

30

40

50

前記第１ＯＤＴ回路のＯＤＴ抵抗は、前記第１ＯＤＴ動作モード中は第１値を、前記第２ＯＤＴ動作モード中は第２値を有するようにそれぞれ設定され、前記第１値は前記第２値とは異なることを特徴とする、請求項１に記載のマルチ・ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項１１】

前記第１値及び前記第２値は、第２モードレジスタ設定に格納された複数の異なる抵抗値から選択されることを特徴とする、請求項１０に記載のマルチ・ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項１２】

マルチ・ランクシステムであって、

前記マルチ・ランクシステムは、

第１オン・ダイターミネーション（ＯＤＴ）動作モードと第２オン・ダイターミネーション（ＯＤＴ）動作モードのうちの１つを活性化するように構成されたモードレジスタ設定（ＭＲＳＥＴ）と、

第１ランク選択信号によって活性化される第１動的ランダムアクセスメモリ（ＤＲＡＭ）を含む第１メモリランクと、

第２ランク選択信号によって活性化される第２動的ランダムアクセスメモリ（ＤＲＡＭ）を含む第２メモリランクと、

前記第１メモリランク及び前記第２メモリランクに動作クロック信号対を提供する動作クロックバスと、

前記第１メモリランク及び前記第２メモリランクで共有され、外部装置に接続されたコマンドバスと、

前記第１メモリランク及び前記第２メモリランクで共有され、前記外部装置に接続されたデータバスと、

前記第１メモリランク及び前記第２メモリランクで共有され、前記外部装置に接続されたデータストローブバスと、を含み、

前記第１ＤＲＡＭは、

前記第１ランク選択信号が活性化され、前記第２ランク選択信号が不活性化されている間中、前記コマンドバスを介して前記動作クロック信号対に同期して第１ＣＡＳコマンドと書込みコマンドを連続して受信し、

前記第１ＣＡＳコマンドと前記書込みコマンドを受信した後、前記データバスを介して書込みデータを受信し、前記第１ＯＤＴ動作モードが活性化された場合、前記書込みデータを受信中に前記第１メモリランクの第１ＯＤＴ回路及び前記第２メモリランクの第２ＯＤＴ回路がそれぞれ第１活性化状態として活性化され、前記第２ＯＤＴ動作モードが活性化された場合、前記書込みデータを受信中に前記第１メモリランクの前記第１ＯＤＴ回路が第２活性化状態として活性化され、前記第２メモリランクの前記第２ＯＤＴ回路が第１活性化状態として活性化され、

前記書込みデータを受信中に、前記動作クロック信号対に同期してトグルするデータストローブ信号対を受信し、前記データストローブ信号対のトグル周波数は前記動作クロック信号対の周波数よりも高く、

前記第１ランク選択信号が活性化され、前記第２ランク選択信号が不活性化されている間中、前記コマンドバスを介して第２ＣＡＳコマンドと読出しコマンドを連続して受信し、前記第２ＣＡＳコマンドと前記読出しコマンドに回答して、前記データバスを介して読出しデータを出力し、前記第１ＯＤＴ動作モードが活性化された場合又は前記第２ＯＤＴ動作モードが活性化された場合、前記読出しデータを出力している間中、前記第１メモリランクの前記第１ＯＤＴ回路を不活性化し、前記第２メモリランクの前記第２ＯＤＴ回路を第１活性化状態として活性化することを特徴とするマルチ・ランクシステム。

【請求項１３】

前記データストローブ信号対の前記トグル周波数は、前記動作クロック信号対の周波数の２倍であることを特徴とする、請求項１２に記載のマルチ・ランクシステム。

10

20

30

40

50

## 【請求項 14】

前記第 1 C A S コマンドは、前記書込みコマンドが直後に続くことを示す第 1 フィールドを含み、前記第 1 フィールドの論理レベルはハイ ( H i g h ) であることを特徴とする、請求項 12 に記載のマルチ - ランクシステム。

## 【請求項 15】

前記第 2 C A S コマンドは、前記読出しコマンドが直後に続くことを示す第 2 フィールドを含み、前記第 2 フィールドの論理レベルはハイであることを特徴とする、請求項 12 に記載のマルチ - ランクシステム。

## 【請求項 16】

前記第 1 O D T 回路の第 1 抵抗値を設定し、前記第 2 O D T 回路の第 2 抵抗値を設定するために第 2 モードレジスタを設定することを特徴とする、請求項 12 に記載のマルチ - ランクシステム。

10

## 【請求項 17】

前記第 1 メモリランクはターゲットメモリランクであり、前記第 2 メモリランクはノン - ターゲットメモリランクであり、前記ターゲットメモリランクの D R A M は、前記書込みコマンド及び前記読出しコマンドにตอบสนองして、書込み及び読出し動作を行うことを特徴とする、請求項 12 に記載のマルチ - ランクシステム。

## 【請求項 18】

前記 D R A M のパワーオン時、モードレジスタ設定のデフォルト設定は前記第 1 O D T 動作モードであることを特徴とする、請求項 12 に記載のマルチ - ランクシステム。

20

## 【請求項 19】

第 1 O D T 動作モードから第 2 O D T 動作モードへの O D T 動作モード変更は、手順をプログラミングするモードレジスタ設定によって行われることを特徴とする、請求項 18 に記載のマルチ - ランクシステム。

## 【請求項 20】

前記第 1 O D T 回路の O D T 抵抗は、前記第 1 O D T 動作モード中は第 1 値、前記第 2 O D T 動作モード中には第 2 値を有するようにそれぞれ設定され、前記第 1 値は前記第 2 値とは異なることを特徴とする、請求項 12 に記載のマルチ - ランクシステム。

## 【発明の詳細な説明】

## 【技術分野】

30

## 【0001】

本発明は半導体集積回路に関し、より詳しくは、オン - ダイターミネーションの制御方法、これを遂行する装置及びシステムに関する。

## 【背景技術】

## 【0002】

オン - ダイターミネーション ( o n - d i e \_ t e r m i n a t i o n : O D T ) は、送信装置と受信装置との間のインタフェースにおける信号反射 ( s i g n a l \_ r e f l e c t i o n ) を最小化することによって、信号品位 ( s i g n a l \_ i n t e g r i t y ) を向上するために導入された。O D T 回路は、転送線のインピーダンスとマッチングされたターミネーション抵抗 ( t e r m i n a t i o n \_ r e s i s t o r ) を提供することによって、信号反射を抑制できる。しかし、信号品位の向上のために O D T を具現する場合、消耗電力が増加する。

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0003】

前記の問題点を解決するためになされた本発明の一目的は、消耗電力を減少し、信号品位を向上することができるオン - ダイターミネーションの制御方法を提供することにある。

## 【0004】

また本発明の一目的は、消耗電力を減少し、信号品位を向上することができるオン - ダイターミネーションの制御方法を遂行するシステムを提供することにある。

50

## 【課題を解決するための手段】

## 【0005】

前記の一目的を達成するために、本発明の実施形態に従う複数のメモリランクを含むマルチ・ランクシステムのオン・ダイターミネーションの制御方法は、パワーオン時、前記複数のメモリランクのオン・ダイターミネーション回路を初期状態にイネーブルするステップ、前記複数のメモリランクのうち、書込みターゲットメモリランクに対する書込み動作を遂行する間中、前記複数のメモリランクのオン・ダイターミネーション回路をイネーブルするステップ、及び前記複数のメモリランクのうち、読出しターゲットメモリランクに対する読出し動作を遂行する間中、前記読出しターゲットメモリランクのオン・ダイターミネーション回路をディスエーブルするステップを含む。

10

## 【0006】

前記の一目的を達成するために、本発明の実施形態に係るメモリ装置のオン・ダイターミネーションの制御方法は、パワーオン時、前記メモリ装置のオン・ダイターミネーション回路を、第1抵抗値を有する初期状態にイネーブルするステップ、前記メモリ装置に対する書込み動作を遂行する間中、前記メモリ装置のオン・ダイターミネーション回路をイネーブルするステップ、及び前記メモリ装置に対する読出し動作を遂行する間中、前記メモリ装置のオン・ダイターミネーション回路をディスエーブルするステップを含む。

## 【0007】

前記の一目的を達成するために、本発明の実施形態に係るマルチ・ランクシステムは、複数のメモリランク及び前記複数のメモリランクを制御するメモリコントローラを含む。パワーオン時、前記複数のメモリランクのオン・ダイターミネーション回路は初期状態にイネーブルされ、前記複数のメモリランクのうち、書込みターゲットメモリランクに対する書込み動作を遂行する間中、前記複数のメモリランクのオン・ダイターミネーション回路はイネーブルされ、前記複数のメモリランクのうち、読出しターゲットメモリランクに対する読出し動作を遂行する間中、前記読出しターゲットメモリランクのオン・ダイターミネーション回路はディスエーブルされる。

20

## 【発明の効果】

## 【0008】

本発明の実施形態に係るマルチオン・ダイターミネーションの制御方法、これを遂行する装置及びシステムは、ターゲットメモリランク及びノン・ターゲットメモリランクのオン・ダイターミネーション回路のイネーブルされた初期状態を維持し、かつ読出し動作の対象となる読出しターゲットメモリランクのオン・ダイターミネーション回路のみをディスエーブルする静的制御を通じて消耗電力を減少し、信号品位を向上できる。

30

## 【図面の簡単な説明】

## 【0009】

【図1】本発明の実施形態に係るオン・ダイターミネーションの制御方法を示すフローチャートである。

【図2】本発明の実施形態に係るオン・ダイターミネーションの制御方法を示すタイミング図である。

【図3】本発明の実施形態に係るマルチ・ランクシステムを示すブロック図である。

40

【図4】図3のマルチ・ランクシステムに含まれるメモリ装置の一実施形態を示すブロック図である。

【図5】図4のメモリ装置に含まれるデータ入出力回路の一実施形態を示すブロック図である。

【図6】図5のデータ入出力回路に含まれるオン・ダイターミネーション回路の一実施形態を示す回路図である。

【図7】本発明の実施形態に係る書込み動作でのオン・ダイターミネーションの制御方法を示す図である。

【図8】本発明の実施形態に係る書込み動作でのオン・ダイターミネーションの制御方法を示す図である。

50

【図 9】本発明の実施形態に係る書込み動作でのオン - ダイターミネーションの制御方法を示す図である。

【図 10】本発明の実施形態に係る読出し動作でのオン - ダイターミネーションの制御方法を示す図である。

【図 11】本発明の実施形態に係る読出し動作でのオン - ダイターミネーションの制御方法を示す図である。

【図 12】本発明の実施形態に係るオン - ダイターミネーションの制御方法に適用される抵抗設定の一実施形態を示す図である。

【図 13】図 12 の抵抗設定に相応する書込み動作でのオン - ダイターミネーション回路の等価抵抗を説明するための図である。

10

【図 14】図 12 の抵抗設定に相応する読出し動作でのオン - ダイターミネーション回路の等価抵抗を説明するための図である。

【図 15】センター - タップターミネーション ( C T T : c e n t e r - t a p p e d \_ t e r m i n a t i o n ) を説明するための図である。

【図 16】センター - タップターミネーション ( C T T : c e n t e r - t a p p e d \_ t e r m i n a t i o n ) を説明するための図である。

【図 17】第 1 シュード - オープン ( 擬似オープン ) ドレイン ( P O D : p s e u d o - o p e n \_ d r a i n ) ターミネーションを説明するための図である。

【図 18】第 1 シュード - オープンドレイン ( P O D : p s e u d o - o p e n \_ d r a i n ) ターミネーションを説明するための図である。

20

【図 19】第 2 シュード - オープンドレインターミネーションを説明するための図である。

【図 20】第 2 シュード - オープンドレインターミネーションを説明するための図である。

【図 21】本発明の実施形態に係るオン - ダイターミネーションの制御方法に適用される抵抗設定の一実施形態を示す図である。

【図 22】本発明の一実施形態に係る C A S コマンドを示す図である。

【図 23】本発明の実施形態に係るオン - ダイターミネーションのためのモードレジスタを説明するための図である。

【図 24】本発明の実施形態に係るオン - ダイターミネーションのためのモードレジスタを説明するための図である。

【図 25】本発明の一実施形態に係る積層型メモリ装置の構造を示す図である。

30

【図 26】本発明の実施形態に係るメモリ装置をモバイルシステムに応用した例を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、添付した図面を参照して、本発明の好ましい実施形態をより詳細に説明する。図面上の同一の構成要素に対しては同一の参照符号を使用し、同一の構成要素に対して重複した説明は省略する。

【 0 0 1 1 】

図 1 は本発明の実施形態に係るオン - ダイターミネーションの制御方法を示すフローチャートであり、図 2 は本発明の実施形態に係るオン - ダイターミネーションの制御方法を示すタイミング図である。

40

【 0 0 1 2 】

図 1 及び図 2 には複数のメモリランクを含むマルチ - ランクシステムのオン - ダイターミネーションの制御方法が図示されている。マルチ - ランクシステムに対しては図 3 を参照して後述する。

【 0 0 1 3 】

図 1 を参照すると、パワーオン時、前記複数のメモリランクのオン - ダイターミネーション回路を初期状態にイネーブルする ( S 1 0 0 ) 。前記複数のメモリランクのうち、書込みターゲットメモリランクに対する書込み動作を遂行する間中、前記複数のメモリランクのオン - ダイターミネーション回路をイネーブルする ( S 2 0 0 ) 。前記複数のメモリラ

50

ンクのうち、読出しターゲットメモリランクに対する読出し動作を遂行する間中、前記読出しターゲットメモリランクのオン・ダイターミネーション回路をディスエーブルする（S300）。

【0014】

メモリアクセス動作は書込み動作（write\_operation）及び読出し動作（read\_operation）を含み、前記メモリアクセス動作はその他のモードレジスタ書込み動作、モードレジスタ読出し動作、リフレッシュ動作などとは区別される。書込み動作の場合には複数のメモリランクは、書込み動作の対象となる書込みターゲットメモリランク及びそれ以外のノン・ターゲットメモリランクに区分される。読出し動作の場合には複数のメモリランクは、読出し動作の対象となる読出しターゲットメモリランク及びそれ以外のノン・ターゲットメモリランクに区分される。以下、前記書込みターゲットメモリランク又は読出しターゲットメモリランクは何れも単にターゲットメモリランクと称される。

10

【0015】

図2を参照すると、マルチ・ランクシステムがパワーオンされる時点T1で、全てのメモリランクのオン・ダイターミネーション回路を初期状態にイネーブルする。一実施形態で、前記複数のメモリランクのオン・ダイターミネーション回路は前記初期状態で全て同一の第1抵抗値を有する。図2にはオン・ダイターミネーション回路の初期状態へのイネーブル時点がパワーオン時点と一致するものとして図示されているが、パワーオン過程が完了した後、一定の時差をおいてオン・ダイターミネーション回路が初期状態にイネーブルされ得る。

20

【0016】

書込み動作が遂行される時間区間（time\_interval）T2～T3及びT4～T5で、書込みターゲットメモリランク及びノン・ターゲットメモリランクを含む全てのメモリランクのオン・ダイターミネーション回路はイネーブルされた状態を維持する。一実施形態で、書込み動作が遂行される間中、書込みターゲットメモリランク及びノン・ターゲットメモリランクを含む全てのメモリランクのオン・ダイターミネーション回路は、前記第1抵抗値を有する前記初期状態をそのまま維持する。他の実施形態で、書込み動作が遂行される間中、書込みターゲットメモリランクは、前記第1抵抗値から第2抵抗値へ変更され、ノン・ターゲットメモリランクのオン・ダイターミネーション回路は前記第1抵抗値を有する前記初期状態をそのまま維持する。

30

【0017】

読出し動作が遂行される時間区間T6～T7で、読出しターゲットメモリランクのオン・ダイターミネーション回路はディスエーブルされ、ノン・ターゲットメモリランクのオン・ダイターミネーションはイネーブルされる。一実施形態で、読出し動作が遂行される間中、ノン・ターゲットメモリランクのオン・ダイターミネーション回路は、前記第1抵抗値を有する前記初期状態をそのまま維持する。

図2には読出しターゲットメモリランクのオン・ダイターミネーション回路がディスエーブルされる時間区間と読出し動作が遂行される時間区間とが一致するものとして図示されているが、読出しターゲットメモリランクのオン・ダイターミネーション回路がディスエーブルされる時間区間は読出し動作が遂行される時間区間に含まれ得る。即ち、少なくともデータ入出力ピンを通じてデータが実際に入出力される間のみ、読出しターゲットメモリランクのオン・ダイターミネーション回路がディスエーブルされれば充分であり得る。

40

【0018】

マルチ・ランクシステムがパワー・オフされる時点T8で、電力供給が中断され、全てのメモリランクのオン・ダイターミネーション回路がディスエーブルされる。

【0019】

ターゲットメモリランクのオン・ダイターミネーション回路のみをイネーブルし、ノン・ターゲットメモリランクのオン・ダイターミネーション回路をディスエーブルする場合には、ノン・ターゲットメモリランクにインジェクション（注入）された信号の伝搬波動（

50

w a v e ) が終端されないのでジッター ( j i t t e r ) を発生させ、信号品位が低下することがある。一方、本発明の実施形態に係るオン - ダイターミネーションの制御方法では、書込みターゲットメモリランクの場合を除いては、オン - ダイターミネーションを常にイネーブルすることによって、信号品位を向上できる。ノン - ターゲットメモリランクのオン - ダイターミネーション回路を常にイネーブルしても後述するシュード - オープンドレインターミネーションの場合にはスタンバイ電力消費が発生しない。

【 0 0 2 0 】

一方、ノン - ターゲットメモリランクのオン - ダイターミネーション回路を書込み動作ではイネーブルし、読出し動作ではディスエーブルする場合には、全てのメモリランクが書込みコマンド及び読出しコマンドを受信してデコーディングするように待機しなければならないので、パワーダウンモードへの進入が困難になり、スタンバイ電力が増加する。一方、本発明の実施形態に係るオン - ダイターミネーションの制御方法では、ノン - ターゲットメモリランクに対する書込み動作及び読出し動作全てに対してオン - ダイターミネーション回路のイネーブル状態を維持するので、パワーダウンモードへの進入が容易であり、従って、スタンバイ電力を減少できる。一実施形態で、複数のメモリランクはメモリコントローラから提供されるランク選択信号の各々に基づいて自身がターゲットメモリランクに該当するか否かが分かる。この場合、スタンバイ状態では全てのメモリランクがパワーダウンモードに進入し、活性化 ( イネーブル ) されたランク選択信号に相応するターゲットメモリランクのみパワーダウンモードからノーマル動作モードにウェークアップできる。残りのノン - ターゲットメモリランクは、オン - ダイターミネーションのイネーブル状態を変更する必要がないので、パワーダウンモードをそのまま維持できる。

【 0 0 2 1 】

このように、本発明の実施形態に係るマルチオン - ダイターミネーションの制御方法、これを遂行する装置、及びシステムは、ターゲットメモリランク及びノン - ターゲットメモリランクのオン - ダイターミネーション回路のイネーブルされた初期状態を維持し、かつ読出し動作の対象となる読出しターゲットメモリランクのオン - ダイターミネーション回路のみをディスエーブルする静的制御を通じて消費電力を減少し、信号品位を向上できる。

【 0 0 2 2 】

図 1 及び 2 を参照して、マルチ - ランクシステムのオン - ダイターミネーションの制御方法を説明したが、本発明の実施形態は単一ランクシステム又は 1 つのメモリ装置を含むシステムにも適用できる。

【 0 0 2 3 】

単一ランクシステムの場合には 1 つのメモリランク又は 1 つのメモリ装置が書込み動作又は読出し動作時、常にターゲットメモリランクに該当する。本発明の実施形態に従って、パワーオン時、前記メモリ装置のオン - ダイターミネーション回路を初期状態にイネーブルすることができる。メモリ装置のオン - ダイターミネーションの制御方法として、前記メモリ装置に対する書込み動作を遂行する間中、前記メモリ装置のオン - ダイターミネーション回路をイネーブルする。前記メモリ装置に対する読出し動作を遂行する間中、前記メモリ装置のオン - ダイターミネーション回路をディスエーブルする。

【 0 0 2 4 】

図 3 は、本発明の実施形態に係るマルチ - ランクシステムを示すブロック図である。

【 0 0 2 5 】

図 3 を参照すると、マルチ - ランクシステム 10 は、メモリコントローラ 20 及びメモリサブシステム 30 を含む。メモリサブシステム 30 は複数のメモリランク ( M R K 1 ~ M R K M ) を含み、メモリランク ( M R K 1 ~ M R K M ) の各々は少なくとも 1 つのメモリ装置 ( M E M ) を含む。メモリコントローラ 20 とメモリサブシステム 30 は相互間の通信のためのインタフェースを各々含む。前記インタフェースは、コマンド ( C M D ) 、アドレス ( A D D R ) 、制御信号 ( C T R L ) などを転送するためのコントロールバス及びデータ ( D A T A ) を転送するためのデータバスを通じて連結される。

一実施形態で、コマンド ( C M D ) はアドレス ( A D D R ) を含むと見做される。メモリ

10

20

30

40

50



コントローラ 20 は、メモリサブシステム 30 を制御するためのコマンド信号 (CMD) 及び制御信号 (CTRL) を発生し、メモリコントローラ 20 の制御に従ってメモリサブシステム 30 にデータ (DATA) が書込まれるか、又はメモリサブシステム 30 からデータ (DATA) が読出される。

本発明の実施形態に従って、パワーオン時、メモリバンク (RNK1 ~ RNKM) のオン - ダイターミネーション回路は初期状態にイネーブルされ、メモリバンク (MRK1 ~ MRKM) のうち、書込みターゲットメモリバンクに対する書込み動作を遂行する間中、メモリバンク (MRK1 ~ MRKM) のオン - ダイターミネーション回路はイネーブルされ、メモリバンク (MRK1 ~ MRKM) のうち、読出しターゲットメモリバンクに対する読出し動作を遂行する間中、前記読出しターゲットメモリバンクのオン - ダイターミネーション回路はディスエーブルされる。

10

#### 【0026】

図 4 は、図 3 のマルチ - バンクシステムに含まれるメモリ装置の一実施形態を示すブロック図である。

#### 【0027】

図 4 を参照すると、メモリ装置 400 は、制御ロジック 410、アドレスレジスタ 420、バンク制御ロジック 430、ロウアドレスマルチプレクサ (RA\_MUX) 440、リフレッシュカウンタ 445、ロウデコード 460、カラムデコード 470、メモリセルアレイ 480、センスアンプ部 485、入出力ゲーティング回路 490、及びデータ入出力回路 500 を含む。

20

#### 【0028】

メモリセルアレイ 480 は、複数のバンクアレイ 480a ~ 480h を含む。ロウデコード 460 は複数のバンクアレイ 480a ~ 480h に各々連結された複数のバンクロウデコード 460a ~ 460h を含み、カラムデコード 470 は複数のバンクアレイ 480a ~ 480h に各々連結された複数のカラムデコード 470a ~ 470h を含み、センスアンプ部 485 は複数のバンクアレイ 480a ~ 480h に各々連結された複数のセンスアンプ 485a ~ 485h を含む。

#### 【0029】

アドレスレジスタ 420 は、メモリコントローラからバンクアドレス (BANK\_ADDR)、ロウアドレス (ROW\_ADDR)、及びカラムアドレス (COL\_ADDR) を含むアドレス (ADD) を受信する。アドレスレジスタ 420 は、受信されたバンクアドレス (BANK\_ADDR) をバンク制御ロジック 430 に提供し、受信されたロウアドレス (ROW\_ADDR) をロウアドレスマルチプレクサ (RA\_MUX) 440 に提供し、受信されたカラムアドレス (COL\_ADDR) をカラムデコード 470 に提供する。

30

#### 【0030】

バンク制御ロジック 430 は、バンクアドレス (BANK\_ADDR) に応答してバンク制御信号を生成する。前記バンク制御信号に応答して、複数のバンクロウデコード 460a ~ 460h のうち、バンクアドレス (BANK\_ADDR) に相応するバンクロウデコードが活性化され、複数のバンクカラムデコード 470a ~ 470h のうち、バンクアドレス (BANK\_ADDR) に相応するバンクカラムデコードが活性化される。

40

#### 【0031】

ロウアドレスマルチプレクサ 440 は、アドレスレジスタ 220 からロウアドレス (ROW\_ADDR) を受信し、リフレッシュカウンタ 445 からリフレッシュロウアドレス (REF\_ADDR) を受信する。ロウアドレスマルチプレクサ 440 は、ロウアドレス (ROW\_ADDR) 又はリフレッシュロウアドレス (REF\_ADDR) をロウアドレス (RA) として選択的に出力することができる。ロウアドレスマルチプレクサ 440 から出力されたロウアドレス (RA) はバンクロウデコード 460a ~ 460h に各々印加される。

#### 【0032】

バンクロウデコード 460a ~ 460h のうち、バンク制御ロジック 430 により活性化

50

されたバンクrouデコーダは、ロウアドレスマルチプレクサ440から出力されたロウアドレス(RA)をデコーディングして前記ロウアドレスに相応するワードラインを活性化する。例えば、前記活性化されたバンクrouデコーダはロウアドレスに相応するワードラインにワードライン駆動電圧を印加する。

【0033】

カラムデコーダ470は、カラムアドレスラッチ(図示せず)を含む。カラムアドレスラッチは、アドレスレジスタ420からカラムアドレス(COL\_\_ADDR)を受信し、受信されたカラムアドレス(COL\_\_ADDR)を一時的に格納する。また、カラムアドレスラッチは、バストモード(burst mode)で、受信されたカラムアドレス(COL\_\_ADDR)を徐々に増加する。カラムアドレスラッチは一時的に格納された又は徐々に増加したカラムアドレス(COL\_\_ADDR)をバンクカラムデコーダ470a~470hに各々印加する。

10

【0034】

バンクカラムデコーダ470a~470hのうち、バンク制御ロジック430により活性化されたバンクカラムデコーダは、入出力ゲーティング回路490を通じてバンクアドレス(BANK\_\_ADDR)及びカラムアドレス(COL\_\_ADDR)に相応するセンスアンプを活性化する。

【0035】

入出力ゲーティング回路490は、入出力データをゲーティングする回路と共に、入力データマスキロジック、バンクアレイ480a~480hから出力されたデータを格納するための読出しデータラッチ、及びバンクアレイ480a~480hにデータを書込むための書込みドライバを含む。

20

【0036】

バンクアレイ480a~480hのうち、1つのバンクアレイから読出されるデータ(DQ)は前記1つのバンクアレイに相応するセンスアンプにより感知され、前記読出しデータラッチに格納される。前記読出しデータラッチに格納されたデータ(DQ)は、データ入出力回路500を通じてメモリコントローラ20に提供される。バンクアレイ480a~480hのうち、1つのバンクアレイに書き込まれるデータ(DQ)は、前記メモリコントローラ20からデータ入出力回路500に提供される。データ入出力回路500に提供されたデータ(DQ)は、前記書込みドライバを通じて前記1つのバンクアレイに書込まれる。

30

【0037】

制御ロジック410は、メモリ装置400の動作を制御する。例えば、制御ロジック410はメモリ装置400が書込み動作又は読出し動作を遂行するように制御信号を生成する。制御ロジック410は、メモリコントローラから受信されるコマンド(CMD)をデコーディングするコマンドデコーダ411及びメモリ装置400の動作条件を設定するためのモードレジスタ(mode\_\_register)412を含む。

【0038】

図5は、図4のメモリ装置に含まれるデータ入出力回路500の一実施形態を示すブロック図である。

40

【0039】

図5を参照すると、データ入出力回路500は、オン-ダイターミネーション(ODT)回路300、データ入出力ピン600、送信ドライバ(DR)710、及び受信バッファ(BF)720を含む。送信ドライバ710は読出しデータに基づいてデータ入出力ピン600を駆動し、受信バッファ720はデータ入出力ピン600を通じて提供される書込みデータを受信する。

【0040】

ODT回路300は、終端制御部310及び終端抵抗部350を含む。終端抵抗部350はデータ入出力ピン600に連結され、データ入出力ピン600に連結された転送線に終端抵抗を提供する。本発明の実施形態に係るオン-ダイターミネーショ

50

ンの制御方法は、メモリコントローラ 20 とメモリ装置 30 との間の双方向 (bidirectional) 通信を遂行する入出力ピンのオン - ダイターミネーションを制御する場合に適用できる。従って、本発明の実施形態に係るオン - ダイターミネーションの制御方法は、データ入出力ピン 600 だけでなくデータストロブ (data\_strobe) ピン、データマスク (datamask) ピン、終端データストロブ (termination\_data\_strobe) ピンのオン - ダイターミネーションにも適用できる。メモリコントローラ 20 からメモリ装置 30 への単方向通信を遂行するアドレス及びコマンドピンに対するオン - ダイターミネーションは、本発明の範疇から除外される。ここで、“ピン”という用語は、集積回路に対する電氣的相互接続を幅広く示すものであって、例えばパッド又は集積回路上の他の電氣的接触点を含む。

10

#### 【0041】

終端抵抗部 350 は、電源電圧とデータ入出力ピン 600 との間に終端抵抗を提供するプル - アップターミネーション動作及び / 又は接地電圧と入出力ピン 600 との間に終端抵抗を提供するプル - ダウンターミネーション動作を遂行する。プル - アップターミネーション動作及びプル - ダウンターミネーション動作の双方を遂行するセンター - タップターミネーション (CTT: center - tapped\_termination) は図 15 及び図 16 を参照して後述し、プル - ダウンターミネーション動作のみを遂行する第 1 シュード - オープンドレイン (POD: pseudo - open\_drain) ターミネーションは図 17 及び図 18 を参照して後述し、プル - アップターミネーション動作のみを遂行する第 2 シュード - オープンドレインターミネーションは図 19 及び図 20 を参照して後述する。

20

#### 【0042】

一方、図 5 には終端抵抗部 350 が別途に備えられた実施形態を図示したが、別の実施形態に従っては、送信ドライバ (DR) 710 内の信号ドライバ (図示せず) 自体が終端抵抗の役割を遂行する。例えば、データ書込み動作時、受信バッファ 720 はイネーブルされてデータを受信し、送信ドライバ (DR) 710 はデータを転送せず、終端抵抗部の役割を遂行する。

#### 【0043】

終端抵抗部 350 が前記プル - アップターミネーション動作を遂行する場合、データ入出力ピン 600 に連結された前記転送線の電圧は電源電圧に維持される。これによって、前記転送線にローレベルを有するデータが転送される時のみに終端抵抗部 350 及び前記転送線に電流が流れる。一方、終端抵抗部 350 が前記プル - ダウンターミネーション動作を遂行する場合、データ入出力ピン 600 に連結された前記転送線の電圧は接地電圧に維持される。これによって、前記転送線にハイレベルを有するデータが転送される時のみに終端抵抗部 350 及び前記転送線に電流が流れる。

30

#### 【0044】

終端制御部 310 は、ストレングス (strength) コード (SCD) 及び出力イネーブル信号 (OEN) に基づいて終端抵抗部 350 を制御する終端制御信号 (TCS) を生成することができる。

#### 【0045】

一実施形態で、ストレングスコード (SCD) はデータレート (data\_rate) に関連する複数ビットである。ここで、データレートはメモリ装置の動作周波数 (operating\_frequency)、即ちデータ入出力ピン 600 を通じて送受信されるデータのトグルレートを意味する。図 23 及び図 24 を参照して後述するように、複数ビットのストレングスコード (SCD) は図 4 のモードレジスタ 412 に格納された値に基づいて提供される。

40

#### 【0046】

出力イネーブル信号 (OEN) は、データ入出力ピン 600 に連結された転送線を通じてデータが出力される読出しモード (read\_mode) において活性化される。出力イネーブル信号 (OEN) が活性化された場合、終端制御部 310 は前記終端抵抗を提供し

50

ないように終端抵抗部 350 を制御する終端制御信号 (TCS) を生成する。例えば、終端制御部 310 は活性化された出力イネーブル信号 (OEN) に応答して所定のロジックレベルを有する終端制御信号 (TCS) を生成し、終端抵抗部 350 は前記所定のロジックレベルを有する終端制御信号 (TCS) に応答して終端抵抗部 350 とデータ入出力ピン 600 の電氣的な連結を切断する。このように、終端抵抗部 350 とデータ入出力ピン 600 との電氣的な連結が切断された時、オン - ダイターミネーション回路 300 又は終端抵抗部 350 が「ディスエーブルされた」と言われる。

#### 【0047】

書込みモードにおいて出力イネーブル信号 (OEN) が不活性化 (ディスエーブル) された場合、終端制御部 310 は前記終端抵抗を提供するように終端抵抗部 350 を制御する終端制御信号 (TCS) を生成する。終端制御部 310 はストレングスコード (SCD) に応答して前記終端抵抗の抵抗値を可変するように終端制御信号 (TCS) のロジックレベルを変更する。

10

#### 【0048】

図 6 は、図 5 のデータ入出力回路に含まれるオン - ダイターミネーション回路の一実施形態を示す回路図である。

#### 【0049】

図 6 を参照すると、オン - ダイターミネーション回路 300 はプルアップ終端制御部 330、プルダウン終端制御部 340、プルアップ終端抵抗部 360、及びプルダウン終端抵抗部 370 を含むことができる。

20

#### 【0050】

プルアップ終端制御部 330 は第 1 ~ 第 3 選択器 334 ~ 336 を含み、プルダウン終端制御部 340 は第 4 ~ 第 6 選択器 344 ~ 346 を含む。プルアップ終端抵抗部 360 は、第 1 ~ 第 3 の PMOS トランジスタ 361 ~ 363 及び第 1 ~ 第 3 抵抗 (R1、R2、R3) を含む。第 1 ~ 第 3 の PMOS トランジスタ 361 ~ 363 は電源電圧 (VDDQ) に連結され、第 1 ~ 第 3 抵抗 (R1、R2、R3) は各々第 1 ~ 第 3 の PMOS トランジスタ 361 ~ 363 の各々とデータ入出力ピン 600 との間に連結される。プルダウン終端抵抗部 370 は、第 1 ~ 第 3 の NMOS トランジスタ 371 ~ 373 及び第 4 ~ 第 6 抵抗 (R4、R5、R6) を含む。第 1 ~ 第 3 の NMOS トランジスタ 371 ~ 373 は各々接地電圧 (VSSQ) に連結され、第 4 ~ 第 6 抵抗 (R4、R5、R6) は第 1 ~ 第 3 の NMOS トランジスタ 371 ~ 373 の各々とデータ入出力ピン 600 との間に連結される。

30

#### 【0051】

第 1 ~ 第 3 選択器 334 ~ 336 の各々は選択信号として出力イネーブル信号 (OEN) を受信し、電源電圧 (VDDQ) を第 1 入力信号として受信し、第 1 ~ 第 3 ストレングスコードビット (SCD1、SCD2、SCD3) を第 2 入力信号として受信することができる。第 4 ~ 第 6 選択器 344 ~ 346 の各々は選択信号として出力イネーブル信号 (OEN) を受信し、接地電圧 (VSSQ) を第 1 入力信号として受信し、第 4 ~ 第 6 ストレングスコードビット (SCD4、SCD5、SCD6) を第 2 入力信号として受信することができる。

40

#### 【0052】

読出しモードで出力イネーブル信号 (OEN) が活性化されれば、第 1 ~ 第 3 選択器 334 ~ 336 の各々はハイレベルの第 1 ~ 第 3 終端制御信号 (TCS1、TCS2、TCS3) を出力し、第 4 ~ 第 6 選択器 344 ~ 346 の各々はローレベルの第 4 ~ 第 6 終端制御信号 (TCS4、TCS5、TCS6) を出力する。従って、ハイレベルの第 1 ~ 第 3 終端制御信号 (TCS1、TCS2、TCS3) により第 1 ~ 第 3 の PMOS トランジスタ 361 ~ 363 がターン - オフされ、ローレベルの第 4 ~ 第 6 終端制御信号 (TCS4、TCS5、TCS6) により第 1 ~ 第 3 の NMOS トランジスタ 371 ~ 373 がターン - オフされる。これによって、データ入出力ピン 600 は電源電圧 (VDDQ) 及び接地電圧 (VSSQ) から電氣的に遮断される。結果的に、読出しモードでオン - ダイター

50

ミネーション回路 300 はディスエーブルされる。

【0053】

書込みモードで出力イネーブル信号 (OEN) が不活性化されれば、第 1 ~ 第 3 選択器 334 ~ 336 の各々は第 1 ~ 第 3 ストレングスコードビット (SCD1、SCD2、SCD3) を第 1 ~ 第 3 終端制御信号 (TCS1、TCS2、TCS3) としてプルアップ終端抵抗部 360 に出力し、第 4 ~ 第 6 選択器 344 ~ 346 の各々は第 4 ~ 第 6 ストレングスコードビット (SCD4、SCD5、SCD6) を第 4 ~ 第 6 終端制御信号 (TCS4、TCS5、TCS6) としてプルダウン終端抵抗部 370 に出力する。

【0054】

前述したように、複数ビットのストレングスコード (SCD)、即ちストレングスコードビット (SCD1 ~ SCD6) はデータレート (data\_rate)、即ち動作周波数 (FOP、データのトグルレート) を反映する。データレートが高い場合には終端抵抗を減少して速い時間にチャンネルを充放電する。また、データレートが低い場合には終端抵抗を増加してチャンネルに沿って流れる DC 電流を減少させて電流消費を減少する。

【0055】

図 6 で、第 1 ~ 第 6 抵抗 (R1 ~ R6) は各々 1 つの抵抗として図示されているが、実施形態によっては第 1 ~ 第 6 抵抗 (R1 ~ R6) の各々は、並列連結された複数の抵抗及び前記抵抗の連結を制御するためのトランジスタの組み合わせにより具現される。

【0056】

図 6 を参照して図 15 及び図 16 のセンター - タップターミネーション (CTT: center-tapped\_termination) に該当する構成を説明したが、これからシュード - オープンドレイン (POD: pseudo-open\_drain) ターミネーション構成が理解できよう。即ち、図 6 でプルアップ終端制御部 330 及びプルアップ終端抵抗部 360 を省略した構成は、図 17 及び図 18 の第 1 の POD ターミネーションに対応し、図 6 でプルダウン終端制御部 340 及びプルダウン終端抵抗部 370 を省略した構成は図 19 及び図 20 の第 2 の POD ターミネーションに対応する。

【0057】

図 7、図 8、及び図 9 は、本発明の実施形態に係る書込み動作におけるオン - ダイターミネーションの制御方法を示す図である。

【0058】

図 7 に図示したように、メモリコントローラ (MC) はデータ入出力ピン (PAD C、PAD1 ~ PAD M) と転送ライン TL を通じて複数のメモリランク (RNK1 ~ RNK M) に並列連結される。転送ライン TL は共通ノード (NC) において複数のメモリランク (RNK1 ~ RNK M) のデータ入出力ピン (PAD1 ~ PAD M) に分岐する。

【0059】

図 7 には第 1 メモリランク (RNK1) が書込みターゲットメモリランクに該当し、第 2 ~ 第 M メモリランク (RNK2 ~ RNK M) がノン - ターゲットメモリランクに該当する例が図示されており、イネーブルされる構成要素が斜線で表示 (ハッチ) されている。

【0060】

書込み動作では、データ送信装置に相当するメモリコントローラ (MC) の送信ドライバ (DR0) がイネーブルされ、受信バッファ (BF0) がディスエーブルされる。また、データ受信装置に相当するターゲットメモリランク (RNK1) の受信バッファ (BF1) がイネーブルされ、ターゲットメモリランク (RNK1) の送信ドライバ (DR1)、ノン - ターゲットメモリランク (RNK2 ~ RNK M) の受信バッファ (BF2 ~ BF M)、及び送信ドライバ (DR2 ~ DR M) はディスエーブルされる。

【0061】

本発明の実施形態に従って書込み動作を遂行する間中、書込みターゲットメモリランク (RNK1) のオン - ダイターミネーション回路 (TER1) 及びノン - ターゲットメモリランク (RNK2 ~ RNK M) のオン - ダイターミネーション回路 (TER2 ~ TER M) が全てイネーブルされる。一方、メモリコントローラ (MC) のオン - ダイターミネー

10

20

30

40

50

ション回路 (TER0) はディスエーブルされる。メモリコントローラ (MC) の送信ドライバ (DR0) から全てのオン - ダイターミネーション回路 (TER1 ~ TERM) まで電流経路 (current\_\_path) が形成され、結果的に、信号反射を抑制して信号品位を向上できる。

【0062】

図8及び図9を参照すると、時点 (Ta0 ~ Tf1) は動作クロック信号対 (CK\_\_T、CK\_\_C) のエッジに対応する。第1ランク選択信号 (CS\_\_RNK1) 及び第1コマンド信号 (CMD\_\_RNK1) は第1メモリランク (RNK1) に専属し (dedicated)、第2ランク選択信号 (CS\_\_RNK2) 及び第2コマンド信号 (CMD\_\_RNK2) は第2メモリランク (RNK2) に専属する。データストロブ信号対 (WCK\_\_T、WCK\_\_C) とデータ信号 (DQ[15:0]) はメモリコントローラ (MC) からターゲットメモリランク (RNK1) に提供される。

10

ODT\_\_RNK1は第1メモリランク (RNK1) のオン - ダイターミネーション状態を示し、ODT\_\_RNK2は第2メモリランク (RNK2) のオン - ダイターミネーション状態を示す。DESは非選択 (deselect) を示す。TRANSITIONはオン - ダイターミネーション状態の変更時、過渡期区間を示す。

【0063】

図8及び図9は、第1メモリランク (RNK1) がターゲットメモリランクに該当し、第2メモリランク (RNK2) がノン - ターゲットメモリランクに該当する場合の書込み動作を示す。従って、第1ランク選択信号 (CS\_\_RNK1) が活性化される間中、第1コマンド信号 (CMD\_\_RNK1) を通じてCASコマンド (CAS) 及び書込みコマンド (WR) が転送され、第2ランク選択信号 (CS\_\_RNK2) 及び第2コマンド信号 (CMD\_\_RNK2) は不活性化された状態を維持する。

20

【0064】

本発明の実施形態に従って、書込み動作を遂行する間中、ターゲットメモリランク (RNK1) 及びノン - ターゲットメモリランク (RNK2) のオン - ダイターミネーション回路はイネーブルされる。

一実施形態において、図8に図示したように、書込み動作のためのデータ信号 (DQ[15:0]) がトグルリングする間中、ノン - ターゲット (NT) メモリランク (RNK2) 及びターゲット (TG) メモリランク (RNK1) のオン - ダイターミネーション回路は、全て前述した初期状態、即ち、ノン - ターゲットODT状態 (NT - ODT) をそのまま維持する。

30

他の実施形態において、図9に図示したように、書込み動作のためのデータ信号 (DQ[15:0]) がトグルリングする間中、ノン - ターゲットメモリランク (RNK2) のオン - ダイターミネーション回路は、前述した初期状態 (NT - ODT) をそのまま維持し、ターゲットメモリランク (RNK1) は初期状態 (NT - ODT) と相異なる抵抗値を有する他の状態、即ち、ターゲットODT (TG - ODT) に変更される。

【0065】

図10及び図11は、本発明の実施形態に係る読出し動作でのオン - ダイターミネーションの制御方法を示す図である。

40

【0066】

図10に図示したように、メモリコントローラ (MC) はデータ入出力ピン (PAD0、PAD1 ~ PADM) と転送ライン (TL) を通じて複数のメモリランク (RNK1 ~ RNKM) に並列連結できる。転送ライン (TL) は、共通ノード (NC) で複数のメモリランク (RNK1 ~ RNKM) のデータ入出力ピン (PAD1 ~ PADM) に分岐する。

【0067】

図10には第1メモリランク (RNK1) が読出しターゲットメモリランクに該当し、第2 ~ 第Mメモリランク (RNK2 ~ RNKM) がノン - ターゲットメモリランクに該当する例が図示されており、イネーブルされる構成要素が斜線で表示されている。

【0068】

50

読出し動作では、データ受信装置に相応するメモリコントローラ（MC）の送信ドライバ（DR0）がディスエーブルされ、受信バッファ（BF0）がイネーブルされる。また、データ送信装置に相応するターゲットメモリランク（RNK1）の送信ドライバ（DR1）がイネーブルされ、ターゲットメモリランク（RNK1）の受信バッファ（BF1）、ノン-ターゲットメモリランク（RNK2～RNKM）の受信バッファ（BF2～BFM）、及び送信ドライバ（DR2～DRM）はディスエーブルされる。

#### 【0069】

本発明の実施形態に従って読出し動作を遂行する間中、書込みターゲットメモリランク（RNK1）のオン-ダイターミネーション回路（TER1）はディスエーブルされ、ノン-ターゲットメモリランク（RNK2～RNKM）のオン-ダイターミネーション回路（TER2～TERM）はイネーブルされる。一方、メモリコントローラ（MC）のオン-ダイターミネーション回路（TER0）はイネーブルされる。ターゲットメモリランク（RNK1）の送信ドライバ（DR1）からメモリコントローラ（MC）のオン-ダイターミネーション回路（TER0）及びノン-ターゲットメモリランクのオン-ダイターミネーション回路（TER2～TERM）まで電流経路（current\_path）が形成され、結果的に信号反射を抑制して信号品位を向上できる。

#### 【0070】

図11で、時点（Ta0～Tf1）は動作クロック信号対（CK\_\_T、CK\_\_C）のエッジに該当する。第1ランク選択信号（CS\_\_RNK1）及び第1コマンド信号（CMD\_\_RNK1）は第1メモリランク（RNK1）に専属し（dedicated）、第2ランク選択信号（CS\_\_RNK2）及び第2コマンド信号（CMD\_\_RNK2）は第2メモリランク（RNK2）に専属される。データストローブ信号対（WCK\_\_T、WCK\_\_C）とデータ信号（DQ[15:0]）はターゲットメモリランク（RNK12）からメモリコントローラ（MC）に提供される。ODT\_\_RNK1は第1メモリランク（RNK1）のオン-ダイターミネーション状態を示し、ODT\_\_RNK2は第2メモリランク（RNK2）のオン-ダイターミネーション状態を示す。DESは非選択（deselect）を示す。TRANSITIONは、オン-ダイターミネーション状態の変更時、過渡期区間を示す。

#### 【0071】

図11は、第1メモリランク（RNK1）がターゲットメモリランクに該当し、第2メモリランク（RNK2）がノン-ターゲットメモリランクに該当する場合の読出し動作を示す。従って、第1ランク選択信号（CS\_\_RNK1）が活性化される間中、第1コマンド信号（CMD\_\_RNK1）を通じてCASコマンド（CAS）及び読出しコマンド（RD）が転送され、第2ランク選択信号（CS\_\_RNK2）及び第2コマンド信号（CMD\_\_RNK2）は不活性化された状態を維持する。

#### 【0072】

本発明の実施形態に従って、読出し動作を遂行する間中、ターゲットメモリランク（RNK1）のオン-ダイターミネーション回路はディスエーブルされ、ノン-ターゲットメモリランク（RNK2）のオン-ダイターミネーション回路はイネーブルされる。

一実施形態において、図11に図示したように、書込み動作のためのデータ信号（DQ[15:0]）がトグリングする間中、ノン-ターゲットメモリランク（RNK2）のオン-ダイターミネーション回路は前述した初期状態（NT-ODT）をそのまま維持し、ターゲットメモリランク（RNK1）はディスエーブルされた状態（NT-ODT-OFF）に変更される。

#### 【0073】

図12は、本発明の実施形態に係るオン-ダイターミネーションの制御方法に適用される抵抗設定の一実施形態を示す図である。

#### 【0074】

図12を参照すると、読出し動作でターゲットメモリランク（RNK\_\_TG）のオン-ダイターミネーション回路はディスエーブルされ、ノン-ターゲットメモリランク（RNK

10

20

30

40

50

\_\_NT) 及びメモリコントローラ (MC) のオン - ダイターミネーション回路は第 1 抵抗値 ( $M * R_{tt}$ ) を有する。書込み動作でターゲットメモリランク (RNK\_\_TG) 及びノン - ターゲットメモリランク (RNK\_\_NT) のオン - ダイターミネーション回路は、第 1 抵抗値 ( $M * R_{tt}$ ) を有する。第 1 抵抗値 ( $M * R_{tt}$ ) は、前述した初期状態の抵抗値に該当する。結果的に、図 8 を参照して説明したように、書込み動作を遂行する間中、ターゲットメモリランク (RNK\_\_TG) 及びノン - ターゲットメモリランク (RNK\_\_NT) のオン - ダイターミネーション回路は、第 1 抵抗値 ( $M * R_{tt}$ ) を有する前記初期状態をそのまま維持する。

#### 【0075】

図 13 は、図 12 の抵抗設定に相応する、書込み動作におけるターミネーション回路の等価抵抗を説明するための図である。

10

#### 【0076】

図 13 を参照すると、メモリコントローラ (MC) からターゲットメモリランク (RNK1) にデータが転送される書込み動作が遂行される間中、ターゲットメモリランク (RNK1) 及びノン - ターゲットメモリランク (RNK2 ~ RNKM) のオン - ダイターミネーション回路が全て第 1 抵抗値 ( $M * R_{tt}$ ) を有することができる。複数のメモリランク (RNK1 ~ RNKM) の個数が M の場合、共通ノード (NC) と電源電圧 ( $V_{DDQ}$ ) との間には第 1 抵抗値 ( $M * R_{tt}$ ) を有する M 個の抵抗が並列連結され、結果的に共通ノード (NC) と電源電圧 ( $V_{DDQ}$ ) との間の等価抵抗は  $R_{tt}$  に相応する。同様に、共通ノード (NC) と接地電圧 ( $V_{SSQ}$ ) との間の等価抵抗は  $R_{tt}$  に相応する。このような等価抵抗 ( $R_{tt}$ ) に該当する多様なターミネーション方式については図 15 から図 20 を参照して後述する。

20

#### 【0077】

図 14 は、図 12 の抵抗設定に相応する読出し動作でのターミネーション回路の等価抵抗を説明するための図である。

#### 【0078】

図 14 を参照すると、ターゲットメモリランク (RNK1) からメモリコントローラ (MC) にデータが転送される読出し動作が遂行される間中、ターゲットメモリランク (RNK1) のオン - ダイターミネーション回路はディスエーブルされ、メモリコントローラ (MC) 及びノン - ターゲットメモリランク (RNK2 ~ RNKM) のオン - ダイターミネーション回路は全て第 1 抵抗値 ( $M * R_{tt}$ ) を有する。複数のメモリランク (RNK1 ~ RNKM) の個数が M の場合、共通ノード (NC) と電源電圧 ( $V_{DDQ}$ ) との間には第 1 抵抗値 ( $M * R_{tt}$ ) を有する M 個の抵抗が並列連結され、結果的に共通ノード (NC) と電源電圧 ( $V_{DDQ}$ ) との間の等価抵抗は  $R_{tt}$  に相応する。同様に、共通ノード (NC) と接地電圧 ( $V_{SSQ}$ ) との間の等価抵抗は  $R_{tt}$  に相応する。このような等価抵抗 ( $R_{tt}$ ) に該当する多様なターミネーション方式に対して図 15 から図 20 を参照して後述する。図 15 から図 20 の構成はターミネーション方式を説明するためのものであり、送信ドライバターミネーション回路などを図示した構成に限定されない。例えば、トランジスタの N - タイプ及び P - タイプを変更でき、送信ドライバにパワーゲーティングのためのトランジスタを追加できる。

30

40

#### 【0079】

図 15 及び図 16 は、センター - タップターミネーション (CTT: center - tapped termination) を説明するための図である。

#### 【0080】

図 15 を参照すると、送信装置の送信ドライバ 70 は内部回路からの送信信号 (ST) に基づいて入出力パッド (PADH) を駆動する。送信装置の入出力パッド (PADH) は、転送ライン (TL) を通じて受信装置の入出力パッド (PADS) に連結される。受信装置の入出力パッド (PADS) にはインピーダンスマッチングのために、CTT 方式のターミネーション回路 (80) が連結される。受信装置の受信バッファ (BF) は、入出力パッド (PADS) を通じて入力される入力信号 (SI) を基準電圧 ( $V_{REF}$ ) と比

50



較してバッファ信号 (SB) を内部回路に提供する。

#### 【0081】

送信ドライバ70は、電源電圧 (VDDQ) 及び入出力パッド (PADH) の間に連結されたプルアップ部と入出力パッド (PADH) 及び接地電圧 (VSSQ) の間に連結されたプルダウン部を含む。プルアップ部は、送信信号 (ST) に応答してスイッチングされるPMOSトランジスタ (TP1) 及びターンオン抵抗 (RON) を含む。プルダウン部は、送信信号 (ST) に応答してスイッチングされるNMOSトランジスタ (TN1) 及びターンオン抵抗 (RON) を含む。ターンオン抵抗 (RON) は省略可能であり、その場合、ターンオン抵抗 (RON) はトランジスタ (TP1、TN1) の各々がターンオンされる場合の電圧ノード及び入出力ノード (PADH) の間の抵抗で以って代表され得る。

10

#### 【0082】

CTT方式のターミネーション回路80は、第1電源電圧 (VDDQ) 及び入出力パッド (PADS) の間に連結された第1サブターミネーション回路と入出力パッド (PADH) 及び第2電源電圧 (VSSQ) の間に連結された第2サブターミネーション回路を含む。第1サブターミネーション回路は、ロー電圧によりターンオンされるPMOSトランジスタ (TP2) 及び終端抵抗 (Rtt) を含む。第2サブターミネーション回路は、ハイ電圧によりターンオンされるNMOSトランジスタ (TN2) 及び終端抵抗 (Rtt) を含む。終端抵抗 (Rtt) は省略可能であり、その場合、終端抵抗 (Rtt) はトランジスタ (TP2、TN2) の各々がターンオンされる場合の電圧ノード及び入出力ノード (PADS) の間の抵抗で以って代表され得る。

20

#### 【0083】

図15のCTT方式のターミネーション回路80を含む場合、入力信号 (SI) のハイ電圧レベル (VIH) とロー電圧レベル (VIL) は図16に図示した通りである。電源電圧 (VSSQ) を0と仮定し、転送ライン (TL) での電圧降下などを無視すれば、入力信号 (SI) のハイ電圧レベル (VIH) とロー電圧レベル (VIL) 及び最適の基準電圧 (VREF) は<数式1>の通り計算できる。

#### 【0084】

<数式1>

$$V_{IH} = V_{DDQ} * (R_{ON} + R_{tt}) / (2 * R_{ON} + R_{tt})$$

$$V_{IL} = V_{DDQ} * R_{ON} / (2 * R_{ON} + R_{tt})$$

$$V_{REF} = (V_{IH} + V_{IL}) / 2 = V_{DDQ} / 2$$

30

#### 【0085】

図17及び図18は、第1シュード - オープンドレイン (POD: pseudo-open\_drain) ターミネーションを説明するための図である。

#### 【0086】

図17を参照すると、送信装置の送信ドライバ70は内部回路からの送信信号 (ST) に基づいて入出力パッド (PADH) を駆動する。送信装置の入出力パッド (PADH) は転送ライン (TL) を通じて受信装置の入出力パッド (PADS) に連結される。受信装置の入出力パッド (PADS) にはインピーダンスマッチングのために第1のPODターミネーション方式のターミネーション回路81が連結される。受信装置の受信バッファ (BF) は入出力パッド (PADS) を通じて入力される入力信号 (SI) を基準電圧 (VREF) と比較してバッファ信号 (SB) を内部回路に提供する。

40

#### 【0087】

送信ドライバ70は、電源電圧 (VDDQ) 及び入出力パッド (PADH) の間に連結されたプルアップ部と入出力パッド (PADH) 及び接地電圧 (VSSQ) の間に連結されたプルダウン部を含む。プルアップ部は、送信信号 (ST) に応答してスイッチングされるPMOSトランジスタ (TP1) 及びターンオン抵抗 (RON) を含む。プルダウン部は、送信信号 (ST) に応答してスイッチングされるNMOSトランジスタ (TN1) 及びターンオン抵抗 (RON) を含む。ターンオン抵抗 (RON) は省略可能であり、その場合、ターンオン抵抗 (RON) はトランジスタ (TP1、TN1) の各々がターンオン

50

される場合の電圧ノード及び入出力ノード（PADH）の間の抵抗で以って代表され得る。

【0088】

第1のPODターミネーション方式のターミネーション回路81は、ハイ電圧によりターンオンされるNMOSトランジスタ（TN2）及び終端抵抗（Rtt）を含む。終端抵抗（Rtt）は省略可能であり、その場合、終端抵抗（Rtt）はトランジスタ（TN2）がターンオンされる場合の電圧ノード及び入出力ノード（PADS）の間の抵抗で以って代表され得る。

【0089】

図17の第1のPODターミネーション方式のターミネーション回路81を含む場合、入力信号（SI）のハイ電圧レベル（VIH）とロー電圧レベル（VIL）は、図18に図示した通りである。接地電圧（VSSQ）を0と仮定し、転送ライン（TL）での電圧降下などを無視すれば、入力信号（SI）のハイ電圧レベル（VIH）とロー電圧レベル（VIL）及び最適の基準電圧（VREF）は<数式2>の通り計算できる。

【0090】

<数式2>

$$V_{IH} = V_{DDQ} * R_{tt} / (R_{ON} + R_{tt})$$

$$V_{IL} = V_{SSQ} = 0$$

$$V_{REF} = (V_{IH} + V_{IL}) / 2 = V_{DDQ} * R_{tt} / (2 * (R_{ON} + R_{tt}))$$

【0091】

図19及び図20は、第2POD（シュード（擬似）- オープンドレインターミネーション）を説明するための図である。

【0092】

図19を参照すると、送信装置の送信ドライバ70は内部回路からの送信信号（ST）に基づいて入出力パッド（PADH）を駆動する。送信装置の入出力パッド（PADH）は、転送ライン（TL）を通じて受信装置の入出力パッド（PADS）に連結される。受信装置の入出力パッド（PADS）にはインピーダンスマッチングのために第2のPODターミネーション方式のターミネーション回路82が連結される。受信装置の受信バッファ（BF）は入出力パッド（PADS）を通じて入力される入力信号（SI）を基準電圧（VREF）と比較してバッファ信号（SB）を内部回路に提供する。

【0093】

送信ドライバ70は電源電圧（VDDQ）及び入出力パッド（PADH）の間に連結されたプルアップ部と入出力パッド（PADH）及び接地電圧（VSSQ）の間に連結されたプルダウン部を含む。プルアップ部は、送信信号（ST）に応答してスイッチングされるPMOSトランジスタ（TP1）及びターンオン抵抗（RON）を含む。プルダウン部は、送信信号（ST）に応答してスイッチングされるNMOSトランジスタ（TN1）及びターンオン抵抗（RON）を含む。ターンオン抵抗（RON）は省略可能であり、その場合、ターンオン抵抗（RON）はトランジスタ（TP1、TN1）の各々がターンオンする場合の電圧ノード及び入出力ノード（PADH）の間の抵抗で以って代表され得る。

【0094】

第2のPODターミネーション方式のターミネーション回路82は、ロー電圧によりターンオンされるPMOSトランジスタ（TP2）及び終端抵抗（Rtt）を含む。終端抵抗（Rtt）は省略可能であり、その場合、終端抵抗（Rtt）はトランジスタ（TP2）がターンオンされる場合の電圧ノード及び入出力ノード（PADS）の間の抵抗で以って代表され得る。

【0095】

図19の第2のPODターミネーション方式のターミネーション回路82を含む場合、入力信号（SI）のハイ電圧レベル（VIH）とロー電圧レベル（VIL）は、図20に図示した通りである。接地電圧（VSSQ）を0と仮定し、転送ライン（TL）での電圧降下などを無視すれば、入力信号（SI）のハイ電圧レベル（VIH）とロー電圧レベル（VIL）及び最適の基準電圧（VREF）は<数式3>の通り計算できる。

【 0 0 9 6 】

< 数式 3 >

$V_{IH} = V_{DDQ}$

$V_{IL} = V_{DDQ} * R_{ON} / (R_{ON} + R_{tt})$

$V_{REF} = (V_{IH} + V_{IL}) / 2 = V_{DDQ} * (2R_{ON} + R_{tt}) / (2 * (R_{ON} + R_{tt}))$

【 0 0 9 7 】

このように、本発明のオン - ダイターミネーション回路は多様なターミネーション方式を採用できる。一実施形態において、< 数式 1 > から < 数式 3 > に従う最適の基準電圧 ( $V_{REF}$ ) を求めるためのトレーニング過程が遂行できる。他の実施形態において、メモリコントローラは連続的にイネーブルされているノン - ターゲットメモリランクのオン - ダイターミネーション抵抗を考慮してメモリコントローラのオン - ダイターミネーション抵抗値を調節するか、又はメモリコントローラの転送ドライバのターンオン抵抗値を調節できる。

10

【 0 0 9 8 】

図 2 1 は、本発明の実施形態に係るオン - ダイターミネーションの制御方法に適用される抵抗設定の一実施形態を示す図である。

【 0 0 9 9 】

図 2 1 を参照すると、読出し動作の間中、ターゲットメモリランク ( $R_{NK\_TG}$ ) のオン - ダイターミネーション回路はディスエーブルされ、ノン - ターゲットメモリランク ( $R_{NK\_NT}$ ) 及びメモリコントローラ ( $MC$ ) のオン - ダイターミネーション回路は第 1 抵抗値 ( $M * R_{tt}$ ) を有する。書込み動作の間中、ターゲットメモリランク ( $R_{NK\_TG}$ ) は第 1 抵抗値 ( $M * R_{tt}$ ) と相異なる第 2 抵抗値 ( $M * R_{tt} + R_{tg}$ ) を有し、ノン - ターゲットメモリランク ( $R_{NK\_NT}$ ) のオン - ダイターミネーション回路は、第 1 抵抗値 ( $M * R_{tt}$ ) を有し、メモリコントローラ ( $MC$ ) のオン - ダイターミネーション回路はディスエーブルされる。

20

第 1 抵抗値 ( $M * R_{tt}$ ) は、前述した初期状態の抵抗値に該当する。例えば、第 1 抵抗値 ( $M * R_{tt}$ ) は約 70 であり、第 2 抵抗値 ( $M * R_{tt} + R_{tg}$ ) は約 150 である。結果的に、図 9 を参照して説明したように、書込み動作を遂行する間中、ターゲットメモリランク ( $R_{NK\_TG}$ ) のオン - ダイターミネーション回路の抵抗値は第 1 抵抗値 ( $M * R_{tt}$ ) から第 2 抵抗値 ( $M * R_{tt} + R_{tg}$ ) に変更できる。

30

【 0 1 0 0 】

図 2 2 は、本発明の一実施形態に係る CAS コマンドを示す図である。

【 0 1 0 1 】

図 2 2 には LPDDR5 (低パワーダブルデータレート 5) 標準で予定された CAS コマンドが例示的に図示されている。

【 0 1 0 2 】

図 2 2 を参照すると、CAS コマンドはコマンドアドレス信号 ( $CA0 \sim CA5$ ) の組合せで表現できる。H は論理ハイレベルを示し、L は論理ローレベルを示し、 $EDC\_EN$ 、 $WS\_WR$ 、 $WS\_RD$ 、 $WS\_FAST$ 、 $DC0 \sim DC3$ 、 $NT0$ 、 $NT1$ 、 $BL$  は CAS コマンドを形成するフィールド値を示す。特に、 $NT0$  及び  $NT1$  はターミネーションの動的制御のためのフィールド値を示す。

40

【 0 1 0 3 】

図 2 2 に図示したように、本発明の実施形態に係るオン - ダイターミネーションの静的制御を適用する場合に  $NT0$  及び  $NT1$  のフィールドは省略され、将来の他の用途に割り当て ( $RFU$ 、 $reserved\_for\_future\_use$ ) られる。

【 0 1 0 4 】

図 2 3 及び図 2 4 は、本発明の実施形態に係るオン - ダイターミネーションのためのモードレジスタを説明するための図である。

【 0 1 0 5 】

50

オン・ダイターミネーションを制御するための情報は、図４のモードレジスタ４１２の対応した部分に格納される。例えば、モードレジスタ４１２の前記対応した部分は図２３及び図２４に図示したようなモードレジスタ設定（ＭＲＳＥＴ）を有する。オペランド（ＯＰ０～ＯＰ７）の一部の値はオン・ダイターミネーション回路の抵抗値に関する情報などを呈示できる。

【０１０６】

図２３には図８を参照して説明したように、ターゲットメモリバンク及びノン・ターゲットメモリバンクのオン・ダイターミネーション回路の抵抗値を共通に制御するための値（ＯＤＴ）が図示されている。一方、図２４には図９を参照して説明したように、ターゲットメモリバンクのオン・ダイターミネーション回路の抵抗値を制御するための第１値（ＴＧ－ＯＤＴ）及びノン・ターゲットメモリバンクのオン・ダイターミネーション回路の抵抗値を制御するための第２値（ＮＴ－ＯＤＴ）が図示されている。

10

モードレジスタ４１２に格納された値（ＯＤＴ、ＴＧ－ＯＤＴ、ＮＴ－ＯＤＴ）は、モードレジスタ書込み動作を通じてメモリコントローラから提供される。このようなモードレジスタ４１２に格納された値（ＯＤＴ、ＴＧ－ＯＤＴ、ＮＴ－ＯＤＴ）に基づいて前述したストレンクス（strength）コード（ＳＣＤ）が提供される。

【０１０７】

図２５は、本発明の一実施形態に係る積層型メモリ装置の構造を示す図である。

【０１０８】

図２５に図示したように、半導体メモリ装置９００は多数の半導体ダイ又は半導体レイヤ（ＬＡ１～ＬＡｋ、ｋは３以上の自然数）を備える。最も下に位置する半導体レイヤ（ＬＡ１）はマスタレイヤであり、残りの半導体レイヤ（ＬＡ２～ＬＡｋ）はスレーブレイヤであると想定される。スレーブレイヤは前述したような複数のメモリバンクを形成する。

20

【０１０９】

半導体レイヤ（ＬＡ１～ＬＡｋ）は貫通ビア（ＴＳＶ）を通じて信号を互いに送受信し、マスタレイヤ（ＬＡ１）はチップ入出力パッド部を通じて外部のメモリコントローラ（図示せず）と通信する。前記チップ入出力パッド部はマスタレイヤ（ＬＡ１）の下面に形成されるか、又はベース基板（図示せず）に形成される。

【０１１０】

第１半導体レイヤ（ＬＡ１）９１０乃至第ｋ半導体レイヤ９２０は、各々メモリセルアレイ領域９２１を駆動するための各種の周辺回路９２２を備える。例えば、周辺回路９２２は各メモリセルアレイ領域９２１のワードラインを駆動するためのロードドライバ（Ｘ－Ｄriver）と、各メモリ領域のビットラインを駆動するためのカラムドライバ（Ｙ－Driver）と、データの入出力を制御するためのデータ入出力部、外部からコマンド（ＣＭＤ）の入力を受けてバッファリングするコマンドバッファと、外部からアドレスの入力を受けてバッファリングするアドレスバッファなどを備える。

30

【０１１１】

第１半導体レイヤ９１０は、制御ロジックをさらに含む。制御ロジックはメモリコントローラ（図示せず）から提供されるコマンド及びアドレス信号に基づいてメモリ領域９２１に対するアクセスを制御し、メモリ領域９２１をアクセスするための制御信号を生成する。

40

【０１１２】

図２６は、本発明の実施形態に係るメモリ装置をモバイルシステムに応用した例を示すブロック図である。

【０１１３】

図２６を参照すると、モバイルシステム１２００は、アプリケーションプロセッサ１２１０、通信（Connectivity）部１２２０、メモリ装置１２３０、不揮発性メモリ装置１２４０、ユーザインタフェース１２５０、及びパワーサプライ１２６０を含む。

【０１１４】

アプリケーションプロセッサ１２１０は、インターネットブラウザ、ゲーム、動映像などを提供するアプリケーションを実行する。通信部１２２０は、外部装置との無線通信又は

50

有線通信を遂行する。メモリ装置１２３０は、アプリケーションプロセッサ１２１０により処理されるデータを格納するか、又は動作メモリ（Working\_Memory）として作動する。

例えば、メモリ装置１２３０はDDR\_SDRAM、LPDDR\_SDRAM、GDDR\_SDRAM、RDRAMなどの動的ランダムアクセスメモリである。

不揮発性メモリ装置１２４０は、モバイルシステム１２００をブーティングするためのブートイメージを格納する。ユーザインタフェース１２５０は、キーパッド、タッチスクリーンのような１つ以上の入力装置、及び／又はスピーカー、ディスプレイ装置のような１つ以上の出力装置を含む。パワーサプライ１２６０は、モバイルシステム１２００の動作電圧を供給する。また、実施形態によって、モバイルシステム１２００はカメライメージプロセッサ（Camera\_Image\_Processor；CIS）をさらに含み、メモリカード（Memory\_Card）、ソリッドステートドライブ（Solid\_State\_Drive；SSD）、ハードディスクドライブ（Hard\_Disk\_Drive；HDD）、CD-ROMなどの格納装置をさらに含む。

#### 【０１１５】

メモリ装置１２３０及び／又は不揮発性メモリ装置１２４０は、図１から図２４を参照して前述したような本発明の実施形態に係るオン・ダイターミネーションの制御方法を遂行するための構成を有することができる。

#### 【０１１６】

以上、説明したように、本発明の実施形態に係るマルチ・ランクシステムのオン・ダイターミネーションの制御方法、これを遂行する装置及びシステムは、ターゲットメモリランク及びノン・ターゲットメモリランクのオン・ダイターミネーション回路のイネーブルされた初期状態を維持し、かつ読出し動作の対象となる読出しターゲットメモリランクのオン・ダイターミネーション回路のみをディスエーブルする静的制御を通じて消費電力を減少し、信号品位を向上することができる。

#### 【産業上の利用可能性】

#### 【０１１７】

本発明の実施形態は、メモリ装置及びこれを含むシステムに有効に適用できる。

特に、本発明の実施形態は、メモリカード、ソリッドステートドライブ（Solid\_State\_Drive；SSD）、コンピュータ（computer）、ノートブック（laptop）、携帯電話（cellular）、スマートフォン（smartphone）、MP3プレーヤ、PDA（Personal\_Digital\_Assistants）、PMP（Portable\_Multimedia\_Player）、デジタルTV、デジタルカメラ、ポータブルゲームコンソール（portable game console）などの電子機器にさらに有効に適用できる。

#### 【０１１８】

以上、本発明を好ましい実施形態を参照して説明したが、該当技術分野の熟練した当業者は以下の特許請求範囲に記載された本発明の思想及び領域から外れない範囲内で本発明を多様に修正及び変更できると理解されよう。

#### 【０１１９】

- １０      マルチ・ランクシステム
- ２０      メモリコントローラ
- ３０      メモリサブシステム
- ７０      送信ドライバ
- ８０      CTT方式のターミネーション回路
- ８１      第１のPODターミネーション方式のターミネーション回路
- ８２      第２のPODターミネーション方式のターミネーション回路
- ３００      オン・ダイターミネーション（ODT）回路
- ３１０      終端制御部
- ３３０      プルアップ終端制御部

10

20

30

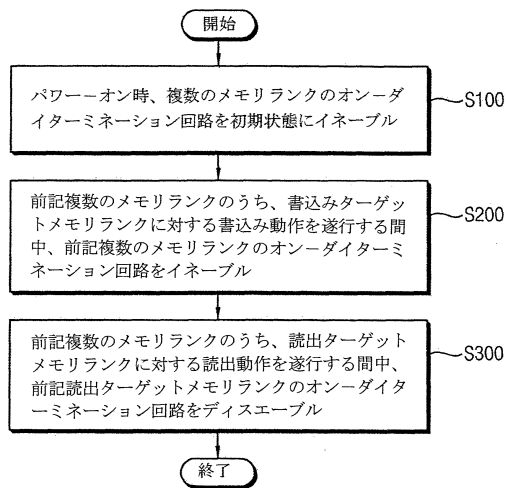
40

50

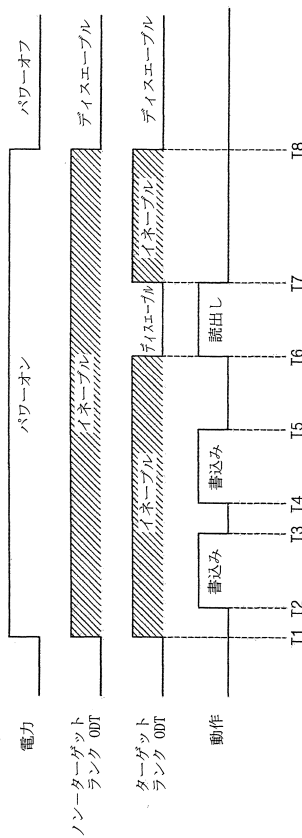
3 3 4、3 3 5、3 3 6	第 1、第 2、第 3 選択器	
3 4 0	プルダウン終端制御部	
3 4 4、3 4 5、3 4 6	第 4、第 5、第 6 選択器	
3 5 0	終端抵抗部	
3 6 0	プルアップ終端抵抗部	
3 6 1、3 6 2、3 6 3	第 1、第 2、第 3 P M O S トランジスタ	
3 7 0	プルダウン終端抵抗部	
3 7 1、3 7 2、3 7 3	第 1、第 2、第 3 N M O S トランジスタ	
4 0 0	メモリ装置	
4 1 0	制御ロジック	10
4 1 1	コマンドデコーダ	
4 1 2	モードレジスタ	
4 2 0	アドレスレジスタ	
4 3 0	バンク制御ロジック	
4 4 0	ロウアドレスマルチプレクサ ( R A _ M U X )	
4 4 5	リフレッシュカウンタ	
4 6 0	ロウデコーダ	
4 6 0 a ~ 4 6 0 h	バンクロウデコーダ	
4 7 0、4 7 0 a ~ 4 7 0 h	カラムデコーダ	
4 8 0	メモリセルアレイ	20
4 8 0 a ~ 4 8 0 h	バンクアレイ	
4 8 5	センスアンプ部	
4 8 5 a ~ 4 8 5 h	センスアンプ	
4 9 0	入出力ゲーティング回路	
5 0 0	データ入出力回路	
6 0 0	データ入出力ピン	
7 1 0	送信ドライバ ( D R )	
7 2 0	受信バッファ ( B F )	
9 0 0	半導体メモリ装置	
9 1 0	第 1 半導体レイヤ、マスタレイヤ ( L A 1 )	30
9 2 0	第 k 半導体レイヤ ( L A k )	
9 2 1	メモリセルアレイ領域	
9 2 2	周辺回路	
1 2 0 0	モバイルシステム	
1 2 1 0	アプリケーションプロセッサ	
1 2 2 0	通信 ( C o n n e c t i v i t y ) 部	
1 2 3 0	メモリ装置	
1 2 4 0	不揮発性メモリ装置	
1 2 5 0	ユーザインタフェース	
1 2 6 0	パワーサプライ	40

【図面】

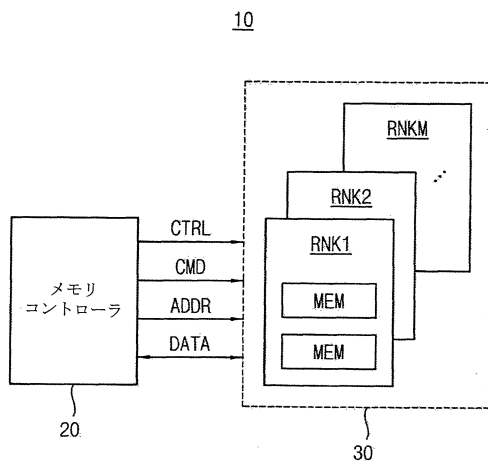
【 図 1 】



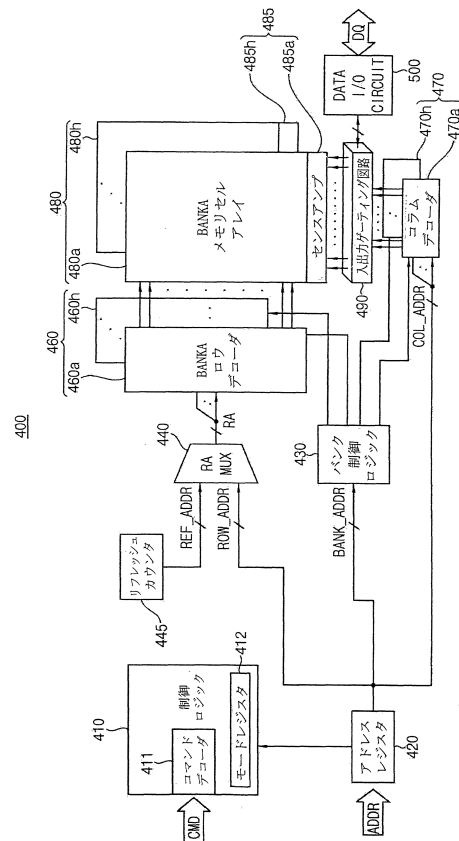
【図 2】



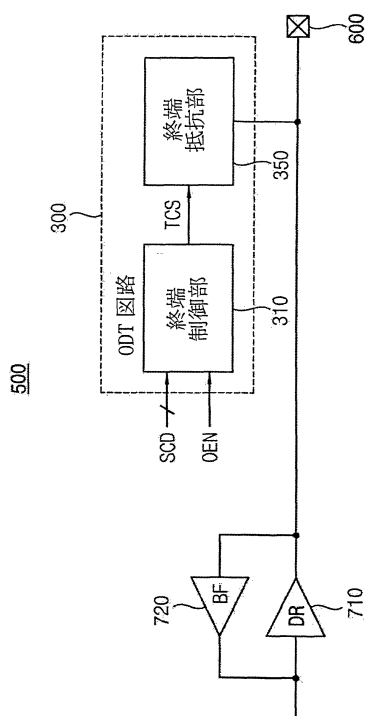
【圖 3】



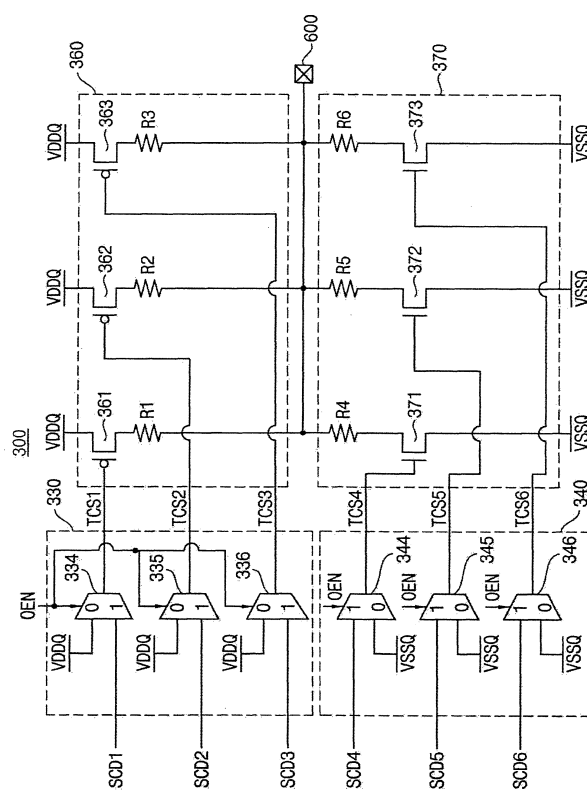
【 図 4 】



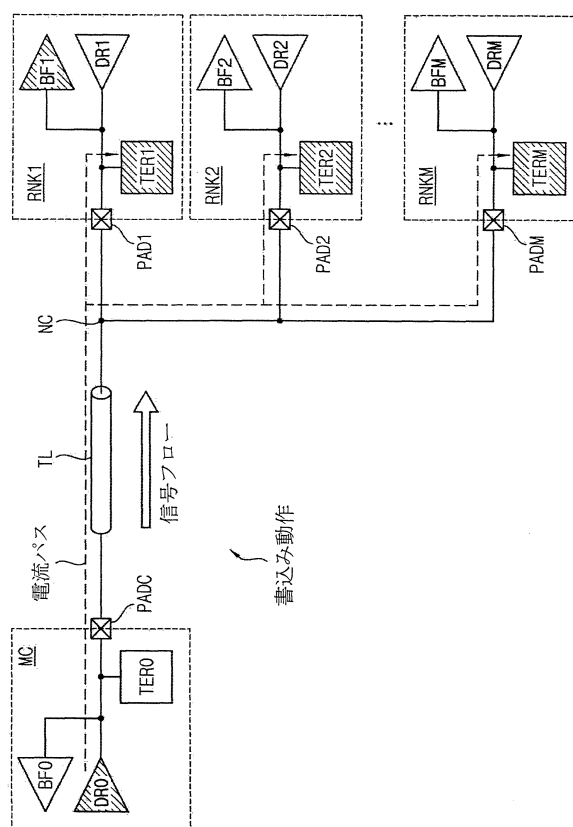
【 図 5 】



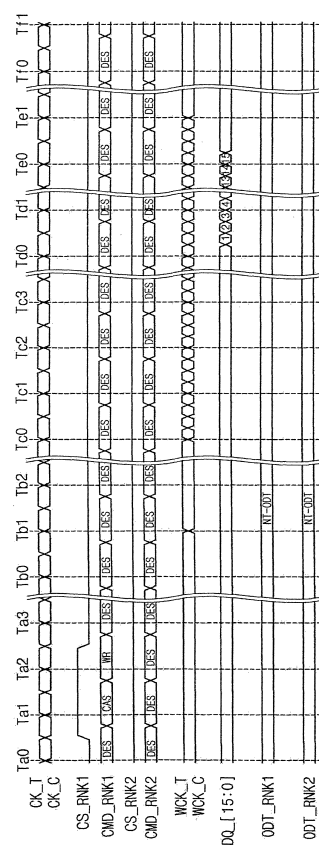
【 図 6 】



【圖 7】



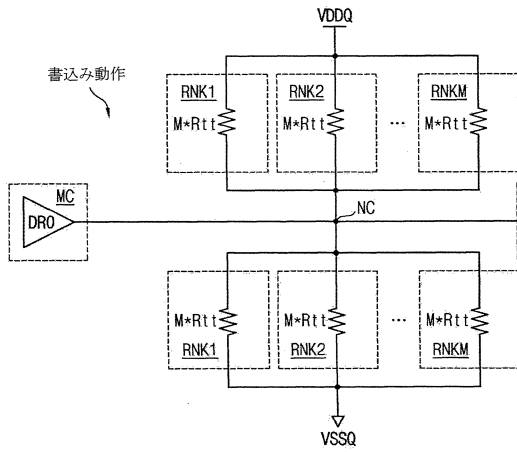
【图 8】



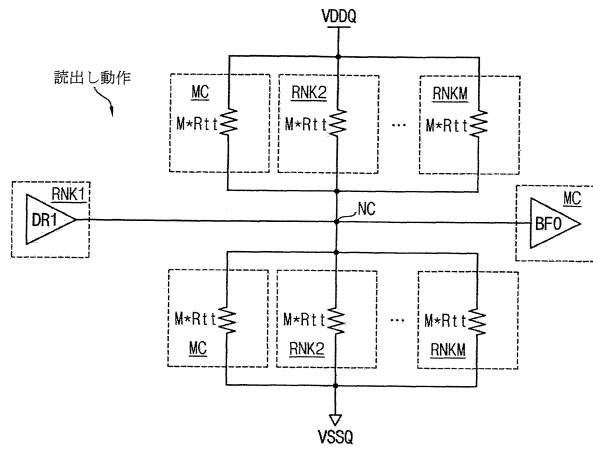




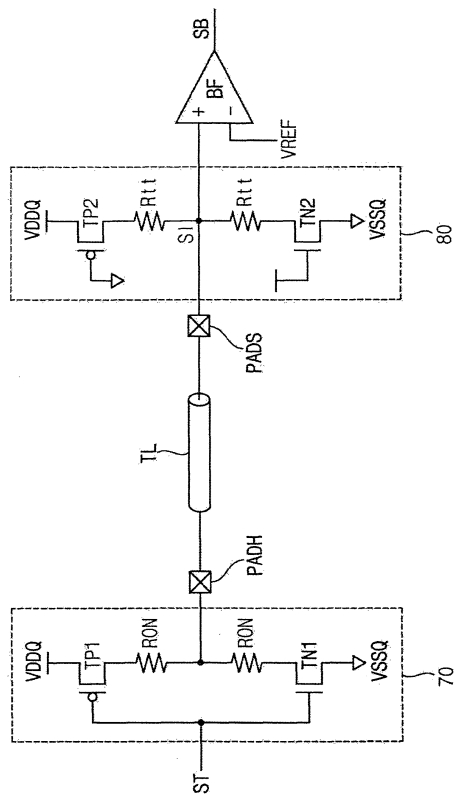
【 図 1 3 】



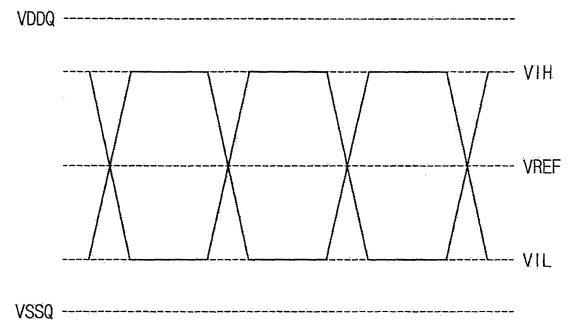
【圖 14】



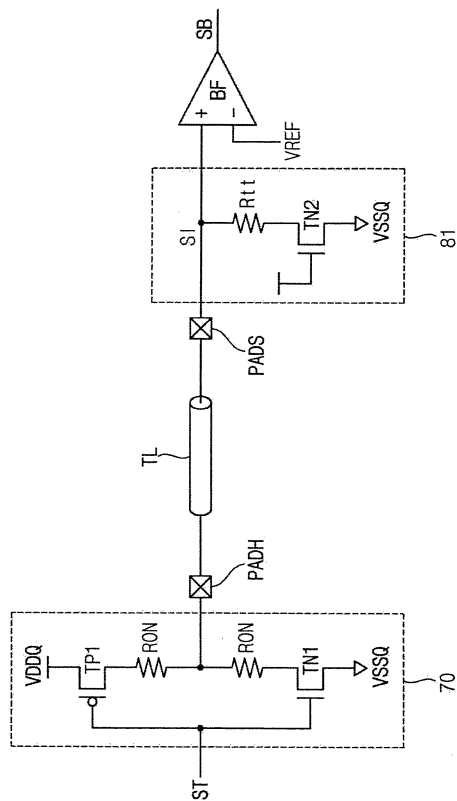
【 図 1 5 】



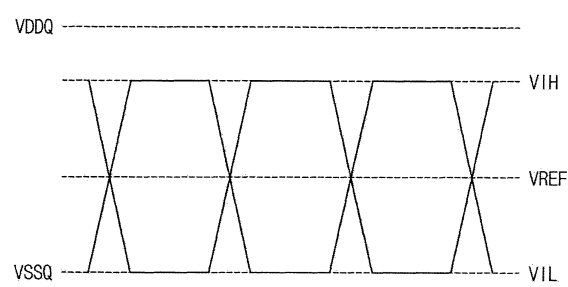
【 図 1 6 】



【図 17】



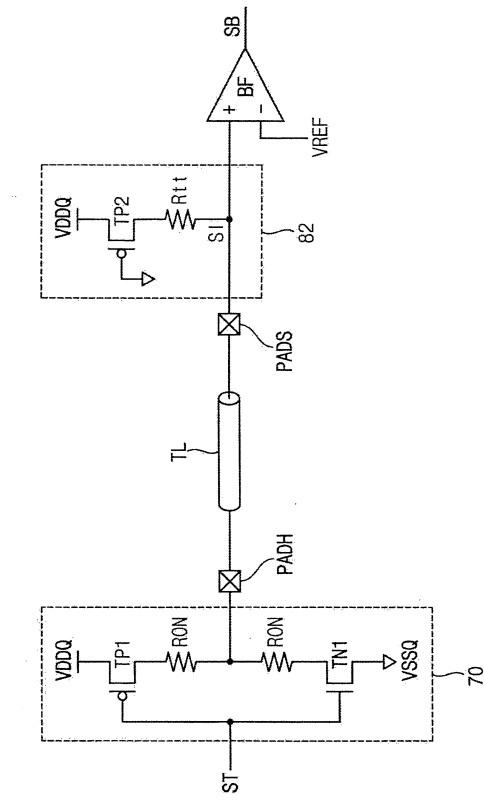
【図 18】



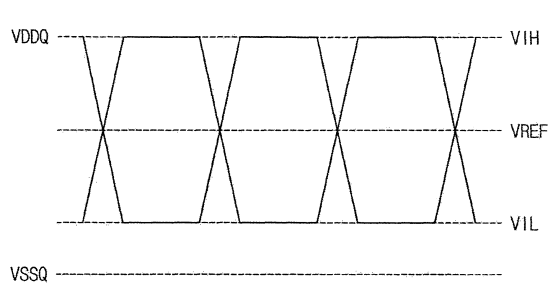
10

20

【図 19】



【図 20】



30

40

50

【図 2 1】

	ターゲット メモリアンク RNK_TG	ノンターゲット メモリアンク RNK_NT	メモリコントローラ MC
読出し	不活性化	M*Rtt	M*Rtt
書込み	M*Rtt+Rtg	M*Rtt	不活性化

【図 2 2】

CA6	WS_FAST	BL
CA5	WS_RD	NT1→RFU
CA4	WS_WR	NT0→RFU
CA3	EDC_EN	DC3
CA2	H	DC2
CA1	L	DC1
CA0	L	DC0
CMD	CAS	

10

20

【図 2 3】

MRSET	OP7	OP6	OP5	OP4	OP3	OP2	OP1	OP0
	RFU				ODT			

【図 2 4】

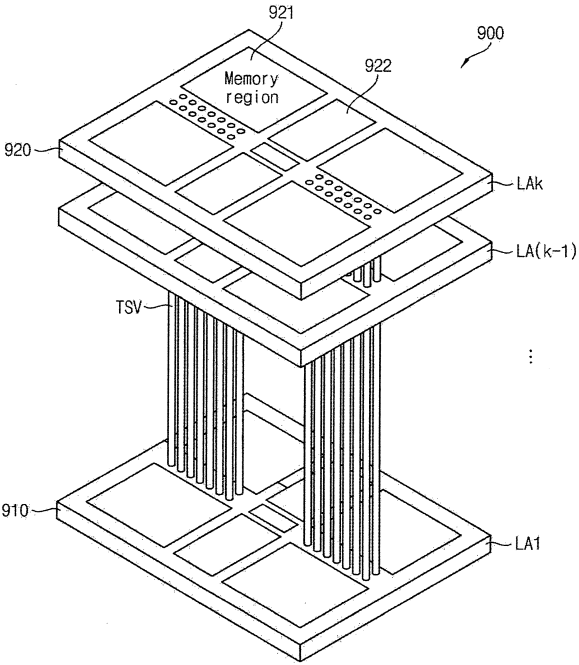
MRSET	OP7	OP6	OP5	OP4	OP3	OP2	OP1	OP0
	RFU		TG-ODT			NT-ODT		

30

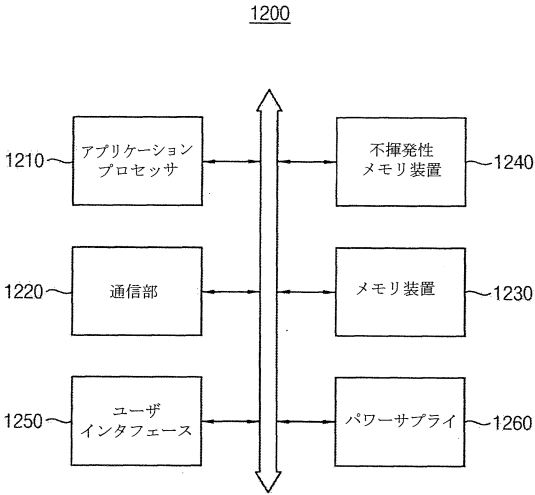
40

50

【図 25】



【図 26】



10

20

30

40

50

## フロントページの続き

- (72)発明者 金 始 弘  
大韓民国 京畿道 華城市 東灘大路 示範ギル 19 1408 - 2404
- (72)発明者 李 昶 ギョ  
大韓民国 ソウル 松坡区 オリンピック路 99 113 - 2701
- (72)発明者 崔 ジョン 煥  
大韓民国 京畿道 華城市 東灘文化センタ路 39 - 1 320 - 202
- (72)発明者 河 慶 洙  
大韓民国 京畿道 華城市 東灘スプソク路 68 873 - 202
- 審査官 後藤 彰
- (56)参考文献 特開2013 - 069399 (JP, A)  
特表2013 - 534014 (JP, A)  
特開2010 - 170296 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
G11C 7 / 10  
G06F 12 / 00