

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6468254号
(P6468254)

(45) 発行日 平成31年2月13日(2019.2.13)

(24) 登録日 平成31年1月25日(2019.1.25)

(51) Int.Cl.

F 1

G06N 99/00 (2019.01)
G06N 3/063 (2006.01)G06N 99/00 180
G06N 3/063

請求項の数 7 (全 27 頁)

(21) 出願番号 特願2016-131285 (P2016-131285)
 (22) 出願日 平成28年7月1日 (2016.7.1)
 (65) 公開番号 特開2018-5541 (P2018-5541A)
 (43) 公開日 平成30年1月11日 (2018.1.11)
 審査請求日 平成30年10月11日 (2018.10.11)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 富田 安基
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 田村 泰孝
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 塚田 肇

最終頁に続く

(54) 【発明の名称】情報処理装置、イジング装置及び情報処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数のニューロンの間の接続の強さをそれぞれ示す複数の重み値と、前記複数のニューロンから出力される出力値である複数のニューロン出力値とに基づき、前記複数のニューロンの数に対応した数の複数の第1のエネルギー値をそれぞれ算出し、前記複数の第1のエネルギー値のそれぞれにノイズ値を加算して得られる複数の第1の値と閾値との比較結果に基づき、前記複数のニューロン出力値を決定し出力するニューロン回路部と、

前記複数の重み値に基づく前記複数のニューロンの間の接続状態が互いに等しく、前記ノイズ値の上限と下限との幅を示すノイズ幅が互いに異なるようにそれぞれ設定される複数のイジング装置と、

前記複数の第1のエネルギー値と前記複数のニューロン出力値に基づき、前記複数のイジング装置の各々の総エネルギーを表す複数の第2のエネルギー値をそれぞれ算出する計算回路と、

前記ノイズ幅として第1のノイズ幅が設定される第1のイジング装置と、前記複数のイジング装置のうち、前記第1のノイズ幅に対して隣接する値をもつ第2のノイズ幅が前記ノイズ幅として設定される第2のイジング装置との間の前記複数の第2のエネルギー値の差に基づく交換確率で、前記第1のイジング装置と前記第2のイジング装置との間で、前記複数のニューロン出力値、または、前記ノイズ幅を交換する交換制御回路と、
 を有することを特徴とする情報処理装置。

【請求項 2】

10

20

前記情報処理装置はさらに、

前記ノイズ幅を、前記複数のイジング装置に設定する制御装置を有することを特徴とする請求項1に記載の情報処理装置。

【請求項3】

前記計算回路は、前記複数の第1のエネルギー値と前記複数のニューロン出力値の積和演算を行い、積和演算結果を、前記複数の第2のエネルギー値の1つとして出力することを特徴とする請求項1または2に記載の情報処理装置。

【請求項4】

前記交換制御回路は、前記第1のノイズ幅よりも前記第2のノイズ幅が大きく、且つ、前記複数の第2のエネルギー値のうち、前記第1のイジング装置の前記総エネルギーを表す第3のエネルギー値よりも、前記第2のイジング装置の前記総エネルギーを表す第4のエネルギー値が小さい場合、前記第1のイジング装置と前記第2のイジング装置との間で、前記複数のニューロン出力値、または、前記ノイズ幅を交換することを特徴とする請求項1乃至3の何れか一項に記載の情報処理装置。

【請求項5】

前記交換制御回路は、前記第1のノイズ幅よりも前記第2のノイズ幅が大きく、且つ、前記第4のエネルギー値が、前記第3のエネルギー値よりも大きい場合、0より大きく1より小さい範囲でランダムに変化する乱数値よりも前記交換確率が小さくなると、前記第1のイジング装置と前記第2のイジング装置との間で、前記複数のニューロン出力値、または、前記ノイズ幅を交換することを特徴とする請求項4に記載の情報処理装置。

【請求項6】

複数のニューロンの間の接続の強さをそれぞれ示す複数の重み値と、前記複数のニューロンから出力される出力値である複数のニューロン出力値とに基づき、前記複数のニューロンの数に対応した数の複数の第1のエネルギー値をそれぞれ算出し、前記複数の第1のエネルギー値のそれぞれにノイズ値を加算して得られる複数の第1の値と閾値との比較結果に基づき、前記複数のニューロン出力値を決定し出力するニューロン回路部と、

前記複数の第1のエネルギー値と前記複数のニューロン出力値に基づき、自身のイジング装置の総エネルギーを表す第2のエネルギー値を算出する計算回路と、

前記自身のイジング装置に設定される、前記ノイズ値の上限と下限との幅を示すノイズ幅である第1のノイズ幅に対して、隣接する値をもつ第2のノイズ幅が前記ノイズ幅として設定される他のイジング装置から、前記第2のエネルギー値に相当する前記他のイジング装置の総エネルギーを表す第3のエネルギー値を取得し、前記第2のエネルギー値と前記第3のエネルギー値との差に基づく交換確率で、前記自身のイジング装置と前記他のイジング装置との間で、前記複数のニューロン出力値、または、前記ノイズ幅を交換する交換制御回路と、

を有することを特徴とするイジング装置。

【請求項7】

複数のニューロンの間の接続の強さをそれぞれ示す複数の重み値と、前記複数のニューロンから出力される出力値である複数のニューロン出力値とに基づき、前記複数のニューロンの数に対応した数の複数の第1のエネルギー値をそれぞれ算出し、前記複数の第1のエネルギー値のそれぞれにノイズ値を加算して得られる複数の第1の値と、閾値との比較結果に基づき、前記複数のニューロン出力値を決定し出力するニューロン回路部を備え、前記複数の重み値に基づく前記複数のニューロンの間の接続状態が互いに等しく、前記ノイズ値の上限と下限との幅を示すノイズ幅が互いに異なるように設定される複数のイジング装置を有する情報処理装置の制御方法において、

前記情報処理装置が有する計算回路が、前記複数の第1のエネルギー値と前記複数のニューロン出力値に基づき、前記複数のイジング装置の各々の総エネルギーを表す複数の第2のエネルギー値をそれぞれ算出し、

前記情報処理装置が有する交換制御回路が、前記ノイズ幅として第1のノイズ幅が設定される第1のイジング装置と、前記複数のイジング装置のうち、前記第1のノイズ幅に対

10

20

30

40

50

して隣接する値をもつ第2のノイズ幅が前記ノイズ幅として設定される第2のイジング装置との間の前記複数の第2のエネルギー値の差に基づく交換確率で、前記第1のイジング装置と前記第2のイジング装置との間で、前記複数のニューロン出力値、または、前記ノイズ幅を交換する。

ことを特徴とする情報処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置、イジング装置及び情報処理装置の制御方法に関する。

【背景技術】

【0002】

ノイマン型コンピュータが不得意とする多変数の最適化問題を解く方法として、イジング型のエネルギー関数を用いたシミュレーテッド・アニーリングを行いういジング装置（ボルツマンマシンと呼ばれる場合もある）がある。イジング装置は、計算対象の問題を、磁性体のスピンの振る舞いを表すモデルであるイジングモデルに置き換えて計算する。

【0003】

また、複数のイジング装置をハードウェアで実現して並列処理させる手法や、各イジング装置で得られる評価値の優劣比較を行い、劣勢の評価値を更新し、同じ評価値が得られたときにその評価値を最適解とする手法が提案されている。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開平5-250346号公報

【特許文献2】特開平8-272760号公報

【非特許文献】

【0005】

【非特許文献1】C. R. Schneider and H. C. Card, "Analog CMOS Deterministic Boltzmann Circuits", Journal of Solid-State Circuits, pp.907-914, 1993

【非特許文献2】A. DeGloria et al., "Efficient Implementation of the Boltzmann Machine Algorithm", IEEE Trans of NN, pp.159-163, 1993

30

【非特許文献3】A. DeGloria et al., "Design and Performance Evaluation of a Parallel Architecture for the Boltzmann Machine", EuroMICRO, pp.629-636, 1994

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、ハードウェアで実現する従来のイジング装置でも、最適解を得るために逐次的な処理が多数回繰り返されるため、計算時間が長くなるという問題があった。

1つの侧面では、本発明は、計算時間を短縮する情報処理装置、イジング装置及び情報処理装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

40

【0007】

1つの態様では、複数のニューロンの間の接続の強さを示す複数の重み値と、前記複数のニューロンから出力される複数の出力値に基づき、前記複数のニューロンの数に対応した数の複数の第1のエネルギー値を算出し、前記複数の第1のエネルギー値のそれぞれにノイズ値を加算して得られる複数の第1の値と、閾値との比較結果に基づき、前記複数の出力値を決定し出力するニューロン回路部と、前記複数の重み値に基づく前記複数のニューロンの間の接続状態が互いに等しく、前記ノイズ値の上限と下限との幅を示すノイズ幅が互いに異なるように設定される複数のイジング装置と、前記複数の第1のエネルギー値と前記複数の出力値に基づき、前記複数のイジング装置のそれぞれの総エネルギーを表す複数の第2のエネルギー値を算出する計算回路と、前記ノイズ幅として第1の幅が設定

50

される第1のイジング装置と、前記複数のイジング装置のうち、前記第1の幅に対して隣接する値をもつ第2の幅が前記ノイズ幅として設定される第2のイジング装置との間の前記複数の第2のエネルギー値の差に基づく交換確率で、前記第1のイジング装置と前記第2のイジング装置との間で、前記複数の出力値、または、前記ノイズ幅を交換する交換制御回路と、前記ノイズ幅を、前記複数のイジング装置に設定する制御装置と、を有する情報処理装置が提供される。

【0008】

また、1つの態様では、複数のニューロンの間の接続の強さを示す複数の重み値と、前記複数のニューロンから出力される複数の出力値とに基づき、前記複数のニューロンの数に対応した数の複数の第1のエネルギー値を算出し、前記複数の第1のエネルギー値のそれぞれにノイズ値を加算して得られる複数の第1の値と閾値との比較結果に基づき、前記複数の出力値を決定し出力するニューロン回路部と、前記複数の第1のエネルギー値と前記複数の出力値に基づき、自身のイジング装置の総エネルギーを表す第2のエネルギー値を算出する計算回路と、前記自身のイジング装置に設定される、前記ノイズ値の上限と下限との幅を示すノイズ幅である第1の幅に対して、隣接する値をもつ第2の幅が前記ノイズ幅として設定される他のイジング装置から、前記第2のエネルギー値に相当する前記他のイジング装置の総エネルギーを表す第3のエネルギー値を取得し、前記第2のエネルギー値と前記第3のエネルギー値との差に基づく交換確率で、前記自身のイジング装置と前記他のイジング装置との間で、前記複数の出力値、または、前記ノイズ幅を交換する交換制御回路と、を有するイジング装置が提供される。

10

20

【0009】

また、1つの態様では、複数のニューロンの間の接続の強さを示す複数の重み値と、前記複数のニューロンから出力される複数の出力値とに基づき、前記複数のニューロンの数に対応した数の複数の第1のエネルギー値を算出し、前記複数の第1のエネルギー値のそれぞれにノイズ値を加算して得られる複数の第1の値と、閾値との比較結果に基づき、前記複数の出力値を決定し出力するニューロン回路部を備え、前記複数の重み値に基づく前記複数のニューロンの間の接続状態が互いに等しい複数のイジング装置を有する情報処理装置の制御方法において、前記情報処理装置が有する制御装置が、前記ノイズ値の上限と下限との幅を示すノイズ幅が前記複数のイジング装置において互いに異なるように、前記ノイズ幅を設定し、前記情報処理装置が有する計算回路が、前記複数の第1のエネルギー値と前記複数の出力値に基づき、前記複数のイジング装置のそれぞれの総エネルギーを表す複数の第2のエネルギー値を算出し、前記情報処理装置が有する交換制御回路が、前記ノイズ幅として第1の幅が設定される第1のイジング装置と、前記複数のイジング装置のうち、前記第1の幅に対して隣接する値をもつ第2の幅が前記ノイズ幅として設定される第2のイジング装置との間の前記複数の第2のエネルギー値の差に基づく交換確率で、前記第1のイジング装置と前記第2のイジング装置との間で、前記複数の出力値、または、前記ノイズ幅を交換する、情報処理装置の制御方法が提供される。

30

【発明の効果】

【0010】

開示の情報処理装置、イジング装置及び情報処理装置の制御方法では、計算時間を短縮できる。

40

【図面の簡単な説明】

【0011】

【図1】第1の実施の形態の情報処理装置の一例を示す図である。

【図2】異なる温度が設定される複数のアンサンブルのノード状態の交換の様子を示す図である。

【図3】異なる温度が設定される複数のアンサンブルのエネルギー関数の様子を示す図である。

【図4】第2の実施の形態の情報処理装置の一例を示す図である。

【図5】出力値 x_i が 1 となる確率 $P_i(h_i)$ の一例を示す図である。

50

【図6】計算回路の一例を示す図である。

【図7】交換制御回路の一例を示す図である。

【図8】フラグ生成回路の一例を示す図である。

【図9】フラグ生成回路の他の例を示す図である。

【図10】交換回路の一例を示す図である。

【図11】選択信号生成回路の入出力信号の一例の関係を示す真理値表である。

【図12】状態選択回路の入出力信号の一例の関係を示す真理値表である。

【図13】第2の実施の形態の情報処理装置の動作の一例を示すフローチャートである。

(その1)

【図14】第2の実施の形態の情報処理装置の動作の一例を示すフローチャートである。 10

(その2)

【図15】第3の実施の形態の情報処理装置の一例を示す図である。

【図16】交換制御回路の一例を示す図である。

【図17】温度生成回路の一例を示す図である。

【図18】温度生成回路の入出力信号の一例の関係を示す真理値表である。

【図19】第3の実施の形態の情報処理装置の動作の一例を示すフローチャートである。

【図20】情報処理装置の動作の一例を示すタイミングチャートである。

【発明を実施するための形態】

【0012】

以下、発明を実施するための形態を、図面を参照しつつ説明する。 20

[第1の実施の形態]

図1は、第1の実施の形態の情報処理装置の一例を示す図である。

【0013】

情報処理装置1は、イジング装置2a1～2aNと、計算回路3と、交換制御回路4と、制御装置5とを有している。制御装置5により、エネルギー関数を用いた最適化問題がイジング装置2a1～2aNにマッピングされる。

【0014】

たとえば、イジング装置2a1～2aNのそれぞれは、1つの半導体集積回路(チップ)で実現される。

イジング装置2a1～2aNのそれぞれは同様の要素を有している。たとえば、イジング装置2akは、ニューロン回路部10akと、制御回路10bkとを有している。 30

【0015】

ニューロン回路部10akは、複数のニューロンの間の接続の強さを示す複数の重み値と、複数のニューロンから出力される複数の出力値とに基づき、複数のニューロンの数に対応した数の複数のエネルギー値(以下ローカルフィールド値という)を算出する。

【0016】

なお、複数の重み値は、計算対象の最適化問題に応じて、たとえば、制御装置5によって設定される。複数の重み値が、制御装置5によりイジング装置2a1～2aNに書き込まれることで、最適化問題がイジング装置2a1～2aNにマッピングされる。

【0017】

さらに、ニューロン回路部10akは、複数のローカルフィールド値のそれぞれにノイズ値を加算して得られる複数の値と、閾値との比較結果に基づき、上記複数の出力値を決定し出力する。以下では、ニューロンの数をn個とする。 40

【0018】

図1の例では、ニューロン回路部10akは、n個のニューロンの機能を実現するn個のニューロン回路11k1, 11k2, …, 11knを有している。ニューロン回路11k1～11knのそれぞれにおいて、上記のようなローカルフィールド値の算出や、ニューロンの1ビットの出力値を決定し出力する処理が行われる。また、ニューロン回路11k1～11knは、nビットの出力値のうち何れか1ビットの出力値の変化時に更新信号を受け、更新信号に基づいてローカルフィールド値を更新する機能を有する。 50

【0019】

制御回路 $10bk$ は、 n ビットの出力値のうち何れか1ビットの出力値の変化時に、変化後の出力値に基づく上記更新信号を、ニューロン回路 $11k_1 \sim 11k_n$ に供給する。たとえば、更新信号は、変化後の出力値や、出力値が変化したニューロンの識別情報に基づく重み値の選択信号を含む。

【0020】

上記のような動作を行う制御回路 $10bk$ は、たとえば、比較回路や選択回路などで実現できる。なお、制御回路 $10bk$ は、プロセッサであってもよい。プロセッサは、たとえば、CPU (Central Processing Unit)、MPU (Micro Processing Unit)、DSP (Digital Signal Processor)、ASIC (Application Specific Integrated Circuit) 10、またはPLD (Programmable Logic Device) である。またプロセッサは、CPU、MPU、DSP、ASIC、PLDのうちの2以上の要素の組み合わせであってもよい。

【0021】

上記のような要素を含むイジング装置 $2a_1 \sim 2aN$ は、複数の重み値に基づく複数のニューロンの間の接続状態が互いに等しい。つまり、イジング装置 $2a_1 \sim 2aN$ に含まれるニューロン回路部 $10a_1, 10a_2, \dots, 10a_k, \dots, 10aN$ 内の複数のニューロン回路の接続状態は互いに等しい。このため、複数の重み値に基づく複数のニューロンの間の接続状態が互いに等しいイジング装置 $2a_1 \sim 2aN$ のそれでは、同一の最適化問題が独立に計算される。

【0022】

また、イジング装置 $2a_1 \sim 2aN$ には、ノイズ値の上限と下限との幅を示すノイズ幅が異なるように設定されている。

計算回路3は、複数のローカルフィールド値と、 n ビットの出力値に基づき、イジング装置 $2a_1 \sim 2aN$ のそれぞれの総エネルギーを表す複数のエネルギー値($E_1, E_2, \dots, E_k, \dots, E_N$)を算出する。計算回路3は、たとえば、ニューロン回路 $11k_1$ で得られるローカルフィールド値とニューロン回路 $11k_1$ の出力値とを乗算する。計算回路3は、ニューロン回路 $11k_2 \sim 11k_n$ で得られるローカルフィールド値とニューロン回路 $11k_2 \sim 11k_n$ の出力値に対しても同様の乗算を行う。そして、計算回路3は、それらの乗算結果を積算することで、イジング装置 $2ak$ のエネルギー値 E_k を算出する。つまり、計算回路3は、ニューロン回路 $11k_1 \sim 11k_n$ で得られるローカルフィールド値と出力値の積和演算によって、エネルギー値 E_k を算出する。

【0023】

交換制御回路4は、後述する拡張アンサンブル法を実現するために、イジング装置 $2a_1 \sim 2aN$ のうち、ノイズ幅の値が隣接して設定されている2つのイジング装置間で、上記エネルギー値の差に基づく交換確率で n ビットの出力値、またはノイズ幅を交換する。

【0024】

なお、ノイズ幅は、後述する式(5)の実効温度 T に相当する。ノイズ幅を大きくすることは、実効温度 T を大きくすることに相当する。図1では、イジング装置 $2a_1 \sim 2aN$ において、イジング装置 $2a_1$ から順に、実効温度 T として $T_1, T_2, \dots, T_k, \dots, T_N$ が設定されている例が示されている。

【0025】

たとえば、 $T_1 > T_2 > \dots > T_k > \dots > T_N$ であるとき、ノイズ幅として実効温度 T_1 に相当する第1の幅が設定されているイジング装置 $2a_1$ と、ノイズ幅として実効温度 T_2 に相当する第2の幅が設定されているイジング装置 $2a_2$ では、ノイズ幅の値が隣接する。そのため、交換制御回路4は、イジング装置 $2a_1$ のエネルギー値 E_1 とイジング装置 $2a_2$ のエネルギー値 E_2 との差に基づく交換確率で、イジング装置 $2a_1, 2a_2$ のそれにおける n ビットの出力値、またはそれとに設定されたノイズ幅を交換する。

【0026】

なお、図1では、計算回路3及び交換制御回路4が、イジング装置 $2a_1 \sim 2aN$ の外部に備えられている場合が例示されているが、何れか一方または両方がイジング装置 $2a$

10

20

30

40

50

1 ~ 2 a N 内に設けられていてよい。

【0027】

制御装置 5 は、互いに異なるノイズ幅を、イジング装置 2 a 1 ~ 2 a N に設定する。制御装置 5 は、たとえば外部から起動信号が入力されると、実効温度 T が $T_1 > T_2 > \dots > T_k > \dots > T_N$ となるように、ノイズ幅をイジング装置 2 a 1 ~ 2 a N に設定する。

【0028】

また、制御装置 5 は、イジング装置 2 a 1 ~ 2 a N の何れかから n ビットの出力値の変化が収束したことを表すニューロン収束信号を受け付けると、計算処理の終了を表す終了信号を出力する。

【0029】

ここで、情報処理装置 1 が実現する拡張アンサンブル法（交換モンテカルロ法またはアンサンブル交換法と呼ばれる場合もある）について、図 2 及び図 3 を用いて説明する。

拡張アンサンブル法は、温度の異なる複数のネットワーク（以下アンサンブルと呼ぶ）で確率的探索を行いながら、温度が隣接して設定されているアンサンブル間で各アンサンブルのエネルギーの差分に応じ、各アンサンブルのノードの状態を交換する方法である。この方法により、局所解に陥ることが防止され、より高速に最適値に収束させることが可能となる。

【0030】

図 2 は、異なる温度が設定される複数のアンサンブルのノード状態の交換の様子を示す図である。

たとえば、図 2 では、複数（4つ）のアンサンブルが用意されており、各アンサンブルの温度は $T_1 \sim T_4$ ($T_4 > T_3 > T_2 > T_1$) であるとする。拡張アンサンブル法では、温度が隣接して設定されているアンサンブル同士で、所定の交換確率に基づき、ノード状態が交換される。交換確率は $\min(1, R)$ とすることができる、R は以下の式（1）で表される。

【0031】

【数1】

$$R = \exp\left\{ (1/T_q - 1/T_{q+1})(E_{total}(X_q) - E_{total}(X_{q+1})) \right\} \quad (1)$$

【0032】

なお、式（1）において、 T_q , T_{q+1} は、温度が隣接して設定されている q 番目のアンサンブルと q + 1 番目のアンサンブルにおける温度をそれぞれ表している。また、 $E_{total}(X_q)$, $E_{total}(X_{q+1})$ は、上記 2 つのアンサンブルのそれぞれの総エネルギーを表している。また、 X_q , X_{q+1} は、それぞれ、q 番目及び q + 1 番目のアンサンブルのノード状態をすべて含んでいるものとする。

【0033】

このような交換確率では、 $T_q < T_{q+1}$ で、且つ、 $E_{total}(X_q) > E_{total}(X_{q+1})$ であるとき、R は 1 を超えるので、式（1）より、交換確率は 1 となり、ノード状態の交換が行われる。たとえば、温度が T_1 のアンサンブルと温度が T_2 のアンサンブル間では、温度が T_2 のアンサンブルのエネルギーが、温度が T_1 のアンサンブルのエネルギーよりも小さいときには、ノード状態の交換が行われる。

【0034】

一方、 $T_q < T_{q+1}$ で、且つ、 $E_{total}(X_q) < E_{total}(X_{q+1})$ であるとき、確率 R で、ノード状態の交換が行われる。

たとえば、温度が T_1 のアンサンブルと温度が T_2 のアンサンブル間では、温度が T_2 のアンサンブルのエネルギーが、温度が T_1 のアンサンブルのエネルギーよりも大きいときには、確率 R でノード状態の交換が行われる。

【0035】

図 3 は、異なる温度が設定される複数のアンサンブルのエネルギー関数の様子を示す図

10

20

30

40

50

である。なお、図3には、エネルギー関数を表す曲線((1)～(6))が示されており、上方の曲線((1)側)ほど、下方の曲線((6)側)よりも高い温度が設定されるアンサンブルのエネルギー関数を示し、また、曲線のカーブが緩やかになっている。

【0036】

たとえば、曲線(1)は、曲線(6)よりも曲線が緩やかであるために、曲線(6)の場合よりも局所解に陥りにくい。

拡張アンサンブル法では、温度が隣接して設定されているアンサンブル間でノード状態が上記のように交換される。このため、たとえば、曲線(6)のエネルギー関数となるアンサンブルのノード状態が局所解に陥っても、そのアンサンブルのノード状態を、上記の交換確率で、曲線(5)のエネルギー関数となる温度が高いアンサンブルのノード状態に遷移させることができる。これにより、簡単に局所解から脱出でき、シミュレーテッド・アニーリングよりも高速に最適値に収束させることが可能となる。10

【0037】

なお、上記の説明では、ノード状態を交換するとしたが、温度を交換するようにしても同様の効果が得られる。

本実施の形態の情報処理装置1では、上記のような拡張アンサンブル法をハードウェアで実現している。

【0038】

上記の複数のアンサンブルは、イジング装置 $2a_1 \sim 2aN$ に相当し、ノード状態は、ニューロン回路部 $10a_1 \sim 10aN$ のそれぞれのnビットの出力値に相当する。また、温度は、実効温度 $T_1 \sim T_N$ (またはノイズ幅)に相当する。20

【0039】

また、式(6)に含まれる $E_{total}(X_q)$, $E_{total}(X_{q+1})$ を算出するために、計算回路3は、複数のローカルフィールド値と、nビットの出力値とに基づき、イジング装置 $2a_1 \sim 2aN$ のそれぞれの総エネルギーを表す複数のエネルギー値を算出する。

【0040】

交換制御回路4は、イジング装置 $2a_1 \sim 2aN$ のうち、ノイズ幅の値が隣接して設定されている2つのイジング装置間で、上記エネルギー値の差に基づく交換確率 $min(1, R)$ で、nビットの出力値、またはノイズ幅を交換する。

【0041】

以上のように、本実施の形態の情報処理装置1によれば、ハードウェアで拡張アンサンブル法が実現でき、迅速に最適解を得ることが可能となる。つまり、最適化問題の計算時間を短縮できる。30

【0042】

また、交換確率を算出する際に用いられるエネルギー値は、各ニューロンのローカルフィールド値と出力値との積和演算で求められるので、簡単な回路構成の計算回路3でエネルギー値を算出できる。

【0043】

[第2の実施の形態]

図4は、第2の実施の形態の情報処理装置の一例を示す図である。なお、図4において、図1に示した要素と同一の要素については同一符号が付されている。40

【0044】

情報処理装置1aは、イジング装置 $2b_1 \sim 2bN$ と、制御装置5と、ランダム信号生成回路6とを有している。なお、図4では、イジング装置 $2b_1 \sim 2bN$ において、イジング装置 $2b_1$ から順に、実効温度Tとして T_1, T_2, \dots, T_N が設定されている例が示されている。以下では、 $T_1 > T_2 > \dots > T_N$ であるとする。

【0045】

イジング装置 $2b_1 \sim 2bN$ は、それぞれ同様の要素を成している。以下では、イジング装置 $2b_1 \sim 2bN$ のうち、イジング装置 $2b_1$ を例にして説明する。

イジング装置 $2b_1$ は、ニューロン回路部 $10a_1$ 、制御回路 $10b_1$ 、計算回路 10 50

c 1、交換制御回路 10d1 を有している。また、イジング装置 2b1 は、図 1 では図示を省略したが、ノイズ発生回路 10e1 と、ランダム信号生成回路 10f1 とを有している。なお、計算回路 10c1 及び交換制御回路 10d1 は、第 1 の実施の形態の計算回路 3 及び交換制御回路 4 と同様の機能を有している。

【0046】

ニューロン回路部 10a1 は、n 個のニューロン回路 1111 ~ 111n を有している。図 4 の例では、De Glorria アルゴリズムと呼ばれるアルゴリズムに基づく処理を行うニューロン回路 1111 ~ 111n の例が示されている。

【0047】

(ニューロン回路の一例)

10

図 4 では、ニューロン回路 1111 ~ 111n のうち、ニューロン回路 1111, 111n が一例として示されている。ニューロン回路 1111 ~ 111n のうち、ニューロン回路 1111, 111n 以外のニューロン回路も同様の回路となっている。

【0048】

ニューロン回路 1111, 111n は、レジスタ 20a1, 20an と、選択回路 21a1, 21an, 22a1, 22an と、乗算回路 23a1, 23an とを有している。さらにニューロン回路 1111, 111n は、加算回路 24a1, 24an と、レジスタ 25a1, 25an と、加算回路 26a1, 26an とを有している。さらに、ニューロン回路 1111, 111n は、比較回路 27a1, 27an と、XOR (Exclusive OR) 回路 28a1, 28an と、レジスタ 29a1, 29an とを有している。

20

【0049】

レジスタ 20a1 は、n 個の重み値 $W_{12}, W_{13}, \dots, W_{1n}$ を格納し、レジスタ 20an は、n 個の重み値 $W_{n1}, W_{n2}, \dots, W_{nn}$ を格納する。

なお、上記のような重み値は、制御装置 5 により、計算対象の問題に応じて設定され、レジスタ 20a1 ~ 20an に記憶される。なお、上記のような重み値は、RAM (Random Access Memory) などのメモリに記憶されてもよい。

【0050】

選択回路 21a1 は、制御回路 10b1 から供給される選択信号に基づき、レジスタ 20a1 に格納されている重み値 $W_{12} \sim W_{1n}$ のうち 1 つを選択して出力する。選択回路 21an は、選択信号に基づき、レジスタ 20an に格納されている重み値 $W_{n1} \sim W_{nn}$ のうち 1 つを選択して出力する。

30

【0051】

たとえば、ニューロン回路 1111 の出力値が変化したとき、選択信号に基づき、ニューロン回路 111n の選択回路 21an は、重み値 W_{n1} を選択する。

選択回路 22a1 ~ 22an のそれぞれは、制御回路 10b1 から出力される、出力値が更新されるニューロン回路の出力値の変化後の値 (0 か 1) に基づき、1 または -1 を選択して出力する。変化後の値が 0 のときには、選択回路 22a1 ~ 22an は、-1 を選択して出力し、変化後の値が 1 のときには、選択回路 22a1 ~ 22an は、1 を選択して出力する。この理由については後述する。

【0052】

40

乗算回路 23a1 は、選択回路 21a1 から出力される値と、選択回路 22a1 から出力される値との積を出力する。乗算回路 23an は、選択回路 21an から出力される値と、選択回路 22an から出力される値との積を出力する。

【0053】

加算回路 24a1 は、乗算回路 23a1 から出力される値と、レジスタ 25a1 に格納されている値とを加算して出力する。加算回路 24an は、乗算回路 23an から出力される値と、レジスタ 25an に格納されている値とを加算して出力する。

【0054】

レジスタ 25a1 は、図示しないクロック信号に同期して、加算回路 24a1 から出力される値を取り込む。レジスタ 25an は、図示しないクロック信号に同期して、加算回

50

路 2 4 a n から出力される値を取り込む。レジスタ 2 5 a 1 ~ 2 5 a n は、たとえば、フリップフロップである。なお、初期値は後述するバイアス値である。

【 0 0 5 5 】

なお、レジスタ 2 5 a 1 ~ 2 5 a n に取り込まれた値が、前述したローカルフィールド値であり、図 4 では、 h_1, h_n と表記されている。

加算回路 2 6 a 1 は、レジスタ 2 5 a 1 から出力される値に、ノイズ発生回路 1 0 e 1 から出力されるノイズ値を加算して出力する。加算回路 2 6 a n は、レジスタ 2 5 a n から出力される値に、ノイズ発生回路 1 0 e 1 から出力されるノイズ値を加算して出力する。ノイズ値の例については後述する。

【 0 0 5 6 】

なお、ノイズ発生回路 1 0 e 1 は、制御装置 5 の制御のもと、ノイズ値を出力する。また、ノイズ発生回路 1 0 e 1 は、たとえば、増幅回路を有している。制御装置 5 が増幅回路の増幅率を変化させることで、実効温度に対応するノイズ幅が制御可能である。

【 0 0 5 7 】

比較回路 2 7 a 1 は、加算回路 2 6 a 1 から出力される値が、閾値よりも大きいときには 1 を出力し、閾値以下のときには 0 を出力する。比較回路 2 7 a n は、加算回路 2 6 a n から出力される値が、閾値よりも大きいときには 1 を出力し、閾値以下のときには 0 を出力する。

【 0 0 5 8 】

なお、イジング装置 2 b 1 において同時に複数のニューロン回路の出力値が更新されないように、比較回路 2 7 a 1 ~ 2 7 a n は、ランダム信号生成回路 1 0 f 1 から出力される乱数値によって、ランダムに 1 つが有効になり、他は無効になる。ランダム信号生成回路 1 0 f 1 としては、LFSR (Linear Feedback Shift Registers) などを用いることができる。なお、ノイズ発生回路 1 0 e 1 も、ランダム信号生成回路 1 0 f 1 と同様に、たとえば、LFSR を用いて実現可能である。

【 0 0 5 9 】

XOR 回路 2 8 a 1 は、比較回路 2 7 a 1 から出力される値または交換制御回路 1 0 d 1 から供給される値と、レジスタ 2 9 a 1 に格納されている値とが、一致しているときは 0 を出力し、異なるときは 1 を出力する。XOR 回路 2 8 a n は、比較回路 2 7 a n から出力される値または交換制御回路 1 0 d 1 から供給される値と、レジスタ 2 9 a n に格納されている値とが、一致しているときは 0 を出力し、異なるときは 1 を出力する。

【 0 0 6 0 】

図示を省略しているが、たとえば、各比較回路 2 7 a 1 ~ 2 7 a n の出力側には、交換制御回路 1 0 d 1 が出力する n ビットの出力値 X_{1new} のうちの 1 ビットの値を選択するか、比較回路 2 7 a 1 ~ 2 7 a n から出力される値を選択する比較回路が設けられる。この n 個の比較回路は、それぞれ、交換制御回路 1 0 d 1 が n ビットの出力値を出力するときにはその出力値の 1 ビットの値を選択し、比較回路 2 7 a 1 ~ 2 7 a n の出力値の代わりに、XOR 回路 2 8 a 1 ~ 2 8 a n 及びレジスタ 2 9 a 1 ~ 2 9 a n に供給する。

【 0 0 6 1 】

なお、交換制御回路 1 0 d 1 が出力する n ビットの出力値 X_{1new} は、ニューロン回路部 1 0 a 1 の n ビットの出力値または、イジング装置 2 b 2 のニューロン回路部（図示せず）の n ビットの出力値である。n ビットの出力値 X_{1new} のうち、たとえば、XOR 回路 2 8 a 1 には、1 ビット目の値が供給され、XOR 回路 2 8 a n には、n ビット目の値が供給される。

【 0 0 6 2 】

レジスタ 2 9 a 1 は、XOR 回路 2 8 a 1 から出力される値が 1 となると、比較回路 2 7 a 1 または交換制御回路 1 0 d 1 から供給される値を取り込む。これにより、ニューロン回路 1 1 1 1 の出力値 x_1 が変化する（更新される）。レジスタ 2 9 a n は、XOR 回路 2 8 a n から出力される値が 1 となると、比較回路 2 7 a n または交換制御回路 1 0 d 1 から供給される値を取り込む。これにより、ニューロン回路 1 1 1 n の出力値 x_n が変

10

20

30

40

50

化する。

【0063】

以上のような、ニューロン回路 1111 ~ 111n は、イジング型のエネルギー関数の演算を比較的小規模なハードウェアで実現するものである。なお、イジング型のエネルギー関数 E(x) は、たとえば、以下の式(2)で定義される。

【0064】

【数2】

$$E(x) = - \sum_{\langle i,j \rangle} W_{ij} x_i x_j - \sum_i b_i x_i \quad (2)$$

10

【0065】

右辺の1項目は、全ニューロン回路から選択可能な2つのニューロン回路の全組み合わせについて、漏れと重複なく、2つのニューロン回路の出力値と重み値との積を積算したものである。なお、 $W_{ij} = W_{ji}$ 、 $W_{ii} = 0$ である。

【0066】

右辺の2項目は、全ニューロン回路のそれぞれのバイアス値と出力値との積を積算したものである。 b_i は、 i 番目のニューロン回路のバイアス値を示している。

上記のようなエネルギー関数 E(x) をハードウェアで表現するため、図4に示したニューロン回路 1111 ~ 111n のそれぞれは、ローカルフィールド値 h_1 ~ h_n を演算する。たとえば、ニューロン回路 1111 ~ 111n のうち、 i (1 ~ n) 番目のニューロン回路におけるローカルフィールド値 h_i は以下の式(3)で表される。

20

【0067】

【数3】

$$h_i = \sum_j W_{ij} x_j + b_i \quad (3)$$

【0068】

右辺の1項目は、 i 番目のニューロン回路と、イジング装置 2b1 内の他のニューロン回路のそれぞれとの間の接続の強さを示す複数の重み値と、ニューロン回路 1111 ~ 111n のそれぞれの出力値との積を積算したものである。

30

【0069】

イジング装置 2b1 のニューロン回路 1111 ~ 111n のうち、一度に出力値が更新されるニューロン回路の数を1つとすると、そのニューロン回路の接続先では、元のローカルフィールド値に対して、その更新による変化分を加算または減算すればよい。

【0070】

たとえば、 i 番目のニューロン回路に接続されている j (1 ~ n) 番目のニューロン回路の出力値 x_j (0 または 1) が、 $1 - x_j$ に変化したとき、 i 番目のニューロン回路のローカルフィールド値の変化分 Δh_i は、以下の式(4)で表される。

40

【0071】

【数4】

$$\Delta h_i = h_i \Big|_{x_j \rightarrow 1-x_j} - h_i = W_{ij} (1 - 2x_j) \quad (4)$$

【0072】

式(4)において、 $1 - 2x_j$ は、出力値 x_j が、0 から 1 に変化したときには、+1 となり、1 から 0 に変化したときには、-1 となる。

このような $1 - 2x_j$ の演算は、図4に示した、選択回路 22a1 ~ 22an で実現できる。

50

【0073】

また、既述の通り、図4に示したようなニューロン回路1111~111nでは、ローカルフィールド値 $h_1 \sim h_n$ にノイズ値を加えた値に対して、比較回路27a1~27anで閾値との比較が行われる。

【0074】

たとえば、比較回路27a1~27anの出力値(ニューロン回路1111~111nの出力値 $x_1 \sim x_n$)が1となる確率が、シグモイド関数に従うようにノイズ値が加えられる。たとえば、i番目のニューロン回路の出力値 x_i が1となる確率 $P_i(h_i)$ が、以下の式(5)の関係になるように、ノイズ値が加えられる。

【0075】

【数5】

$$P_i(h_i) = 1 / [1 + \exp(-h_i/T)] \quad (5)$$

【0076】

式(5)において、Tは、実効温度である。

式(5)に示すような確率 $P_i(h_i)$ を得るために、加算するノイズ値nsの確率密度関数 $p(ns)$ は、以下の式(6)のようになる。

【0077】

【数6】

$$p(ns) = \exp(-h_i/T) / [1 + \exp(-h_i/T)]^2 \quad (6)$$

【0078】

図5は、出力値 x_i が1となる確率 $P_i(h_i)$ の一例を示す図である。

横軸は、ローカルフィールド値 h_i にノイズ値nsを加算した値を示し、縦軸は、出力値 x_i が1となる確率を示している。

【0079】

波形30は、ローカルフィールド値 h_i に、式(6)に示すような確率密度関数 $p(ns)$ に従うノイズ値nsを加算した値が、i番目のニューロン回路の比較回路に入力されたときに、出力値 x_i が1となる確率 $P_i(h_i)$ を示す。波形31は、ローカルフィールド値 h_i が、i番目のニューロン回路の比較回路に入力されたときに、出力値 x_i が1となる確率 $P_i(h_i)$ を示す。

【0080】

波形31に示すように、ノイズ値nsがローカルフィールド値 h_i に加算されないときは、ローカルフィールド値 h_i が、閾値Vth以下では、 $P_i(h_i) = 0$ 、閾値Vthを超えると、 $P_i(h_i) = 1$ となる。

【0081】

これに対して、ノイズ値nsがローカルフィールド値 h_i に加算されるときは、波形30に示すように、シグモイド関数にしたがって確率 $P_i(h_i)$ が変化する。

以上で、ニューロン回路1111~111nの説明を終える。

【0082】

(計算回路)

図6は、計算回路の一例を示す図である。

計算回路10c1は、乗算回路40、加算回路41、レジスタ42を有する。

【0083】

乗算回路40は、ニューロン回路部10a1のnビットの出力値 X_1 のうち、i番目のビットの値である出力値 x_i と、ニューロン回路1111~111nのうち、i番目のニューロン回路で得られるローカルフィールド値 h_i との積を出力する。

【0084】

10

20

40

50

加算回路 4 1 は、レジスタ 4 2 に記憶されている値と、乗算回路 4 0 から出力される値とを加算する。

レジスタ 4 2 は、図示しないクロック信号に同期して、加算回路 4 1 から出力される値を取り込み出力する。

【 0 0 8 5 】

このような計算回路 1 0 c 1 は、 $i = 1 \sim n$ である出力値 x_i 及びローカルフィールド値 h_i を取得して、上記の回路構成により、出力値 $x_1 \sim x_n$ と、ローカルフィールド値 $h_1 \sim h_n$ との積和演算を行う。そして、計算回路 1 0 c 1 は、積和演算結果を、イジング装置 2 a 1 の総エネルギーを表すエネルギー値 $E_{total}(X_1)$ として出力する。

【 0 0 8 6 】

(交換制御回路)

交換制御回路 1 0 d 1 は、前述した拡張アンサンブル法を実現するために、イジング装置 2 b 1 , 2 b 2 間で、上記エネルギー値の差に基づく交換確率で、n ビットの出力値を交換する。

【 0 0 8 7 】

図 7 は、交換制御回路の一例を示す図である。

なお、図 7 の交換制御回路 1 0 d q は、交換制御回路 1 0 d 1 ~ 1 0 d N のうち、イジング装置 2 b 1 ~ 2 b N において、q (1 ~ q ~ N) 番目のイジング装置に含まれている交換制御回路を示している。

【 0 0 8 8 】

交換制御回路 1 0 d q は、フラグ生成回路 5 0 , 5 1 と、AND 回路 5 2 と、交換回路 5 3 とを有している。

フラグ生成回路 5 0 は、q 番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_q)$ と、q 番目のイジング装置よりも高い実効温度 T_{q+1} が設定された q + 1 番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_{q+1})$ を受ける。また、フラグ生成回路 5 0 は、ランダム信号生成回路 6 から出力される乱数値を受ける。フラグ生成回路 5 0 は、エネルギー値 $E_{total}(X_q)$, $E_{total}(X_{q+1})$ 及び乱数値に基づき、q 番目のイジング装置と q + 1 番目のイジング装置のニューロン回路部の n ビットの出力値 X_q , X_{q+1} を交換するか否かを示すフラグ信号 F_{lgd} を出力する。フラグ信号 F_{lgd} が 1 のときは、出力値 X_q , X_{q+1} を交換することを示し、フラグ信号 F_{lgd} が 0 のときは、出力値 X_q , X_{q+1} を交換しないことを示す。

【 0 0 8 9 】

フラグ生成回路 5 1 は、q 番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_q)$ と、q 番目のイジング装置よりも低い実効温度 T_{q-1} が設定された q - 1 番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_{q-1})$ を受ける。また、フラグ生成回路 5 1 は、ランダム信号生成回路 6 から出力される乱数値を受ける。フラグ生成回路 5 1 は、エネルギー値 $E_{total}(X_q)$, $E_{total}(X_{q-1})$ 及び乱数値に基づき、q 番目のイジング装置と q - 1 番目のイジング装置のニューロン回路部の n ビットの出力値 X_q , X_{q-1} を交換するか否かを示すフラグ信号 F_{lgd} を出力する。フラグ信号 F_{lgd} が 1 のときは、出力値 X_q , X_{q-1} を交換することを示し、フラグ信号 F_{lgd} が 0 のときは、出力値 X_q , X_{q-1} を交換しないことを示す。

【 0 0 9 0 】

図 8 は、フラグ生成回路の一例を示す図である。

なお、図 8 では、フラグ生成回路 5 0 の一例を示している。

フラグ生成回路 5 0 として、Metropolis-Hastings アルゴリズムと呼ばれるアルゴリズムに基づいて動作する回路を用いることができる。

【 0 0 9 1 】

フラグ生成回路 5 0 は、エネルギー比較回路 6 0 と、確率演算回路 6 1 と、確率比較回路 6 2 と、OR 回路 6 3 とを有している。

エネルギー比較回路 6 0 は、エネルギー値 $E_{total}(X_q)$, $E_{total}(X_{q+1})$ を比較す

10

20

30

40

50

る。そして、エネルギー比較回路 6 0 は、エネルギー値 $E_{total}(X_q)$ がエネルギー値 $E_{total}(X_{q+1})$ よりも大きい場合には 1 を出力し、エネルギー値 $E_{total}(X_q)$ がエネルギー値 $E_{total}(X_{q+1})$ よりも小さい場合には 0 を出力する。

【0092】

確率演算回路 6 1 は、式(1)に示した確率 R を算出する。確率演算回路 6 1 は、減算回路 6 1 a、乗算回路 6 1 b、 $e \times p$ 計算回路 6 1 c を有している。

減算回路 6 1 a は、エネルギー値 $E_{total}(X_q)$ とエネルギー値 $E_{total}(X_{q+1})$ の差を演算する。

【0093】

乗算回路 6 1 b は、減算回路 6 1 a での減算結果と定数 K との積を出力する。定数 K は 10
 $、(1/T_q) - (1/T_{q+1})$ であり、たとえば、制御装置 5 によって予め計算され、図示しないレジスタに記憶されている。

【0094】

$e \times p$ 計算回路 6 1 c は、乗算回路 6 1 b から出力される値の $e \times p$ 演算結果を確率 R として出力する。

確率比較回路 6 2 は、確率 R と、ランダム信号生成回路 6 が出力する乱数値とを比較する。なお、ランダム信号生成回路 6 が出力する乱数値は 0 より大きく、1 よりも小さいものとする。確率比較回路 6 2 は、乱数値が確率 R よりも大きい場合には、1 を出力し、乱数値が確率 R よりも小さい場合には、0 を出力する。

【0095】

OR 回路 6 3 は、エネルギー比較回路 6 0 から出力される値と、確率比較回路 6 2 から出力される値の OR 論理演算結果を、フラグ信号 F 1 g d として出力する。

なお、フラグ生成回路 5 1 もフラグ生成回路 5 0 と同様の回路で実現できる。

【0096】

フラグ生成回路 5 1 では、図 8 において、エネルギー値 $E_{total}(X_q)$ として、エネルギー値 $E_{total}(X_{q-1})$ が用いられ、エネルギー値 $E_{total}(X_{q+1})$ として、エネルギー値 $E_{total}(X_q)$ が用いられる。また、フラグ信号 F 1 g d の代わりにフラグ信号 F 1 g u が出力される。

【0097】

図 9 は、フラグ生成回路の他の例を示す図である。

図 9 では、図 7 に示したフラグ生成回路 5 0 の他の例として、Heat - Bath アルゴリズムと呼ばれるアルゴリズムに基づいて動作するフラグ生成回路 5 0 a が示されている。なお、図 7 に示したフラグ生成回路 5 1 についても、フラグ生成回路 5 0 a と同様の回路で実現できる。

【0098】

フラグ生成回路 5 0 a は、確率演算回路 7 1 と、確率比較回路 7 2 とを有している。

確率演算回路 7 1 は、以下の式(7)で表される確率 R を算出する。確率演算回路 7 1 は、減算回路 7 1 a、乗算回路 7 1 b、 $e \times p$ 計算回路 7 1 c、加算回路 7 1 d、除算回路 7 1 e を有している。

【0099】

【数 7】

$$R = 1/[1 + \exp\{(1/T_q - 1/T_{q+1})(E_{total}(X_{q+1}) - E_{total}(X_q))\}] \quad (7)$$

【0100】

減算回路 7 1 a、乗算回路 7 1 b、 $e \times p$ 計算回路 7 1 c は、図 8 に示した減算回路 6 1 a、乗算回路 6 1 b、 $e \times p$ 計算回路 6 1 c と同様の演算を行う。

加算回路 7 1 d は、 $e \times p$ 計算回路 6 1 c での演算結果に 1 を加算する。除算回路 7 1 e は、1 を加算回路 7 1 d での加算結果で割り、その結果を確率 R として出力する。

【0101】

10

20

30

40

50

確率比較回路 7 2 は、確率 R と、ランダム信号生成回路 6 が出力する乱数値とを比較する。なお、ランダム信号生成回路 6 が出力する乱数値は 0 より大きく、1 よりも小さいものとする。確率比較回路 7 2 は、乱数値が確率 R よりも大きい場合には、1 をフラグ信号 F_{lgd} として出力し、乱数値が確率 R よりも小さい場合には、0 をフラグ信号 F_{lgd} として出力する。

【0102】

図 7 の説明に戻る。

AND 回路 5 2 は、フラグ生成回路 5 0 , 5 1 が出力するフラグ信号 F_{lgd} , F_{lgu} の AND 論理演算結果を、調停信号 $Arbi$ として出力する。すなわち、AND 回路 5 2 は、フラグ信号 F_{lgd} , F_{lgu} がともに 1 の場合には、調停信号 $Arbi$ として 1 を出力し、それ以外の場合には、調停信号 $Arbi$ として 0 を出力する。
10

【0103】

交換回路 5 3 は、フラグ生成回路 5 0 , 5 1 が出力するフラグ信号 F_{lgd} , F_{lgu} と、AND 回路 5 2 が出力する調停信号 $Arbi$ と、 $q - 1$, q , $q + 1$ 番目のイジング装置のニューロン回路部の n ビットの出力値 X_{q-1} , X_q , X_{q+1} とを受ける。交換回路 5 3 は、これらに基づき、q 番目のイジング装置のニューロン回路部の n ビットの新たな出力値 X_{qnew} を出力する。

【0104】

図 10 は、交換回路の一例を示す図である。

交換回路 5 3 は、選択信号生成回路 8 0 、状態選択回路 8 1 を有している。
20

選択信号生成回路 8 0 は、フラグ信号 F_{lgd} , F_{lgu} と、AND 回路 5 2 が出力する調停信号 $Arbi$ とに基づき、以下の図 11 に示す真理値表にしたがって、選択信号 $Selu$, $Seld$ を出力する。

【0105】

図 11 は、選択信号生成回路の入出力信号の一例の関係を示す真理値表である。

図 11 の真理値表に示されているように、選択信号生成回路 8 0 は、フラグ信号 F_{lgu} の値が 1 、フラグ信号 F_{lgd} の値が 0 、調停信号 $Arbi$ の値が 0 のとき、選択信号 $Selu$ として 1 、選択信号 $Seld$ として 0 を出力する。

【0106】

また、選択信号生成回路 8 0 は、フラグ信号 F_{lgu} の値が 0 、フラグ信号 F_{lgd} の値が 1 、調停信号 $Arbi$ の値が 0 のとき、選択信号 $Selu$ として 0 、選択信号 $Seld$ として 1 を出力する。
30

【0107】

また、選択信号生成回路 8 0 は、フラグ信号 F_{lgu} , F_{lgd} の値が 0 、調停信号 $Arbi$ の値が 0 のとき、選択信号 $Selu$, $Seld$ として 0 を出力する。

また、選択信号生成回路 8 0 は、フラグ信号 F_{lgu} , F_{lgd} の値が 1 、調停信号 $Arbi$ の値が 1 のとき、選択信号 $Selu$ として 1 、選択信号 $Seld$ として 0 、または選択信号 $Selu$ として 0 、選択信号 $Seld$ として 1 を出力する。

【0108】

状態選択回路 8 1 は、選択信号生成回路 8 0 が出力する選択信号 $Selu$, $Seld$ に基づき、以下の図 12 に示す真理値表にしたがって、q 番目のイジング装置のニューロン回路部の n ビットの新たな出力値 X_{qnew} を出力する。
40

【0109】

図 12 は、状態選択回路の入出力信号の一例の関係を示す真理値表である。

図 12 の真理値表に示されているように、状態選択回路 8 1 は、選択信号 $Selu$ の値が 1 、選択信号 $Seld$ の値が 0 のとき、出力値 X_{qnew} として、 $q - 1$ 番目のイジング装置の出力値 X_{q-1} を出力する。このとき、q 番目のイジング装置の出力値 X_q と $q - 1$ 番目のイジング装置の出力値 X_{q-1} との交換が行われる。

【0110】

また、状態選択回路 8 1 は、選択信号 $Selu$ の値が 0 、選択信号 $Seld$ の値が 1 の
50

とき、出力値 $X_{q_{\text{new}}}$ として、 $q + 1$ 番目のイジング装置の出力値 X_{q+1} を出力する。このとき、 q 番目のイジング装置の出力値 X_q と $q + 1$ 番目のイジング装置の出力値 X_{q+1} との交換が行われる。

【0111】

また、状態選択回路 81 は、選択信号 $S_{\text{e1u}}, S_{\text{e1d}}$ の値が 0 のとき、出力値 X_{q_n} として、 q 番目のイジング装置の出力値 X_q を出力する。このときは、 q 番目のイジング装置の出力値 X_q と $q - 1$ 番目または $q + 1$ 番目のイジング装置の出力値 X_{q-1}, X_{q+1} との交換は行われない。

【0112】

(第 2 の実施の形態の情報処理装置の動作例)

10

以下、制御装置 5 によって制御される図 4 の情報処理装置 1a の動作の一例を、フローチャートを用いて説明する

図 13 及び図 14 は、第 2 の実施の形態の情報処理装置の動作の一例を示すフローチャートである。

【0113】

[ステップ S1] 制御装置 5 は、外部から起動信号を受けると、イジング装置 2b1 ~ 2bN に対して、異なる実効温度（ノイズ幅）を設定する。

[ステップ S2] イジング装置 2b1 ~ 2bN のそれぞれにおける n 個のニューロン回路（たとえば、ニューロン回路 1111 ~ 111n）は、ローカルフィールド値 $h_1 \sim h_n$ を算出する。

20

【0114】

[ステップ S3] イジング装置 2b1 ~ 2bN のそれぞれにおける n 個のニューロン回路は、ローカルフィールド値 $h_1 \sim h_n$ にノイズ値を加算する。

[ステップ S4] イジング装置 2b1 ~ 2bN のそれぞれに含まれるランダム信号生成回路（たとえば、ランダム信号生成回路 10f1）が出力する乱数値に応じて、n 個のニューロン回路の何れか 1 つが選択されて、その出力値の更新が許容される。そして、たとえば、イジング装置 2b1 ~ 2bN のそれぞれに含まれる制御回路（たとえば、制御回路 10b1）が、ニューロン回路の選択回数を 1 つ増加する。

【0115】

[ステップ S5] イジング装置 2b1 ~ 2bN のそれぞれにおいて、選択されたニューロン回路は、自身のローカルフィールド値 + ノイズ値が閾値を超えるか否かを判定する。ローカルフィールド値 + ノイズ値が閾値を超えるときには、ステップ S6 の処理が実行され、閾値を超えない場合にはステップ S7 の処理が実行される。

30

【0116】

[ステップ S6] イジング装置 2b1 ~ 2bN のそれぞれに含まれる制御回路（たとえば、制御回路 10b1）は、n 個のニューロン回路に対して、選択されたニューロン回路の更新後の出力値と、そのニューロン回路に対応付けられた重み値の選択信号とを供給する。

【0117】

[ステップ S7] イジング装置 2b1 ~ 2bN のそれぞれに含まれる各制御回路（たとえば、制御回路 10b1）は、選択回数が規定回数に至ったか否かを判定する。

40

選択回数が規定回数に至った場合には、ステップ S8 の処理が実行されて、規定回数に至っていない場合には、再び、ステップ S2 の処理が実行される。

【0118】

[ステップ S8] イジング装置 2b1 ~ 2bN のそれぞれにおいて、計算回路（たとえば、計算回路 10c1）は、n 個のニューロン回路からローカルフィールド値 $h_1 \sim h_n$ と、n 個のニューロン回路の出力値とを取得する。そして、各計算回路は、イジング装置 2b1 ~ 2bN のそれぞれの総エネルギーを表すエネルギー値 $E_{\text{total}}(X_1) \sim E_{\text{total}}(X_N)$ を算出する。

【0119】

50

[ステップS9] 交換制御回路10d1～10dNによる交換判定処理が行われる。たとえば、交換制御回路10d1は、計算回路10c1からエネルギー値 $E_{total}(X_1)$ と、制御回路10b1からnビットの出力値 X_1 と、を取得する。さらに、交換制御回路10d1は、イジング装置2b2の交換制御回路10d2から、イジング装置2b2の総エネルギーを表すエネルギー値 $E_{total}(X_2)$ と、nビットの出力値 X_2 とを取得する。そして、交換制御回路10d1は、エネルギー値 $E_{total}(X_1)$ とエネルギー値 $E_{total}(X_2)$ の差分をもとに算出される交換確率に基づいて、出力値 X_1 と出力値 X_2 とを交換するか否か判定する。

【0120】

[ステップS10] 交換制御回路10d1～10dNは、出力値 $X_1 \sim X_N$ の交換を行う場合には、ステップS11の処理を実行し、交換しない場合には、ステップS12の処理を実行する。

【0121】

[ステップS11] 交換制御回路10d1～10dNは、ステップS9の処理で交換対象となった隣接するイジング装置のニューロン回路部のnビットの出力値を、自身のイジング装置のニューロン回路部のnビットの出力値と交換する。

【0122】

たとえば、交換制御回路10d1, 10d2は、イジング装置2b1のニューロン回路部10a1のnビットの出力値 X_1 と、イジング装置2b2の図示しないニューロン回路部のnビットの出力値 X_2 とを交換する。これにより、交換制御回路10d1は、出力値 X_{1new} として、出力値 X_2 を、ニューロン回路1111～111nに供給する。

【0123】

[ステップS12] イジング装置2b1～2bNのそれぞれに含まれる制御回路(たとえば、制御回路10b1)は、自身のイジング装置内に含まれるニューロン回路部から、nビットの出力値を取得する。

【0124】

[ステップS13] そして各制御回路は、ステップS12で取得したnビットの出力値が変化するか否かを判定する。

nビットの出力値が変化しない場合には、ステップS14の処理が実行され、nビットの出力値が変化する場合には、ステップS2からの処理が繰り返される。なお、各制御回路は、nビットの出力値が変化しない場合には、無変化回数を1つ増加する。

【0125】

[ステップS14] その後、各制御回路は、nビットの出力値の無変化回数が規定回数に至ったか否かを判定する。

nビットの出力値の無変化回数が規定回数に至った場合には、各制御回路は、制御装置5に対して計算が収束した旨を通知する。これにより、制御装置5は、計算が終了した旨を示す信号を出力する。nビットの出力値の無変化回数が、規定回数に至っていない場合には、再び、ステップS2からの処理が繰り返される。

【0126】

以上のように、第2の実施の形態の情報処理装置1aによれば、交換制御回路10d1～10dNによって、交換確率(1, R)で、設定されているノイズ幅の値(実効温度)が隣接するイジング装置間でnビットの出力値の交換が行われる。これにより、ハードウェアで拡張アンサンブル法が実現でき、迅速に最適解を得ることが可能となる。つまり、最適化問題の計算時間を短縮できる。

【0127】

また、交換確率を算出する際に用いられるエネルギー値は、各ニューロン回路のローカルフィールド値と出力値との積和演算で求められるので、図6に示したような簡単な回路構成の計算回路10c1でエネルギー値 $E_{total}(X_1)$ を算出できる。

【0128】

[第3の実施の形態]

10

20

30

40

50

図15は、第3の実施の形態の情報処理装置の一例を示す図である。なお、図15において、図4に示した情報処理装置1aと同一の要素については同一符号が付されている。

【0129】

情報処理装置1bは、イジング装置2c1～2cNと、制御装置5と、交換制御回路7とを有する。なお、図15では、イジング装置2c1～2cNにおいて、イジング装置2c1から順に、実効温度Tの初期値として T_1, T_2, \dots, T_N が設定されている例が示されている。以下では、 $T_1 > T_2 > \dots > T_N$ であるとする。

【0130】

イジング装置2c1～2cNは、それぞれ同様の要素を成している。以下では、イジング装置2c1～2cNのうち、イジング装置2c1を例にして説明する。

イジング装置2c1は、図4に示したイジング装置2b1と同様に、ニューロン回路部10a1、制御回路10b1、計算回路10c1とを有しているが、交換制御回路10d1を有していない。図15の例では、交換制御回路7が、イジング装置2c1～2cNで共有されている。ただし、交換制御回路7が、イジング装置2c1～2cNのそれぞれに、一部またはすべてが含まれていてもよい。

【0131】

(交換制御回路)

交換制御回路7は、前述した拡張アンサンブル法を実現するために、イジング装置2c1～2cNのうち、ノイズ幅(実効温度)の値が隣接して設定されているイジング装置間で、上記エネルギー値の差に基づく交換確率で、ノイズ幅の値を交換する。

【0132】

図16は、交換制御回路の一例を示す図である。

交換制御回路7は、ランダム信号生成回路90と、フラグ生成回路91a1, 91a2, …, 91aq, 91a(q+1), …, 91a(N-1)と、温度生成回路92とを有している。

【0133】

ランダム信号生成回路90は、第2の実施の形態のランダム信号生成回路6と同様の機能を有しており、0よりも大きく、1よりも小さい乱数値を出力する。

フラグ生成回路91a1～91a(N-1)は、図8, 9に示した第2の実施の形態のフラグ生成回路50, 50aと同様の回路で実現できる。

【0134】

たとえば、フラグ生成回路91aqは、q番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_q)$ と、q+1番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_{q+1})$ を受ける。また、フラグ生成回路91aqは、ランダム信号生成回路6から出力される乱数値を受ける。そして、フラグ生成回路91aqは、エネルギー値 $E_{total}(X_q)$, $E_{total}(X_{q+1})$ 及び乱数値に基づき、q番目とq+1番目のイジング装置に設定されているノイズ幅(実効温度)を交換するか否かを示すフラグ信号F1gqを出力する。フラグ信号F1gqが1のときは、ノイズ幅を交換することを示し、フラグ信号F1gqが0のときは、ノイズ幅を交換しないことを示す。

【0135】

フラグ生成回路91a(q+1)は、q+1番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_{q+1})$ と、q+2番目のイジング装置の総エネルギーを表すエネルギー値 $E_{total}(X_{q+2})$ を受ける。また、フラグ生成回路91a(q+1)は、ランダム信号生成回路6から出力される乱数値を受ける。そして、フラグ生成回路91a(q+1)は、エネルギー値 $E_{total}(X_{q+1})$, $E_{total}(X_{q+2})$ 及び乱数値に基づき、q+1番目とq+2番目のイジング装置に設定されているノイズ幅を交換するか否かを示すフラグ信号F1g(q+1)を出力する。フラグ信号F1g(q+1)が1のときは、ノイズ幅を交換することを示し、フラグ信号F1g(q+1)が0のときは、ノイズ幅を交換しないことを示す。

【0136】

10

20

30

40

50

温度生成回路 9 2 は、イジング装置 2 c 1 ~ 2 c N に含まれるノイズ発生回路（たとえば、ノイズ発生回路 1 0 e 1）の増幅回路での増幅率を制御して実効温度に対応するノイズ幅を設定する温度設定信号 $T_{S1}, T_{S2}, \dots, T_{Sq}, T_{Sq+1}, \dots, T_{SN}$ を出力する。たとえば、イジング装置 2 c 1 に対するノイズ幅の設定は、温度設定信号 T_{S1} で行われ、イジング装置 2 c 2 に対するノイズ幅の設定は、温度設定信号 T_{S2} で行われる。

【0137】

温度生成回路 9 2 は、まず、制御装置 5 が出力する起動信号を受けると、温度設定信号 $T_{S1} \sim T_{SN}$ により、イジング装置 2 c 1 ~ 2 c N に含まれるノイズ発生回路に、ノイズ幅の初期値を設定する。ノイズ幅の初期値は、予め制御装置 5 によって設定され、温度生成回路 9 2 に格納されている。また、温度生成回路 9 2 は、フラグ生成回路 9 1 a 1 ~ 9 1 a (N - 1) が output するフラグ信号 $F1g1 \sim F1g(N - 1)$ に基づき、イジング装置 2 c 1 ~ 2 c N のうち、ノイズ幅の値が隣接して設定されるイジング装置間で、そのノイズ幅の値を交換する。

【0138】

図 1 7 は、温度生成回路の一例を示す図である。

温度生成回路 9 2 は、選択信号生成回路 1 0 0、初期値設定回路 1 0 1、1 パルス生成回路 1 0 2、選択回路 1 0 3 a 1, 1 0 3 a 2, …, 1 0 3 a q, 1 0 3 a (q + 1), 1 0 3 a N を有している。さらに、温度生成回路 9 2 は、レジスタ 1 0 4 a 1, 1 0 4 a 2, …, 1 0 4 a q, 1 0 4 a (q + 1), …, 1 0 4 a N、温度切替回路 1 0 5 を有している。

【0139】

選択信号生成回路 1 0 0 は、フラグ信号 $F1g1 \sim F1g(N - 1)$ に基づき、以下の図 1 8 に示す真理値表にしたがって、選択信号 $Sel11 \sim Sel1N(N - 1)$ を出力する。

図 1 8 は、温度生成回路の入出力信号の一例の関係を示す真理値表である。

【0140】

なお、真理値表に記載されている “d” は、ドントケア（0 でも 1 でもよいこと）を示している。

図 1 1 の真理値表に示されているように、選択信号生成回路 1 0 0 は、フラグ信号 $F1g1 \sim F1g(N - 1)$ の値が全て 0 のとき、選択信号 $Sel11 \sim Sel1N$ として 0 を出力する。

【0141】

また、選択信号生成回路 1 0 0 は、フラグ信号 $F1g1 \sim F1g(N - 1)$ のうち、フラグ信号 $F1g1$ の値が 1 のとき、その他のフラグ信号の値にかかわらず、選択信号 $Sel11$ として 1 を出力し、他の選択信号として 0 を出力する。

【0142】

また、選択信号生成回路 1 0 0 は、フラグ信号 $F1g1 \sim F1gq$ までの値が 0 で、フラグ信号 $F1g(q + 1)$ の値が 1 のとき、その他のフラグ信号の値にかかわらず、選択信号 $Sel1(q + 1)$ として 1 を出力し、他の選択信号として 0 を出力する。

【0143】

初期値設定回路 1 0 1 は、イジング装置 2 b 1 ~ 2 b N のそれぞれに設定する複数の異なるノイズ幅（実効温度）の初期値を保持している。初期値は、予め、制御装置 5 により設定され初期値設定回路 1 0 1 に記憶される。そして、初期値設定回路 1 0 1 は、初期値を設定するための温度設定信号を出力する。

【0144】

1 パルス生成回路 1 0 2 は、制御装置 5 が出力する起動信号を受けると、選択回路 1 0 3 a 1 ~ 1 0 3 a N に 1 パルスのパルス信号を出力する。

選択回路 1 0 3 a 1 ~ 1 0 3 a N は、パルス信号を受けている間（たとえば、パルス信号の論理レベルが H (High) レベルの間）、初期値設定回路 1 0 1 から出力される初期値を設定するための温度設定信号を選択して出力する。パルス信号を受けていない場合（たとえば、パルス信号の論理レベルが L (Low) レベルの間）、選択回路 1 0 3 a 1 ~ 1 0

10

20

30

40

50

3 a N は、温度切替回路 105 が output する温度設定信号 $T_{S1} \sim T_{SN}$ を選択して出力する。

【0145】

レジスタ 104 a1 ~ 104aN は、選択回路 103 a1 ~ 103aN が output する温度設定信号を格納する。

温度切替回路 105 は、選択信号 Sel1 ~ Sel(N-1) に基づき、温度設定信号 $T_{S1} \sim T_{SN}$ を出力する。

【0146】

たとえば、パルス信号の論理レベルが H レベルのとき、フラグ信号 Flg1 ~ Flg(N-1) の値が 0 であるとする。このとき、選択信号 Sel1 ~ Sel(N-1) は全て 0 になり、温度切替回路 105 は、初期値を設定するための温度設定信号 $T_{S1} \sim T_{SN}$ を出力する。これにより、イジング装置 2c1 ~ 2cN において、イジング装置 2b1 から順に、実効温度 T の初期値として T_1, T_2, \dots, T_N が設定される。
10

【0147】

パルス信号の論理レベルが L レベルになると、温度切替回路 105 は、図 18 に示した真理値表にしたがって選択信号 Sel1 ~ Sel(N-1) の何れかが 1 になると、イジング装置 2c1 ~ 2cN に設定するノイズ幅の交換を行う。

【0148】

たとえば、選択信号 Selq が 1 になると、温度切替回路 105 は、レジスタ 104 aq から出力される温度設定信号 T_{Sq} を、イジング装置 2c1 ~ 2cN のうち、q + 1 番目のイジング装置のノイズ幅を設定するための温度設定信号 T_{Sq+1} として出力する。また、温度切替回路 105 は、レジスタ 104 a(q + 1) から出力される温度設定信号 T_{Sq+1} を、イジング装置 2c1 ~ 2cN のうち、q 番目のイジング装置のノイズ幅を設定するための温度設定信号 T_{Sq+1} として出力する。これにより、q 番目のイジング装置と q + 1 番目のイジング装置に設定されるノイズ幅が交換される。
20

【0149】

(第 3 の実施の形態の情報処理装置の動作例)

以下、制御装置 5 によって制御される図 15 の情報処理装置 1b の動作の一例を、フローチャートを用いて説明する。

【0150】

図 19 は、第 3 の実施の形態の情報処理装置の動作の一例を示すフローチャートである
30
。

情報処理装置 1b でも、第 2 の実施の形態と同様に、図 13, 14 に示したステップ S1 ~ S8 の処理が実行される。

【0151】

以下、ステップ S9a 以降について説明する。

[ステップ S9a] 交換制御回路 7 による交換判定処理が行われる。交換制御回路 7 は、イジング装置 2c1 ~ 2cN から、エネルギー値 $E_{total}(X_1) \sim E_{total}(X_N)$ を取得する。そして、交換制御回路 7 は、隣接するイジング装置間のエネルギー値の差分をもとに算出される交換確率に基づいて、イジング装置 2c1 ~ 2cN のうち、隣接する 2 つのイジング装置に設定するノイズ幅を交換するか否か判定する。
40

【0152】

[ステップ S10a] 交換制御回路 7 は、設定するノイズ幅の交換を行う場合には、ステップ S11a の処理を実行し、交換しない場合には、ステップ S12 の処理を実行する。

【0153】

[ステップ S11a] 交換制御回路 7 は、ステップ S9a の処理で交換対象となった隣接する 2 つのイジング装置に設定するノイズ幅を交換する。

以下、第 2 の実施の形態と同様のステップ S12 ~ S14 が実行される。

【0154】

図 20 は、情報処理装置の動作の一例を示すタイミングチャートである。
50

情報処理装置 1 b の電源がオンになると（タイミング t 1）、制御装置 5 に供給されるリセット信号が解除される（タイミング t 2）。

【 0 1 5 5 】

これにより、制御装置 5 は、パラメータ（重み値やバイアス値）や実効温度（ノイズ幅）などの初期値設定を行う（タイミング t 3 ~ t 4）。その後、制御装置 5 は、交換制御回路 7 に起動信号を送信する（起動信号の論理レベルを H レベルとする）（タイミング t 5）。これにより、前述したステップ S 2 ~ S 1 4 の処理が行われる。

【 0 1 5 6 】

制御装置 5 は、イジング装置 2 c 1 ~ 2 c N の何れかから n ビットの出力値の変化が収束したことを表すニューロン収束信号を受けると（タイミング t 6）、計算処理の終了を表す終了信号を出力し、起動信号の論理レベルを L レベルとする（タイミング t 7）。

10

【 0 1 5 7 】

なお、第 2 の実施の形態の情報処理装置 1 a でも、全体の動作の流れは、図 2 0 に示した動作とほぼ同様となる。

以上のように、第 3 の実施の形態の情報処理装置 1 b によれば、交換制御回路 7 によって、交換確率（1, R）で、隣接するイジング装置間で、設定されているノイズ幅の値（実効温度）の交換が行われる。これにより、ハードウェアで拡張アンサンブル法が実現でき、迅速に最適解を得ることが可能となる。つまり、最適化問題の計算時間を短縮できる。

【 0 1 5 8 】

20

また、第 3 の実施の形態の情報処理装置 1 b では、n 個のニューロン回路の出力に対応した n ビットの出力値を交換する第 2 の実施の形態の情報処理装置 1 a と比べて、交換する情報量を少なくすることができる。

【 0 1 5 9 】

以上、実施の形態に基づき、本発明の情報処理装置、イジング装置及び情報処理装置の制御方法の一観点について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

【 0 1 6 0 】

たとえば、ニューロン回路部は、図 4 などに示した D e G l o r i a アルゴリズムに基づく処理を行うものに限定されない。ニューロン回路部は、重み値と、n ビットのニューロンから出力される n ビットの出力値に基づき、各ニューロンのエネルギーを示すローカルフィールド値を算出する回路であればよい。

30

【 符号の説明 】

【 0 1 6 1 】

1 情報処理装置

2 a 1 ~ 2 a N イジング装置

3 計算回路

4 交換制御回路

5 制御装置

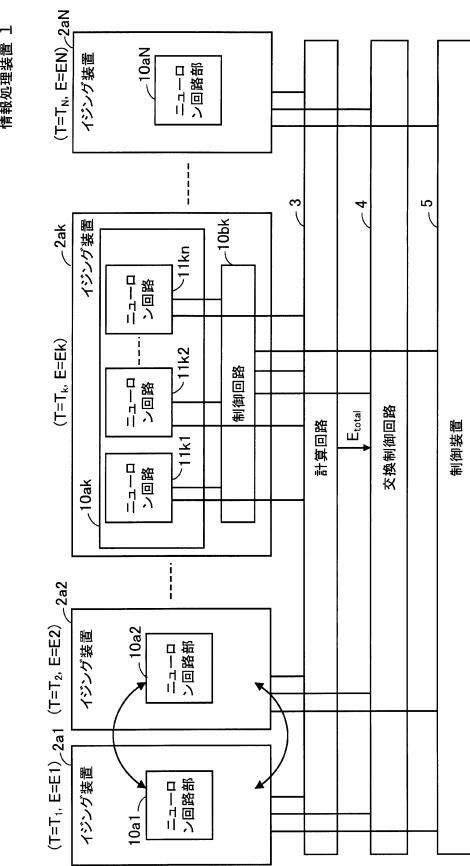
1 0 a 1 ~ 1 0 a N ニューロン回路部

40

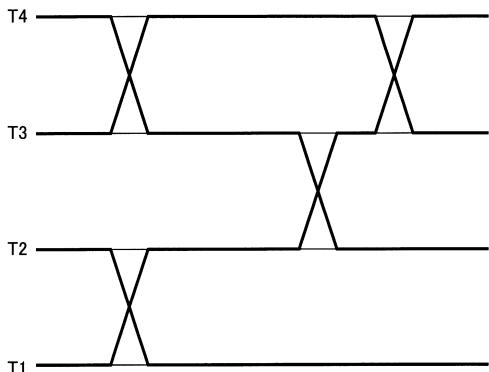
1 1 k 1 ~ 1 1 k n ニューロン回路

1 0 b k 制御回路

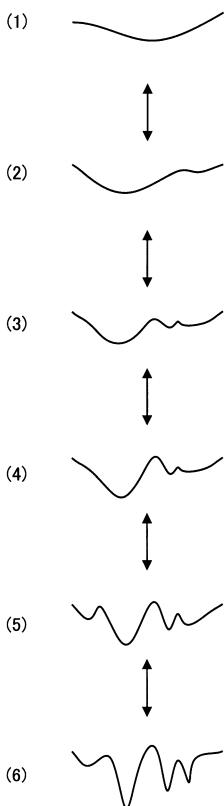
【図1】



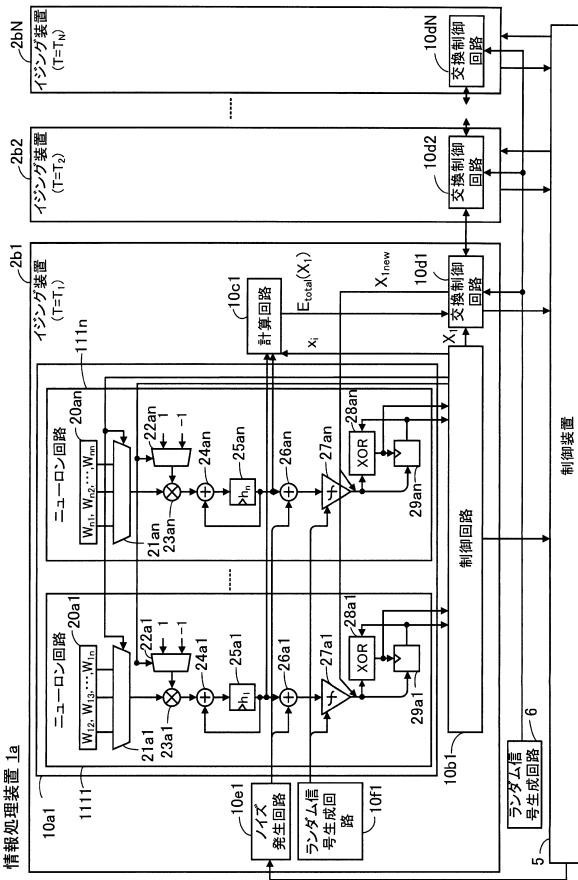
【 四 2 】



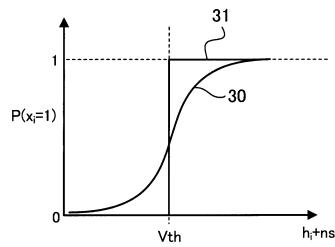
【 図 3 】



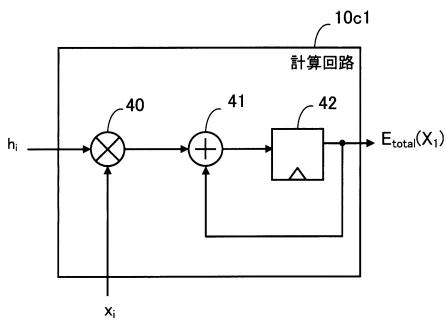
【 四 4 】



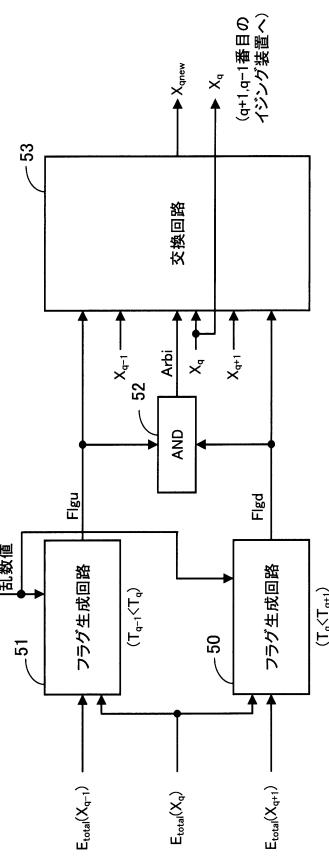
【図5】



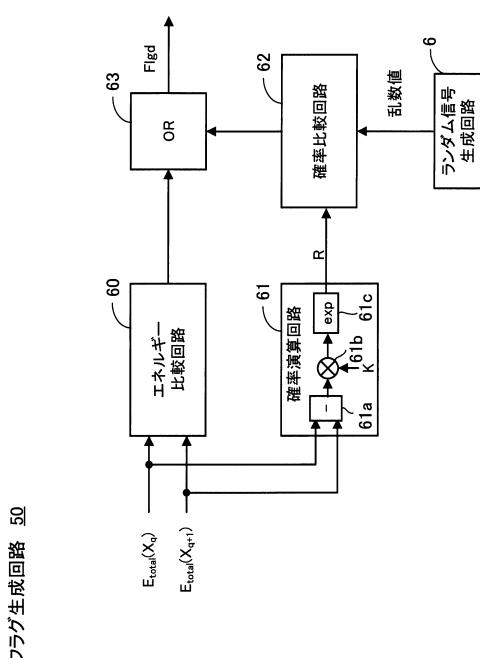
【図6】



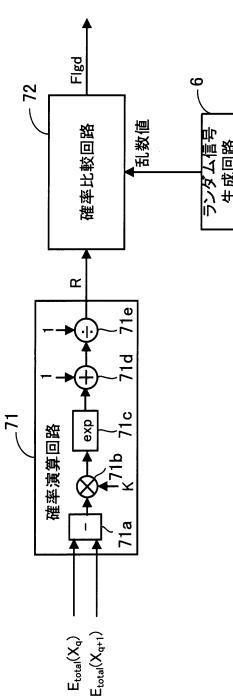
【図7】



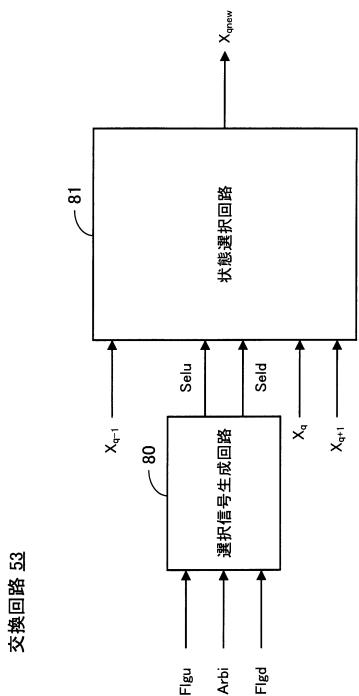
【図8】



【図9】



【図10】



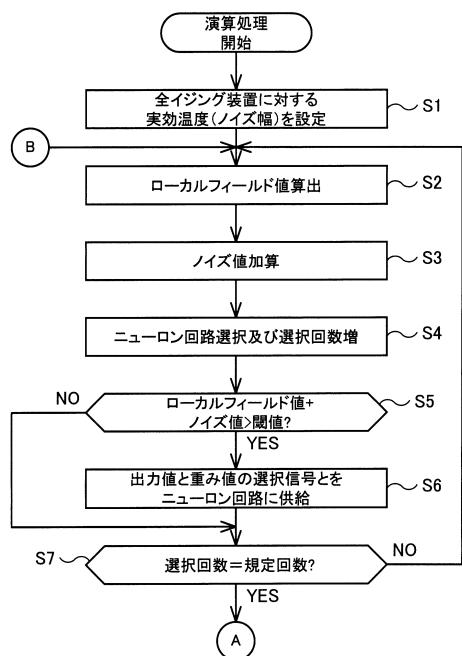
【図11】

Figu	Flgd	Arbi	Selu	Seld
1	0	0	1	0
0	1	0	0	1
0	0	0	0	0
1	1	1	1(0)	0(1)

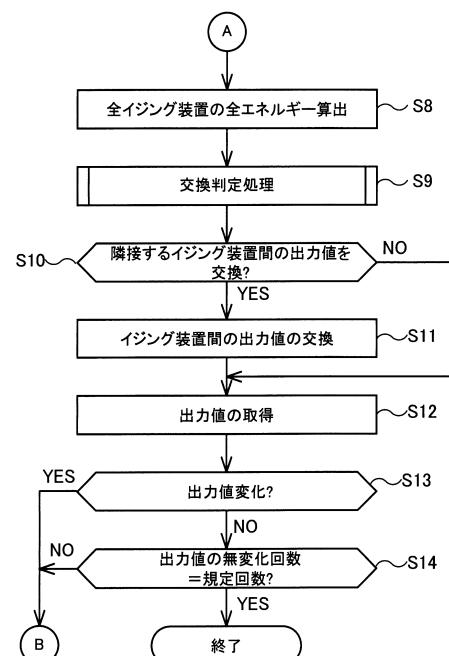
【図12】

Selu	Seld	X_{q,new}
1	0	X_{q-1}
0	1	X_{q+1}
0	0	X_q

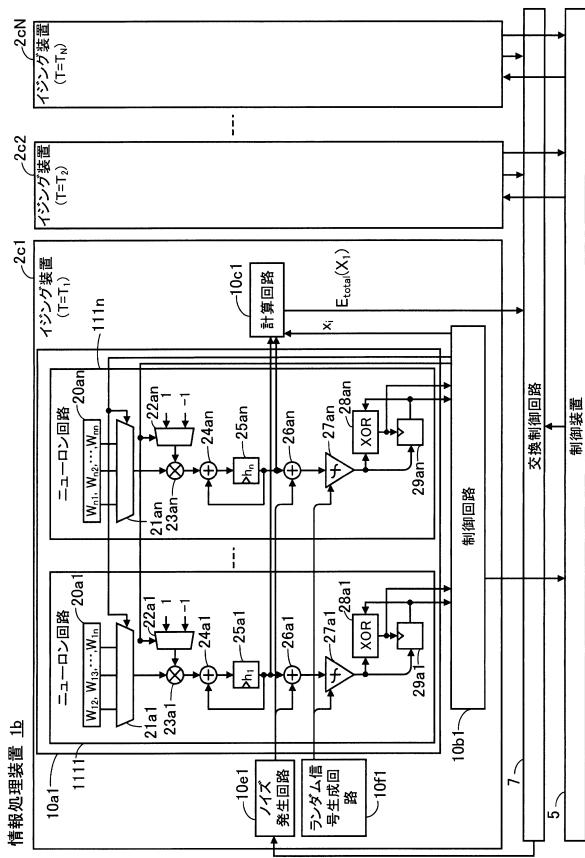
【図13】



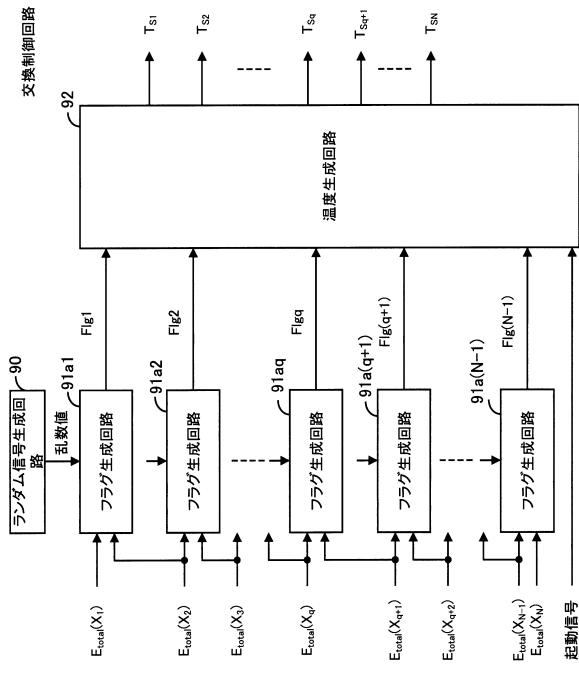
【図14】



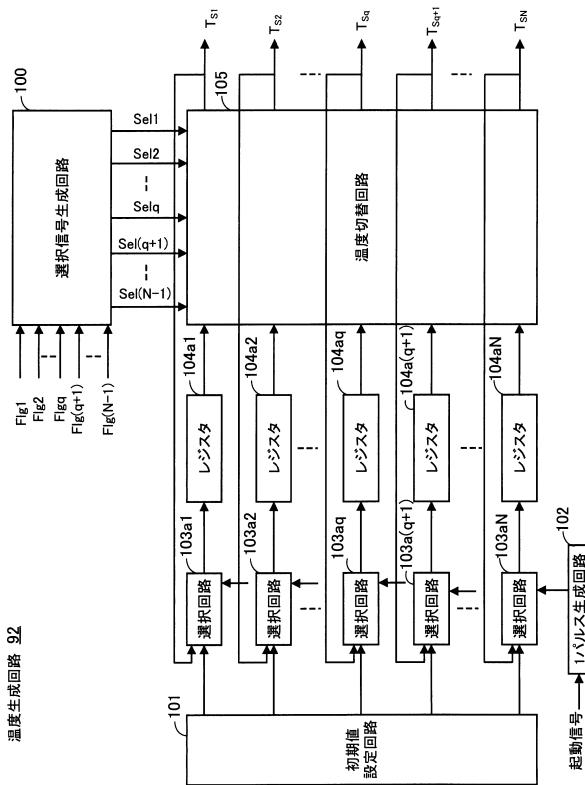
【図15】



【図16】



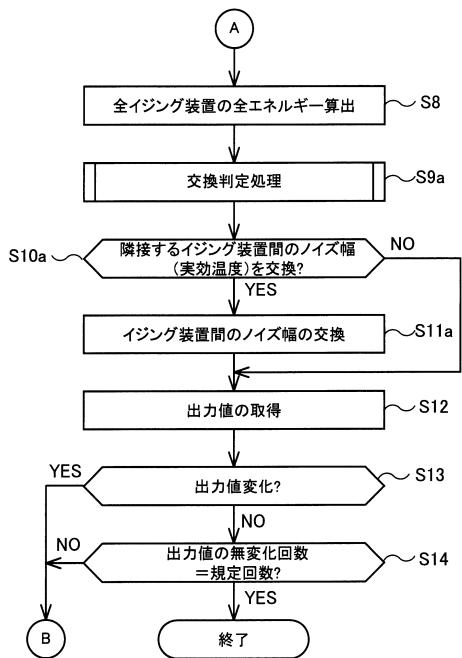
【図17】



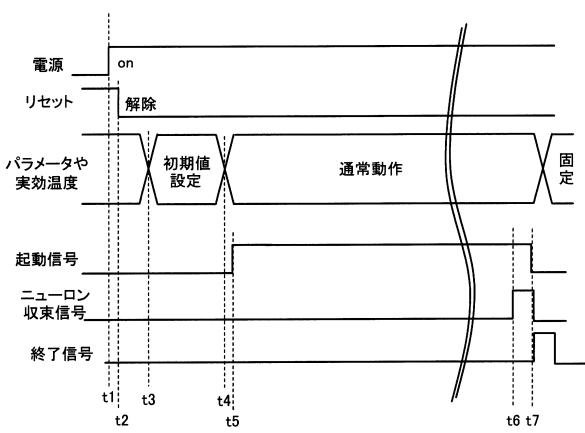
【図18】

Fig 1	Fig 2	Fig q	Fig(q+1)	$F_{lg}(N-1)$	Sel1	Sel2	Selq	Sel(q+1)	SeIN
0	0	0	0	0	0	0	0	0	0
1	d	d	d	d	1	0	0	0	0
0	1	d	d	d	0	1	0	0
.....
0	0	1	d	d	0	0	1	0	0
0	0	0	1	d	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1

【図19】



【図20】



フロントページの続き

(56)参考文献 特開平9-231197(JP,A)
特開平5-250346(JP,A)
特開平4-160463(JP,A)
秋山 泰, コンピューティングの玉手箱, bit, 1990年 5月 1日, 第22巻 / 第5号, p
p.114-115

(58)調査した分野(Int.Cl., DB名)

G 06 N 3 / 063
G 06 N 99 / 00