



OPIS PATENTOWY PATENTU TYMCZASOWEGO

74 977

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 24.02.1972 (P. 153671)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 30.05.1973

Opis patentowy opublikowano: 30.09.1975

Kl. 42m³,7/48

MKP G06f 7/48

Twórca wynalazku: Jan Ligaszewski

Uprawniony z patentu tymczasowego: Ośrodek Badawczo-Rozwojowy Pomiarów i Automatyki Elektronicznej, Wrocław (Polska)

Układ cyfrowego pierwiastkowania kwadratowego

1

Przedmiotem wynalazku jest układ cyfrowego pierwiastkowania kwadratowego, znajdujący zastosowanie w elektronicznej aparaturze pomiarowej oraz układach automatyki i sterowania, jako blok operacji algebraicznej.

Znany jest układ cyfrowego pierwiastkowania kwadratowego, składający się z przerzutnika typu JK, licznika wyniku pierwiastkowania, zbudowanego z licznika dziesiętnego kodowanego dwójkowo, układu dopełnienia dziewiątkowego i układu dopełnienia jedynkowego oraz licznika pomocniczego, złożonego z licznika dekadowego i licznika czterostopniowego dwójkowego i funkcyjnych typu NAND. Na wejściu układu znajduje się bramka złożona z dwóch funkcyjnych typu NAND, której jedno wejście jest połączone z przerzutnikiem typu JK, a drugie wejście jest wejściem całego układu pierwiastkowania. Wyjście bramki połączone jest z jednym z wejść licznika wyniku pierwiastkowania, którego wyjścia są połączone poprzez układ dopełnienia dziewiątkowego z wejściami programującymi licznika dekadowego i poprzez układ dopełnienia jedynkowego z wejściami programującymi licznika czterostopniowego dwójkowego, którego wyjście jest połączone przez układ funkcyjnych logicznych typu NAND z wejściami zezwalającymi na programowanie licznika dekadowego i licznika czterostopniowego dwójkowego oraz z dekadami licznika wyniku pierwiastkowania. Przerzutnik typu JK i dekady licznika

2

wyniku pierwiastkowania oraz dekady licznika pomocniczego połączone są z wejściem zegarowym, przeznaczonym do sygnału taktującego.

- Działanie tego znanego układu jest następujące.
- 5 Po pierwszym impulsie wejściowym licznik wyniku pierwiastkowania zapisuje cyfrę 1. Następnie licznik pomocniczy odbiera trzy impulsy wejściowe i wówczas licznik wyniku pierwiastkowania zapisuje cyfrę 2, a następnie gdy licznik pomocniczy odbierze pięć dalszych impulsów wejściowych, to
 - 10 licznik wyniku pierwiastkowania zapisuje cyfrę 3 itd. Omawiany układ jest układem synchronicznym. Impulsy wejściowe są wpisywane do licznika wyniku pierwiastkowania jeżeli przerzutnik typu JK ma na wyjściu stan „1”. Licznik pomocniczy jest programowany poprzez układy uzupełnień na dopełnienie liczby zapisanej w liczniku wyniku pierwiastkowania. Wypełnienie licznika pomocniczego powoduje powstanie na jego wyjściu stanu
 - 20 „1”. Następny impuls wejściowy zmienia stan na wyjściu przerzutnika typu JK i zależnie od tego stanu w liczniku wyniku pierwiastkowania zostanie wpisana lub nie następna cyfra. Pojawienie się stanu „1” na wyjściu licznika pomocniczego powoduje podanie zezwolenia na jego ponowne zaprogramowanie.
 - 25

Ten znany układ ma tę niedogodność, że do swej budowy wymaga stosowania specjalnych liczników programowanych lub przy stosowaniu liczników prostych, wprowadzenia skomplikowanych ukła-

30

dów programujących. Inną niedogodnością tego układu jest to, że jest on przystosowany do realizacji funkcji pierwiastkowania kwadratowego tylko w zapisie dziesiętnym kodowanym dwójkowo. Dalszą niedogodnością jest konieczność współpracy z urządzeniami wytwarzającymi sygnał taktujący.

Celem wynalazku jest usunięcie wymienionych niedogodności.

Zadaniem technicznym wymagającym rozwiązania jest opracowanie konstrukcji asynchronicznego układu cyfrowego pierwiastkowania kwadratowego, przystosowanego do zapisu wyników w dowolnych kodach, z zastosowaniem prostych liczników impulsów, umożliwiającą się równocześnie prostszą budową w porównaniu do znanego układu.

Zadanie to zostało rozwiązane w wynalazku dzięki temu, że do budowy układu cyfrowego pierwiastkowania kwadratowego zastosowano dwa proste liczniki impulsów, jeden jako licznik wyniku a drugi jako pomocniczy, układ porównania realizujący funkcję tożsamości, dwa przerzutniki statyczne wejściowy i sterujący, trzy bramki realizujące iloczyn logiczny i trzy funktry realizujące sumę logiczną i połączono je ze sobą w sposób celowy oraz przystosowano układ do kasowania zewnętrznym sygnałem. Wejście układu jest połączone z zanegowanym wejściem taktu wejściowego przerzutnika, którego zanegowane wyjście jest połączone z dwoma jego wejściami oraz z wejściem wejściowej bramki, której wyjście jest połączone z wejściem licznika wyniku i z wejściem logicznej sumy przerzutnika sterującego oraz z wejściem logicznej sumy kasowania liczników. To samo wejście układu jest równocześnie połączone z drugim wejściem wejściowej bramki i wejściem pomocniczego licznika. Wyjścia obu liczników, licznika wyniku i licznika pomocniczego, są połączone z wejściami układu porównania. Wejście sterującego przerzutnika jest połączone z wyjściem wejściowego przerzutnika, natomiast wyjście tego sterującego przerzutnika jest połączone z jego drugim wejściem, z wejściem bramki kasowania i wejściem ostatniej znaczącej cyfry licznika odczytu, zaś wyjście bramki kasowania jest połączone z wejściem logicznej sumy kasowania wejściowego przerzutnika, której wyjście jest połączone z wejściem kasowania wejściowego przerzutnika. Zanegowane wyjście sterującego przerzutnika jest połączone z wejściem sterującej bramki, połączonej swoim wyjściem z wejściem logicznej sumy sterującego przerzutnika, której wyjście jest połączone z zanegowanym wejściem taktu sterującego przerzutnika. Wyjście układu porównywania jest połączone z jednym z wejść logicznej sumy kasowania liczników, z drugim wejściem sterującej bramki i drugim wejściem bramki kasowania. Wejście kasowania układu połączone jest z wejściem logicznej sumy kasowania wejściowego przerzutnika, wejściem kasowania sterującego przerzutnika i wejściem logicznej sumy kasowania liczników, której wyjście jest połączone z wejściem kasowania pomocniczego licznika, przy czym to wejście kasowania jest równocześnie połączone z wejściem kasowania licznika wyniku.

Układ według wynalazku charakteryzuje się sze-

regiem zalet, przede wszystkim zaś tym, że do swojej budowy nie wymaga stosowania liczników programowanych lub skomplikowanych układów programujących, a można w nim stosować proste funktry logiczne i proste liczniki impulsów tym, że czas przeprowadzania operacji pierwiastkowania jest znacznie skrócony w porównaniu do znanego układu oraz tym, że zastosowane liczniki mogą pracować w dowolnym zapisie, dziesiętnym, dwójkowym, dziesiętnym kodowanym dwójkowo itp.

Układ znajduje zastosowanie w elektronicznej aparaturze pomiarowej do konstrukcji cyfrowych przyrządów pomiarowych, przetworników w automatyce i sterowaniu, na wejście których podawane są wielkości kwadratowe, np. jako miernik lub przetwornik natężenia przepływu, miernik mocy itp. oraz do innych zastosowań specjalnych.

Układ pierwiastkowania kwadratowego według wynalazku jest bliżej objaśniony w przykładzie wykonania na załączonym rysunku, który przedstawia schemat blokowy układu.

Wejście układu WE, na które podawana jest liczba podlegająca pierwiastkowaniu, w postaci ciągu impulsów pojawiających się w dowolnych odstępach czasu, jest połączone z zanegowanym wejściem taktu T wejściowego przerzutnika 1, którego zanegowane wyjście Q jest połączone dwoma jego wejściami J i K oraz z wejściem wejściowej bramki 2, realizującej funkcję iloczynu logicznego. Wyjście tej bramki 2 jest połączone z wejściem licznika wyniku 3, w którym zapisywany jest wynik pierwiastkowania kwadratowego, a ponadto z wejściem logicznej sumy 4 sterującego przerzutnika 5 i z wejściem logicznej sumy 6 kasowania liczników. Wejście układu WE jest ponadto połączone z drugim wejściem wejściowej bramki 2 i wejściem pomocniczego licznika 7. Wyjścia obu liczników, licznika wyniku 3 i pomocniczego licznika 7, są połączone z wejściami układu porównania 8, realizującego funkcję tożsamości.

Wyjście Q wejściowego przerzutnika 1 jest połączone z wejściem J sterującego przerzutnika 5, którego wyjście Q jest połączone z drugim jego wejściem K, z wejściem bramki kasowania 9, realizującej funkcję iloczynu logicznego i z wejściem ostatniej znaczącej cyfry 10 licznika wyniku 3, zaokrąglanej stanem przerzutnika 5 do cyfr 0 lub 5.

Wyjście bramki kasowania 9 jest połączone z wejściem logicznej sumy 11 kasowania wejściowego przerzutnika 1, której wyjście jest połączone z wejściem R kasowania wejściowego przerzutnika 1, natomiast zanegowane wyjście Q sterującego przerzutnika 5 jest połączone z wejściem sterującej bramki 12, realizującej funkcję iloczynu logicznego, połączonej swoim wyjściem z wejściem logicznej sumy 4 sterującego przerzutnika 5, której wyjście jest połączone z zanegowanym wejściem taktu T tego sterującego przerzutnika 5. Wyjście układu porównania 8 jest połączone z jednym z wejść logicznej sumy 6 kasowania liczników, z drugim wejściem sterującej bramki 12 i drugim wejściem bramki kasowania 9. Wejście KAS kasowania układu, do którego podawany jest impuls kasujący, jest połączone z wejściem logicznej su-

my 11 kasowania wejściowego przerzutnika 1, wejściem kasowania R sterującego przerzutnika 5 i wejściem logicznej sumy 6 kasowania liczników, której wyjście jest połączone z wejściem kasowania R pomocniczego licznika 7. Wejście KAS kasowania układu jest ponadto połączone z wejściem kasowania R licznika wyniku 3.

Działanie układu według wynalazku przebiega następująco. Liczba podlegająca pierwiastkowaniu jest podawana na wejście WE układu w postaci ciągu impulsów, pojawiających się w dowolnych odstępach czasu, przy czym suma wszystkich impulsów ciągu równa jest tej liczbie pomnożonej przez współczynnik 10^{2k} , gdzie $k = 0, 1, 2, 3, \dots$. Wynik pierwiastkowania jest zapisywany w liczniku wyniku 3, zliczającym te impulsy ciągu, których liczba jest równa jedności plus podwojony iloczyn jego zawartości, według znanego algorytmu. Po wyzerowaniu układu wejściowa bramka 2 jest przygotowana do przejścia pierwszego impulsu. Tył tego impulsu oraz tyły następnych impulsów przechodzących przez tę bramkę 2 każdorazowo ustawiają przerzutniki 1 i 5 w stan „0”, powodujący zamknięcie bramek 2 i 9. Pomocniczy licznik 7 zlicza impulsy znajdujące się pomiędzy kolejnymi impulsami, przechodzącymi przez wejściową bramkę 2.

W momencie zrównania się zawartości pomocniczego licznika 7 z zawartością licznika wyniku 3, na wyjściu układu porównania 8 pojawia się impuls, spowodowany sprzężeniem tego wyjścia, poprzez logiczną sumę 6 kasowania liczników, z wejściem kasowania R pomocniczego licznika 7. W przedziale pomiędzy dwoma kolejnymi impulsami, wpisywanymi do licznika wyniku 3, pomocniczy licznik 7 zlicza dwukrotnie przechodzące impulsy. W tym czasie układ porównania 8 wysyła dwa impulsy porównania, w połowie oraz na końcu tego przedziału. Pierwszy impuls przechodzi przez sterującą bramkę 12 oraz logiczną sumę 4 sterującego przerzutnika 5, ustawiając ten przerzutnik 5 w stan „1”, otwierając bramkę kasowania 9, natomiast drugi impuls porównania przechodzi przez bramkę kasowania 9, logiczną sumę kasowania 11 wejściowego przerzutnika 1, zeruje ten przerzutnik 1, który otwiera wejściową bramkę 2, na przejście kolejnego impulsu, zapisywanego w liczniku wyniku 3. W momencie podania na wejście WE układu ostatniego impulsu liczby pierwiastkowanej układ kończy pracę, a zawartość licznika wyniku 3 oraz stan sterującego przerzutnika 5, będący ostatnią cyfrą znaczącą 10 licznika wyniku 3, równa się pierwiastkowi kwadratowemu z liczby podanej

na wejście WE układu z tym, że ostatnia znacząca cyfra 10 wyniku pierwiastkowania jest zerem lub piątką.

Zastrzeżenie patentowe

Układ cyfrowego pierwiastkowania kwadratowego zawierający liczniki impulsów, układ porównania, przerzutniki statyczne, bramki spełniające rolę iloczynów logicznych i funktry spełniające rolę sumy logicznej, ~~znamienny~~ tym, że wejście (WE) układu jest połączone z zanegowanymi wejściami taktu (T) wejściowego przerzutnika (1), którego zanegowane wyjście (Q) jest połączone z dwoma wejściami (J, K) tego przerzutnika (1) oraz z wejściem wejściowej bramki (2), której wyjście jest połączone z wejściem licznika wyniku (3) i z wejściem logicznej sumy (4) sterującego przerzutnika (5) oraz z wejściem logicznej sumy (6) kasowania liczników, przy czym to wejście (WE) układu jest równocześnie połączone z drugim wejściem wejściowej bramki (2) i wejściem pomocniczego licznika (7), zaś wyjścia obu liczników (3 i 7) są połączone z wejściami układu porównania (8), natomiast wyjście (Q) wejściowego przerzutnika (1) jest połączone z wejściem (J) sterującego przerzutnika (5), którego wyjście (Q) jest połączone z drugim wejściem (K) tego sterującego przerzutnika (5), wejściem bramki kasowania (9) i wejściem ostatniej znaczącej cyfry (10) licznika wyniku (3), zaś wyjście bramki kasowania (9) jest połączone z wejściem logicznej sumy (11) kasowania wejściowego przerzutnika (1), której wyjście jest połączone z wejściem (R) kasowania wejściowego przerzutnika (1), natomiast zanegowane wyjście (Q) sterującego przerzutnika (5) jest połączone z wejściem sterującej bramki (12), połączonej swoim wyjściem z wejściem logicznej sumy (4) sterującego przerzutnika (5), której wyjście jest połączone z zanegowanym wejściem taktu (T) tego sterującego przerzutnika (5), przy czym wyjście układu porównania (8) jest połączone z jednym z wejść logicznej sumy (6) kasowania liczników, z drugim wejściem sterującej bramki (12) i drugim wejściem bramki kasowania (9), zaś wejście KAS kasowania układu połączone jest z wejściem logicznej sumy (11) kasowania wejściowego przerzutnika (1), wejściem kasowania (R) sterującego przerzutnika (5), wejściem logicznej sumy (6) kasowania liczników, której wyjście jest połączone z wejściem kasowania (R) pomocniczego licznika (7), a równocześnie to wejście kasowania (KAS) jest połączone z wejściem kasowania (R) licznika wyniku (3).

