

I307489

(此處由本局於收
文時黏貼條碼)

758790

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：94131646

※申請日期：94年09月14日

※IPC分類：6096³/₁₂
(2006.01)

一、發明名稱：

(中) 畫像顯示裝置

(英) Image display device

●二、申請人：(共 1 人)

1. 姓 名：(中) 日立顯示器股份有限公司

(英) HITACHI DISPLAYS, LTD.

代表人：(中) 1. 米內史明

(英)

地 址：(中) 日本國千葉縣茂原市早野三三〇〇番地

(英)

國籍：(中英) 日本

JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 景山寬

(英) KAGEYAMA, HIROSHI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 秋元肇

(英) AKIMOTO, HAJIME

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/10/08 ; 2004-295637 ☒ 有主張優先權

I307489

(此處由本局於收
文時黏貼條碼)

758790

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：94131646

※申請日期：94年09月14日

※IPC分類：6096³/₁₂
(2006.01)

一、發明名稱：

(中) 畫像顯示裝置

(英) Image display device

●二、申請人：(共 1 人)

1. 姓 名：(中) 日立顯示器股份有限公司

(英) HITACHI DISPLAYS, LTD.

代表人：(中) 1. 米內史明

(英)

地 址：(中) 日本國千葉縣茂原市早野三三〇〇番地

(英)

國籍：(中英) 日本

JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 景山寬

(英) KAGEYAMA, HIROSHI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 秋元肇

(英) AKIMOTO, HAJIME

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本

； 2004/10/08 ； 2004-295637 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關自發光型的畫像顯示裝置。

【先前技術】

作為於像素使用發光元件之畫像顯示裝置，係熟知有使用電激發光（以下簡稱 EL）元件的 EL 顯示器。主動矩陣型之 EL 顯示器中，將傳導訊號或電流之配線配置為矩陣狀，像素中除了 EL 元件之外，還內裝有以主動元件亦即薄膜電晶體（以下簡稱 TFT）所形成的像素電路。EL 元件之發光亮度控制，係藉由控制對 EL 元件供給之電流來進行。像素電路控制電流的方法，例如揭示於專利文件 1。又作為與電流量成比例改變發光亮度的 EL 元件，係熟知有有機 EL 二極體。

第 13 圖，係使用了 EL 元件之先前畫像顯示裝置的構造例。玻璃基板 91 之表面，係構成有畫像顯示範圍 92、掃描電路 94。畫像顯示範圍 92 中，構成有配列為矩陣狀之複數像素電路 95、複數重設訊號線 96、複數點燈訊號線 97、號線 SL、電源線 PL。重設訊號線 96 係連接於 1 行份之像素電路 95 的重設訊號輸入 r，點燈訊號線 97 係連接於連接於 1 行份之像素電路 95 的點燈訊號輸入 i。重設訊號線 96 及點燈訊號線 97，係將掃描電路 94 之輸出訊號傳達至 1 行份之像素電路 95 而工作。訊號線 SL 係連接於 1 列份之像素電路 95 的畫像訊號輸入 S，電源線

(2)

PL 係連接於 1 列份之像素電路 95 的電源輸入 P。

玻璃基板 91 上，係以壓著技術黏貼有驅動 IC93。驅動 IC93，係具有將來自外部被序列輸入的數位畫像訊號，轉換為電壓訊號而輸出至輸出 $D(1) \sim D(x)$ 的功能。電源匯流排 98 係連接於所有電源線 PL，供給從外部輸入的電源電壓 VDD_{ex} 。掃描電路 94 係以 TFT 形成之邏輯電路，具有驅動所有重設訊號線 96 及點燈訊號線 97 的功能。

像素電路 95 之構造，係與後述之本發明實施例所使用的像素電路 5 相同。像素電路 5 之詳細構造和動作的說明會已實施例來說明，故省略像素電路 95 之詳細動作說明，在以下作簡單說明。

藉由對像素電路 95 之寫入動作，電容器 24 中記憶有訊號電壓 V_{data} 和 TFT21 之閾值電壓絕對值 V_{th} 相加的電壓 ($V_{data} + V_{th}$)。顯示畫像時，使像素電路之像素訊號輸入 S 為一定，使 TFT23 為 ON。這麼一來，TFT21 之閘極－源極之間會產生 ($V_{data} + V_{th}$) 電壓，而於 EL 元件 25 流動電流。於 EL 元件 25 流動之電流量，因為是由畫像訊號電壓 V_{data} 來控制，故像素電路 95 可控制 EL 元件 25 的發光亮度。藉由將寫入各像素電路 95 之畫像訊號電壓 V_{data} 配合畫像加以變化，即可顯示目標畫像。

[專利文件 1]日本特開 2003-122301 號公報

【發明內容】

(3)

發明所欲解決之課題

第 13 圖，係顯示畫像時（點燈模式），爲了點燈各畫像電路 95 內之 EL 元件 25，於電源線 PL 會流動大電流。這麼一來會因爲電源線 PL 所具有的阻抗，而產生電壓下降。第 14 圖，係表示電源線 PL 與訊號線 SL 之電壓下降，和連接於該等之像素電路 95 內之節點 a 電壓，與 TFT21 之閘極-源極間電壓 $V_{gs}(\#1) \sim (\#n)$ 。橫軸表示紙面縱方向（y 方向），縱軸表示電壓。但是，第 14 圖爲了容易瞭解說明，係選擇 V_{data} 於所有像素電路都相等的情況（以一定亮度且同形式地使畫像顯示裝置發光）來描繪。電源線 PL，係連接於 1 列份之像素電路 95 的電源輸入 P。因此，當 EL 元件 25 發光，電源線 PL 會產生電壓下降 V_{drop} 。隨著往 y 方向前進，電源線 PL 之電壓會更下降。另一方面，訊號線 SL 係連接於 1 列份之像素電路 95 的畫像訊號輸入 S。

訊號線 SL 因爲沒有流動電流，故訊號線 SL 不會產生電壓下降。第 1 行之像素電路 95 內之 TFT21 的閘極-源極間電壓，係 $V_{gs}(\#1) = (V_{DDex}) - (V_{DDex} - V_{data} - V_{th}) = V_{th} + V_{data}$ 。另一方面，第 n 行之像素電路 95 內之 TFT21 的閘極-源極間電壓，係 $V_{gs}(\#n) = (V_{DDex} - V_{drop}) - (V_{DDex} - V_{data} - V_{th}) = V_{th} + V_{data} - V_{drop}$ 。亦即隨著往 y 方向前進，TFT21 之閘極-源極間電壓之絕對值會僅降低 V_{drop} 的份量。從而，隨著往 y 方向前進，流動於 EL 元件 25 之電流會減少，故畫

(4)

面上下亮度會不同，造成畫質不良。

又，如第 15 圖所示般於畫像顯示範圍 92 在白色背景顯示黑色長方形 BK（方便上以斜線顯示）時，線 K 之電源線中的電壓下降 V_{drop} 因為比線 J 之電源下降更小，故範圍 k 會比範圍 j 更亮的發光。因此線 q 及線 q' 位置會產生亮度的不連續。這若被觀察者觀察，就是所謂耀光現象的畫質不良。尤其當畫像裝置大型化時，因為配線阻抗會變長，故以上之畫質不良會更明顯地被觀察到。

因此本發明之目的，係提供一種畫像顯示裝置，其改善以上所述之電源配線之電壓下降所造成的畫質不良。

用以解決課題之手段

若表示本說明書所揭示之發明中代表性的例子，係如下所述。亦即本發明之畫像顯示裝置，係有以發光元件與控制上述發光元件之發光強度之電路元件構成之複數像素電路，在基板上配置成矩陣狀的畫像顯示裝置；其特徵係具備用以控制上述像素電路之動作的掃描電路；和用以將上述掃描電路之訊號傳達給上述複數像素電路的，複數掃描配線；和與上述掃描配線交叉，用來對上述複數像素電路供給畫像訊號及電源，互相平行配置的複數第 1 配線及複數第 2 配線；和對上述第 1 配線及上述第 2 配線供給畫像訊號及電源的，驅動電路；上述發光元件配合上述畫像訊號發光時，以上述驅動電路對上述第 1 配線及上述第 2 配線雙方供給電源。

(5)

發明效果

若依本發明，因為 EL 元件之發光亮度不受電源配線之電壓下降的影響，故難以產生耀光等畫質不良。又適用本發明之電視機或螢幕，可以顯示良好的畫像。尤其對電壓下降之大型電視或大型螢幕更有效。

【實施方式】

以下針對本發明之畫像裝置之實施例，一邊參考附加圖示一邊詳細說明。

〔實施例 1〕

第 1 圖表示本發明之畫像顯示裝置之第 1 實施例的構造。玻璃基板 1 之表面，構成有畫像顯示範圍 2、驅動電路 3、掃描電路 4。畫像顯示範圍 2 中，構成有配列為矩陣狀之複數像素電路 5、複數重設訊號線 6、複數點燈訊號線 7、複數配線 SL1、SL2。重設訊號線 6 連接於 1 行份之像素電路 5 的重設輸入訊號 r，點燈訊號線 7 連接於 1 行份之像素電路 5 的點燈輸入訊號 i。重設訊號線 6 及點燈訊號線 7，係將掃描電路 4 之輸出訊號傳達給 1 行份之像素電路 5 來工作。配線 SL1、SL2，係連接於 1 列份之像素電路 5 的畫像輸入訊號 S 及電源輸入 P。

但是，奇數行（#1、#3、…）之像素電路 5 中，畫像訊號輸入 S 連接於配線 SL1、電源輸入 P 連接於配線 SL2

(6)

；偶數行（#2、#4、…）之像素電路 5 中，畫像訊號輸入 S 連接於配線 SL2、電源輸入 P 連接於配線 SL1。像素電路 5 之各數為 2 列×3 行 = 6 個，重設訊號線和點燈訊號線之條數為 3 條，配線 SL1、SL2 之條數為 2 條，其理由只是為了方便說明。例如畫面解析度為彩色 VGA（Video Graphics Array）時，像素電路 5 之列數為 1920 列，行數為 480 行，重設訊號線和點燈訊號線之條數為 480 條，配線 SL1、SL2 之條數各為 1920 條。

驅動電路 3，係以由壓著技術黏貼在玻璃基板 1 上的驅動 IC11，選擇開關電路 12，變頻器 13、14，電源匯流排 15 所構成。選擇開關電路 12 和變頻器 13、14，係以 TFT 形成。驅動 IC11，係具有將從外部序列輸入之數位畫像訊號，轉換為輸出 D（1）～D（x）來輸出的功能。電源匯流排 15 中，被供給有來自外部的電源電壓 VDDex。選擇開關電路 12，具有選擇驅動 IC11 之輸出電壓與電源匯流排 15 之電源電壓 VDDex 的功能。變頻器 13、14，係具有將從外部輸入之選擇開關電路 12 之切換訊號 SS1 及 SS2，加以邏輯反轉的功能。掃描電路 4 係以 TFT 形成之邏輯電路，具有驅動所有重設訊號配線 6 及點燈訊號線 7 的功能。

像素電路 5，係以 P 通道 TFT21，N 通道 TFT22、23，電容器 24，EL 元件 25 所構成。像素電路 5，係透過畫像輸入訊號 S、電源輸入 P、重設訊號輸入 r、點燈訊號輸入 I、及共通電極 26 而連接於外部電路。奇數行之像

(7)

素電路 5 中，畫像訊號輸入 S 及電源輸入 P 係分別連接於 SL1 和 SL2。偶數行之像素電路 5 中，畫像訊號輸入 S 及電源輸入 P 係分別連接於 SL2 和 SL1。重設訊號輸入 r 連接於重設訊號線 6。點燈訊號輸入 I 連接於點燈訊號線 7。所有像素電路 5 之共通電極 26 係互相連接，或連接於外部接地電位。

第 2 圖表示像素電路 5 之電路圖，第 3 圖表示像素電路 5 之驅動波形及像素電路 5 之內部電壓。1 圖框（1FRM）期間中，驅動波形係由寫入模式（WRT）和點燈模式（ILMI）2 個模式所構成。寫入模式中，存在有對特定像素電路 5 寫入資料的『寫入時間 T』。寫入時間 T 中，對特定像素電路 5 寫入之畫像訊號電壓 V_{data} ，會被供給到訊號輸入 S。另外畫像訊號電壓 V_{data} 因為以電源電壓 V_{DD} 為基準，故對訊號輸入 S 供給之電壓會是 $V_{DD} + V_{data}$ 。與畫像訊號電壓 V_{data} 同步，來對重設訊號輸入 r 供給脈衝。又重設脈衝之上升處附近，係對點燈訊號輸入 i 供給具有比重設脈衝具備更短寬度的脈衝。電源輸入 P 中，在寫入時間 T 內係供給有電源電壓 V_{DD} 。藉由以上之驅動訊號，像素電路 5 會如以下般動作。

寫入時間 T 的開始時，重設輸入訊號 r 為高（H）準位，點燈訊號輸入 I 也是高準位，故 TFT22、23 為導通（ON），透過 TFT21、23 對 EL 元件 25 流動電流。

此時，TFT21 之汲極 d－源極 s 之間因為流動有電流，故 TFT21 之閘極 g－源極 s 間電壓之絕對值 V_{gs} 會成為

(8)

比 V_{th} 高的電壓。在此， V_{th} 表示 TFT21 之閾值電壓的絕對值。節點 a 因為連接於 TFT21 之閘極 g，故節點 a 之電壓 V_a 會成為比 $VDD - V_{th}$ 更低的電壓。

接著，當點燈訊號輸入 I 成為低 (L) 準位，因為 TFT23 會成為不導通 (OFF) OFF 節點 a 與 EL 元件 25 係電性切斷。節點 a 之電壓係透過 TFT21 而從電源輸入 P 被供給正電荷並上升，但隨之 TFT21 之閘極 g－源極 s 間電壓之絕對值 V_{gs} 會減少。最後會成為 $V_{gs} = V_{th}$ ，TFT21 之汲極 d－源極 s 之間幾乎沒有流動電流，節點 a 之電壓會安定在 $VDD - V_{th}$ 。此時電容器 24 之左側電極被施加有訊號電壓 $VDD + V_{data}$ ，右側電極被施加有節點 a 之電壓 $VDD - V_{th}$ ，故電容器 24 之電極之間會產生 $V_{data} + V_{th}$ 的電壓。

當寫入時間 T 結束後，重設訊號輸入 r 會成為低準位，故 TFT22 為 OFF，電容器 24 則保持寫入模式 WRT 中施加的電壓 $V_{data} + V_{th}$ 。此時，因為電容器 24 保持寫入模式 WRT 中施加的電壓 $V_{data} + V_{th}$ ，故節點 a 會成為 $VDD - V_{data} - V_{th}$ 的電壓。TFT21 之源極 s 電壓與電源電壓 VDD 相同，閘極 g 電壓與節點 a 電壓相同，故閘極 g－源極 s 間電壓之絕對值 $V_{gs} = (VDD) - (VDD - V_{data} - V_{th}) = V_{th} + V_{data}$ 。因為點燈訊號輸入 I 為高位準，故 TFT23 為 ON，並遵守 TFT21 之閘極-源極間電壓 V_{gs} 對 EL 元件 25 流動電流 i_{LED} 。畫像訊號電壓 $V_{data} = 0V$ 而 $V_{gs} = V_{th}$ ，電流 $i_{LED} = 0$ ，當 V_{data} 高於 $0V$ 則電流

(9)

iLED 可一樣地增加。從而像素電路 5 藉由畫像訊號電壓 V_{data} ，可控制流動於 EL 元件 25 的電流量，而可控制 EL 元件 25 的發光亮度。

爲了如以上般控制像素電路 5，本實施例之驅動電路 3 和掃描電路 4，會產生第 4 圖所示之波形。寫入模式 WRT 中，驅動 IC11 之輸出 $D(1) \sim D(x)$ 會產生畫像訊號電壓 V_{data} 。 $T1 \sim Tn$ 係各行像素電路 5 之寫入時間 T ，輸出 $D(1) \sim D(x)$ 同步於 $T1 \sim Tn$ 來產生畫像訊號電壓 V_{data} 。選擇開關電路 12 之切換訊號線 SS1 在偶數行像素電路之寫入時間 ($T2$ 、 $T4$ 、 $\dots$) 爲高準位，切換訊號線 SS2 在奇數行像素電路之寫入時間 ($T1$ 、 $T3$ 、 $\dots$) 爲高準位。依此，在奇數行之像素電路 5 的寫入時間中，配線 SL1 被供給有來自驅動 IC 之畫像訊號電壓 V_{data} ，配線 SL2 被供給有電源電壓 V_{DDex} 。在偶數行之像素電路 5 的寫入時間中，配線 SL1 被供給有電源電壓 V_{DDex} ，配線 SL2 被供給有畫像訊號電壓 V_{data} 。

掃描電路 4 之輸出 $R(1) \sim R(n)$ 和 $I(1) \sim I(n)$ ，係在對應之行的寫入時間 $T1 \sim Tn$ 中分別產生脈衝。依此，各行像素電路 5 係在對應之寫入時間 $T1 \sim Tn$ 中，對電容器 24 寫入電壓 $V_{data} + V_{th}$ 。

點燈模式 ILM1 中，使切換訊號線 SS1 和 SS2 爲低準位 (L)，使掃描電路 4 之輸出 $I(1) \sim I(n)$ 成爲高準位 (H)。這麼一來，配線 SL1 和 SL2 雙方會被供給外部的電源電壓 V_{DDex} ，供給到所有像素電路 5 的電源輸入 P

(10)

。因為所有像素電路 5 內之 TFT23 都是導通狀態，故所有像素電路 5 會依照各像素電路 5 之電容器 24 所記憶的電壓，來控制 EL 元件 25 的發光。從而，本實施例之畫像顯示裝置係顯示對應驅動 IC11 所輸出之畫像訊號電壓的畫像。

顯示畫像時（點燈模式），各像素電路 5 內之 EL 元件 25 爲了點燈，係在第 1 圖之配線 SL1 及 SL2 流動大電流。這麼一來配線 SL1、SL2 具有之阻抗會造成產生電壓下降。第 5 圖中表示配線 SL1 之電壓下降，和連接於配線 SL1、SL2 之像素電路 5 內之節點 a 的電壓，與 TFT21 之閘極-源極間電壓 $V_{gs}(\#1) \sim (\#n)$ 。橫軸表示紙面縱方向（y 方向），縱軸表示電壓。但是第 5 圖爲了容易瞭解說明，係選擇 V_{data} 於所有像素電路都相等的情況（以一定亮度且同形式地使畫像顯示裝置發光）來描繪。又配線 SL2 之電壓下降因爲和配線 SL1 爲相同程度，故第 5 圖僅表示配線 SL1。

配線 SL1 連接於偶數行之像素電路 5 的電源輸入 P，配線 SL2 連接於奇數行之像素電路 5 的電源輸入 P。因此顯示通常映像時，配線 SL1 和 SL2，幾乎是各自流動使 1 列份 EL 元件 25 發光所需之電流的一半。從而，比起於 1 條配線流動電流的情況，可減輕電壓下降 V_{drop} 。更且配線 SL1 和 SL2 之電壓下降 V_{drop} 是以相同程度產生，配線 SL1 和 SL2 之電壓若在 y 方向的位置相同，則配線 SL1 和 SL2 的電壓會相等。因此像素電路 5 之電源輸入 P 與

(11)

訊號輸入 S 為相同電壓， $VDD = (VDD_{ex} - V_{drop})$ 。此時，TFT21 之閘極－源極間電壓之絕對值，會成為 $V_{gs} = (VDD_{ex} - V_{drop}) - (VDD_{ex} - V_{drop} - V_{data} - V_{th}) = V_{th} + V_{data}$ ，而不受 V_{drop} 影響。

從而，因為不受配線之電壓下降影響來控制流動於 EL 元件 25 的電流，故可控制 EL 元件 25 的發光亮度。EL 元件之發光亮度因為不受配線中電壓下降的影響，故難以產生如第 15 圖般耀光等的畫質不良。

第 6 圖表示形成於玻璃基板 1 上之像素電路 5 之第 1 線路圖。配線 SL1 和 SL2，係以第 1 層之金屬膜配線 31、32 形成。點燈訊號配線 7 及重設訊號線 6，係以第 2 層金屬膜配線 33、34 形成。TFT21 係形成於多晶矽膜 35 和第 2 層金屬膜配線 38，TFT2 係形成於多晶矽膜 36 和第 2 層金屬膜配線 34，TFT23 係形成於多晶矽膜 37 和第 2 層金屬膜配線 33 的被覆部。電容器 24 係形成於第 2 層金屬膜配線 38 和第 1 層金屬膜配線 31、32 的被覆部。金屬配線層 39～41 係用以連接不同層間的配線。複數接觸孔 42 係連接被覆後的不同層間。導電性透明膜 43 之上，成膜有有機 EL 層，電性連接於覆蓋開口部 44 的範圍。有機 EL 層上係在覆蓋所有像素電路之範圍蒸鍍有第 3 層金屬膜，形成共通電極 26。奇數行之像素電路 5 與偶數行之像素電路 5，因為是左右對稱的被描繪，故奇數行之像素電路 5 中，畫像訊號輸入 S 及電源輸入 P 分別連接於配線 SL1 和 SL2。又，偶數行之像素電路 5 中，畫像訊號輸入

(12)

S 及電源輸入 P 分別連接於配線 SL2 和 SL1。

第 7 圖表示沿著第 6 圖中 A-A'線部分的剖面構造。玻璃基板 1 上形成有絕緣膜 101。其上形成多晶矽膜 37。其上包夾絕緣膜 102，而形成第 2 層金屬配線膜 33、34。其上包夾絕緣膜 103，而形成第 1 層金屬配線膜 39、41。其上包夾絕緣膜 104 而形成導電性透明膜 43。其上形成絕緣膜 105。絕緣膜 105 之開口部成為開口部 44，該附近蒸鍍有有機 EL 層 45。更且在其上蒸鍍第 3 層金屬膜，成為共通電極 26。接觸孔 42 中，於絕緣膜開孔，接觸金屬配線膜或導電性透明膜。導電性透明膜 43 和共通電極 26 之間若透過開口部 44 而流動電流，有機 EL 層 45 就發光。發光可透過玻璃基板 1 而從紙面下方向來觀察。另外第 7 圖中電子輸送層或電洞輸送層等有關發光特性的層，係總和記述為有機 EL 層 45。

第 8 圖表示形成於玻璃基板 1 上之像素電路 5 之第 2 線路圖。第 1 層金屬膜配線 39、40、41，第 2 層金屬膜配線 33、34、38，多晶矽膜 35、36、37，接觸孔 42，導電性透明膜 43，開口部 44，有機 EL 發光層，第 3 層金屬膜的構造，係與第 6 圖相同。配線 SL1 係以第 1 層金屬膜配線 31a、31b 及第 2 層金屬膜配線 31c 形成，配線 SL2 係以第 1 層金屬膜配線 32a、32b 及第 2 層金屬膜配線 32c 形成，配線 SL1 和 SL2 係在像素電路之間使配線互相交叉而構成。亦即成為扭轉對構造。第 2 線路圖中，有可以使奇數行像素電路與偶數行像素電路之線路相同的

(13)

優點。

〔實施例 2〕

第 9 圖表示本發明之畫像顯示裝置之第 2 實施例的構造。玻璃基板 51 之表面，構成有畫像顯示範圍 52、掃描電路 54。畫像顯示範圍 52 中，構成有配列為矩陣狀之複數像素電路 55、複數重設訊號線 56、複數點燈訊號線 57、複數配線 SL1、SL2。重設訊號線 56 連接於 1 行份之像素電路 55 的重設輸入訊號 r，點燈訊號線 57 連接於 1 行份之像素電路 55 的點燈輸入訊號 i。重設訊號線 56 及點燈訊號線 57，係將掃描電路 54 之輸出訊號傳達給 1 行份之像素電路 55 來工作。配線 SL1 係連接於 1 列份之像素電路 5 的畫像輸入訊號 S，配線 SL2 係連接於 1 列份之像素電路 5 的電源輸入 P。像素電路 55 之各數為 2 列×3 行 = 6 個，重設訊號線和點燈訊號線之條數為 3 條，配線 SL1、SL2 之條數為 2 條，其理由只是為了方便說明。例如畫面解析度為彩色 VGA 時，像素電路 5 之列數為 1920 列，行數為 480 行，重設訊號線和點燈訊號線之條數為 480 條，配線 SL1、SL2 之條數各為 1920 條。玻璃基板 51 上，係以壓著技術黏貼有驅動 IC53。驅動 IC53，係具有將從外部序列輸入之數位畫像訊號，轉換為輸出 D(1) ~ D(x) 來輸出的功能。

電源匯流排 60 連接於所有配線 SL2，對配線 SL2 供給從外部輸入的電源電壓 VDDex。掃描電路 54 係以 TFT

(14)

形成之邏輯電路，具有驅動所有重設訊號線 56 和點燈訊號線 57 的功能。像素電路 55 之間配置有複數 P 通道 TFT59。TFT59 之汲極與源極，分別連接於配線 SL1 和 SL2。所有 TFT59 之閘極係連接於訊號線 58，具有將從外部輸入之訊號 ILM 傳達給所有 TFT59 之閘極電極的功能。

像素電路 55 之電路構造與第 2 圖相同，與第 1 實施例所表示的像素電路 5 一樣。因此像素電路 55 之驅動波形及內部電壓如第 3 圖所示，與第 1 實施例所表示的像素電路 5 一樣。

爲了控制像素電路 55，本實施例之驅動 IC53 與掃描電路 54 係產生第 10 圖所示的波形。又配線 58 被供給有第 10 圖所示之訊號 ILM。寫入模式 WRT 中，驅動 IC11 之輸出 $D(1) \sim D(x)$ 會產生畫像訊號電壓 V_{data} ，並分別供給致富數配線 SL1。T1~Tn 係各行像素電路 5 之寫入時間 T，輸出 $D(1) \sim D(x)$ 同步於 T1~Tn 來產生畫像訊號電壓 V_{data} 。掃描電路 54 之輸出 $R(1) \sim R(n)$ 與 $I(1) \sim I(n)$ ，係在對應之行的寫入時間 T1~Tn 中分別產生脈衝。依此，各行像素電路 5 係在對應之寫入時間 T1~Tn 中，對電容器 24 寫入電壓 $V_{data} + V_{th}$ 。因爲訊號 ILM 爲高 (H) 準位，故 TFT59 爲 OFF，配線 SL1 和 SL2 係電性分離。點燈模式 ILMI 中，使掃描電路 4 之輸出 $I(1) \sim I(n)$ 成爲高準位 (H)，使訊號 ILM 成爲低 (L) 準位。因爲所有像素電路 55 內之 TFT23 都是導

(15)

通狀態，故所有像素電路 55 會依照各像素電路 55 之電容器 24 所記憶的電壓，來控制 EL 元件 25 的發光。又因為 TFT59 為 ON，故配線 SL1 與 SL2 和 TFT59 每個連接的部分都會成為電性連接狀態，而透過配線 SL1 與 SL2 雙方來對 EL 元件 25 供給電流。

顯示畫像時（點燈模式），各像素電路 55 內之 EL 元件 25 為了點燈，係在第 9 圖之配線 SL1 及 SL2 流動大電流。這麼一來配線 SL1、SL2 具有之阻抗會造成產生電壓下降，若與第 1 實施例一樣使 Vdata 在所有像素電路 55 都相等時，則得到與第 5 圖相同的特性。配線 SL1 與 SL2 之電壓下降，和連接於該等之像素電路 22 內的節點 a 電壓，和 TFT21 之閘極-源極間電壓 Vgs 也是與第 1 實施例相同的特性。

因為配線 SL2 連接於像素電路 55 的電源輸入 P，故配線 SL2 流動有用以將 EL 元件 25 點燈的電流。如之前所述，因為點燈模式 ILMI 中配線 SL1 與 SL2 藉由 TFT59 來電性連接，故配線 SL1 也流動有幾乎等量的電流。亦即配線 SL1 和 SL2，幾乎是各自流動使 1 列份 EL 元件 25 發光所需之電流的一半。從而，比起如先前例般於 1 條配線流動電流的情況，可減輕電壓下降 Vdrop。更且配線 SL1 和 SL2 之電壓下降是以相同程度產生，配線 SL1 和 SL2 之電壓若在 y 方向（第 9 圖之紙面縱方向）的位置相同，則配線 SL1 和 SL2 的電壓會相等。因此像素電路 55 之電源輸入 P 與訊號輸入 S 為相同電壓， $VDD = VDD_{ex} -$

(16)

Vdrop。此時，TFT21 之閘極－源極間電壓之絕對值，會成為 $V_{gs} = (V_{DDex} - V_{drop}) - (V_{DDex} - V_{drop} - V_{data} - V_{th}) = V_{th} + V_{data}$ ，而不受 Vdrop 影響。從而本實施例之構造也不受配線之電壓下降影響來控制流動於 EL 元件 25 的電流，而可控制 EL 元件 25 的發光亮度。

從而，因為 EL 元件之發光亮度不受配線中電壓下降的影響，故難以產生第 15 圖般的耀光等畫質不良。

第 11 圖表示形成於玻璃基板 51 上之像素電路 55 的線路圖。第 1 層金屬膜配線 39、40、41，第 2 層金屬膜配線 33、34、38，多晶矽膜 35、36、37，接觸孔 42，導電性透明膜 43，開口部 44，有機 EL 發光層，第 3 層金屬膜的構造，係與第 6 圖相同。配線 SL1 係以第 1 層金屬膜配線 31 形成，配線 SL2 係以第 1 層金屬膜配線 32 形成。配線 58 以第 2 層金屬膜配線 47 形成，而連接配線 SL1 與 SL2 之 TFT59，則形成於多晶矽膜 46 與第 2 層金屬膜配線 47 的被覆部。

第 12 圖表示適用第 1 及第 2 實施例之任一個之電視機或映像螢幕的構造。框體 71 內部，裝載有第 1 及第 2 實施例所示之任一種構造的畫像顯示裝置 72。第 12 圖之電視機或映像螢幕，因為難以產生配線電壓下降所造成的耀光等畫質不良，故可顯示良好的電視機映像或個人電腦畫面。第 12 圖之畫像顯示裝置為大型時，因為配線阻抗增加故電壓下降也增加。然而因為難以如先前例般 EL 元件之發光亮度受到配線電壓下降的影響，故大型電視機或

(17)

映像螢幕中，本發明之構造特別有效。

【圖式簡單說明】

[第 1 圖]表示本發明之畫像顯示裝置之第 1 實施例之構造的圖。

[第 2 圖]第 1 圖所示之畫像電路的構造圖。

[第 3 圖]表示第 1 圖所示之像素電路之驅動波形及內部電壓的圖。

[第 4 圖]表示本發明第 1 實施例之驅動電路與掃描電路所產生之波形的圖。

[第 5 圖]表示第 1 及第 2 實施例之配線 SL1、SL2 之電壓下降，和像素電路內之節點 a 之電壓，與 TFT21 之 $V_{gs}(\#1) \sim (\#n)$ 的圖。

[第 6 圖]表示第 1 實施例之玻璃基板上所形成之像素電路之第 1 線路的圖。

[第 7 圖]沿著第 6 圖所示之 A-A'線之部分的剖面圖。

[第 8 圖]表示第 1 實施例之玻璃基板上所形成之像素電路之第 2 線路的圖。

[第 9 圖]表示本發明之畫像顯示裝置之第 2 實施例之構造的圖。

[第 10 圖]表示第 2 實施例之驅動 IC 與掃描電路所產生之波形及訊號波形的圖。

[第 11 圖]表示第 2 實施例之玻璃基板上所形成之像

(18)

素電路之線路的圖。

[第 12 圖]表示適用第 1 及第 2 實施例之任一個之電視機或映像螢幕之構造的圖。

[第 13 圖]表示使用 EL 元件之先前畫像顯示裝置之構造的圖。

[第 14 圖]表示先前畫像裝置之電源線與訊號線之電壓，和像素電路內之節點 a 之電壓，與 TFT21 之 V_{gs} (#1) ~ (#n) 的圖。

[第 15 圖]用以說明電源線之電壓下降造成之畫質不良（耀光）的圖。

【主要元件符號說明】

1：玻璃基板

2：畫像顯示範圍

3：驅動電路

4：掃描電路

5：像素電路

6：重設訊號線

7：點燈訊號線

11：驅動 IC

12：選擇開關電路

13、14：變頻器

15：電源匯流排

21：P 通道 TFT

(19)

22、23：N 通道 TFT

24：電容器

25：EL 元件

26：共通電極

31、31a、31b、32、32a、32b：第 1 層金屬膜配線

33、34：第 2 層金屬膜配線

35～37：多晶矽膜

38：第 2 層金屬膜配線

39～41：第 1 層金屬膜配線

42：接觸孔

43：導電性透明膜

44：開口部

45：有機 EL 層

46：多晶矽膜

47：第 2 層金屬膜配線

51：玻璃基板

52：畫像顯示範圍

53：驅動 IC

54：掃描電路

55：像素電路

56：重設訊號線

57：點燈訊號線

58：配線

59：P 通道 TFT

(20)

60：電源匯流排

71：框體

72：畫像顯示裝置

91：玻璃基板

92：畫像顯示範圍

93：驅動 IC

94：掃描電路

95：像素電路

96：重設訊號線

97：點燈訊號線

98：電源匯流排

101～105：絕緣膜

a：節點

i：點燈訊號輸入

r：重設訊號輸入

FRM：圖框期間

ILMI：發光模式

ILM：訊號線

P：電源輸入

PL：電源線

S：畫像訊號輸入

SL：訊號線

SL1、SL2：配線

WRT：寫入模式

五、中文發明摘要

發明名稱：畫像顯示裝置

本發明之課題

改善配線之電壓降低所造成的畫質不良，尤其改善大型畫像顯示裝置的畫質。

本發明之解決手段

將用以控制複數像素電路 5 之動作的掃描電路 4；和用以將掃描電路之訊號傳達給各像素電路的複數掃描配線；和與掃描配線交叉，用來對各像素電路供給畫像訊號及電源，並互相平行配置的複數第 1 及第 2 配線 SL1、SL2；和對第 1 及第 2 配線供給畫像訊號及電源的驅動電路等，設置在玻璃基板 1 上；驅動電路，係成為發光元件 25 配合畫像訊號發光時，對第 1 及第 2 配線雙方供給電源的電路構造。

六、英文發明摘要

發明名稱：

(1)

十、申請專利範圍

1. 一種畫像顯示裝置，係有以發光元件與控制上述發光元件之發光強度之電路元件構成之複數像素電路，在基板上配置成矩陣狀的畫像顯示裝置；其特徵係具備

用以控制上述像素電路之動作的掃描電路；

和用以將上述掃描電路之訊號傳達給上述複數像素電路的，複數掃描配線；

和與上述掃描配線交叉，用來對上述複數像素電路供給畫像訊號及電源，互相平行配置的複數第 1 配線及複數第 2 配線；

和對上述第 1 配線及上述第 2 配線供給畫像訊號及電源的，驅動電路；

上述發光元件配合上述畫像訊號發光時，以上述驅動電路對上述第 1 配線及上述第 2 配線雙方供給電源。

2. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，1 列份之上述像素電路的一部分，係經由上述第 1 配線被供給電源；

上述 1 列份之上述像素電路的剩下部分，係經由上述第 2 配線被供給電源的構造。

3. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，1 列份之上述像素電路中第奇數列之像素電路，係經由上述第 1 配線被供給電源；

上述 1 列份之像素電路中第偶數列之像素電路，係經由上述第 2 配線被供給電源。

(2)

4. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，上述像素電路具備用以記憶畫像電壓訊號的電容器；

1 列份之上述像素電路之一部分像素電路中，上述電容器之單邊電極係連接於上述第 2 配線；

上述 1 列份之像素電路之剩下部分像素電路中，上述電容器之單邊電極係連接於上述第 1 配線。

5. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，上述像素電路具備用以控制流動於上述上述發光元件之電流的薄膜電晶體；

1 列份之上述像素電路之一部分像素電路中，上述薄膜電晶體之源極電極係連接於上述第 1 配線；

上述 1 列份之像素電路之剩下部分像素電路中，上述薄膜電晶體之源極電極係連接於上述第 2 配線。

6. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，上述驅動電路係具備選擇電源電壓和畫像訊號電壓，而用來對上述第 1 配線及上述第 2 配線的選擇開關電路。

7. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，上述第 1 配線和上述第 2 配線，係形成扭轉對（Twist Pair）構造。

8. 如申請專利範圍第 1 項所記載之畫像顯示裝置，其中，上述像素電路之主動元件，係使用薄膜電晶體來形成者。

(3)

9. 一種畫像顯示裝置，係有以發光元件與控制上述發光元件之發光強度之電路元件構成之複數像素電路，在基板上配置成矩陣狀的畫像顯示裝置；其特徵係具備

用以控制上述像素電路之動作的掃描電路；

和用以將上述掃描電路之訊號傳達給上述複數像素電路的，複數掃描配線；

和與上述掃描配線交叉，用來對上述複數像素電路供給畫像訊號及電源，互相平行配置的複數第 1 配線及複數第 2 配線；

和對上述第 1 配線及上述第 2 配線供給畫像訊號及電源的，驅動電路；

並具備配置於上述複數像素電路之間，連接上述第 1 配線和上述第 2 配線之間的複數開關電路。

10. 如申請專利範圍第 9 項所記載之畫像顯示裝置，其中，上述發光元件配合上述畫像訊號發光時，上述開關電路係被作為 ON 狀態。

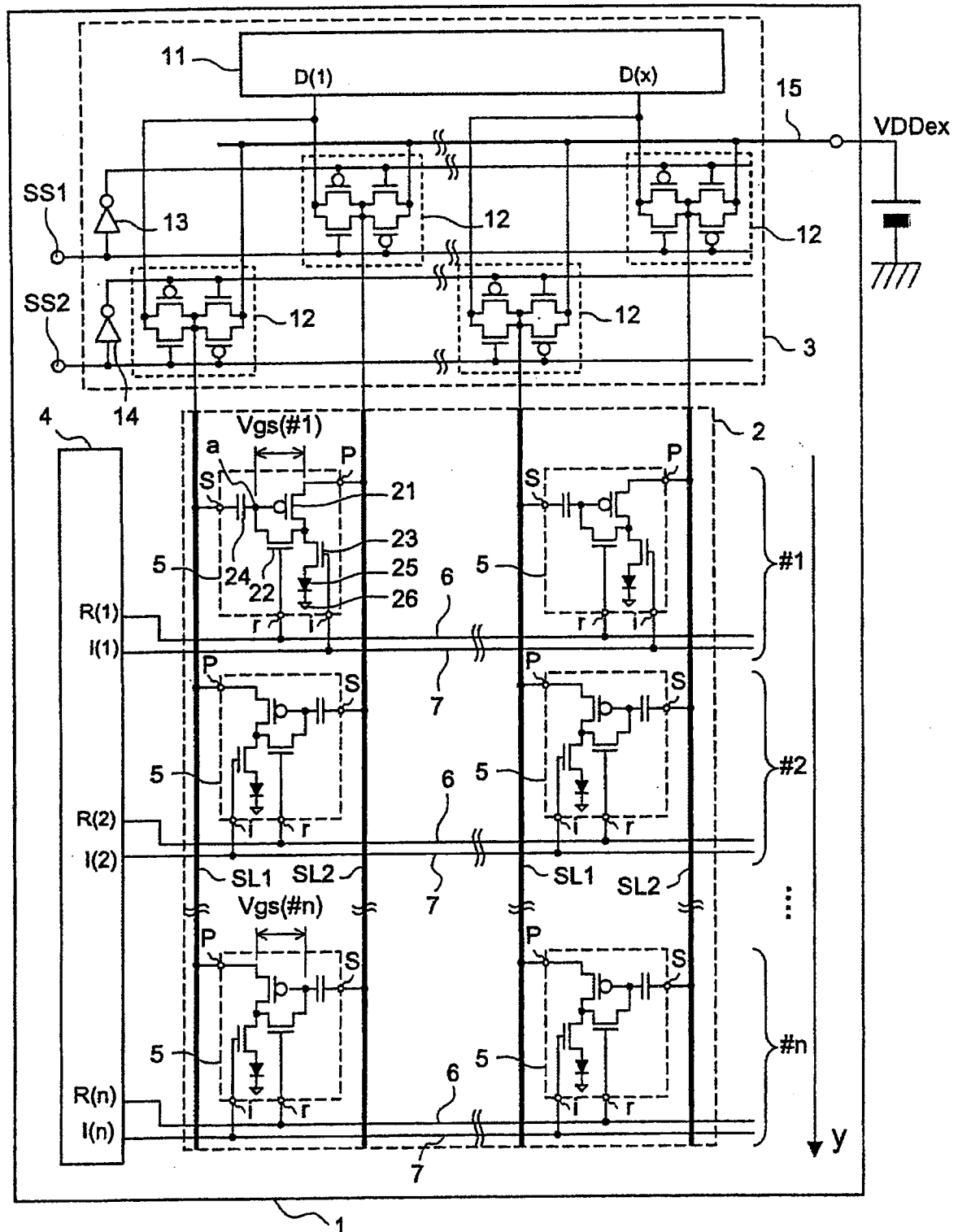
11. 如申請專利範圍第 9 項所記載之畫像顯示裝置，其中，上述開關電路係以 1 個薄膜電晶體形成，上述薄膜電晶體之汲極電極和源極電極分別連接於上述第 1 配線和上述第 2 配線。

12. 如申請專利範圍第 9 項所記載之畫像顯示裝置，其中，上述像素電路係具備用以記憶訊號電壓之電容器，和用以控制流動於上述發光元件之電流的薄膜電晶體；上述電容器之單邊電極連接於上述第 1 配線，上述薄膜

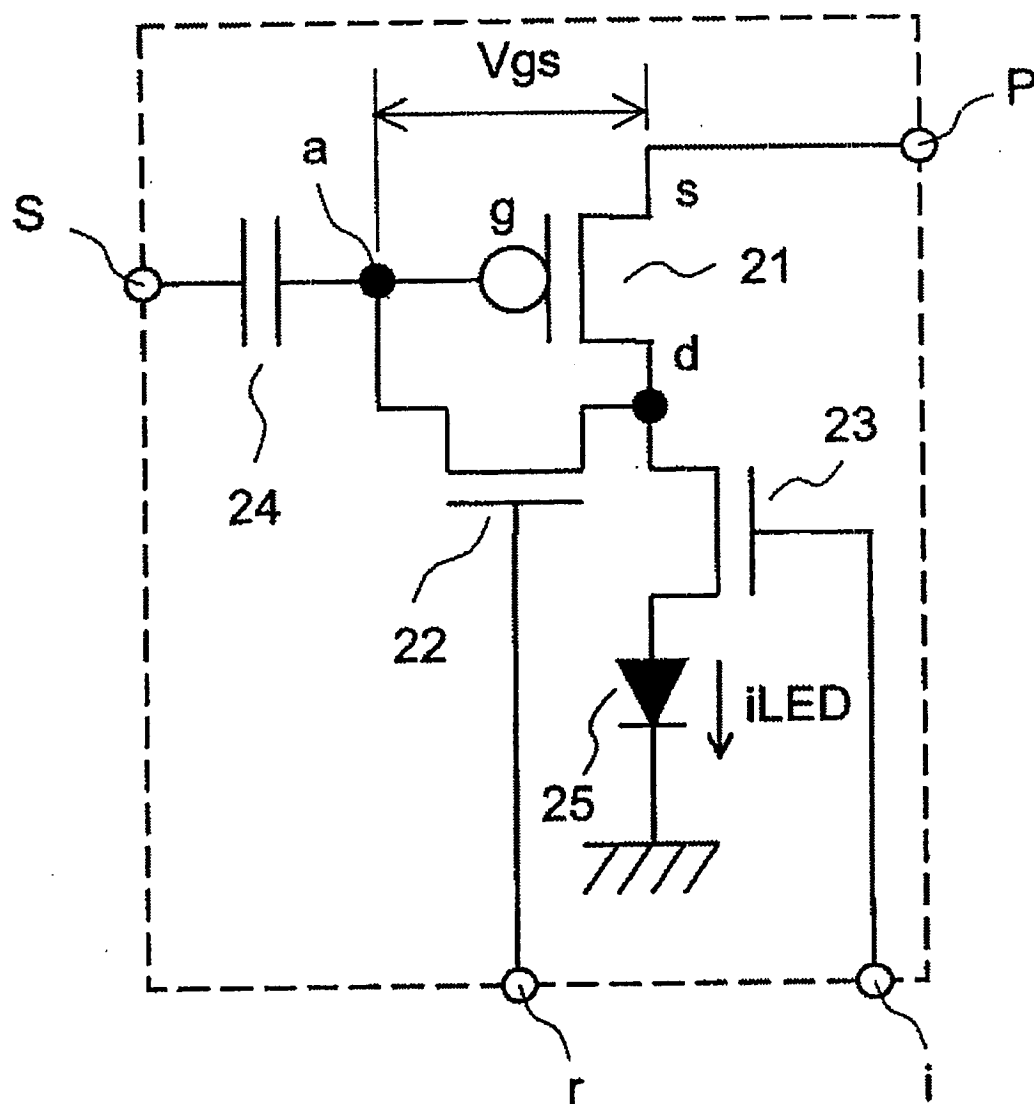
(4)

電晶體之源極電極連接於上述第 2 配線。

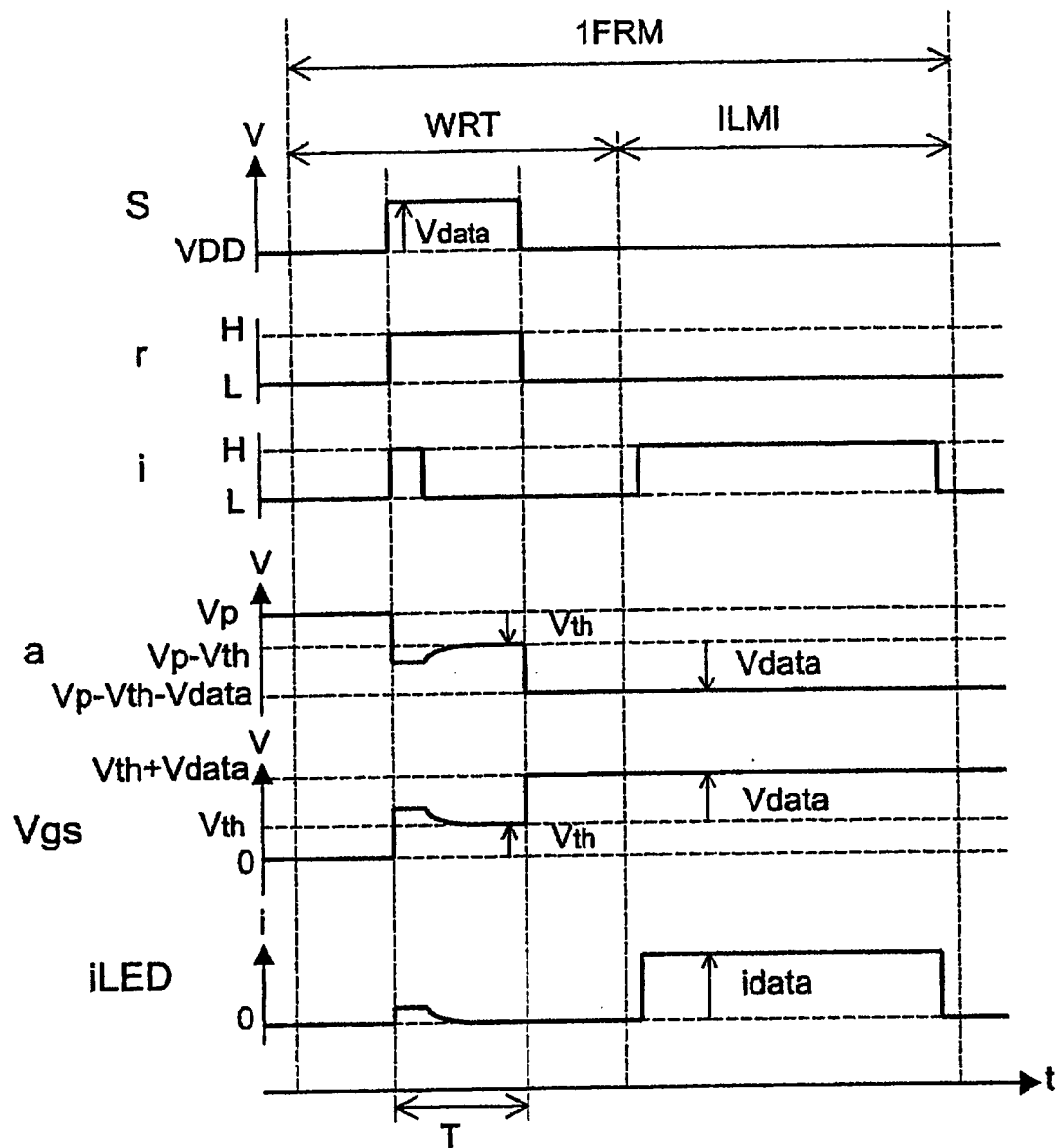
13. 如申請專利範圍第 9 項所記載之畫像顯示裝置，其中，上述像素電路之主動元件，係使用薄膜電晶體來形成者。



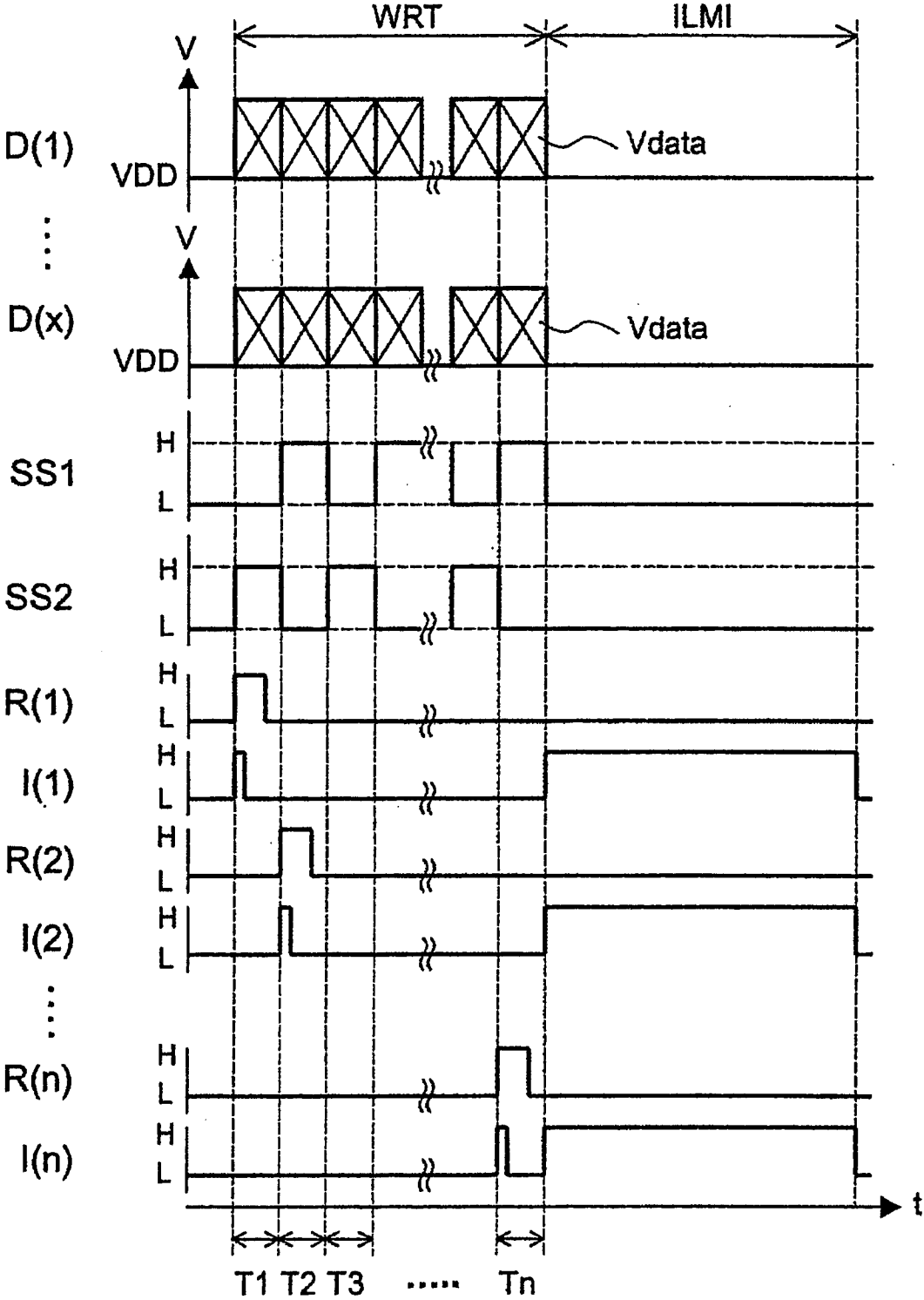
第1圖



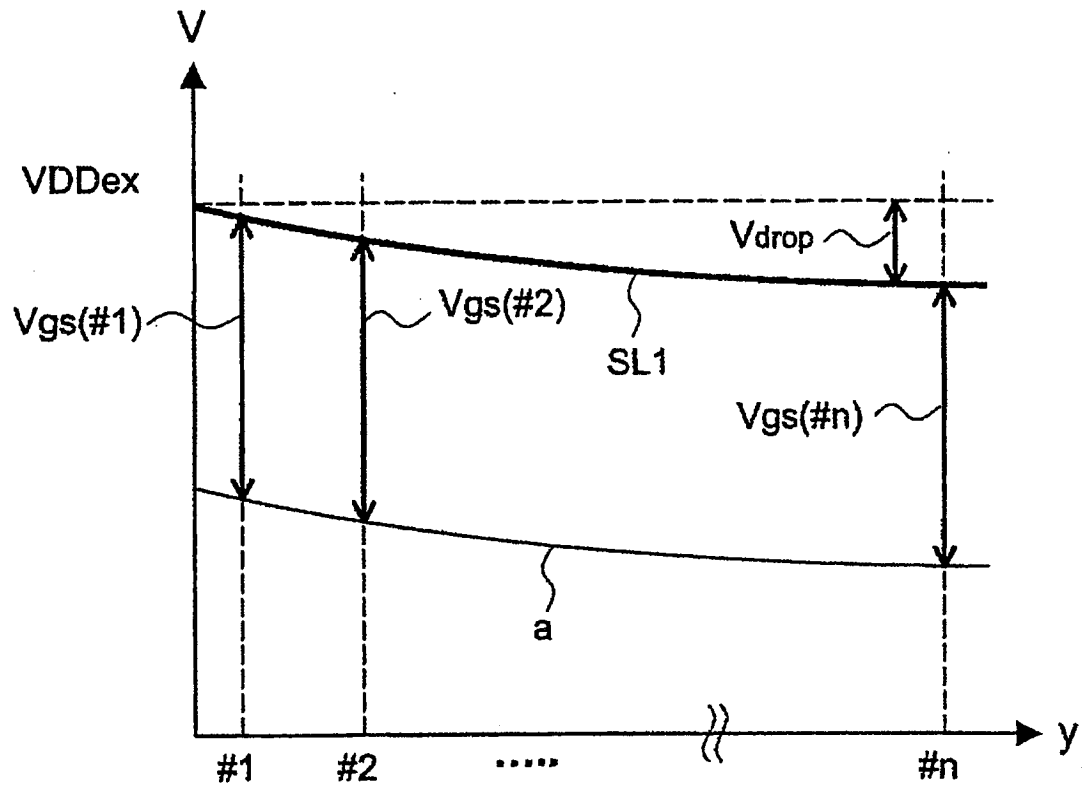
第2圖



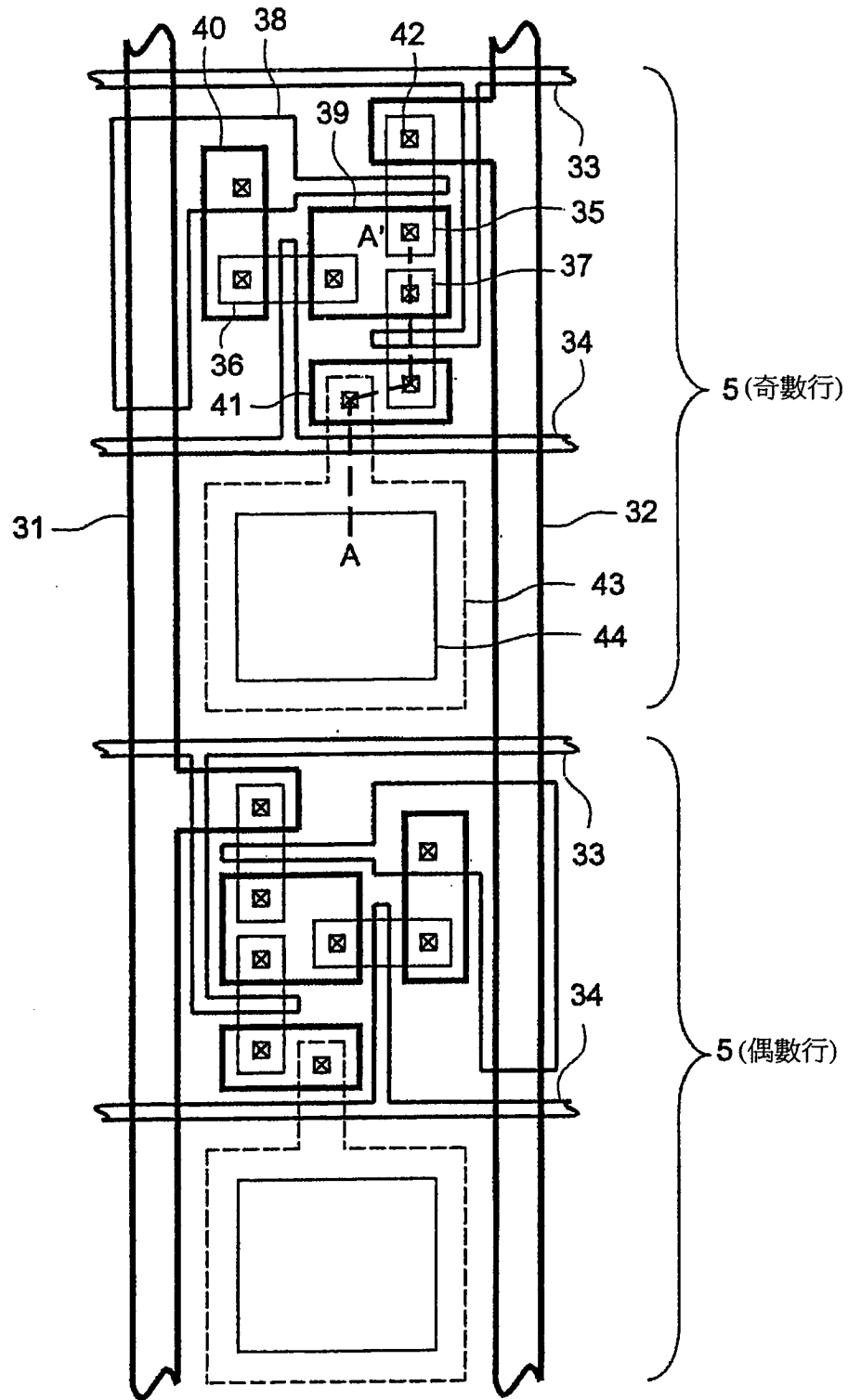
第3圖



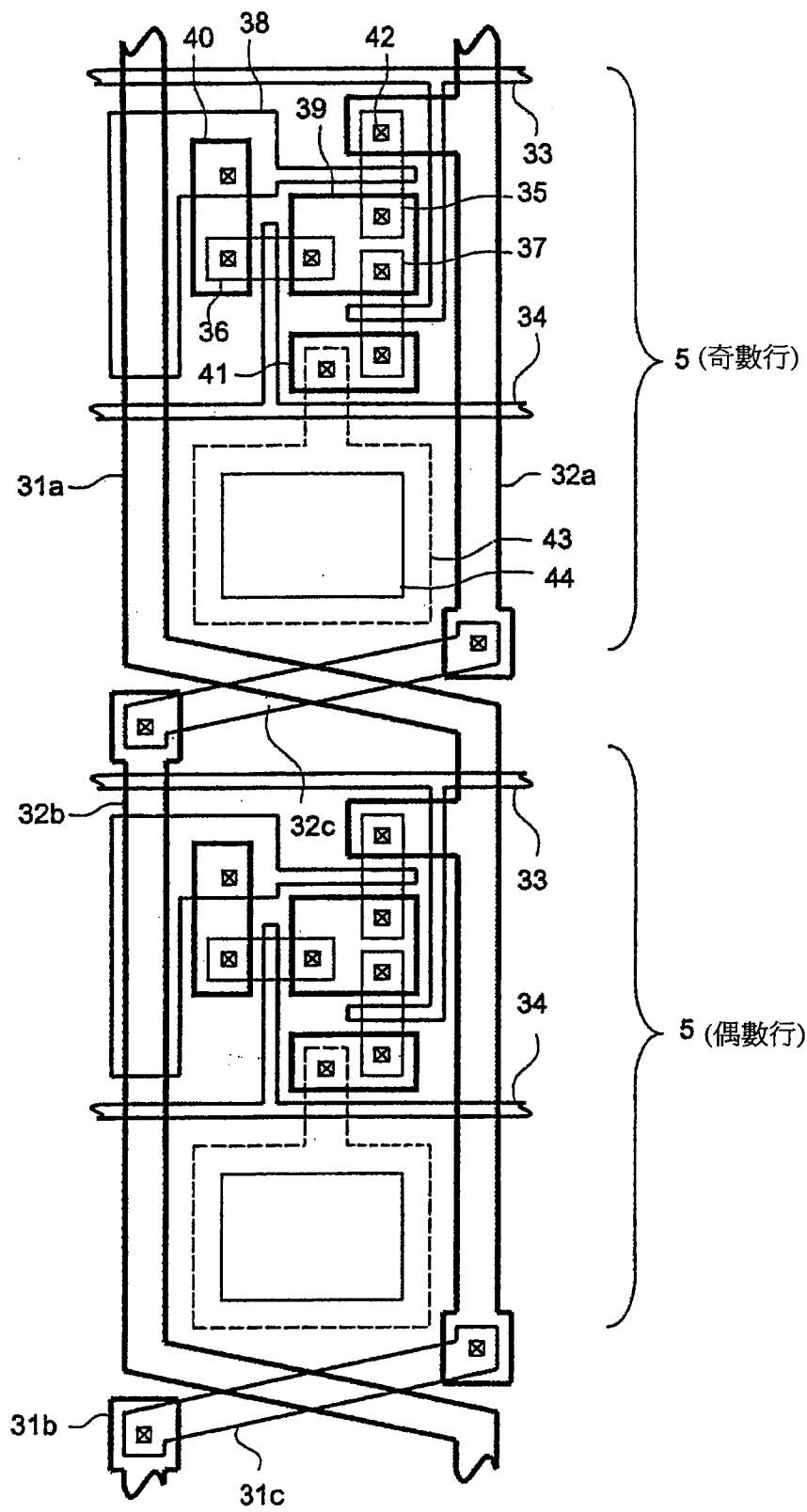
第4圖



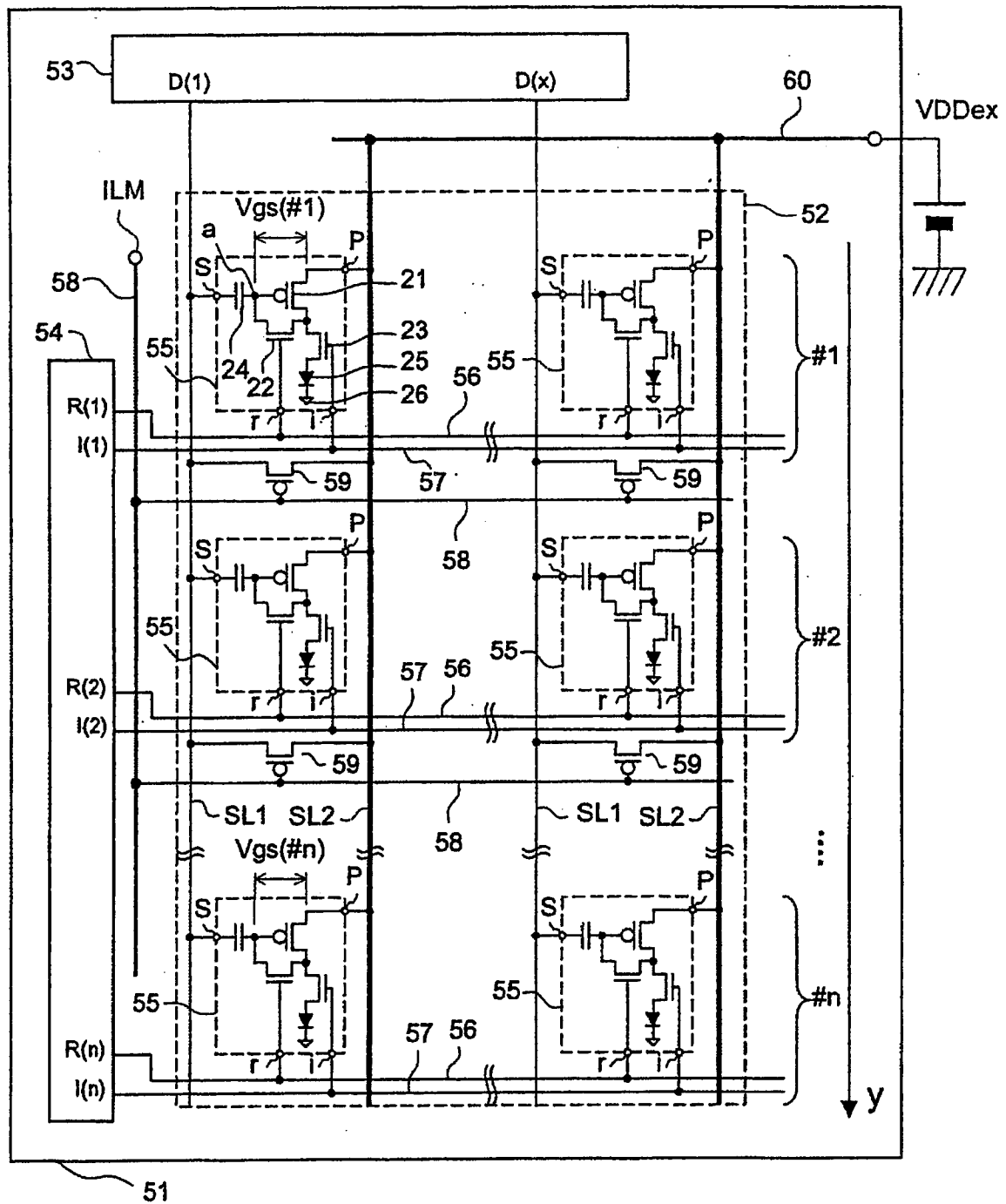
第5圖



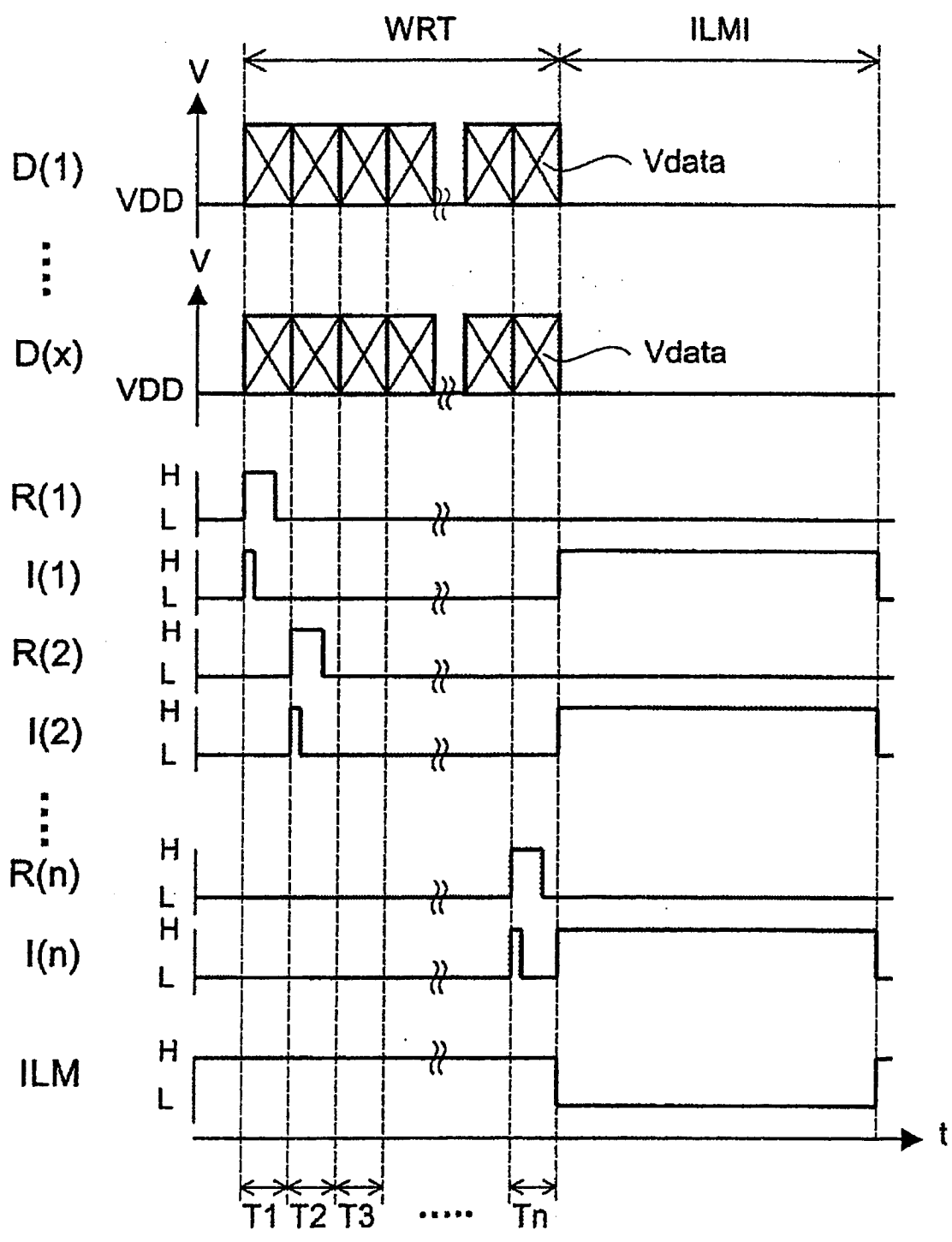
第6圖



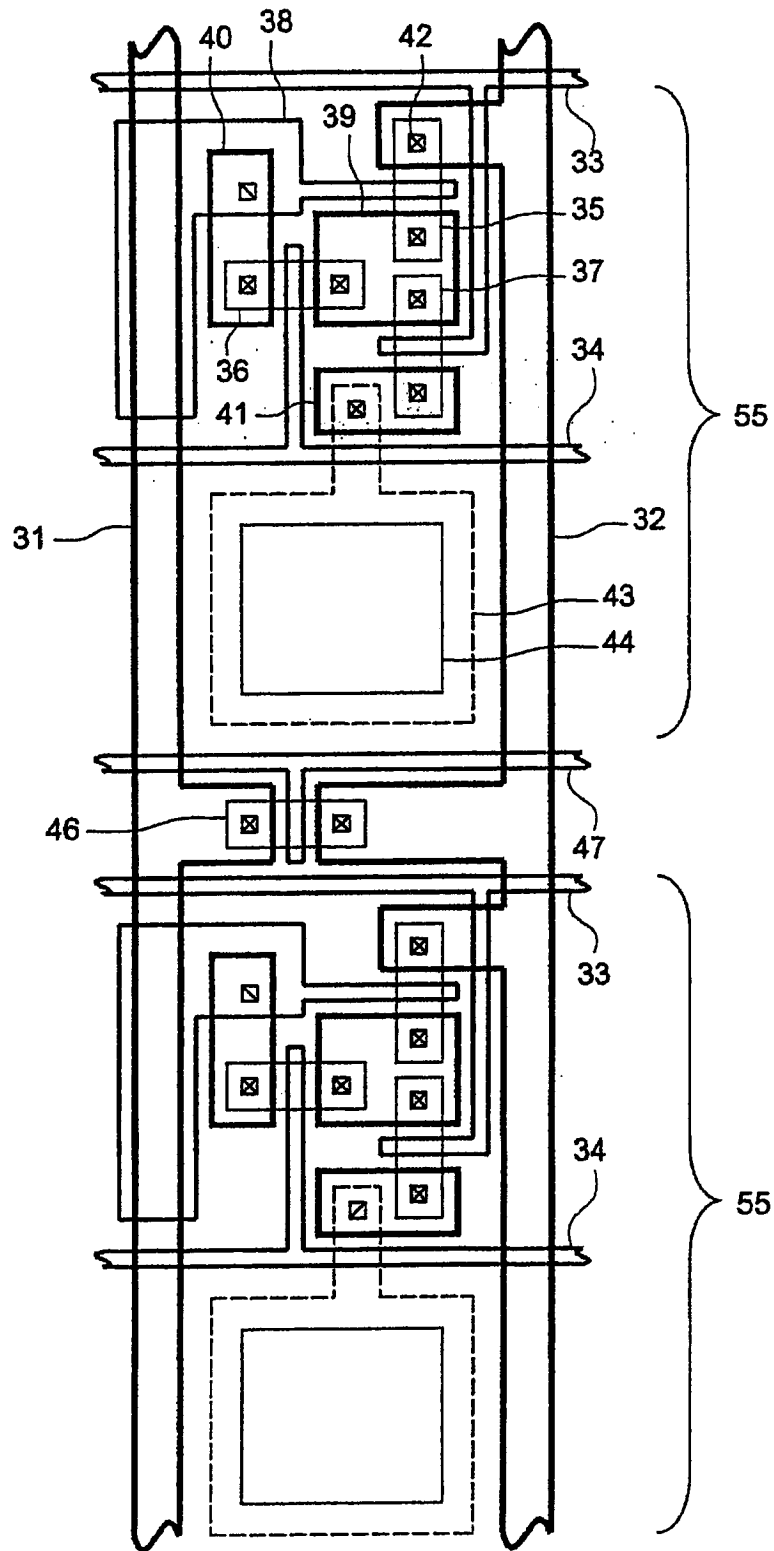
第8圖



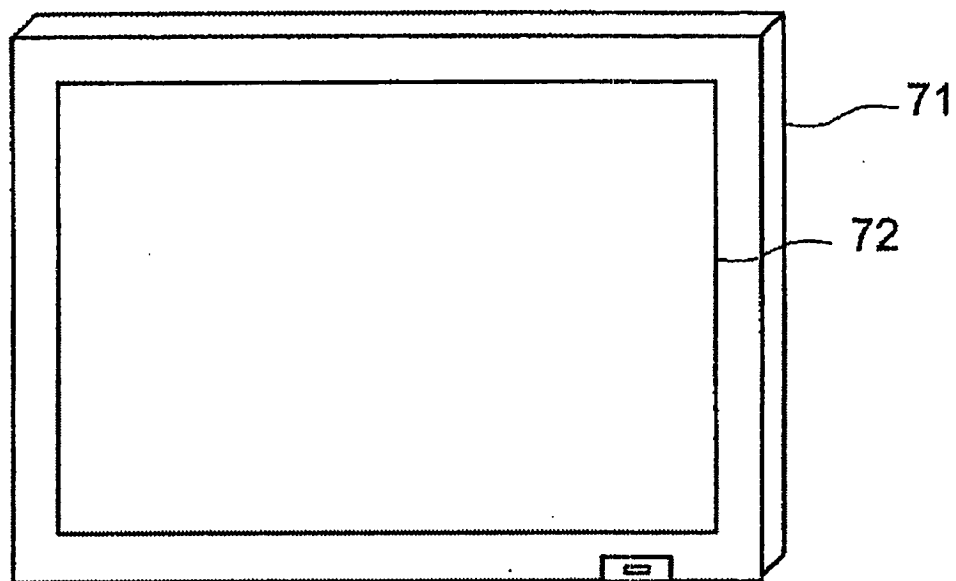
第9圖



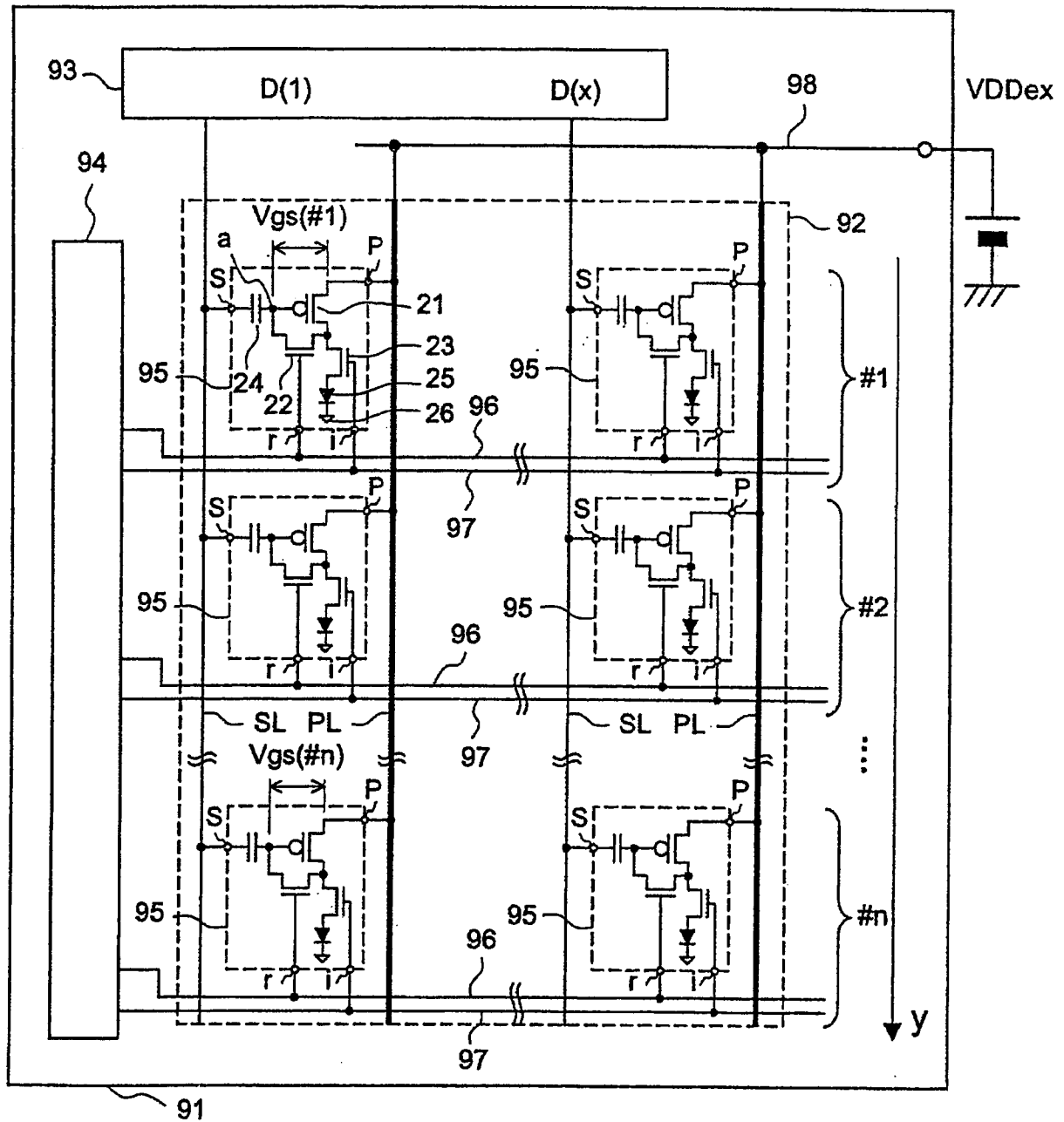
第10圖



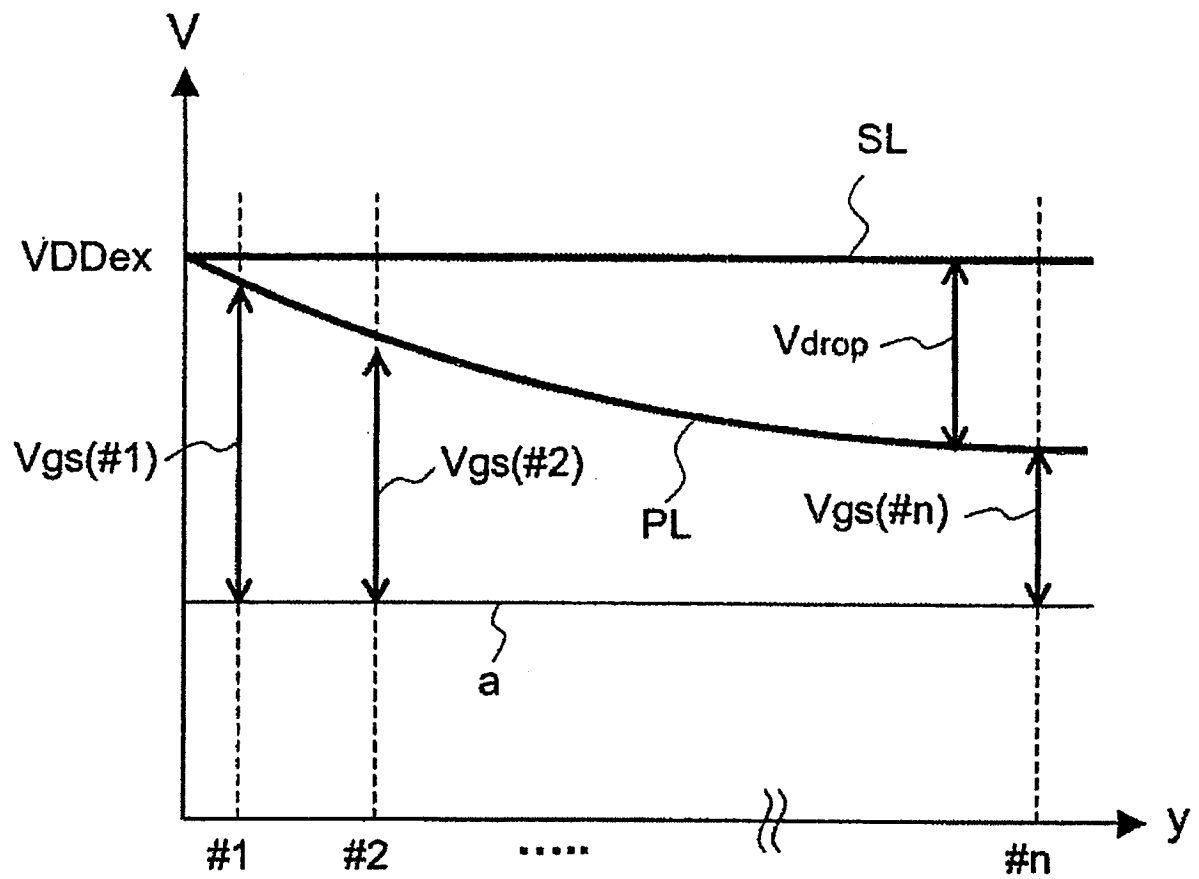
第11圖



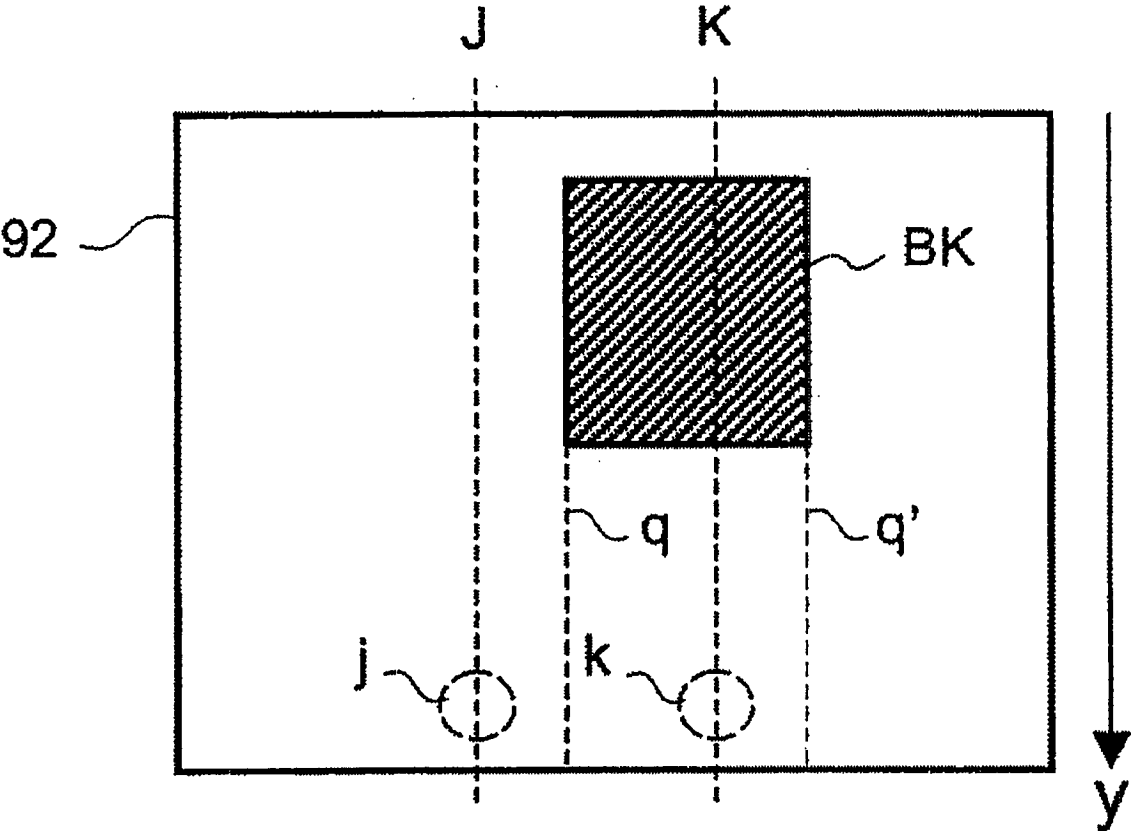
第12圖



第13圖



第14圖



第15圖

七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖

(二)、本代表圖之元件代表符號簡單說明：

1：玻璃基板	2：畫像顯示範圍
3：驅動電路	4：掃描電路
5：像素電路	6：重設訊號線
7：點燈訊號線	11：驅動 IC
12：選擇開關電路	13、14：變頻器
15：電源匯流排	21：P 通道 TFT
22、23：N 通道 TFT	24：電容器
25：EL 元件	26：共通電極
SL1、SL2：配線	S：畫像訊號輸入
P：電源輸入	r：重設訊號輸入
i：點燈訊號輸入	a：節點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：