202211746

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202211746 A

(43)公開日： 中華民國 111 (2022) 年 03 月 16 日

(21)申請案號：110112834 (22)申請日： 中華民國 110 (2021) 年 04 月 09 日

(51)Int. Cl.： *H05K3/42 (2006.01)*

(30)優先權：2020/04/17 世界智慧財產權組織 PCT/JP2020/016815

(71)申請人：日商名幸電子股份有限公司 (日本) MEIKO ELECTRONICS CO., LTD. (JP)
日本

(72)發明人：寒河江浩久 SAGAE, HIROHISA (JP) ；島田浩 SHIMADA, HIROSHI (JP) ；名屋茂 NAYA, SHIGERU (JP)

(74)代理人：張耀暉；李元戎

申請實體審查：無 申請專利範圍項數：11 項 圖式數：10 共 32 頁

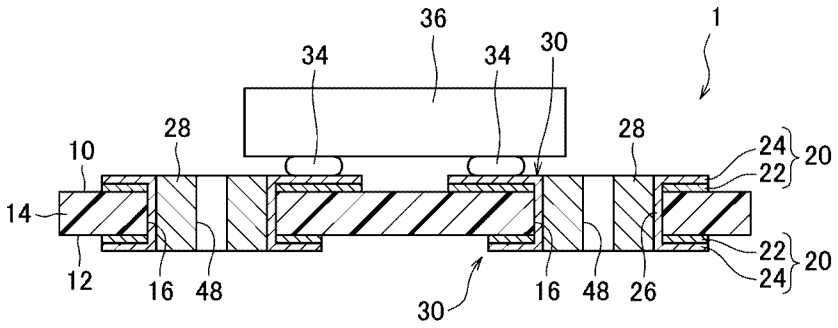
(54)名稱

電路基板的製造方法

(57)摘要

本發明的電路基板的製造方法係具備：貫通孔形成步驟，係準備基板(40)，並形成貫通孔(16)，前述貫通孔(16)係從前述基板(40)的第一面(10)貫通至與前述第一面(10)相反側的第二面(12)；導電化處理步驟，係將至少前述貫通孔(16)的內壁面予以導電化處理；基底鍍覆步驟，係至少於施予了前述導電化處理的前述貫通孔(16)的內壁面形成基底鍍覆層(24)；阻劑層形成步驟，係將鍍覆阻劑層形成於前述第一面以及前述第二面的表面上，前述鍍覆阻劑層係於與前述貫通孔(16)對應的位置具有直徑比前述貫通孔(16)還小且與前述貫通孔(16)同軸的小徑貫通孔；孔內鍍覆步驟，係於前述貫通孔(16)的內壁面的前述基底鍍覆層(24)上形成孔內鍍覆層(28)；以及阻劑層去除步驟，係去除前述鍍覆阻劑層。

指定代表圖：



【圖1】

符號簡單說明：

1:電路基板

10:上表面(第一面)

12:下表面(第二面)

14:絕緣基板

16:貫通孔

20:表面金屬層

22:銅箔

24,26:基底鍍覆層

28:孔內鍍覆層

30:配線圖案

34:焊料

36:電子零件

48:中心貫通孔

【發明摘要】

【中文發明名稱】　電路基板的製造方法

【中文】

本發明的電路基板的製造方法係具備：貫通孔形成步驟，係準備基板(40)，並形成貫通孔(16)，前述貫通孔(16)係從前述基板(40)的第一面(10)貫通至與前述第一面(10)相反側的第二面(12)；導電化處理步驟，係將至少前述貫通孔(16)的內壁面予以導電化處理；基底鍍覆步驟，係至少於施予了前述導電化處理的前述貫通孔(16)的內壁面形成基底鍍覆層(24)；阻劑層形成步驟，係將鍍覆阻劑層形成於前述第一面以及前述第二面的表面上，前述鍍覆阻劑層係於與前述貫通孔(16)對應的位置具有直徑比前述貫通孔(16)還小且與前述貫通孔(16)同軸的小徑貫通孔；孔內鍍覆步驟，係於前述貫通孔(16)的內壁面的前述基底鍍覆層(24)上形成孔內鍍覆層(28)；以及阻劑層去除步驟，係去除前述鍍覆阻劑層。

【指定代表圖】　圖1。

【代表圖之符號簡單說明】

1:電路基板

10:上表面(第一面)

12:下表面(第二面)

14:絕緣基板

16:貫通孔

20:表面金屬層

22:銅箔

24,26:基底鍍覆層

28:孔內鍍覆層

30:配線圖案

34: 焊料

36:電子零件

48:中心貫通孔

【發明說明書】

【中文發明名稱】　　電路基板的製造方法

【技術領域】

【0001】本發明係有關於一種電路基板的製造方法。

【先前技術】

【0002】在電路基板中，已知有一種散熱基板，係於一面搭載功率半導體等之會發熱的電子元件，於另一面具有用以使來自該電子元件的熱發散之散熱片(heat sink)。在此散熱基板中，需要使熱從一面朝向另一面傳達之路徑。

【0003】此外，已知一種大電流基板作為使用於流動大電流之用途的電路基板。在此種大電流基板中，需要使電流從一面的配線圖案朝另一面的配線圖案傳達之路徑，或者需要使電流從一面的配線圖案朝層間的配線圖案傳達之路徑。

【0004】作為此種使用於用以傳達熱或者大電流之路徑，通常利用孔內鍍覆層，該孔內鍍覆層係設置於貫通孔的內壁，該貫通孔係從一面貫通達至另一面。

【0005】在電路基板中，為了使大量的熱、電流從一面朝向另一面傳達，考量下述態樣作為第一態樣：以能確保與電流、熱量相應的孔內鍍覆層的剖面積之方式設置多個具有孔內鍍覆層的貫通孔。

【0006】在第一態樣之情形中，為了確保充分的散熱性、導電性，需要形成多個貫通孔。然而，由於電路基板存在空間性的制約，因此能形成的貫通孔的數量有限，有可能會產生無法確保充分的散熱性、導電性此種問題。此外，

為了確保充分的散熱性、導電性，必須增加電路基板的面積才能形成多個貫通孔。然而，當電路基板的面積變大時，會有阻礙用以搭載該電路基板之機器的小型化之虞。

【0007】因此，為了解決第一態樣的問題，考量將孔內鍍覆層的厚度加厚之態樣作為第二態樣。若孔內鍍覆層的厚度加厚，則即使貫通孔的數量少亦能獲得充分的散熱性、導電性，且能確保與應傳達的電流、熱量相應的孔內鍍覆層的剖面積。

【0008】此外，為了將孔內鍍覆層的厚度增厚，考量例如流動比往常還大的電流並施予鍍覆處理。通常，由於進行同時地形成孔內鍍覆層與電路基板的表面以及背面的配線層之工序，因此在流動大電流並施予鍍覆處理之情形中，電路基板的表面以及背面的配線層的厚度亦增加。如此，當電路基板的表面以及背面的配線層變厚時，會變得難以製作細微的配線圖案。此外，在貫通孔內於鍍覆處理時的電流的流動方式產生偏差，即使流動大電流，愈接近電路基板的表面以及背面之部分則電流流動的量愈多，愈接近貫通孔的內部電流流動的量愈少，亦即遇愈接近電路基板的表面以及背面的中間部分則電流流動的量愈少。因此，如圖9所示，孔內鍍覆層70中之愈接近電路基板72的表面74以及背面76之部分則鍍覆厚度愈厚，孔內鍍覆層70中之愈朝向表面74以及背面76的中間部分則鍍覆厚度愈薄。

【0009】如此，當於孔內鍍覆層存在有厚度薄的部分時，熱傳導性以及電性傳導性係受到鍍覆的薄的部分的制約而難以獲得充分的散熱性、導電性。

【0010】因此，提供一種技術(例如參照專利文獻1)：於電路基板中的內層導體層的一個內層導體層形成露出於貫通孔的中間部分的內壁之導線(lead)層，

將該導電層作為鍍覆的供電用的電極來利用，藉此增多於貫通孔的中間部分流動的電流量，從而將貫通孔的內部的鍍覆較厚地形成。依據此專利文獻1的技術，能於貫通孔的壁面上形成厚的鍍覆層。

[先前技術文獻]

[專利文獻]

【0011】

[專利文獻1]日本特開2002-016332號公報。

【發明內容】

[發明所欲解決之課題]

【0012】 然而，在專利文獻1中，必須另外將導線層形成於電路基板的中間層，在電路基板的製造中增加工作數量。此外，如專利文獻1的圖1所示，在專利文獻1中能獲得的孔內鍍覆層係貫通孔的中間部分的鍍覆層的厚度厚且電路基板的表面以及背面附近的鍍覆層的厚度薄。亦即，在孔內鍍覆層中會於厚度存在不均。如此，當於孔內鍍覆層的厚度存在不均時，依然難以獲得充分的散熱性、導電性。

【0013】 此外，為了抑制孔內鍍覆層的厚度的不均，提出了下述方法：使用能抑制電路基板的表面以及背面附近的高電流部的鍍覆成長並針對位於電路基板的表面以及背面之間的中央部之低電流部優先地促進鍍覆成長之藥液。

【0014】 然而，即使在使用此種藥液的方法之情形中，亦難以調整鍍覆處理時間，該鍍覆處理時間係與用以使鍍覆的對象物的金屬面整體均勻地析出之屬於工程能力的均鍍能力(throwing power)[%]以及生產性相關；而且，如圖10所

示，所獲得的孔內鍍覆層78的貫通孔的中間部分的鍍覆層的厚度容易變厚，電路基板的表面74以及背面76附近的鍍覆層的厚度容易變薄。

【0015】 除此之外，為了抑制孔內鍍覆層的厚度的不均，亦檢討了用以以低電流進行鍍覆之方法、用以使用脈衝(pulse)電源調整電解以及逆電解從而控制鍍覆層厚度之方法等。

【0016】 然而，上述的所有方法皆為新的方法或者特殊的方法，新的設備投資會導致成本增加。而且，這些方法的實際成績尚未充足，目前尚未進入採用階段。此外，藉由這些方法所獲得的孔內鍍覆層的品質尚未足夠，由此點亦可知目前尚未進入採用階段。

【0017】 因此，在電路基板中，期望提供一種電路基板的製造方法，係無須採用新穎方法即能容易地獲得具有孔內鍍覆層之電路基板，且該孔內鍍覆層的熱傳導性以及電性傳導性優異並且厚度的均勻性高。

【0018】 本發明係有鑑於上述課題而研創，目的在於提供一種電路基板的製造方法，能比以往更容易地製造具備熱傳導性以及電性傳導性優異的路徑的電路基板。

[用以解決課題之手段]

【0019】 為了達成上述目的，依據本發明，提供一種電路基板的製造方法，係具備：貫通孔形成步驟，係準備基板，並形成貫通孔，前述貫通孔係從前述基板的第一面貫通至與前述第一面相反側的第二面；導電化處理步驟，係將至少前述貫通孔的內壁面予以導電化處理；基底鍍覆步驟，係至少於施予了前述導電化處理的前述貫通孔的內壁面形成基底鍍覆層；阻劑(resist)層形成步驟，係將鍍覆阻劑層形成於前述第一面以及前述第二面的表面上，

前述鍍覆阻劑層係於與前述貫通孔對應的位置具有直徑比前述貫通孔還小且與前述貫通孔同軸的小徑貫通孔；孔內鍍覆步驟，係於前述貫通孔的內壁面的前述基底鍍覆層上形成孔內鍍覆層；以及阻劑層去除步驟，係去除前述鍍覆阻劑層。

【0020】 此外，較佳為作成下述態樣：前述孔內鍍覆步驟係將前述孔內鍍覆層形成為比前述基底鍍覆層還厚。

【0021】 此外，較佳為作成下述態樣：前述孔內鍍覆步驟係將鍍覆處理的電流密度設定成3.0A／dm^2以上至20.0A／dm^2以下。

【0022】 此外，較佳為作成下述態樣：前述孔內鍍覆步驟係經由前述小徑貫通孔使鍍覆液流通於前述貫通孔內。

【0023】 此外，較佳為作成下述態樣：前述阻劑層形成步驟係使用乾膜(dry film)來形成前述鍍覆阻劑層。

【0024】 此外，較佳為作成下述態樣：前述阻劑層形成步驟係藉由直接描繪方式來形成前述鍍覆阻劑層。

【0025】 此外，較佳為作成下述態樣：前述孔內鍍覆步驟係使用高均鍍(high throw)硫酸銅鍍覆浴來形成前述孔內鍍覆層。

【0026】 此外，較佳為作成下述態樣：前述孔內鍍覆步驟係藉由化學銅鍍覆處理來形成前述孔內鍍覆層。

【0027】 此外，較佳為作成下述態樣：複數次重複前述孔內鍍覆步驟，使前述孔內鍍覆層的厚度增加。

【0028】此外，較佳為作成下述態樣：進一步具備：填充步驟，係於被前述孔內鍍覆層的內周面圍繞的中心貫通孔中填充具有熱傳導性以及電性傳導性的填充材料。

【0029】此外，較佳為作成下述態樣：前述基板為兩層以上的覆銅基板(copper clad laminate)。

[發明功效]

【0030】本發明的電路基板的製造方法係具備：貫通孔形成步驟，係準備基板，並形成貫通孔，前述貫通孔係從前述基板的第一面貫通至與前述第一面相反側的第二面；導電化處理步驟，係將至少前述貫通孔的內壁面予以導電化處理；基底鍍覆步驟，係至少於施予了前述導電化處理的前述貫通孔的內壁面形成基底鍍覆層；阻劑層形成步驟，係將鍍覆阻劑層形成於前述第一面以及前述第二面的表面上，前述鍍覆阻劑層係於與前述貫通孔對應的位置具有直徑比前述貫通孔還小且與前述貫通孔同軸的小徑貫通孔；孔內鍍覆步驟，係於前述貫通孔的內壁面的前述基底鍍覆層上形成孔內鍍覆層；以及阻劑層去除步驟，係去除前述鍍覆阻劑層。藉此，能容易地進行下述動作：較厚地且均勻地形成作為熱以及電流的路徑而發揮作用的孔內鍍覆層。因此，依據本發明，能提供一種電路基板的製造方法，係能比以往還容易地製造具備熱傳導性以及電性傳導性優異的路徑的電路基板。

【圖式簡單說明】

【0031】

[圖1]係顯示藉由第一實施形態的電路基板的製造方法所獲得的電路基板之剖視圖。

[圖2]係依序地顯示第一實施形態的電路基板的製造方法之概略圖。

[圖3]係依序地顯示圖2的接續之概略圖。

[圖4]係顯示藉由第二實施形態的電路基板的製造方法所獲得的電路基板之剖視圖。

[圖5]係依序地顯示第二實施形態的電路基板的製造方法之概略圖。

[圖6]係依序地顯示圖5的接續之概略圖。

[圖7]係顯示孔內鍍覆層的均勻性與電流密度之間的關係之圖表。

[圖8]係顯示電路基板的熱電阻值與貫通孔的數量之間的關係之圖表。

[圖9]係概略性地顯示藉由以往的方法所製造的電路基板的孔內鍍覆層的形態之剖視圖。

[圖10]係概略性地顯示藉由另外的以往的方法所製造的電路基板的孔內鍍覆層的形態之剖視圖。

【實施方式】

【0032】[第一實施形態]

以下參照圖式說明第一實施形態的電路基板的製造方法。

首先，於基板40形成貫通孔16(貫通孔形成步驟)。

在貫通孔形成步驟中，首先，如圖2中的(a)所示，準備兩層以上的覆銅基板40作為基板40。此兩層以上的覆銅基板40為層疊板，於絕緣基板14的上表面(第一面)10以及下表面(第二面)12配設有銅箔22。在此，作為絕緣基板14雖然沒有

特別限定，然而例如能夠適宜地使用已使環氧樹脂含浸於已重疊的玻璃纖維製的布而成的玻璃環氧基板。

【0033】 接著，藉由周知的方法於兩層以上的覆銅基板40的預定位置形成從上表面10側朝向下表面12側貫通之貫通孔16。如此，能獲得如圖2中的(b)所示之具有兩個貫通孔16的兩層以上的覆銅基板40。

【0034】 在此，在本實施形態中，雖然預先準備貼附有銅箔22的兩層以上的覆銅基板40並於該兩層以上的覆銅基板40設置貫通孔，然而本發明並未限定於此種態樣。例如，亦可僅對未貼附有銅箔22的絕緣基板14設置貫通孔。此外，亦可於絕緣基板14設置貫通孔後在後續的步驟中藉由鍍覆法或者蒸鍍法於該絕緣基板14的表面形成銅的薄膜。再者，亦可在步驟中藉由鍍覆法或者蒸鍍法對絕緣基板14形成銅的薄膜後再設置貫通孔。

【0035】 接著，施予用以對貫通孔16的內壁面賦予導電性之導電化處理(導電化處理步驟)。

作為導電化處理並無特別限定，例如使貫通孔16的內壁面吸附鈀(Pd)化合物的觸媒，藉此對貫通孔16的內壁面賦予導電性。

【0036】 接著，形成基底鍍覆層24(基底鍍覆步驟)。

基底鍍覆層24係至少形成於貫通孔16的內壁面。在本實施形態中，不僅於貫通孔16的內壁面形成基底鍍覆層24，亦於兩層以上的覆銅基板40的銅箔22的表面形成基底鍍覆層24。基底鍍覆層24係例如藉由銅鍍覆膜所形成，該銅鍍覆膜係藉由電解鍍覆法所獲得。如此，能獲得銅箔22的表面以及貫通孔16的內壁面被銅的基底鍍覆層24覆蓋的銅被覆基板42。在此，由於銅被覆基板42的上表面10側以及下表面12側係作成相同的構造，因此僅說明上表面10側。於絕緣基

板14的上表面10形成有銅箔22，且於該銅箔22上形成有銅的基底鍍覆層24。這些銅箔22以及基底鍍覆層24係結合成為表面金屬層20。

【0037】 此外，基底鍍覆層24亦沿著貫通孔16的內壁面形成，此部分係成為連結部基底鍍覆層26，連結部基底鍍覆層26係連結上表面10側的基底鍍覆層24與下表面12側的基底鍍覆層24。

【0038】 在此，電解鍍覆中的電流密度係較佳為設定成1.0A／dm^2以上至3.0A／dm^2以下。

【0039】 此外，作為用以形成作為基底鍍覆層24的薄膜之方法，並未限定於電解鍍覆法，亦能採用無電解鍍覆法、化學氣相沉積(CVD；chemical vapor phase deposition)法、物理氣相沉積法(PVD；physical vapor deposition)法等。此外，作為基底鍍覆層24的材質，並未限定於銅，例如能使用鎳、金、焊料等。

【0040】 此外，在本實施形態中，雖然表面金屬層20為兩層構造，然而本發明並未限定於此態樣，表面金屬層20亦可為僅有銅箔22的一層構造。

【0041】 接著，以於貫通孔16內形成厚度厚的孔內鍍覆層28之方式於銅被覆基板42的雙面形成鍍覆阻劑層44、44(阻劑層形成步驟)。

【0042】 在本步驟中，首先，如圖2中的(d)所示，於銅被覆基板42的雙面形成鍍覆阻劑層44。鍍覆阻劑層44係由預定厚度的乾膜所形成，覆蓋表面金屬層20的整體，且於與貫通孔16對應的位置設置有直徑比貫通孔16還小且與貫通孔16同軸的小徑貫通孔38。如此，成為下述態樣：藉由設置小徑貫通孔38，鍍覆阻劑層44係朝向貫通孔16的徑方向內側伸出。

【0043】在此，在形成鍍覆阻劑層44時於貫通孔16與小徑貫通孔38的位置對合需要高精度之情形中，較佳為採用直接描繪方式。藉此，能容易且高精度地進行貫通孔16與小徑貫通孔38的位置對合。

【0044】接著，於貫通孔16內形成孔內鍍覆層28(孔內鍍覆步驟)。

在本步驟中，對具有鍍覆阻劑層44的銅被覆基板42施予銅的電解鍍覆。藉此，使連結部基底鍍覆層26優先地析出銅從而沿著鍍覆阻劑層44的伸出部44a逐漸地形成由銅所構成的孔內鍍覆層28(圖2中的(e))，該連結部基底鍍覆層26係位於從鍍覆阻劑層44露出的貫通孔16的內壁面。在此，較佳為孔內鍍覆層28係形成比基底鍍覆層24還厚。更佳為孔內鍍覆層28係形成比表面金屬層20的厚度還厚。如此，當孔內鍍覆層28的厚度變厚時，熱傳導性以及電性傳導性提升。

【0045】在此，孔內鍍覆層28係成長達至上述鍍覆阻劑層44的伸出部44a的位置。因此，較佳為鍍覆阻劑層44係形成為比基底鍍覆層24還厚。更佳為使鍍覆阻劑層44比表面金屬層20的厚度還長地伸出。詳細而言，孔內鍍覆層28的厚度T係變成與鍍覆阻劑層44的伸出部44a的長度L大致相同。因此，較佳為鍍覆阻劑層44的伸出部44a的長度L係預先設定成在與期望的孔內鍍覆層28的厚度T之間的關係中成為$T \leqq L$。

【0046】如上所述，由於孔內鍍覆層28係成長達至鍍覆阻劑層44的伸出部44a的位置，因此從圖2中的(e)可清楚得知，在貫通孔16內於被孔內鍍覆層28圍繞的中央部分產生空隙，該空隙成為中心貫通孔48。

【0047】在孔內鍍覆步驟中的電解鍍覆中，較佳為將電流密度設定成3.0A／dm^2以上至20.0A／dm^2以下。在此，針對孔內鍍覆層28的均勻性與電流密度之間的關係進行檢討。使電解鍍覆中的電流密度變化，針對所獲得的孔內鍍覆層

28測量複數個部位的厚度。而且，以此厚度的測量值作為基礎，藉由以下的式子(I)求出孔內鍍覆層28的均勻性[%]。

【0048】 式子(I)

孔內鍍覆層的均勻性[%]＝(孔內鍍覆層厚度的最小值／孔內鍍覆層厚度的最大值)×100

【0049】 此均勻性的數值愈高，表示愈能獲得均勻的鍍覆層。會有下述傾向：電流密度愈低則所能獲得的鍍覆層的厚度的不均愈變小，均勻性變高。反之，電流密度愈高則所能獲得的鍍覆層的厚度的不均變大，均勻性降低。認為孔內鍍覆層28的均勻性為70%以上時熱傳導性以及電性傳導性會變良好。從顯示了孔內鍍覆層28的均勻性與電流密度之間的關係的圖7可知，當電流密度為20.0A／dm^2以下時，能獲得孔內鍍覆層28的均勻性為70%以上。因此，可謂較佳為將電流密度設定成20.0A／dm^2以下。另一方面，在降低電流密度之情形中，雖然鍍覆層的均勻性變高，然而鍍覆層的成長耗費時間。當鍍覆層的均勻性為95%左右時，能確保充分良好的熱傳導性以及電性傳導性。因此，較佳為將電流密度的下限設定成鍍覆層的均勻性會變成95%之3.0A／dm^2。

【0050】 此外，在上述阻劑層形成步驟中所形成的小徑貫通孔38係在孔內鍍覆步驟中的鍍覆處理時被利用於鍍覆液的流通。詳細而言，較佳為在電解鍍覆的鍍覆浴中，使鍍覆液產生流動，強制性地使鍍覆液從小徑貫通孔38朝貫通孔16內流通，進行銅離子的供給。藉此，能抑制貫通孔16內銅離子的不足。尤其，在以高電流密度形成孔內鍍覆層之情形中，由於貫通孔16內銅離子不足，因此是有效的。

【0051】 此外，作為在孔內鍍覆步驟所使用的電解銅鍍覆的鍍覆浴，能使用在電解銅鍍覆時所使用的一般的鍍覆浴，例如能使用高均鍍硫酸銅鍍覆浴。

【0052】 此外，作為用以構成上述孔內鍍覆層28之金屬，並未限定於銅，能使用鋁、金、鎳、焊料等材料。此外，作為用以形成孔內鍍覆層28之方法，並未限定於電解鍍覆法，能採用無電解鍍覆法、化學氣相沉積法(CVD法)、物理氣相沉積法(PVD法)等。

【0053】 結束上述孔內鍍覆步驟中的電解鍍覆後，去除作為鍍覆阻劑層44的乾膜(阻劑層去除步驟)。

【0054】 如此，去除鍍覆阻劑層44，藉此如圖3中的(a)所示，能獲得具備了表面金屬層20以及設置於貫通孔16內的孔內鍍覆層28之電路基板的半成品46。在此，孔內鍍覆層28係形成為厚度比表面金屬層20還厚。

【0055】 接著，於所獲得的半成品46的表面金屬層20形成配線圖案。詳細而言，首先，於表面金屬層20以及孔內鍍覆層28所露出的面的整體形成乾膜等蝕刻阻劑。之後，留下位於在這些金屬層中欲作為配線留下的部分上的蝕刻阻劑，藉由公知的方法去除除此以外的部分的蝕刻阻劑。藉此，應成為配線的部分係被蝕刻阻劑保護，且應成為配線的部分以外的部分係成為露出的狀態。在此狀態下進行蝕刻處理，藉此已露出的金屬層係被蝕刻去除，成為殘留有應成為配線圖案的表面金屬層20以及孔內鍍覆層28以及位於這些部分上方的蝕刻阻劑之狀態。

【0056】 之後，去除蝕刻阻劑，藉此如圖3中的(b)所示，於絕緣基板14的表面顯露出預定形狀的配線圖案30。

【0057】 如此，能獲得電路基板1(如圖3中的(b))，且該電路基板1係具備：預定形狀的配線圖案30，係形成於絕緣基板14的雙面；以及孔內鍍覆層28，係形成於貫通孔16內。從圖3中的(b)清楚可知，在藉由本實施形態的電路基板的製造方法所獲得的電路基板1中形成有與孔內鍍覆層28連接的配線圖案30(54)。於配線圖案30的一部分係具備成為墊(pad)54之部分，墊54係用以在後續步驟中搭載電子零件36。從圖3中的(b)清楚可知，墊54係連接於孔內鍍覆層28。

【0058】 如圖1所示，之後，於以此種方式所獲得之具備了孔內鍍覆層28的電路基板1安裝了電子零件36。在此，作為電子零件36，例如使用了功率半導體等之會發熱的電子零件36。此種功率半導體等之會發熱的電子零件36係功率半導體的本體元件被埋設於保護用的樹脂而形成。在此種功率半導體等之會發熱的電子零件36的下表面露出了複數個下表面電極(未圖示)。下表面電極係藉由焊料34而與墊54連接。藉此，功率半導體等之會發熱的電子零件36係被固定於電路基板1上。

【0059】 在藉由本發明的電路基板的製造方法所獲得的電路基板1中，由於電子零件用的墊54係與作為熱的傳導路徑的孔內鍍覆層28連接，因此能將在電子零件36所產生的熱效率佳地傳達至絕緣基板14中的相反的下表面12側，故散熱特性優異。在此，於孔內鍍覆層28的下表面12側的部分連接例如散熱片(未圖示)，藉此能更提高散熱性。

【0060】 此外，在採用流通大電流的零件作為電子零件36之情形中，由於電子零件用的墊54係與作為電流的傳達路徑的孔內鍍覆層28連接，因此能將從電子零件36流動的大電流效率佳地傳達至連接於絕緣基板14中的相反的下表面

12側的其他的電子零件(未圖示)。因此，藉由本發明的電路基板的製造方法所獲得的電路基板係導電特性優異。

【0061】 如上述所說明般，由於本發明的電路基板的製造方法係無須將成為配線圖案30之表面金屬層20加厚即能將成為熱以及電性的傳達路徑之孔內鍍覆層28較厚地形成，因此不會阻礙配線圖案30的高密度化，能夠效率佳地製造散熱特性以及導電特性優異的電路基板1。

【0062】 在本發明的電路基板的製造方法中，為了抑制成為配線圖案30之表面金屬層20變厚，於表面金屬層20上採用一般的乾膜作為鍍覆阻劑，因此無須新的方法或者特殊的方法。因此，能抑制電路基板1的生產成本增加。

【0063】 此外，在本發明的電路基板的製造方法中，由於能使用鍍覆阻劑僅於任意的貫通孔形成孔內鍍覆層，因此於散熱路徑以及導電路徑的設計上具有自由性。例如，能於尤其需要散熱的部分集中地形成具有較厚的孔內鍍覆層的貫通孔，故能夠效率佳地進行熱的散熱。因此，能夠在電路基板上將會發熱的零件與熱較弱的零件接近地安裝。

【0064】 此外，在本發明的電路基板的製造方法中，由於能在對孔內鍍覆層進行銅鍍覆處理時使用一般的銅鍍覆浴，因此能使用現有的設備，能夠避免投資風險且與以往的製品共同生產。

【0065】 此外，在本發明的電路基板的製造方法中，在於貫通孔16內形成孔內鍍覆層28之情形中，由於貫通孔16內施予了導電化處理(觸媒的添加、銅鍍覆等)，因此對於鍍覆時的電流之電性電阻低，即使為高電流密度亦能形成均勻的鍍覆被膜。因此，本發明的電路基板的製造方法的生產性優異。

【0066】在此，針對在藉由以往的電路基板的製造方法製造了具有孔內鍍覆層的電路基板之情形中以及在藉由本發明的電路基板的製造方法製造了具有孔內鍍覆層的電路基板之情形中所獲得的電路基板的孔內鍍覆層的均勻性進行比較以及檢討。

【0067】如圖9所示，藉由以往的電路基板的製造方法所製造的電路基板72中的孔內鍍覆層70的鍍覆層厚度係愈接近電路基板72的表面74以及背面76則愈厚，愈朝向表面74以及背面76的中間部分則愈薄。針對此種以往的電路基板72，使電流密度與上述第一實施形態同樣地變化，與上述第一實施形態同樣地求出此時的孔內鍍覆層70的均勻性。將結果一併顯示於圖7。從圖7的結果可知，在藉由以往的電路基板的製造方法所獲得的電路基板中，電流密度為20.0A／dm^2時孔內鍍覆層的均勻性為30%左右，電流密度為10.0A／dm^2時孔內鍍覆層的均勻性為70%左右，電流密度為3.0A／dm^2時孔內鍍覆層的均勻性為85%左右。亦即，可知藉由以往的電路基板的製造方法所製造的電路基板的孔內鍍覆層的均勻性係比藉由第一實施形態的電路基板的製造方法所製造的電路基板的孔內鍍覆層的均勻性還低。換言之，與以往的電路基板的製造方法相比，由於本發明的電路基板的製造方法係能獲得高電流密度且孔內鍍覆層的均勻性優異的電路基板，因此可謂是能生產性佳地製造具備熱傳導性以及電性傳導性優異的路徑的電路基板之電路基板的製造方法。

【0068】在此，針對藉由以往的電路基板的製造方法所獲得之如上述圖9所示般的電路基板72而得到的電路基板的熱電阻值以及藉由本發明的電路基板的製造方法所得到的電路基板的熱電阻值進行比較以及檢討。

【0069】在藉由以往的電路基板的製造方法所製造的電路基板中，分別準備穿設有10個、35個、60個直徑為200μm的貫通孔的電路基板，並以在各個電路基板中的各個貫通孔內具有最薄部的厚度為20μm的孔內鍍覆層之方式遵循以往的電路基板的製造方法製造了電路基板。

【0070】另一方面，在藉由本發明的電路基板的製造方法所製造的電路基板中，分別準備穿設有10個、35個、60個直徑為200μm的貫通孔的電路基板，並以在各個電路基板中的各個貫通孔內具有厚度為95μm的孔內鍍覆層之方式遵循上述的第一實施形態的電路基板的製造方法製造了電路基板。

【0071】針對這些電路基板測量熱電阻值。在此，熱電阻值係藉由使用暫態熱分析(transient thermal analysis)裝置(Mentor Graphics公司製造的T3Ster)進行測量而求得。將所獲得的熱電阻值與貫通孔的數量之間的關係顯示於圖8。此外，熱電阻值愈低則熱愈容易從電路基板的上表面傳達至下表面，顯示了優異的散熱性。

【0072】從圖8的結果可知以下的事情。首先，針對藉由本發明的電路基板的製造方法所製造的電路基板1的熱電阻值，在貫通孔的數量為10個時電路基板1的熱電阻值為9℃／W，在貫通孔的數量為35個時電路基板1的熱電阻值為6℃／W，在貫通孔的數量為60個時電路基板1的熱電阻值為4℃／W。相對於此，針對藉由以往的電路基板的製造方法所製造的電路基板的熱電阻值，在貫通孔的數量為10個時電路基板的熱電阻值為13℃／W，在貫通孔的數量為35個時電路基板的熱電阻值為9℃／W，在貫通孔的數量為60個時電路基板的熱電阻值為8℃／W。亦即，依據本發明的電路基板的製造方法，可謂能獲得熱電阻值比藉

由以往的電路基板的製造方法所製造的電路基板的熱電阻值還低且散熱特性優異的電路基板。

【0073】 接著，說明第二實施形態。在本說明中，針對發揮與已經說明過的構成構件以及部位相同的功能之物附上相同的元件符號並省略詳細的說明，僅說明不同的部分。此外，針對與已經說明過的製造方法的步驟相同的步驟省略詳細的說明，僅說明不同的部分。

【0074】 [第二實施形態]

以下參照圖式說明第二實施形態的電路基板2的製造方法。

首先，在貫通孔形成步驟中，以各個貫通孔16彼此的間隔比電路基板1的情形還短之方式形成各個貫通孔16。

【0075】 此外，在阻劑層去除步驟後追加：填充步驟，係將填充材料朝中心貫通孔48填充；以及墊用金屬層形成步驟，係形成墊用金屬層。

【0076】 首先，在填充步驟中，將填充材料50填充至圖5中的(f)所示般之去除鍍覆阻劑層44而獲得的電路基板的半成品46的中心貫通孔48(圖6中的(a))。填充材料50為熱傳導性以及電性傳導性優異的材料，例如為於黏合劑(binder)中分散了具有熱傳導性以及電性傳導性的填料(filler)而構成。在此，作為黏合劑，能使用環氧樹脂、胺甲酸乙酯(urethane)、矽氧(silicone)、丙烯、聚醯亞胺(polyimide)、其他的熱固化性樹脂等。此外，作為填料，能使用金粉、銀粉、銅粉、鎳粉、鋁粉、碳粉、石磨(graphite)粉等。作為具體的填充材料50，能例舉銅膏(copper paste)、銀膏、金膏、鎳膏、鋁膏、碳膏、石磨膏等。這些膏係被填充至中心貫通孔48內後，被加熱而被施予固化處理。而且，藉由研磨加工等削掉從中心貫通孔48伸出的部分，填充材料50的上下的端面被平坦化。

【0077】之後，如圖6中的(b)所示，以覆蓋於中心貫通孔48填充有填充材料50的半成品46的上表面以及下表面之方式形成有墊用金屬層58(墊用金屬層形成步驟)。墊用金屬層58係例如藉由銅的電解鍍覆法所形成。

【0078】在此，作為用以形成墊用金屬層58之方法，並未限定於電解鍍覆法，亦能採用無電解鍍覆法、化學氣相沉積(CVD)法、物理氣相沉積(PVD法)等。此外，作為墊用金屬層58的材質，並未限定於銅，例如能使用鎳、金、焊料等。

【0079】接著，在圖案形成步驟中，包含上述墊用金屬層58，表面金屬層20係被蝕刻成預定形狀從而形成有預定的配線圖案30(圖6中的(c))。而且，從圖6中的(c)清楚可知，於與散熱路徑對應的位置形成有上部墊層52以及下部墊層56，該散熱路徑係由孔內鍍覆層28以及被填充於中心貫通孔48的填充材料50所構成。如此，能獲得電路基板2。

【0080】如圖4所示，於所獲得的電路基板2搭載有功率半導體等之會發熱的電子零件36。

【0081】如圖4清楚可知，於被上述填充材料50填充的中心貫通孔48的上端面、孔內鍍覆層28的上端面以及貫通孔16的周圍的表面金屬層20的上端面形成有上部墊層52；另一方面，於被上述填充材料50填充的中心貫通孔48的下端面、孔內鍍覆層28的下端面以及貫通孔16的周圍的表面金屬層20的下端面形成有下部墊層56。這些上部墊層52以及下部墊層56係使中心貫通孔48的上下部分平坦化，並能夠將電子零件搭載於此部分或者形成配線圖案。作為用以構成上部墊層52以及下部墊層56之金屬材料，只要是熱傳導性以及電性傳導性優異的金屬材料，則無特別限定，例如能使用銅、鎳、金、焊料等。

【0082】 如圖4所示，在電路基板2中，藉由焊料等將電子零件36安裝於上部墊層52上。如此，安裝有電子零件36的電路基板2係以下述方式發揮作用。

【0083】 首先，當電子零件36被驅動而發熱時，熱會經由被焊料等所連接的部位傳達至上部墊層52。傳達至上部墊層52的熱係經由位於上部墊層52的正下方之孔內鍍覆層28以及填充材料50傳達至下部墊層56並從下部墊層56發散。此外，較佳為使未圖示的散熱板、散熱片等連接於下部墊層56。藉由此種態樣，進一步提升散熱特性。

【0084】 在電路基板2中，孔內鍍覆層28以及被填充於中心貫通孔48的填充材料50係成為散熱路徑。由於此散熱路徑係能將電子零件36所產生的熱效率佳地傳達至絕緣基板14的相反側，因此散熱特性優異。此外，與電路基板1相比，在電路基板2之情形中，散熱路徑的剖面積係藉由於中心貫通孔48內存在填充材料50而增加。因此，與電路基板1相比，熱更容易傳達，發揮優異的散熱特性。此外，由於亦能於電路基板2的散熱路徑上安裝電子零件36或者形成配線圖案，因此能縮短貫通孔16彼此的間隔，配線圖案的高密度化變成可能。此外，在電路基板2中，由孔內鍍覆層28以及填充材料50所構成的散熱路徑亦能作為能夠流通大電流的大電流路徑來使用。

【0085】 此外，本發明並未限定於上述實施形態，能夠進行各種變更。例如，在上述各個實施形態中，雖然貫通孔的數量為兩個，然而貫通孔的數量並未限定於兩個，可以為任意的數量且可以形成於任意的位置。此外，本發明的電路基板的製造方法亦能作為用以重疊複數片上述基板40從而製造多層構造的電路基板之方法。此外，在上述各個實施形態中，雖然孔內鍍覆步驟為一次，

然而並未限定於此種態樣，亦能複數次重複進行孔內鍍覆步驟，且亦能使孔內鍍覆層的厚度增加。

【符號說明】

【0086】

1,2,72:電路基板

10:上表面(第一面)

12:下表面(第二面)

14:絕緣基板

16:貫通孔

20:表面金屬層

22:銅箔

24,26:基底鍍覆層

28,70,78:孔內鍍覆層

30:配線圖案

34: 焊料

36:電子零件

38:小徑貫通孔

40:基板(覆銅基板)

42: 銅被覆基板

44: 鍍覆阻劑層

44a:伸出部

46: 半成品

48:中心貫通孔

50:填充材料

52:上部墊層

54:墊

56:下部墊層

58: 墊用金屬層

74:表面

76:背面

L:長度

T:厚度

【發明申請專利範圍】

【請求項1】一種電路基板的製造方法，係具備：

貫通孔形成步驟，係準備基板，並形成貫通孔，前述貫通孔係從前述基板的第一面貫通至與前述第一面相反側的第二面；

導電化處理步驟，係將至少前述貫通孔的內壁面予以導電化處理；

基底鍍覆步驟，係至少於施予了前述導電化處理的前述貫通孔的內壁面形成基底鍍覆層；

阻劑層形成步驟，係將鍍覆阻劑層形成於前述第一面以及前述第二面的表面上，前述鍍覆阻劑層係於與前述貫通孔對應的位置具有直徑比前述貫通孔還小且與前述貫通孔同軸的小徑貫通孔；

孔內鍍覆步驟，係於前述貫通孔的內壁面的前述基底鍍覆層上形成孔內鍍覆層；以及

阻劑層去除步驟，係去除前述鍍覆阻劑層。

【請求項2】如請求項1所記載之電路基板的製造方法，其中前述孔內鍍覆步驟係將前述孔內鍍覆層形成為比前述基底鍍覆層還厚。

【請求項3】如請求項1或2所記載之電路基板的製造方法，其中前述孔內鍍覆步驟係將鍍覆處理的電流密度設定成3.0A／dm^2以上至20.0A／dm^2以下。

【請求項4】如請求項1或2所記載之電路基板的製造方法，其中前述孔內鍍覆步驟係經由前述小徑貫通孔使鍍覆液流通於前述貫通孔內。

【請求項5】如請求項1或2所記載之電路基板的製造方法，其中前述阻劑層形成步驟係使用乾膜來形成前述鍍覆阻劑層。

【請求項6】 如請求項1或2所記載之電路基板的製造方法，其中前述阻劑層形成步驟係藉由直接描繪方式來形成前述鍍覆阻劑層。

【請求項7】 如請求項1或2所記載之電路基板的製造方法，其中前述孔內鍍覆步驟係使用高均鍍硫酸銅鍍覆浴來形成前述孔內鍍覆層。

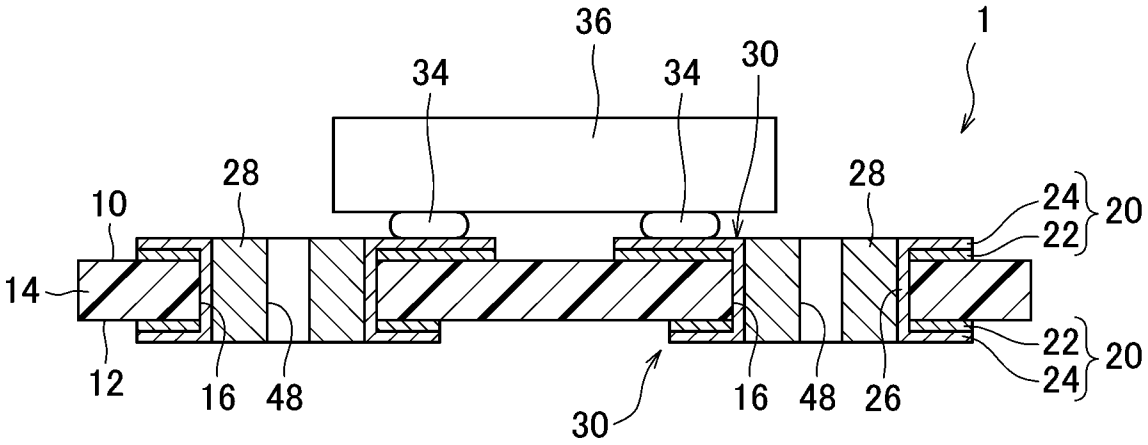
【請求項8】 如請求項1或2所記載之電路基板的製造方法，其中前述孔內鍍覆步驟係藉由化學銅鍍覆處理來形成前述孔內鍍覆層。

【請求項9】 如請求項1或2所記載之電路基板的製造方法，其中複數次重複前述孔內鍍覆步驟，使前述孔內鍍覆層的厚度增加。

【請求項10】 如請求項1或2所記載之電路基板的製造方法，其中進一步具備：填充步驟，係於被前述孔內鍍覆層的內周面圍繞的中心貫通孔中填充具有熱傳導性以及電性傳導性的填充材料。

【請求項11】 如請求項1或2所記載之電路基板的製造方法，其中前述基板為兩層以上的覆銅基板。

【發明圖式】



【圖1】

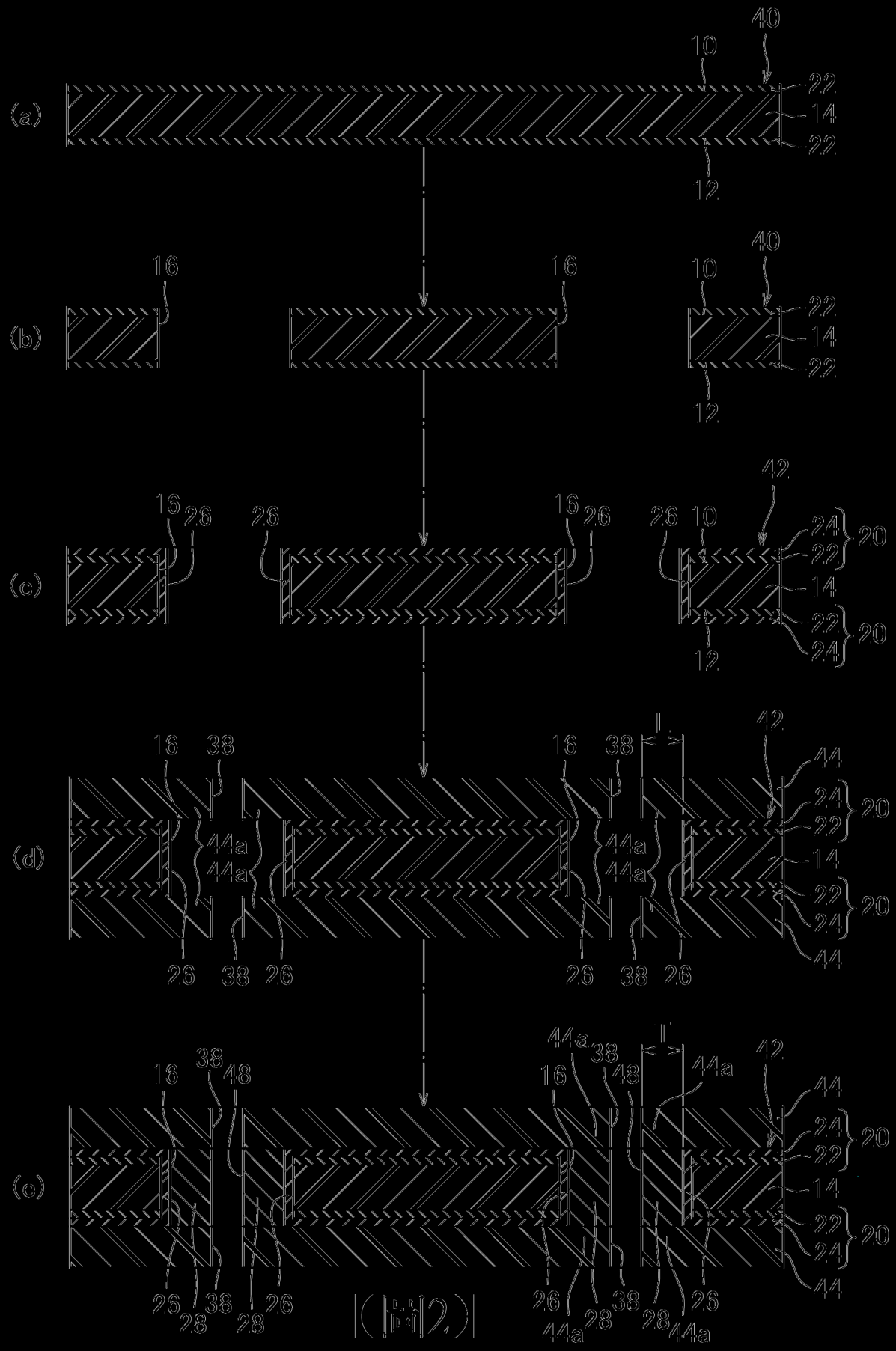

(a)
40
10
22
14
22
12
(b)
16
16
16
40
10
22
14
22
12
(c)
16
26
26
16
26
26
10
42
24
22
20
14
22
24
20
12
(d)
16
38
16
38
I
I'
12
44
24
22
20
44a
44a
44a
44a
14
22
24
20
44
26
38
26
26
38
26
(e)
16
38
48
16
44a
38
48
I
I'
44a
12
44
24
22
20
14
22
24
20
44
26
28
38
28
26
26
44a
28
38
28
44a
26

圖2

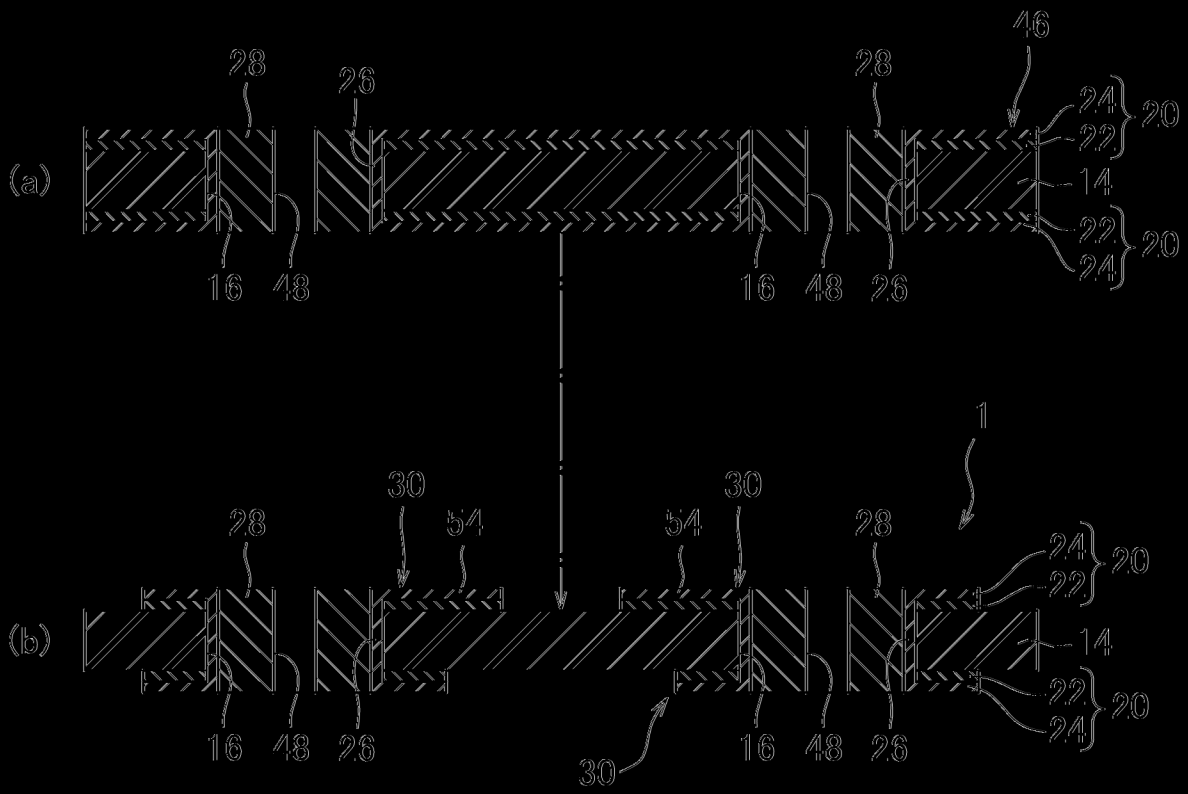

(a)
(b)
1
16
48
26
28
30
46
54
20
22
24
14

圖3

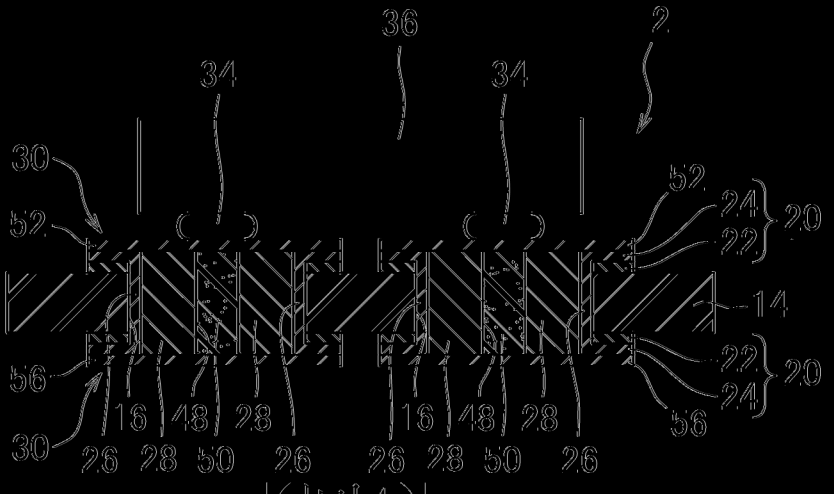
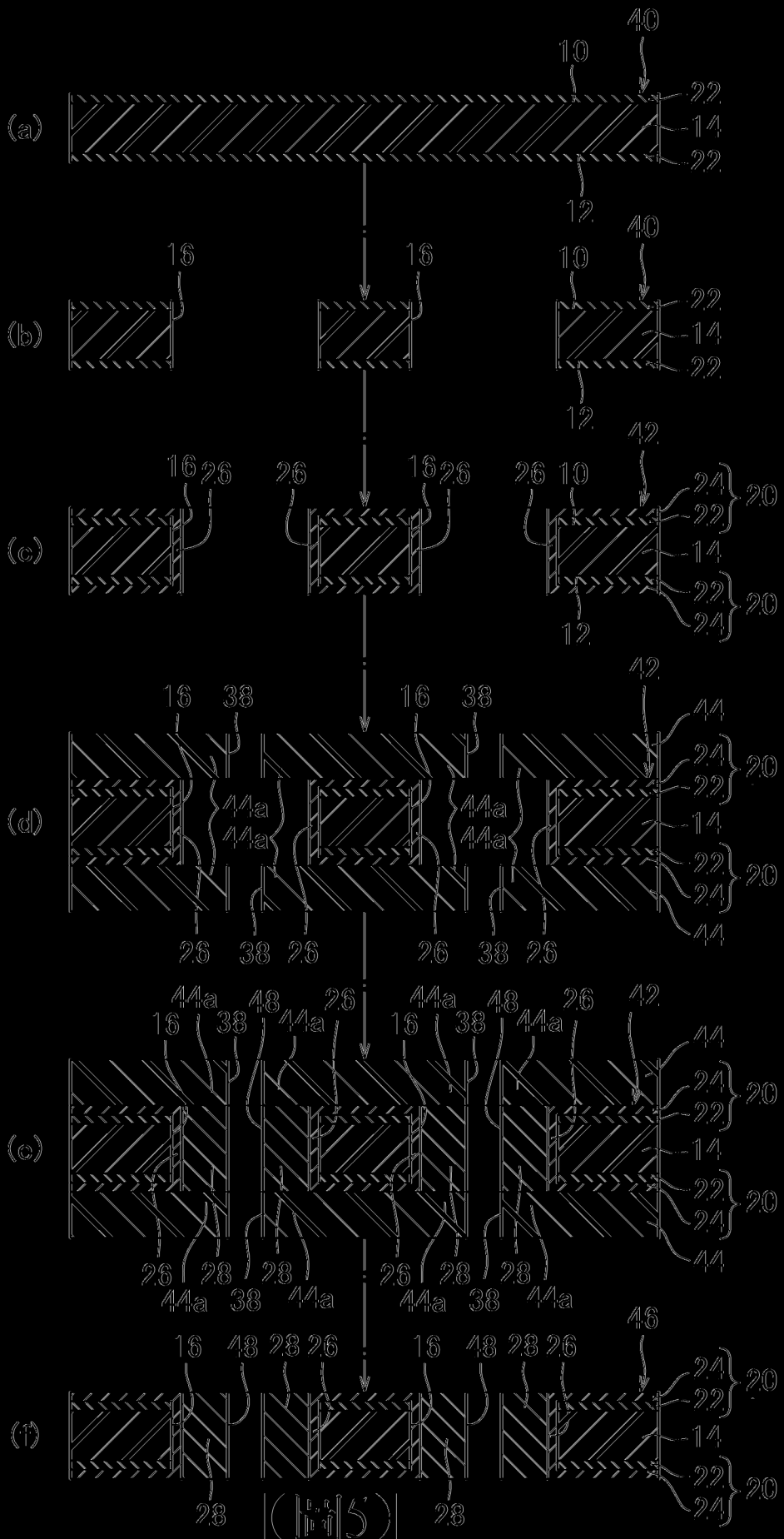

2
30
34
36
52
56
16
48
28
26
50
20
22
24
14

圖4



(圖5)

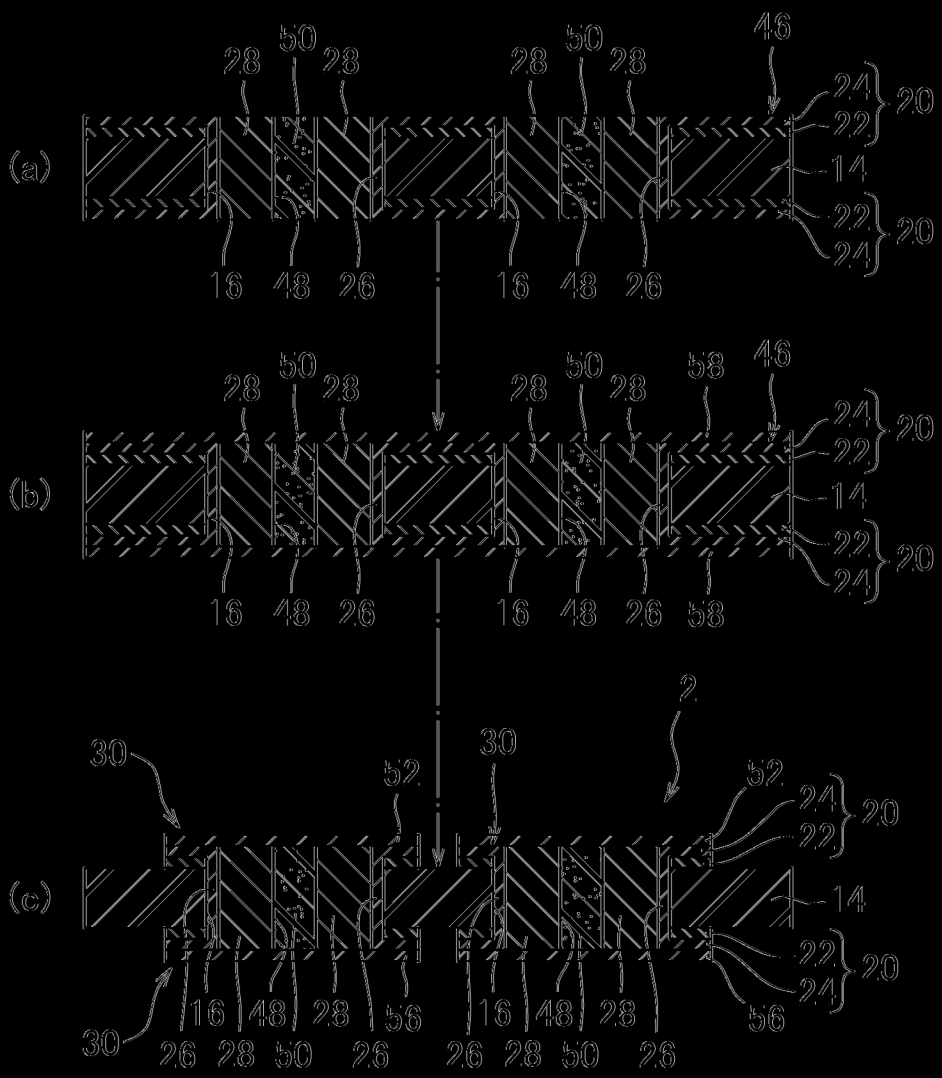
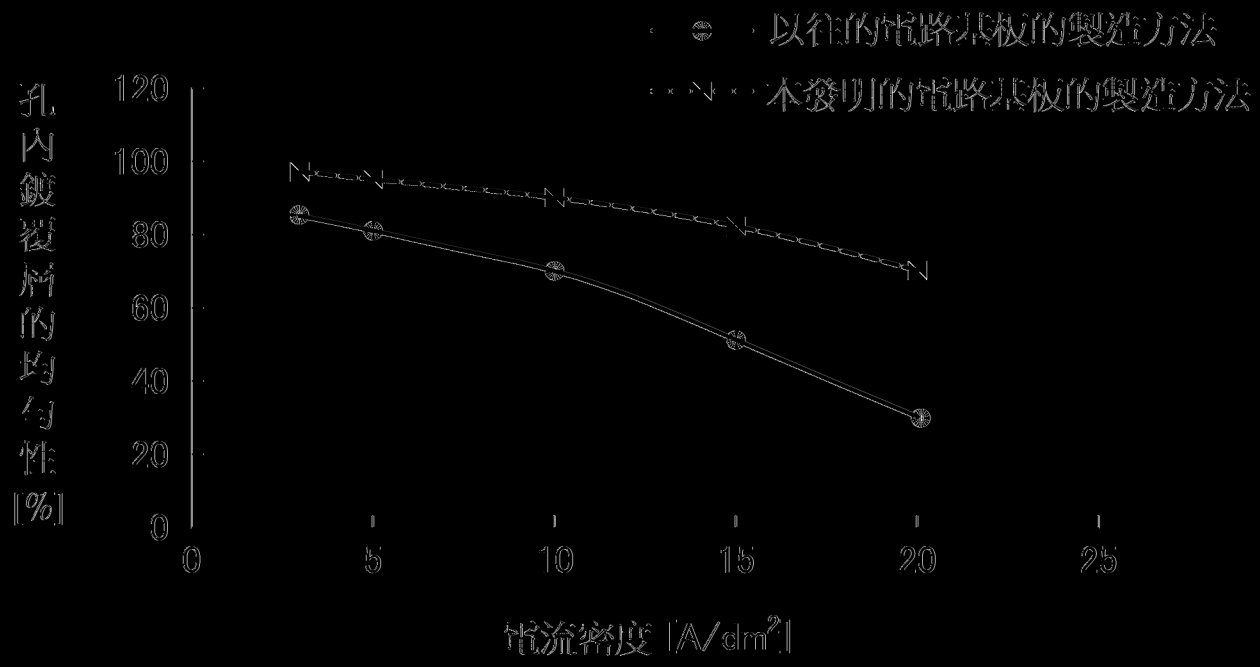
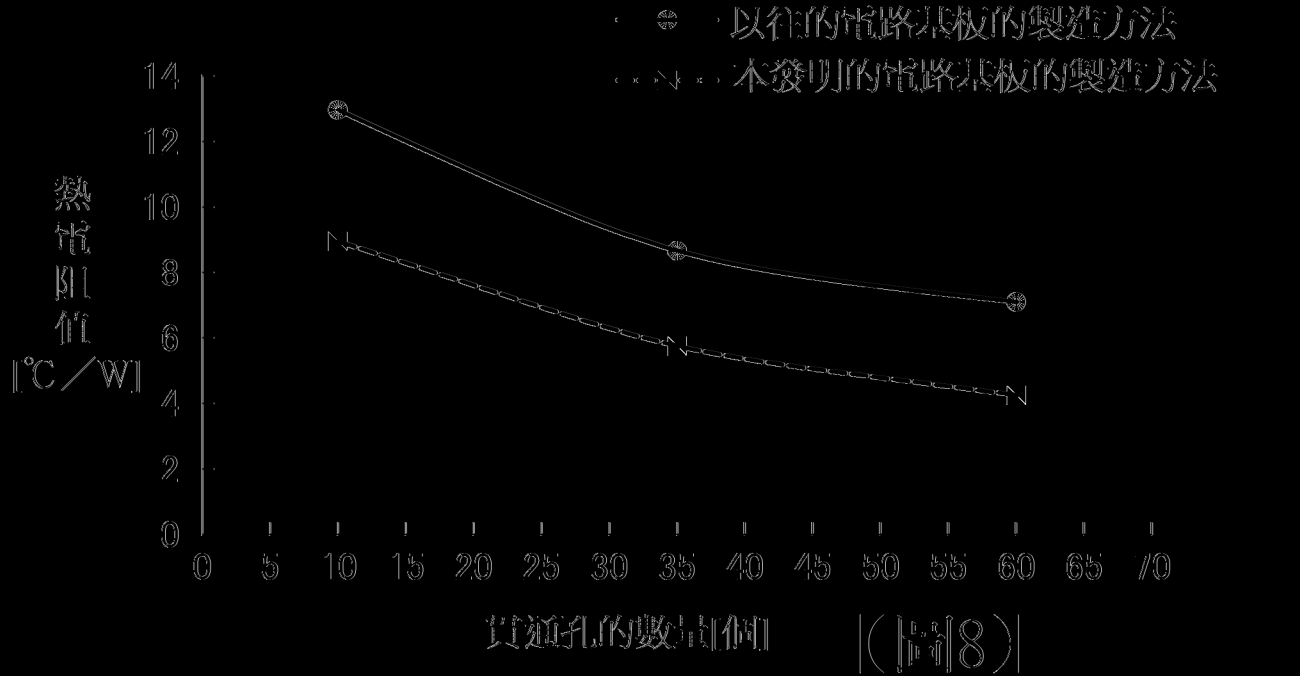


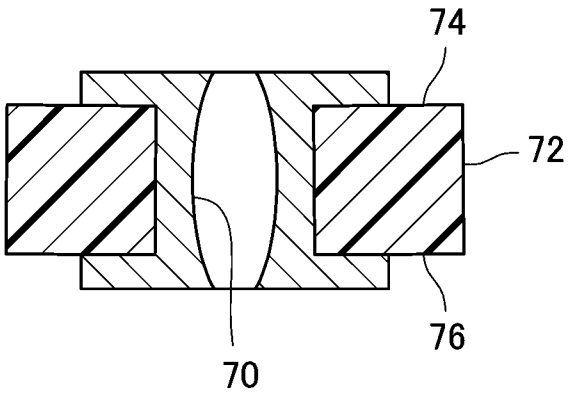
圖6


以往的電路基板的製造方法
本發明的電路基板的製造方法
孔內鍍覆層的均勻性[%]
120
100
80
60
40
20
0
0
5
10
15
20
25
電流密度[A/dm²]

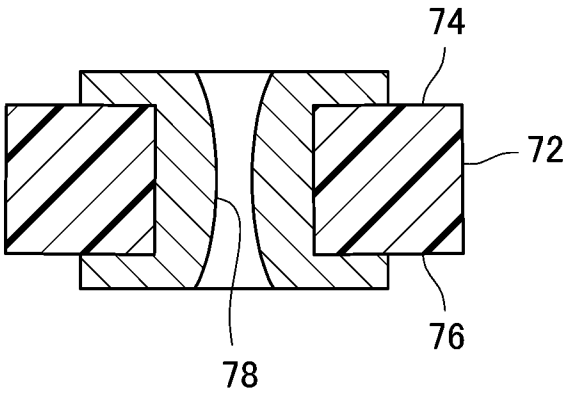
[圖7]


以往的電路基板的製造方法
本發明的電路基板的製造方法
熱電阻值[℃／W]
14
12
10
8
6
4
2
0
0
5
10
15
20
25
30
35
40
45
50
55
60
65
70
貫通孔的數量[個]

[圖8]



【圖9】



【圖10】