



(12) 发明专利

(10) 授权公告号 CN 1884618 B

(45) 授权公告日 2011.04.06

(21) 申请号 200610086467.8

一段到说明书第 3 页第 3 段 .

(22) 申请日 2006.06.21

US 6585568 B2,2003.07.07, 全文 .

(30) 优先权数据

审查员 程三飞

10-2005-0054015 2005.06.22 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴弘植 金时烈 郑钟铉 申原硕

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

代理人 李伟

(51) Int. Cl.

H01L 21/331 (2006.01)

(56) 对比文件

US 6376861 B1,2002.04.23, 全文 .

CN 1510169 A,2004.07.07, 说明书表第 8 页

10-15 行、第 9 页 9-14 行、第 12 页 1-28 行, 附图 5A、5B, 表 1No.1, 权利要求 3、25.

CN 1576395 A,2005.02.09, 说明书第 2 页最后

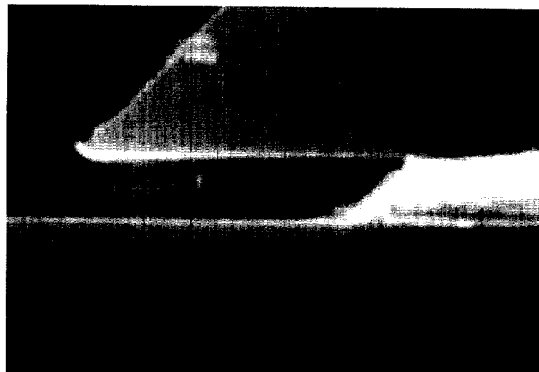
权利要求书 2 页 说明书 11 页 附图 18 页

(54) 发明名称

蚀刻剂及用其制造互连线和薄膜晶体管基板的方法

(57) 摘要

本发明披露了一种蚀刻剂、使用该蚀刻剂制造多层互连线的方法、以及使用该蚀刻剂制造薄膜晶体管 (TFT) 基板的方法。用于由钼 / 铜 / 氮化钼组成的多层线的蚀刻剂包括: 10-20wt% 的过氧化氢、1-5wt% 的有机酸、0.1-1wt% 的基于三唑的化合物、0.01-0.5wt% 的氟化合物、以及作为剩余物的去离子水。



1. 一种用于钼 (Mo)/ 铜 (Cu)/ 氮化钼 (MoN) 多层互连线的蚀刻剂, 所述蚀刻剂包括:
10wt% -20wt% 的过氧化氢;
1wt% -5wt% 的有机酸;
0.1wt% -1wt% 的基于三唑的化合物;
0.01wt% -0.5wt% 的氟化合物; 以及

作为剩余物的去离子水;

其中, 使用 1,2,3- 三唑、1,2,4- 三唑、5- 苯基-1,2,4- 三唑、5- 氨基-1,2,4- 三唑、苯并三唑、1- 甲基- 苯并三唑或甲基苯并三氮唑作为所述基于三唑的化合物;

其中, 所述有机酸是乙酸、丁酸、柠檬酸、蚁酸、葡萄糖酸、乙醇酸、丙二酸、草酸或戊酸;

其中, 所述氟化合物是氢氟酸、氟化铵、氟化钠或氟化钾;

其中, 所述蚀刻剂的 pH 值在 0.5-4.5 的范围内。

2. 根据权利要求 1 所述的蚀刻剂, 其中, 所述有机酸是柠檬酸, 所述基于三唑的化合物是苯并三唑, 以及所述氟化合物是氢氟酸。

3. 一种用于制造互连线的方法, 所述方法包括: 在基板上形成包括钼 (Mo) 层、铜 (Cu) 层、以及氮化钼 (MoN) 层的多层; 以及使用包括 10wt% -20wt% 的过氧化氢、1wt% -5wt% 的有机酸、0.1wt% -1wt% 的基于三唑的化合物、0.01wt% -0.5wt% 的氟化合物、以及作为剩余物的去离子水的蚀刻剂蚀刻所述多层;

其中, 使用 1,2,3- 三唑、1,2,4- 三唑、5- 苯基-1,2,4- 三唑、5- 氨基-1,2,4- 三唑、苯并三唑、1- 甲基- 苯并三唑或甲基苯并三氮唑作为所述基于三唑的化合物;

其中, 所述有机酸是乙酸、丁酸、柠檬酸、蚁酸、葡萄糖酸、乙醇酸、丙二酸、草酸或戊酸;

其中, 所述氟化合物是氢氟酸、氟化铵、氟化钠或氟化钾;

其中, 所述蚀刻剂的 pH 值在 0.5-4.5 的范围内。

4. 根据权利要求 3 所述的方法, 其中, 所述有机酸是柠檬酸, 所述基于三唑的化合物是苯并三唑, 以及所述氟化合物是氢氟酸。

5. 根据权利要求 3 所述的方法, 其中, 所述基板是绝缘基板或半导体基板。

6. 根据权利要求 3 所述的方法, 其中, 所述蚀刻在 20℃ -50℃ 的温度执行。

7. 根据权利要求 3 所述的方法, 其中, 使用溅射所述蚀刻剂来执行所述蚀刻。

8. 根据权利要求 3 所述的方法, 其中, 执行所述蚀刻 50-120 秒。

9. 根据权利要求 3 所述的方法, 其中, 以批量方式在形成所述多层的所述 Mo 层、所述 Cu 层、以及所述 MoN 层上执行所述蚀刻。

10. 一种用于制造薄膜晶体管 (TFT) 基板的方法, 所述方法包括以下步骤:

在基板上形成多层栅极线, 并且通过蚀刻所述多层栅极线来形成栅极互连线;

在所述基板和所述栅极互连线上形成栅极绝缘层和半导体层; 以及

在所述半导体层上形成多层数据线, 并且通过蚀刻所述多层数据线来形成数据互连线, 其中, 形成所述栅极互连线和 / 或所述数据互连线的步骤包括: 在所述基板上顺序沉积钼 (Mo) 层、铜 (Cu) 层、和氮化钼 (MoN) 层, 以及使用包括 10wt% -20wt% 的过氧化氢、1wt% -5wt% 的有机酸、0.1wt% -1wt% 的基于三唑的化合物、0.01wt% -0.5wt% 的氟化合

物、以及作为剩余物的去离子水的蚀刻剂进行蚀刻；

其中，使用 1,2,3- 三唑、1,2,4- 三唑、5- 苯基 -1,2,4- 三唑、5- 氨基 -1,2,4- 三唑、苯并三唑、1- 甲基 - 苯并三唑或甲基苯并三氮唑作为所述基于三唑的化合物；

其中，所述有机酸是乙酸、丁酸、柠檬酸、蚁酸、葡萄糖酸、乙醇酸、丙二酸、草酸或戊酸；

其中，所述氟化合物是氢氟酸、氟化铵、氟化钠或氟化钾；

其中，所述蚀刻剂的 pH 值在 0.5-4.5 的范围内。

11. 根据权利要求 10 所述的方法，其中，所述有机酸是柠檬酸，所述基于三唑的化合物是苯并三唑，以及所述氟化合物是氢氟酸。

12. 根据权利要求 10 所述的方法，其中，在 20℃ -50℃ 的温度执行所述蚀刻。

13. 根据权利要求 10 所述的方法，其中，使用溅射所述蚀刻剂来执行所述蚀刻。

14. 根据权利要求 10 所述的方法，其中，执行所述蚀刻 50-120 秒。

15. 根据权利要求 3 所述的方法，其中，以批量方式在形成所述多层的所述 Mo 层、所述 Cu 层、以及所述 MoN 层上执行所述蚀刻。

蚀刻剂及用其制造互连线和薄膜晶体管基板的方法

[0001] 本申请要求于 2005 年 6 月 22 日在韩国知识产权局提交的韩国专利申请第 10-2005-0054015 号的优先权,其全部内容结合于此作为参考。

技术领域

[0002] 本发明涉及蚀刻剂,尤其涉及用于包括钼 / 铜 / 氮化钼的多层互连线的蚀刻剂、使用该蚀刻剂制造钼 / 铜 / 氮化钼多层互连线的方法、以及使用该蚀刻剂制造薄膜晶体管 (TFT) 基板的方法。

背景技术

[0003] 作为广泛应用的平板显示器之一的液晶显示器 (“LCD”) 包括具有多个电极的两个基板以及夹置在两个基板之间的液晶层。施加到电极的电压重新排列液晶分子,从而调节入射光的发射量。特别地,多个像素电极以矩阵形式排列在两个基板中的一个上,并且共电极覆盖另一基板的整个表面。通过将单个电压施加在各个像素电极上使图像显示在 LCD 上。在基板上,多个三端 TFT 通过传输信号以控制 TFT 的多个栅极线和数据线连接至各个像素电极。

[0004] 随着 LCD 的显示面积的增加,连接到 TFT 的栅极线和数据线也变长,导致互连线阻抗的增加。为了解决由于阻抗增加而导致的信号延迟问题,栅极线和数据线应该由具有尽可能低的电阻率的材料形成。在低电阻率材料中,铜 (Cu) 可以用于 LCD 的互连线中。但是,铜与基板的粘附力很差,其中,基板由玻璃形成的绝缘材料和由本征非晶硅或掺杂的非晶硅制成的半导体制成。Cu 对化学基板的耐化学性很差,当暴露于被采用以图样化 Cu 层的蚀刻剂时,很容易被氧化或腐蚀,并且很容易被过蚀刻或不均匀地蚀刻,并且可能从基板上翘起或剥离,从而降低互连线的侧轮廓。另外,因为暴露于蚀刻剂的 Cu 被氧化或腐蚀,电阻率增加并且互连线的可靠性降低。从而,需要能够改善互连线的侧轮廓、并且在图样化沉积在基板上的 Cu 层的过程中保持铜层对基板的粘附力的蚀刻剂。

发明内容

[0005] 本发明提供了一种蚀刻剂以及一种制造具有承载薄膜晶体管和低电阻率互连线 (尤其是由多层钼 / 铜 / 氮化钼 (MoN) 制成的线) 的基板的 LCD 的方法。对于本领域普通技术人员来说,本发明的上述目的以及其他目的、特征和优点通过以下描述将变得明显。

[0006] 根据本发明的一个方面,提供了一种用于 (Mo) / (Cu) / (MoN) 多层互连线的蚀刻剂。典型配方的蚀刻剂包括: 10-20wt% 的过氧化氢、1-5wt% 的有机酸、0.1-1wt% 的基于三唑的化合物、0.01-0.5wt% 的氟化合物、以及作为剩余物的去离子水。

[0007] 根据本发明的另一方面,提供了一种制造薄膜晶体管 (TFT) 基板的方法,该方法包括: 在基板上形成多层栅极线,并且通过蚀刻多层栅极线形成栅极互连线; 在基板和栅极互连线上形成栅极绝缘层和半导体层; 在半导体基板层上形成多层数据线,并且通过蚀刻多层数据线形成数据互连线,其中,形成栅极互连线和 / 或数据互连线包括: 在基板上

顺序沉积钼层、铜层、氮化钼层,并且使用包括 10-20wt% 的过氧化氢、1-5wt% 的有机酸、0.1-1wt% 的基于三唑的化合物、0.01-0.5wt% 的氟化合物、以及作为剩余物的去离子水的蚀刻剂进行蚀刻。

附图说明

[0008] 通过参考附图详细描述本发明的优选实施例,本发明的以上和其他特征和优点将变得更明显。

[0009] 图 1 至图 3 是示出根据本发明的实施例的用于制造金属互连线的方法的处理步骤的横截面图;

[0010] 图 4 是根据本发明的实施例的金属互连线的横截面轮廓照片;

[0011] 图 5A 是根据本发明的实施例的使用用于制造 TFT 基板的方法制造的薄膜晶体管(TFT)基板的布局图;

[0012] 图 5B 是沿图 5A 的线 B-B' 的横截面图;

[0013] 图 6A、图 7A、图 8A、和图 9A 是根据本发明的实施例的顺序示出用于制造 TFT 基板的方法的布局图;

[0014] 图 6B、图 7B、图 8B、和图 9B 是沿图 6A、图 7A、图 8A、和图 9A 的线 B-B' 的横截面图;

[0015] 图 10A 是示出根据本发明的另一个实施例的使用用于制造 TFT 基板的方法制造的 TFT 基板的布局图;

[0016] 图 10B 是沿图 10A 的线 B-B' 的横截面图;

[0017] 图 11A、图 13A、和图 19A 是顺序示出根据本发明的另一实施例的用于制造 TFT 基板的方法的布局图;

[0018] 图 11B 和图 12 是沿图 11A 的线 B-B' 的横截面图,用于示出处理步骤;

[0019] 图 13B 至图 18 是沿图 13A 的线 B-B' 的横截面图,示出处理步骤;以及

[0020] 图 19B 是沿图 19A 的线 B-B' 的横截面图,示出处理步骤。

具体实施方式

[0021] 通过参考以下对优选实施例的详细描述和附图,本发明的优点和特征以及实现方法将很容易理解。然而,本发明可以以多种不同形式来实现,并且不限于在此描述的实施例。当然,对本领域的技术人员来说,提供这些实施例以彻底和完全地披露本发明,以及充分地传达本发明的思想,并且本发明将仅被所附权利要求限定。在整个说明书中,相同的参考标号表示相同部件。

[0022] 图 1 至图 3 是示出根据本发明的实施例的用于制造金属互连线的方法的处理步骤的横截面图。参考图 1,互连线 2 包括顺序沉积在基板 1 上的三个层:由 Mo 或 Mo 合金、钨(W)、钕(Nd)、和铌(Nb)形成的导电层(以下称为钼层)2a;包括 Cu 或 Cu 合金的导电层 2b(以下称为 Cu 层);以及包括 MoN 的导电层 2c(以下称为氮化钼层)。基板 1 可以由例如绝缘玻璃或由本征非晶硅或掺杂的非晶硅制成的半导体制成。

[0023] Mo 层 2a、Cu 层 2b、和 MoN 层 2c 通过例如溅射方法形成。以下将详细描述溅射方法。首先,通过仅向 Mo 目标施加电能而不向 Cu 目标施加电能,来在基板 1 上形成 Mo 层 2a。

形成厚度大约为 50 Å -500 Å 的 Mo 层 2a。当 Mo 层 2a 的厚度大于 50 Å 时,通过有效地防止基板 1 和 Cu 层 2b 的彼此部分接触,可以在基板 1 和导电 Cu 层 2b 之间提供充分的粘附力。优选地,Mo 层 2a 的厚度小于 500 Å,以实现期望的接触电阻。更优选地,形成厚度为 100 Å -300 Å 的 Mo 层 2a。Mo 层 2a 通过改善到基板 1 的粘附力来防止三层互连线 2 剥离或翘起,并且防止 Cu 被氧化并扩散到基板 1 中。

[0024] 在断开施加到 Mo 目标的电能后,将电能施加至 Cu 目标,从而形成 Cu 层 2b。形成厚度约为 1000 Å -3000 Å,优选地为 1500 Å -2500 Å 的 Cu 层 2b。

[0025] 在断开施加到 Cu 目标的电能后,将电能再次施加至 Mo 目标。然后,提供诸如氮气 (N₂)、氨 (NH₃) 或一氧化二氮 (N₂O) 的供氮气体,并且 Mo 和 N 相互作用并形成 MoN 层 2c。可以分开提供供氮气体,但是优选地,以 40 : 60 的比率混合氩 (Ar) 气和供氮气体,并且提供混合物。

[0026] 形成厚度约为 50 Å -2000 Å 的 MoN 层 2c。当形成厚度为 50 Å 或更厚的 MoN 层 2c 时,其可以适当地作为钝化层。优选地,形成厚度为 2000 Å 或更薄(更优选地,约 100 Å -500 Å)的 MoN 层 2c,以实现期望的接触电阻。形成在 Cu 层 2b 上的 MoN 层 2c 作为钝化层,用于在制造过程中,保护 Cu 层 2b 和防止 Cu 层 2b 的 Cu 被氧化或被其他有机材料污染。MoN 层 2c 还可以防止 Cu 层 2b 的 Cu 扩散。

[0027] MoN 固有的氮特性防止 Cu 在 MnO 和 Cu 的接触区域被氧化,从而防止三层互连线 2 的阻抗迅速增加。

[0028] 接下来,如图 2 所示,在三层互连线 2 上涂敷光刻胶膜,然后使其曝光和显影,从而形成限定互连线图样的光刻胶膜图样 3。如图 3 所示,使用光刻胶膜图样 3 作为蚀刻掩模来蚀刻三层互连线 2,然后去除光刻胶膜图样 3,从而形成三层互连线 2。对于三层互连线 2 的蚀刻可以是使用蚀刻剂的湿蚀刻。根据本发明的实施例的蚀刻剂包括过氧化氢、有机酸、基于三唑的化合物、氟化合物、以及作为剩余物的去离子水。过氧化氢与蚀刻速度有关。当过氧化氢的量大于 10wt% 时,可以提供足够高的蚀刻速度。当过氧化氢的量小于 20wt% 时,可以容易地控制蚀刻速度。

[0029] 有机酸帮助将蚀刻剂的 pH 值控制在约 0.5-4.5 的范围内,从而提供可以同时蚀刻 Cu 层、Mo 层、以及 MoN 层的环境。乙酸、丁酸、柠檬酸、蚁酸、葡萄糖酸、乙醇酸、丙二酸、草酸、或戊酸可以被用作有机酸。优选地,柠檬酸可以用作有机酸。然而,有机酸不限于这些实例,还可以使用其他水溶性有机酸。用于控制蚀刻剂的 pH 值的有机酸的适当数量在但不限于 1.0-5wt% 的范围内,可以随添加材料的 pH 值而改变。

[0030] 基于三唑的化合物抑制底切 (undercut),并且与蚀刻速度有关。可以使用 1,2,3-三唑、1,2,4-三唑、5-苯基-1,2,4-三唑、5-氨基-1,2,4-三唑、苯并三唑、1-甲基-苯并三唑、或甲基苯并三唑作为基于三唑的化合物。优选地,将苯并三唑作为基于三唑的化合物。当基于苯并三唑的化合物的量大于 0.1wt% 时,可以有效地抑制底切。当基于苯并三唑的化合物的量小于 1wt% 时,可以保持足够高的蚀刻速度。氟化合物加速 MoN 层的蚀刻。

[0031] 使用氢氟酸、氟化铵、氟化钠、或氟化钾作为氟化合物。优选地,使用氢氟酸作为氟化合物。当氟化合物的量大于 0.01wt% 时,Mo 层被充分蚀刻。当氟化合物的量小于 0.5wt% 时,可以防止基板或半导体层的过蚀刻。此外,为了改进蚀刻剂的特性,诸如表面活性剂的

添加剂还可以包括在蚀刻剂中。表面活性剂可以是阴离子表面活性剂、阳离子表面活性剂、或非离子表面活性剂。包含在蚀刻剂中的表面活性剂的量可以在 0.001wt% -1wt% 的范围内,优选地在 0.005wt% -0.1wt% 的范围内。蚀刻剂可以包括作为除以上提及的材料之外的剩余物的去离子水。蚀刻剂的 pH 值在大约 0.5-4.5 的范围内。

[0032] 为了制备蚀刻剂,将过氧化氢、有机酸、基于三唑的化合物、以及氟化合物混合到诸如去离子水的水中,或者预先制造这些物质的溶液,然后将它们混合。然而,在蚀刻制造方法和混合顺序上没有特别限制。该蚀刻剂对于三层互连线 2 具有高蚀刻选择性,在蚀刻处理后保持三层互连线 2 到基板 1 的粘附力,并且使三层互连线 2 具有很好的锥形侧轮廓,其关于基板 1 是锐角。

[0033] 以下将详细描述根据本发明的实施例的使用蚀刻剂蚀刻三层互连线 2 的过程。三层互连线 2 的蚀刻可以独立地在每个 MoN 层 2c、Cu 层 2b、以及 Mo 层 2a 上执行。然而,MoN 层 2c、Cu 层 2b、以及 Mo 层 2a 可以以批量的方式被蚀刻,使三层互连线 2 具有很好的侧轮廓。

[0034] 蚀刻可以通过将蚀刻剂溅射到在其上形成有光刻胶膜 3 的三层互连线 2 的表面上来执行。蚀刻温度可以维持在约 20℃ -50℃。蚀刻时间可以通过考虑曝光时间来确定。使用端点检测器 (end point detector, EPD),蚀刻时间可以是曝光时间的 1.5 倍。例如,蚀刻时间可以为大约 50 秒 -120 秒。

[0035] 参考附图 4 描述使用蚀刻剂的根据本发明的实施例的金属互连线的轮廓,图 4 示出根据本发明的实施例的包括使用蚀刻剂形成在被图样化的基板上的 Mo 层、Cu 层、以及 MoN 层的三层互连线的横截面轮廓。通常,包括在三层互连线 2 中的 Cu 层 2b 到基板 1 的粘附力较差。为了改进关于基板 1 的粘附力,在示出的本发明的实施例中,Mo 层 2a 形成在基板 1 和 Cu 层 2b 之间作为缓冲层,从而提高到基板 1 的粘附力并且防止互连线的剥离或翘起。在示出的实施例中,MoN 层 2c 被沉积在 Cu 层 2b 上,从而防止 Cu 层 2b 的氧化或腐蚀。

[0036] 应该理解,使用用于图样化三层互连线 2 的传统蚀刻剂可以导致过蚀刻,从而严重偏离尺寸,降低了三层互连线 2 的线性,并且由于破损而降低了可靠性。而且,如果 Cu 层下面的 Mo 层被过蚀刻,则 Cu 层可能从基板翘起或剥离。当 Mo 的蚀刻率低时,Cu 层下面的 Mo 层被不适当地蚀刻,并且 Mo 层的一部分可能被保留。保留的 Mo 层可以导致短路或降低电特性。而且,当关于每个 Mo 层、Cu 层、以及 MoN 层的蚀刻速度不被控制时,三层互连线 2 的侧轮廓可能不均匀,并且可能具有倒锥形倾斜角。

[0037] 另一方面,如图 4 所示,当使用根据本发明的实施例的蚀刻剂蚀刻三层互连线 2 时,蚀刻剂的高蚀刻选择性显示出了非常好的蚀刻均匀性,并且可以在不影响三层互连线 2 与基板 1 的粘附力的情况下形成具有锐角的较好的锥形侧轮廓。而且,如图 4 所示,可以获得约 1.5 μm-2.0 μm 的较好的尺寸倾斜 (dimension skew),从而提供三层图样的直线性。此外,因为用在所示的本发明的实施例中的三层包括作为最顶层的 MoN 层,在蚀刻期间 Cu 层不直接暴露给蚀刻剂。另外,因为直接暴露给蚀刻剂的 MoN 层具有很高的抗蚀刻剂的耐化学性,所以可以保护 Cu 层不被蚀刻剂破坏。从而,可以防止 Cu 层的氧化和腐蚀。蚀刻剂和使用蚀刻剂制造 Mo/Cu/MoN 三层互连线的方法也可以作为制造 TFT 基板的方法。

[0038] 以下将参考附图描述根据本发明的实施例的用于制造 TFT 基板的方法。首先,将参考图 5A 和图 5B 描述通过该方法制造的 TFT 基板的结构。图 5A 是根据本发明的实施例

的使用制造 TFT 基板的方法制造的薄膜晶体管 (TFT) 基板的布局, 以及图 5B 是沿着图 5A 的线 B-B' 的横截面图。传输选通信号的多条栅极互连线形成在绝缘基板 10 上。栅极互连线包括沿横向延伸的栅极线 22, 连接到栅极线 22 的端部以从外部接收选通信号并将其传输至栅极线 22 的栅极盘 24, 连接到栅极线 22 的凸出 TFT 的栅电极 26, 以及平行于栅极线 22 形成的存储电极 27 和存储电极线 28。

[0039] 存储电极线 28 穿过像素区域沿横向延伸, 并且连接至比存储电极线 28 宽的存储电极 27。存储电极 27 与和像素电极 82 连接的漏电极延伸部分 67 重叠, 以形成用于增加像素的电荷存储容量的存储电容器。存储电极 27 和存储电极线 28 的形状和排列可以改变, 并且当像素电极 82 和栅极线 22 的重叠给出足够的存储容量时, 可以省略存储电极 27 和存储电极线 28。

[0040] 栅极互连线可以由三层 22、24、26、27、以及 28 形成。三层栅极线 22 包括导电层 221、222、和 223。三层 24 包括导电层 241、242、和 243。三层 26 包括导电层 261、262、和 263。三层 27 包括导电层 271、272、和 273。导电层 221、241、261、和 271 由 Mo 或 Mo 合金 (以下称为“Mo 层”) 形成。导电层 222、242、262、和 272 由 Cu 或 Cu 合金 (以下称为“Cu 层”) 形成。导电层 223、243、263、和 273 由 MoN (以下称为“MoN 层”) 形成。虽然在图 5B 中未示出, 但是存储电极线 28 也具有与三层 22、24、26 和 27 相同的三层结构。具有三层结构的栅极互连线的以下描述包括存储电极线 28。

[0041] 三层 22、24、26、27、和 28 的结构和功能与上述在根据本发明的实施例的制造互连线的方法中的三层的结构和功能相同。栅极绝缘层 30 由氮化硅 (SiN_x) 形成在基板 10 和三层栅极互连线 22、24、26、27、和 28 上。半导体层 40 由非晶硅氢化物或多晶硅以岛形形成在栅电极 26 上的栅极绝缘层 30 上。欧姆接触层 55 和 56 由硅化物或重掺杂有 n 型杂质的 n^+ 非晶硅氢化物形成在半导体层 40 上。

[0042] 数据互连线形成在欧姆接触层 55 和 56 以及栅极绝缘层 30 上。数据互连线包括沿纵向形成并与栅极线 22 交叉以定义像素的数据线 62, 作为数据线 62 的分支并延伸到欧姆接触层 55 的源电极 65, 连接至数据线 62 的端部并且从外部接收图像信号的数据盘 68, 与源电极 65 分离并且在栅电极 26 或 TFT 的沟道区域周围与源电极 65 相对形成在欧姆接触层 56 上的漏电极 66, 以及具有从漏电极 66 延伸并且与存储电极 27 重叠的大面积的漏电极延伸部分 67。

[0043] 数据互连线由三层 62、65、66、67 和 68 形成。三层数据线 62 包括导电层 621、622、和 623。三层源电极 65 包括导电层 651、652、和 653。三层漏电极 66 包括导电层 661、662、和 663。三层 67 包括导电层 671、672、和 673。三层 68 包括导电层 681、682、和 683。导电层 621、651、661、671、和 681 由 Mo 或 Mo 合金 (以下称为“Mo 层”) 形成。导电层 622、652、662、672、和 682 由 Cu 或 Cu 合金 (以下称为“Cu 层”) 形成。导电层 623、653、663、673、和 683 由 MoN (以下称为“MoN 层”) 形成。在此, 因为 Mo 层 621、651、661、671 和 681 以及 MoN 层 623、653、663、673、和 683 的结构和功能与栅极互连线的结构和功能相同, 所以不再进一步描述。

[0044] 源电极 65 的至少一部分和漏电极 66 的一部分与半导体层 40 重叠。源电极 65 和漏电极 66 围绕栅电极 26 相对设置。在此, 欧姆接触层 55 和 56 夹置在下层半导体层 40 和上层源电极 65 之间以及在半导体层 40 和漏电极 66 之间, 以减小它们之间的接触电阻。

[0045] 漏电极延伸部分 67 与存储电极 27 重叠,以形成在存储电极 27 和栅极绝缘层 30 之间的存储电容。在不存在存储电极 27 的情况下,也省略漏电极延伸部分 67。

[0046] 钝化层 70 形成在数据互连线 62、65、66、67、和 68 以及没有被数据互连线覆盖的部分半导体层 40 上。在此,钝化层 70 优选地由无机绝缘体、具有良好平坦特性的感光有机材料、诸如由等离子体增强化学气相沉积 (PECVD) 形成的 a-Si:C:O 和 a-Si:O:F、或诸如 SiNx 的无机材料制成。当钝化层 70 由有机材料形成时,可以进一步在钝化层 70 下面形成由 SiNx 或二氧化硅 (SiO₂) 形成的绝缘层 (未示出),以防止钝化层 70 的有机材料与源电极 65 和漏电极 66 之间的部分半导体层 40 接触。

[0047] 使漏电极延伸部分 67 和数据盘 68 暴露的接触孔 77 和 78 形成在钝化层 70 中。使栅极盘 24 暴露的接触孔 74 形成在钝化层 70 和栅极绝缘层 30 中。通过接触孔 77 电连接至漏电极 66 并且位于像素中的像素电极 82 形成在钝化层 70 上。在提供有数据电压的像素电极 82 和上显示面板的共电极之间产生电场,其确定 LC 层中的液晶分子在像素电极 82 和共电极之间的方向。

[0048] 通过接触孔 74 连接至栅极盘 24 的辅助栅极盘 84 和通过接触孔 78 连接至数据盘 68 的辅助数据盘 88 形成在钝化层 70 上。像素电极 82、辅助栅极盘 84、和辅助数据盘 88 由 ITO 形成。

[0049] 以下将参考图 5A 和图 5B 以及图 6A 至图 9B 详细描述根据本发明的实施例的用于制造 TFT 基板的方法。首先,如图 6A 和图 6B 所示,Mo 或 Mo 合金、Cu 或 Cu 合金、以及 MoN 顺序沉积在绝缘基板 10 上,从而形成包括 Mo 层 221、241、261、和 271、Cu 层 222、242、262、和 272、以及 MoN 层 223、243、263、和 273 的三层栅极线 22、24、26、27、和 28。

[0050] 根据本发明的实施例,使用与参考图 1 至图 4 描述的高选择性液体蚀刻剂相同的高选择性液体蚀刻剂使用光刻法形成三层栅极互连线 22、24、26、27 和 28,其中,该高选择性液体蚀刻剂产生具有锐角的较好的锥形侧轮廓和对三层栅极互连线到基板 10 的粘附力没有不利影响的较好尺寸倾斜。以此方式,如图 6A 和图 6B 所示,形成包括栅极线 22、栅电极 26、栅极盘 24、存储电极 27、以及存储电极线 28 的栅极互连线。

[0051] 接下来,如图 7A 和图 7B 所示,由氮化硅形成的栅极绝缘层 30、本征非晶硅层、和掺杂的非晶硅层使用例如化学气相沉积 (CVD) 连续沉积为 1500 Å -5000 Å、500 Å -2000 Å、以及 300 Å -600 Å 的厚度。在本征非晶硅层和掺杂的非晶硅层上执行光刻,以形成岛形的半导体层 40 和在栅电极 24 上的栅极绝缘层 30 上形成欧姆接触层 55 和 56。

[0052] 接下来,如图 8A 和图 8B 所示,在其上顺序沉积有 Mo 层 621、651、661、671 和 681、Cu 层 622、652、662、672、和 682、以及 MoN 层 623、653、663、673、和 683 的三层数据互连线 62、65、66、67、以及 68 通过溅射形成在栅极绝缘层 30、半导体层 40 的暴露部分、以及欧姆接触层 55 和 56 上。在此,沉积 Mo 层 621、651、661、671、和 681、Cu 层 622、652、662、672、和 682、以及 MoN 层 623、653、663、673、和 683 的方法与在形成栅极互连线的过程中沉积 Mo 层 221、241、261、和 271、Cu 层 222、242、262、和 272 以及 MoN 层 223、243、263、和 273 的方法相同,所以不再进行描述。随后,在三层数据线上执行光刻。蚀刻可以是使用蚀刻剂的湿蚀刻。蚀刻剂与参考图 1 至图 4 描述的蚀刻剂相同,所以将省略对其的重复描述。

[0053] 当根据本发明的实施例使用蚀刻剂执行蚀刻时,因为当用于蚀刻三层栅极线时,蚀刻剂具有高蚀刻选择性并且显示出非常好的蚀刻均匀性,所以可以获得具有锐角的很好

的锥形侧轮廓,并且可以获得很好的尺寸倾斜而没有对三层数据互连线 62、65、66、67 和 68 与栅极绝缘层 30 和欧姆接触层 55 和 56 的粘附力产生不利影响。从而,形成数据互连线 62、65、66、67、和 68,其包括与栅极线 22 交叉的数据线 62,连接至数据线 62 并延伸到栅电极 26 的源电极 65,连接至数据线 62 的端部的数据盘 68,与源电极 65 分开的并围绕栅电极 26 与源电极 65 相对设置的漏电极 66,以及具有从漏电极 66 延伸并且与存储电极 27 重叠的大面积的漏电极延伸突起 67。数据互连线 62、65、66、67、和 68 通过数据互连线未覆盖的掺杂非晶硅层的蚀刻部分分支到栅电极 26 的两侧,并且暴露欧姆接触层 55 和 56 之间的部分半导体层 40。在此,希望执行氧等离子体处理,以稳定半导体层 40 的暴露部分的表面。

[0054] 接下来,如图 9A 和图 9B 所示,钝化层 70 是单层或多层,包括具有良好特性的有机材料,或通过等离子体增强化学气相沉积 (PECVD) 形成的诸如 Si:C:O 和 Si:O:F 的低介电绝缘材料,诸如 a-Si:O:F 的具有低介电常数的绝缘材料,或诸如 SiN_x 的无机材料。接下来,栅极绝缘层 30 和钝化层 70 通过光刻被图样化,从而形成使栅极盘 24、漏电极延伸突起 67、和数据盘 68 暴露的接触孔 74、77、和 78。在此,当钝化层 70 是具有感光性的有机层时,接触孔 74、77、和 78 仅通过光刻来形成。希望在栅极绝缘层 30 和钝化层 70 具有相同选择性的蚀刻条件下形成接触孔 74、77、和 78。

[0055] 最后,如图 5A 和图 5B 所示,沉积 ITO 层并执行光刻以形成通过接触孔 77 连接至漏电极 66 的像素电极 82,形成通过接触孔 74 连接至栅极盘 24 的辅助栅极盘 84,并且形成通过接触孔 78 连接至数据盘 68 的辅助数据盘 88。虽然在本发明的该实施例中,栅极线和数据线由包括 Mo 层、Cu 层、和 MoN 层的三层结构形成在基板上,但是只有栅极线和数据线中的一个由三层结构形成。

[0056] 在以上描述中,使用不同的掩模通过光刻形成半导体层和数据互连线,但是它们还可以如以下描述,使用单一光刻胶膜图样通过光刻来形成。将参考图 10A 和图 19B 描述根据本发明的另一实施例的通过用于制造 TFT 基板的方法制造的 TFT 基板的单位像素的结构。

[0057] 如在图 5A 至图 9B 中所示的本发明的实施例,传输选通信号的多条栅极互连线 22、24、26、27 和 28 由三层形成在绝缘基板 10 上。首先,传输选通信号的多条栅极互连线形成在绝缘基板 10 上。栅极互连线包括:沿横向延伸的栅极线 22,连接至栅极线 22 的端部以从外部接收选通信号并将其传输至栅极线 22 的栅极盘 24,连接至栅极线 22 的凸起 TFT 的栅电极 26,以及平行于栅极线 22 的存储电极 27 和存储电极线 28。存储电极线 28 沿横向延伸与像素区域交叉并且连接至存储电极 27,其比存储电极线 28 宽。存储电极线 27 与连接有像素电极 82 的漏电极延伸部分 67 重叠,以形成用于增加像素的电荷存储容量的存储电容器。存储电极 27 和存储电极线 28 的形状和排列可以改变,并且当像素电极 82 和栅极线 22 的重叠给出足够的存储容量时,可以省略存储电极 27 和存储电极线 28。

[0058] 如图 5A 至图 9B 中所示的本发明的实施例,栅极互连线 (wire, 电缆) 22、24、26、27、28 可以由通过顺序沉积由 Mo 或 Mo 合金制成的 Mo 层 221、241、261、和 271、由 Cu 或 Cu 合金制成的 Cu 层 222、242、262、和 272、以及 MoN 层 223、243、263、和 273 形成的三层形成。栅极绝缘层 30 由氮化硅 (SiN_x) 形成在基板 10 和三层栅极互连线 22、24、26、27、和 28 上。

[0059] 半导体图样 42、44、和 48 由非晶硅氢化物或多晶硅形成在栅极绝缘层 30 上。由硅氢化物或重掺杂有 n 型杂质的 n+ 非晶硅氢化物制成的欧姆接触层 52、55、56、和 58 形成在半

导体图样 42、44、和 48 上。数据互连线形成在欧姆接触层 52、55、56、和 58 以及栅极绝缘层 30 上。数据互连线包括：沿纵向形成并与栅极线 22 交叉以限定像素的数据线 62，作为数据线 62 的分支并且延伸至欧姆接触层 55 的源电极 65，连接至数据线 62 的端部并且从外部接收图像信号的数据盘 68，与源电极 65 分开并且环绕栅电极 26 或 TFT 的沟道区域形成在与源电极 65 相对的欧姆接触层 56 上的漏电极 66，以及具有从漏电极 66 延伸并且与存储电极 27 重叠的大面积的漏电极延伸部分 67。

[0060] 数据互连线由三层 62、65、66、67、和 68 形成。三层数据线 62 包括导电层 621、622、和 623。三层源电极 65 包括导电层 651、652、和 653。三层漏电极 66 包括导电层 661、662、和 663。三层 67 包括导电层 671、672、和 673。三层 68 包括导电层 681、682、和 683。导电层 621、651、661、671、和 681 由 Mo 或 Mo 合金（以下称为“Mo 层”）形成。导电层 622、652、662、672、和 682 由 Cu 或 Cu 合金（以下称为“Cu 层”）形成。导电层 623、653、663、673、和 683 由 MoN（以下称为“MoN 层”）形成。

[0061] 源电极 65 的至少一部分和漏电极 66 的一部分与半导体层 40 重叠。源电极 65 围绕栅电极 26 与漏电极 66 相对设置。在此，欧姆接触层 55 和 56 夹置在下半导体层 40 和上覆源电极 65 之间以及半导体层 40 和漏电极 66 之间，以减少它们之间的接触电阻。漏电极延伸部分 67 与存储电极 27 重叠，以在存储电极 27 和栅极绝缘层 30 之间形成存储电容。在不存在存储电极 27 的情况下，也省略漏电极延伸部分 67。

[0062] 欧姆接触层 52、55、56、和 58 减少下半导体图样 42、44、和 48 以及上数据互连线 62、65、66、67、和 68 之间的接触电阻，并且具有与数据互连线 62、65、66、67、和 68 完全相同的形状。

[0063] 除 TFT 沟道区域之外，半导体图样 42、44、和 48 具有与数据连线 62、65、66、67、和 68 以及欧姆接触层 52、55、56、和 58 基本相同的形状。也就是说，源电极和漏电极 65 和 66 在 TFT 沟道区域彼此分离，在此，在源电极 65 下面的欧姆接触层 55 和在漏电极 66 下面的欧姆接触层 56 也彼此分离。但是，TFT 半导体图样 44 在此连续而不断开，以形成 TFT 沟道。

[0064] 钝化层 70 形成在数据互连线 62、65、66、67、和 68 以及数据互连线 62、65、66、67、和 68 未覆盖的部分半导体图样 44 上。在此，钝化层（保护）层 70 优选地由具有良好平面特性的感光有机材料、由等离子体增强化学气相沉积（PECVD）形成的诸如 a-Si:C:O 和 a-Si:C:F 的低介电绝缘材料、或诸如氮化硅或二氧化硅的无机绝缘体制成。当钝化层 70 由有机材料形成时，由 SiNx 或二氧化硅（SiO₂）形成的绝缘层（未示出）还可以形成在钝化层 70 下面，以防止钝化层 70 的有机材料与源电极 65 和漏电极 66 之间的半导体图样 44 的一部分接触。

[0065] 使漏电极延伸部分 67 和数据线盘 68 暴露的接触孔 77 和 78 形成在钝化层 70 中。使栅极盘 24 暴露的接触孔 74 形成在钝化层 70 和栅极绝缘层 30 中。通过接触孔 74 连接至栅极盘 24 的辅助栅极盘 84 和通过接触孔 78 连接至数据盘 68 的辅助数据盘 88 形成在钝化层 70 上。像素电极 82、辅助栅极盘 84、和辅助数据盘 88 由 ITO 形成。

[0066] 以下将参考图 10A 和图 10B 以及图 11A 至图 19A 描述根据本发明的另一实施例的用于制造 TFT 基板的方法。如图 11A 和图 11B 所示，类似如图 5A 至图 9B 所示的实施例，形成通过顺序沉积 Mo 层 221、241、261、271、Cu 层 222、242、262、272、以及 MoN 层 223、243、263、273 而形成的三层栅极线 22、24、26、27、和 28。接下来，在三层栅极线 22、24、26、27、和

28 上执行光刻。蚀刻可以是使用与参考图 1 至图 4 所述的蚀刻剂相同的蚀刻剂的湿蚀刻，在此省略其相关描述。

[0067] 以此方式，如图 11A 和图 11B 所示，形成包括栅极线 22、栅电极 26、栅极盘 24、存储电极 27、和存储电极线 28 的栅极互连线。接下来，如图 12 所示，由氮化硅形成的栅极绝缘层 30、本征非晶硅层 40、和掺杂的非晶硅层 50 使用 CVD 连续沉积为例如 $1500 \text{ \AA} - 5000 \text{ \AA}$ 、 $500 \text{ \AA} - 2000 \text{ \AA}$ 、和 $300 \text{ \AA} - 600 \text{ \AA}$ 的厚度。然后，其上连续堆叠有 Mo 层 601、Cu 层 602、和 MoN 层 603 的三层数据线 60 使用溅射形成在掺杂的非晶硅层 50 上。用于沉积三层数据线 60 的方法与在图 5A 至图 9B 的实施例中的用于沉积三层数据线的方法相同。

[0068] 然后，将光刻胶膜 110 涂敷在三层数据线 60 上。接下来，参考图 13A 至图 18，光刻胶膜 110 通过掩模曝光并且显影，以形成如图 13B 所示的光刻胶膜图样 112 和 114。在此，在光刻胶膜图样 112 和 114 中，每个光刻胶膜图样 112 和 114 的第一部分，即，对应于光刻胶膜图样 114 的部分，位于 TFT 的沟道区域上，其位于源电极 65 和漏电极 66 之间，以及每个第二部分，即，对应于光刻胶膜图样 112 的部分，位于在数据线形成的地方的数据线区域上。去除剩余区域上的光刻胶膜的所有部分，并且使第一部分比第二部分薄。在此，根据以下描述的随后蚀刻步骤的处理条件，调节在沟道区域上的第一部分和在数据线区域上的第二部分的厚度比率，并且优选地，第一部分的厚度等于或小于第二部分厚度的一半，例如，等于或小于 $4000 \text{ \AA}$ 。

[0069] 通过多种技术获取光刻胶膜图样 112 和 114 的取决于位置的厚度。缝隙图样、格子图样、或半透明膜设置在掩模上，以调节透光率。当使用缝隙图样时，缝隙的宽度以及缝隙和缝隙之间的间隙的宽度小于用于光刻的曝光装置的分辨率。在使用半透明膜的情况下，使用具有不同透光率或不同厚度的薄膜调节掩模上的透光率。

[0070] 当光刻胶膜通过诸如掩模曝光时，直接被曝光的部分的聚合物几乎被完全分解，并且因为光照量少，所以通过缝隙图样或半透明膜曝光的部分的聚合物不完全分解。通过设置在掩模上的遮光膜遮挡的一部分光刻胶膜的聚合物几乎没有分解。在光刻胶膜显影后，包括没有被分解的聚合物的部分被保留。此时，少量曝光部分的厚度比没有曝光部分的厚度薄。因为需要很长曝光时间分解所有分子，所以需要调节曝光时间。

[0071] 可以使用回流获取光刻胶膜图样 112 和 114 的取决于位置的厚度。即，光刻胶膜由可回流材料制成，并可通过具有不透明和透明部分的普通掩模曝光。然后，光刻胶膜显影并且经受回流，使得光刻胶膜的部分流到没有光刻胶的区域，从而形成更薄的光刻胶膜部分。

[0072] 在光刻胶膜图样 114 和包括 Mo 层 603、Cu 层 602、和 MoN 层 601 的三层数据线 60 上执行蚀刻。因为蚀刻基本上与图 5A 至图 9B 所示的本发明的实施例中的用于形成数据互连线的蚀刻和用于形成栅极互连线 22、24、26、28、和 29 的蚀刻相同，所以不对其进行描述。因此，如图 14 所示，仅留下在沟道区域和数据线区域上的三层图样 62、64、67、和 68，并且除了沟道区域和数据线区域之外的剩余区域的三层数据线 60 被完全去除，以暴露掺杂的非晶硅层 50 的下部。除了源电极 65 和漏电极 66 彼此不是分开而是彼此连接之外，剩下的三层图样 62、64、67、和 68 具有与数据互连线（图 5B 的 62、65、66、67、和 68）的形状基本相同的形状。

[0073] 接下来，如图 15 所示，除沟道和数据线区域以及光刻胶膜的第一部分之外，掺杂

的非晶硅层 50 的暴露部分和在其它部分上的本征非晶硅层 40 的下部通过干蚀刻同时被去除。在此,在光刻胶膜图样 112 和 114、掺杂的非晶硅层 50、和本征非晶硅层 40 被同时蚀刻以及栅极绝缘层 30 几乎没有被蚀刻的条件下执行蚀刻。特别地,优选地,光刻胶膜图样 112 和 114 与本征非晶硅层 40 的蚀刻率几乎相同。例如,通过使用 SF_6 或 HCl 的气体混合物或 SF_6 或 O_2 的气体混合物,光刻胶膜图样 112 和 114 以及本征非晶硅层 40 的蚀刻厚度基本相同。当光刻胶膜图样 112 和 114 的蚀刻率和本征非晶硅层 40 的蚀刻率相同时,第一部分的初始厚度等于或小于本征非晶硅层 40 的厚度和掺杂的非晶硅层 50 的厚度的总和。

[0074] 从而,如图 15 所示,去除沟道区域上的第一部分以使源 / 漏三层图样 64 的下部暴露,并且去除在剩余区域上的部分掺杂的非晶硅层 50 和本征非晶硅层 40,以使栅极绝缘层 30 的下部暴露。同时,数据线区域上的第二部分还被蚀刻以变得更薄。然后,留在沟道区域上的源 / 漏三层图样 64 的表面上的光刻胶残余物通过灰化被去除。

[0075] 接下来,如图 16 所示,通过蚀刻去除包括沟道区域的 Mo 层 643、Cu 层 642、和 MoN 层 641 的三层图样 64。蚀刻可以是使用蚀刻剂的湿蚀刻。蚀刻剂与参考图 1 至图 4 描述的蚀刻剂相同,所以不再对其进行描述。由掺杂的非晶硅形成欧姆接触层被蚀刻去除。在此,可以使用干蚀刻进行欧姆接触层的蚀刻。用于蚀刻欧姆接触层的蚀刻气体的例子可以是 CF_4 和 HCl 的气体混合物以及 CF_4 和 O_2 的气体混合物。使用 CF_4 和 O_2 的气体混合物能够获得由本征非晶硅形成的半导体图样 44 的蚀刻部分的均匀厚度。在这点上,半导体图样 44 的暴露部分被蚀刻以减小厚度,并且光刻胶图样 112 和 114 的第二部分也被蚀刻以减小厚度。在栅极绝缘层 30 没有被蚀刻的状态下执行该蚀刻,并且优选地,光刻胶图样 112 和 114 的厚度足以防止第二部分被去除,以使数据互连线 62、65、66、67、和 68 的下部暴露。

[0076] 从而,源电极 65 和漏电极 66 相互分离,并且同时完成数据互连线 65 和 66 及其下的欧姆接触层 55 和 56。接下来,如图 17 所示,去除留在数据互连线区域上的光刻胶膜图样 112 和 114 的第二部分。接下来,如图 18 所示,形成钝化层 70。

[0077] 如图 19A 和图 19B 所示,在钝化层 70 和栅极绝缘层 30 上执行光刻,从而形成使漏电极延伸部分 67、栅极盘 24、和数据盘 68 暴露的接触孔 77、74、和 78。最后,如图 10A 和图 10B 所示,厚度为 $400 \text{ \AA}$ - $500 \text{ \AA}$ 的 ITO 层被沉积并经受光刻,从而形成连接至漏电极延伸部分 67 的像素电极 82、连接至栅极盘 24 的辅助栅极盘 84、以及连接至数据盘 68 的辅助数据盘 88。

[0078] 希望在沉积 ITO 之前使用用于预处理的氮气,以防止金属氧化层形成在通过接触孔 74、77、和 78 暴露的金属层 24、67、和 68 上。

[0079] 在本发明的另一实施例中,使用单一掩膜形成下欧姆接触层 52、54、55、56、和 58 和下半导体图样 42 和 48 以及源电极 65 和漏电极 66 的分离,本发明所示的实施例提供了简单的制造方法以及由第一实施例给出的优点。尽管在本发明所示的实施例中,栅极互连线和数据互连线由包括 Mo 层、Cu 层、和 MoN 层的三层形成,本发明还可以应用于栅极互连线和数据互连线中仅有一个由三层形成的情况。

[0080] 根据本发明的用于制造 TFT 的方法可以容易地应用到滤色器 (AOC) 上的阵列,其中, TFT 阵列在滤色器上形成。如上所述,通过使用根据本发明的实施例的蚀刻剂蚀刻 Mo/Cu/MoN 多层,保持到多层下面的结构的粘附力,并且可以获取在其中 Cu 层不被腐蚀的具有非常好的轮廓的互连线。而且,通过使用根据本发明的实施例的蚀刻剂制造具有 Mo/Cu/MoN

多层的 TFT 基板,改善栅极互连线和数据互连线到 TFT 基板的粘附力,以及栅极互连线和数据互连线的轮廓。而且,提供了栅极互连线和数据互连线的可靠性,从而改善了信号特性和图像质量。

[0081] 在详细描述中,本领域普通技术人员应该理解,在基本不脱离本发明的原理的情况下,可以对本发明做出多种修改和改变。从而,所披露的本发明的优选实施例仅用于一般描述而不用于限制本发明。

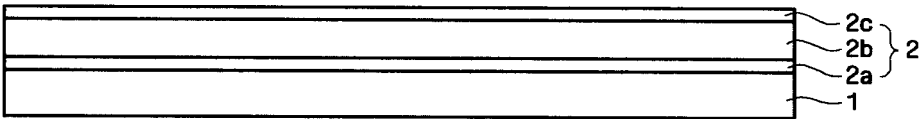


图 1

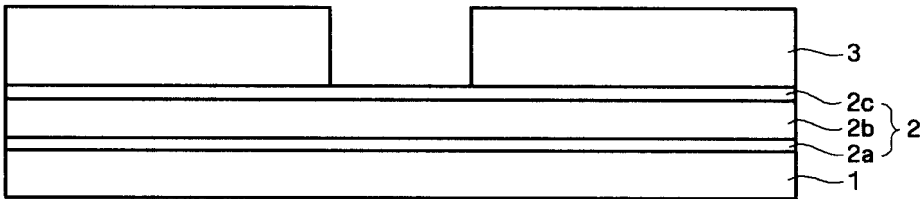


图 2



图 3

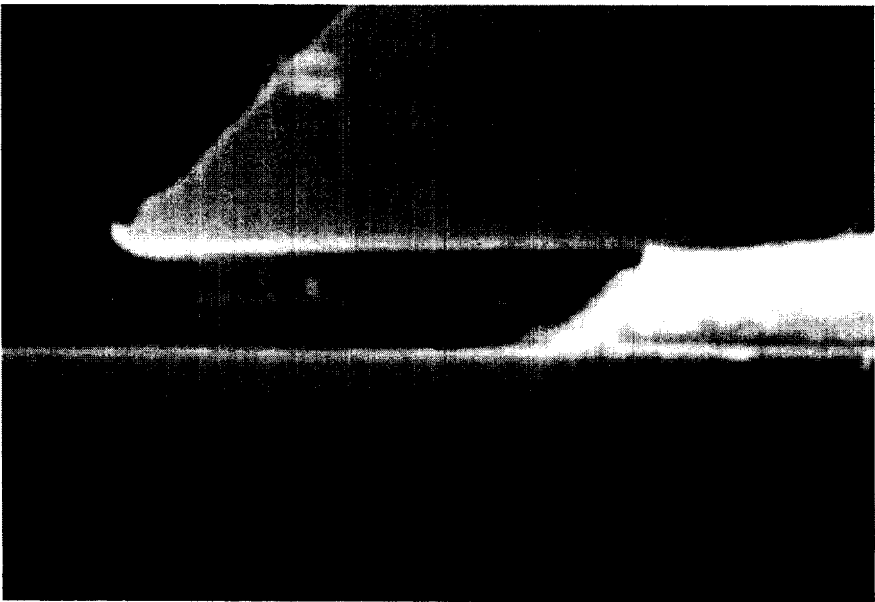


图 4

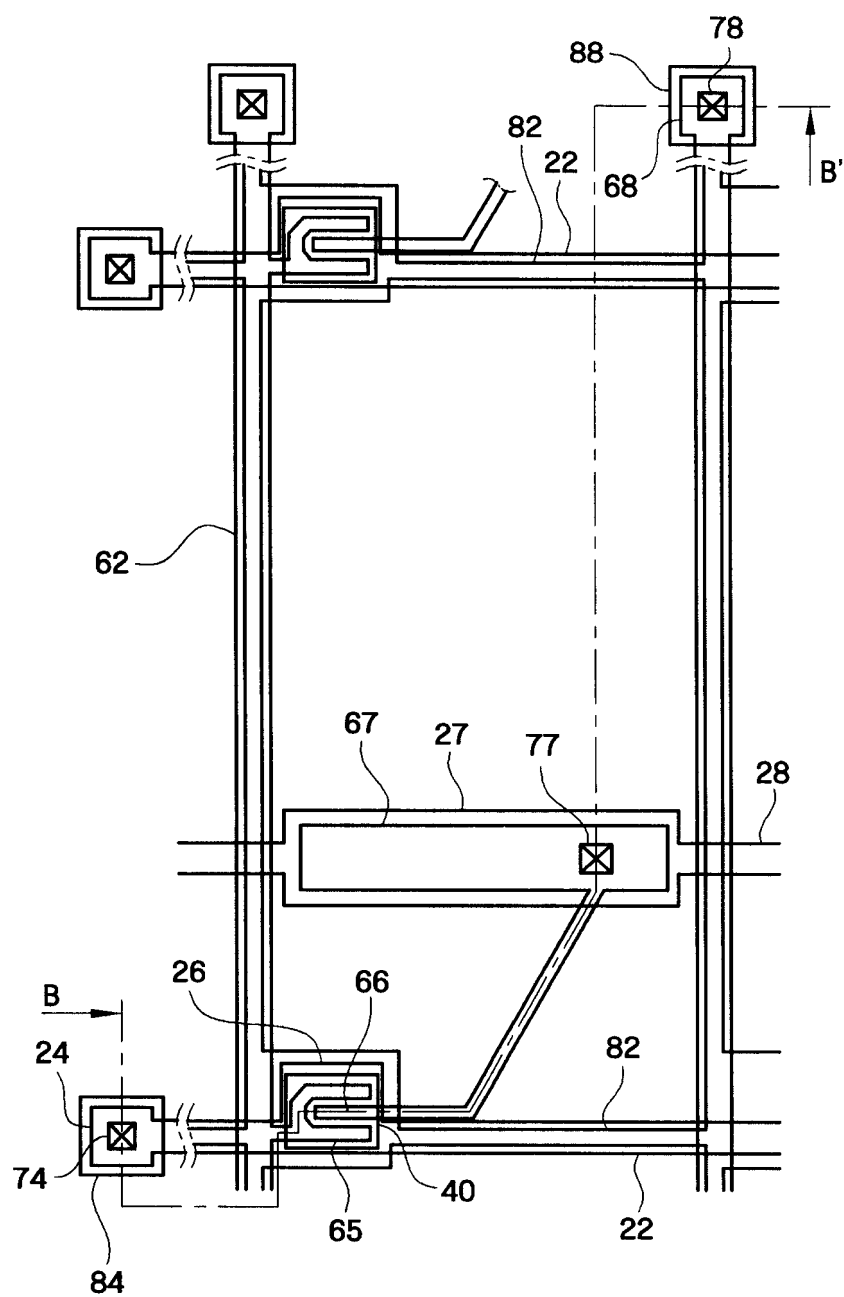


图 5A

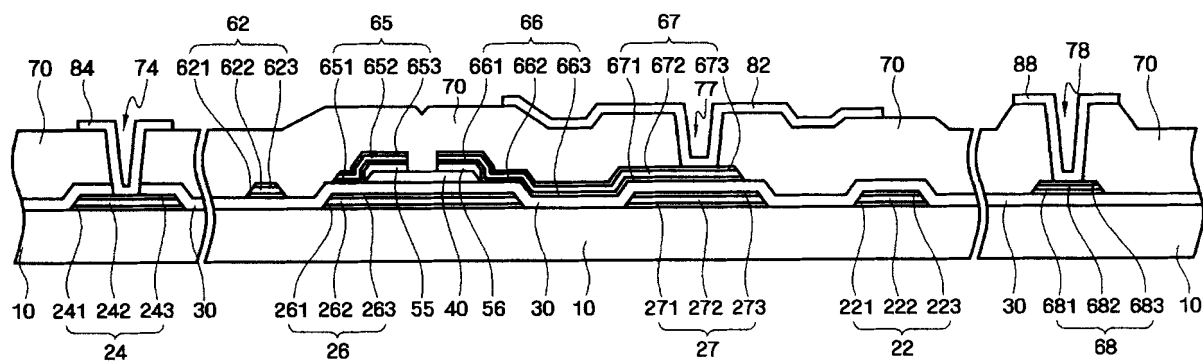


图 5B

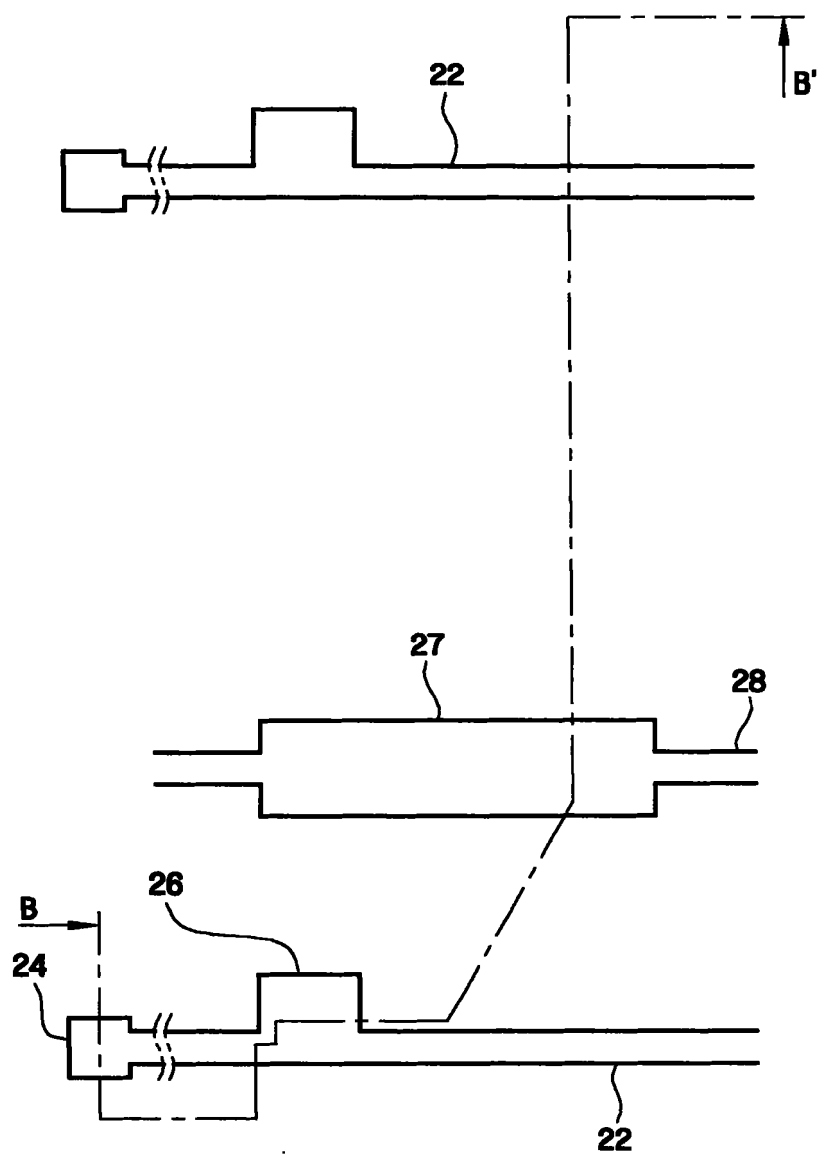


图 6A

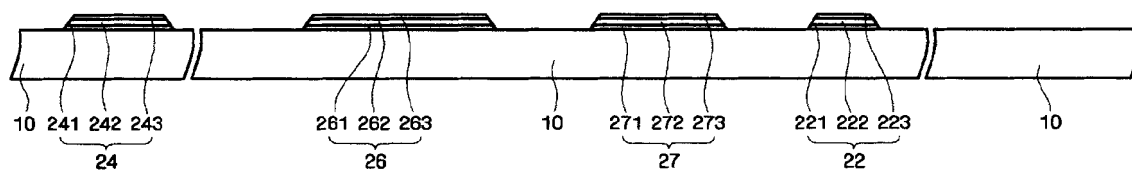


图 6B

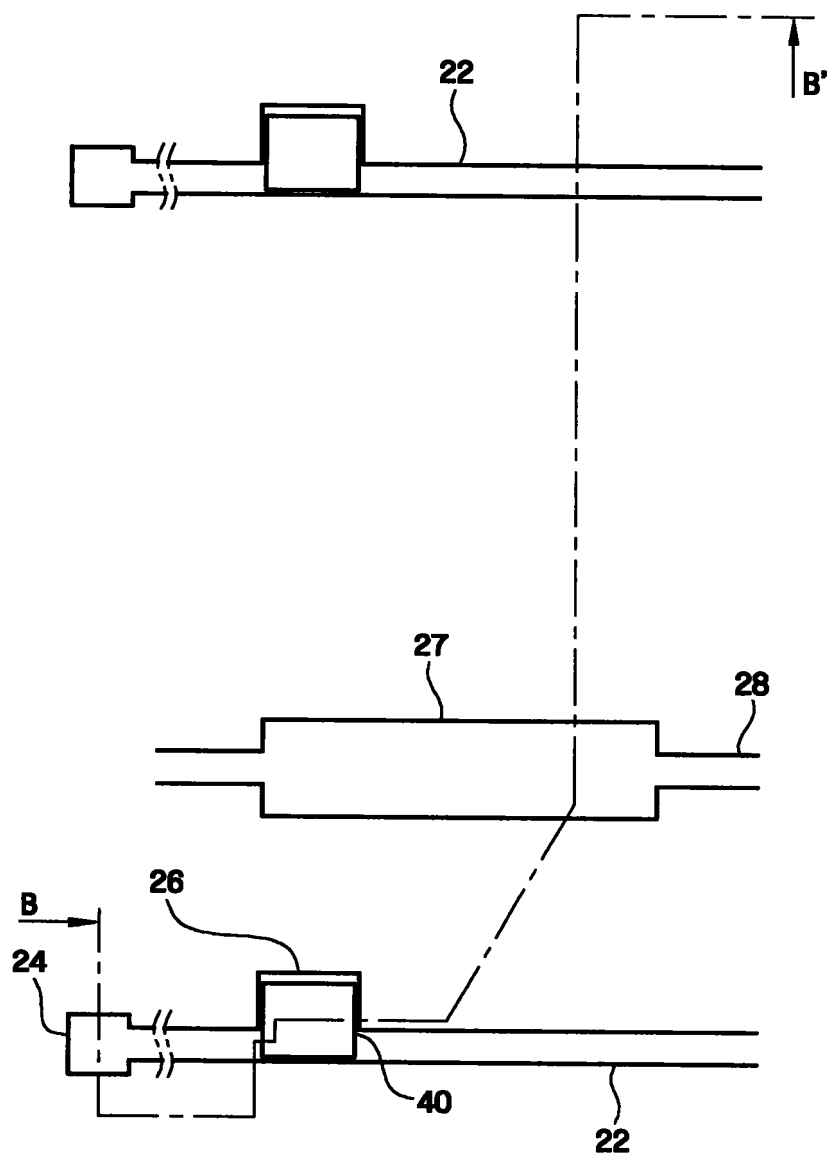


图 7A

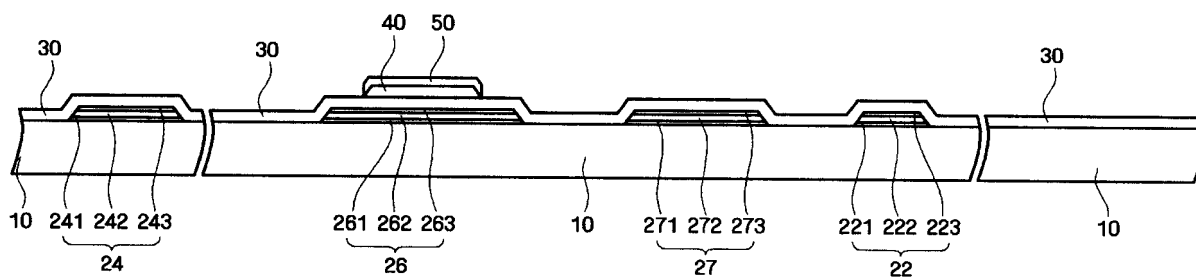


图 7B

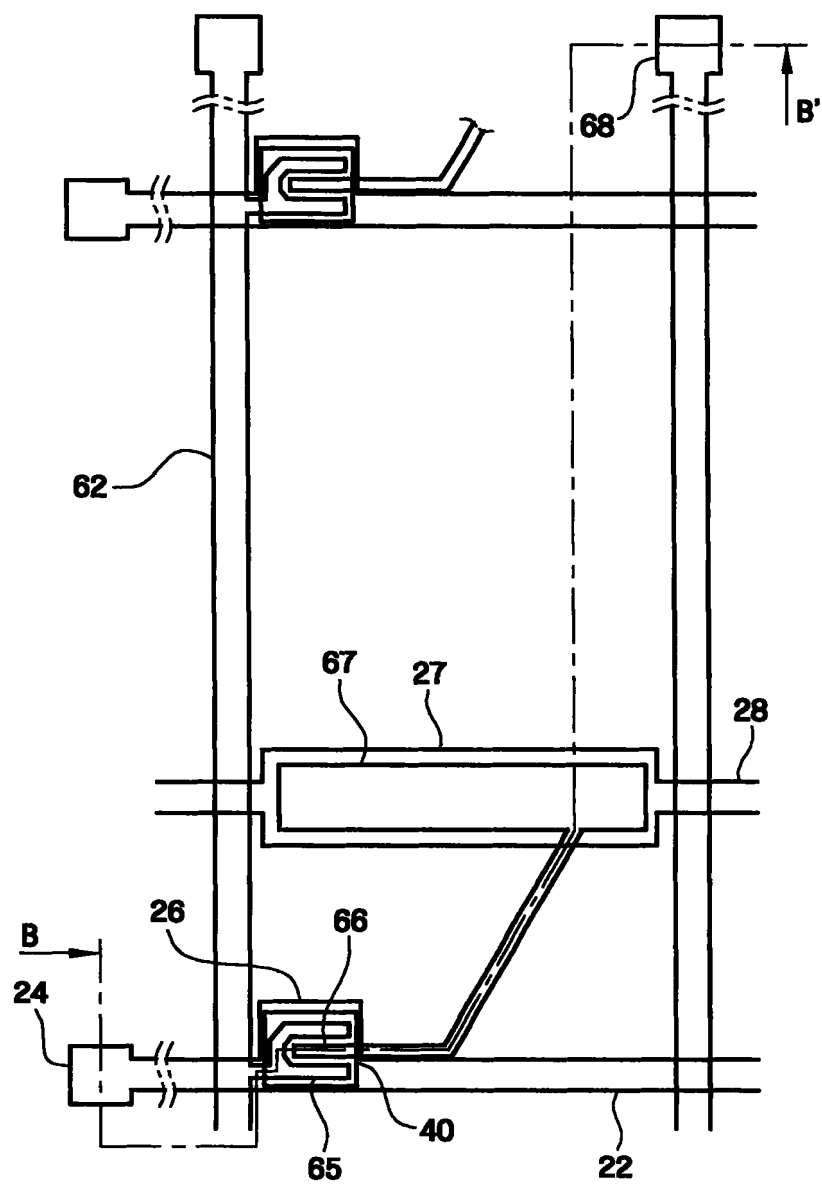


图 8A

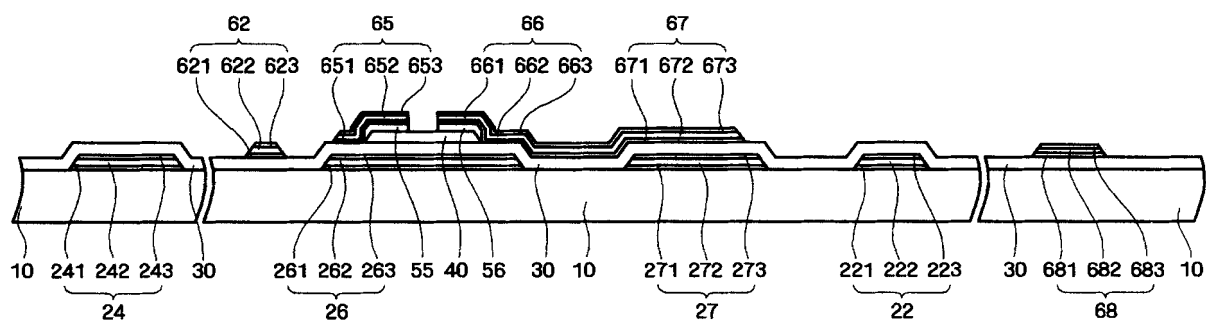


图 8B

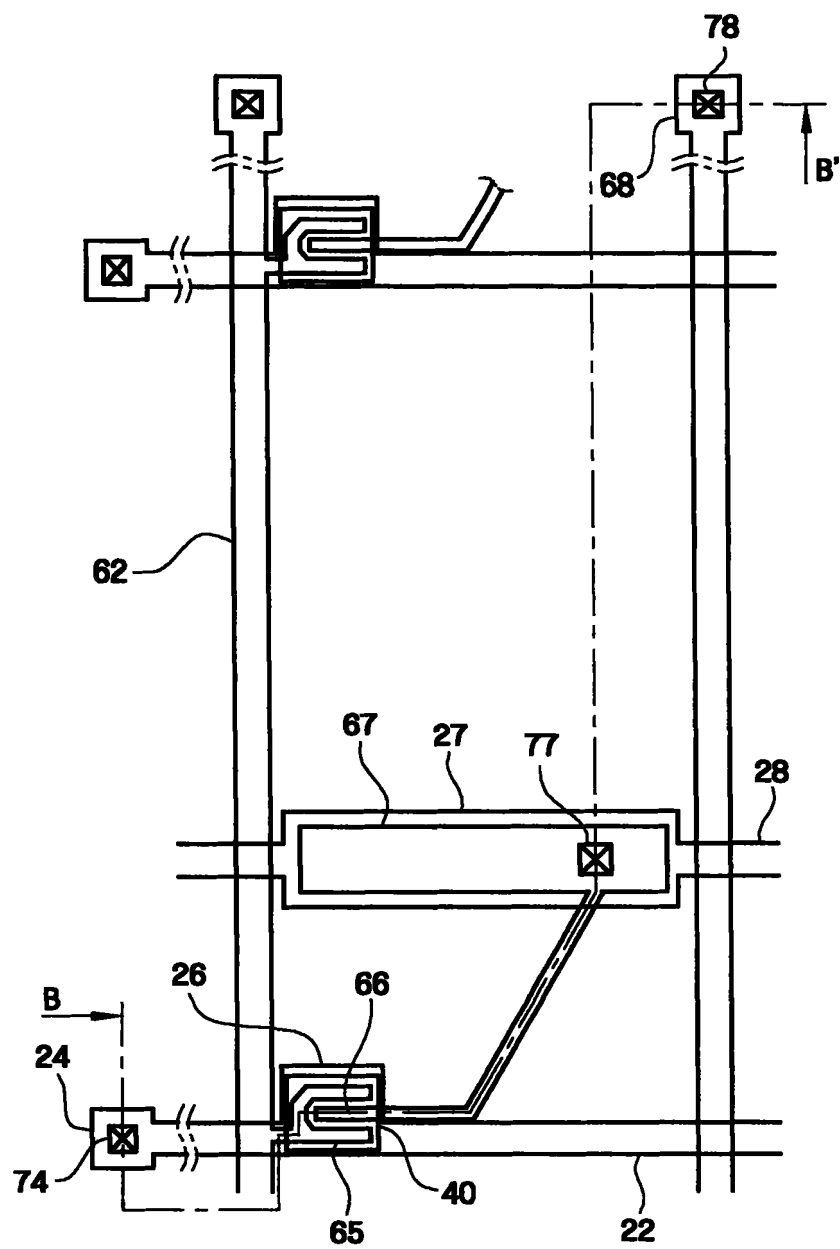


图 9A

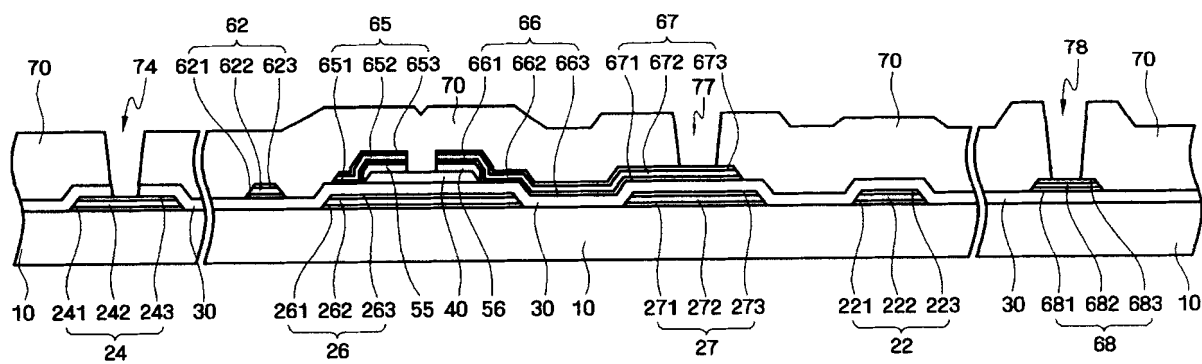


图 9B

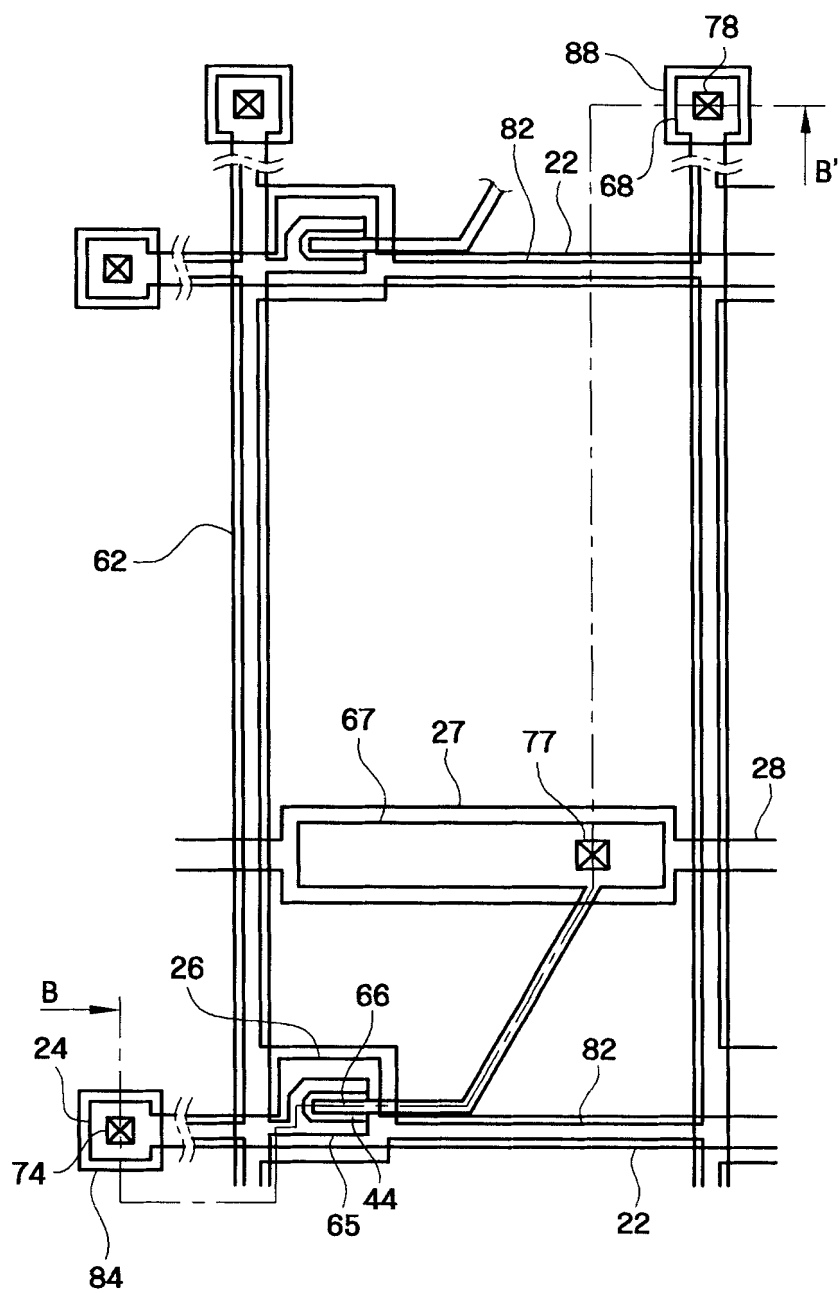


图 10A

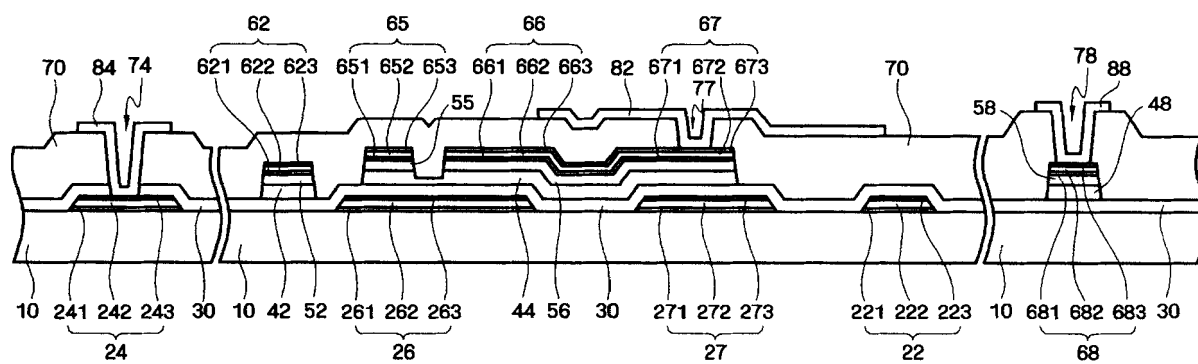


图 10B

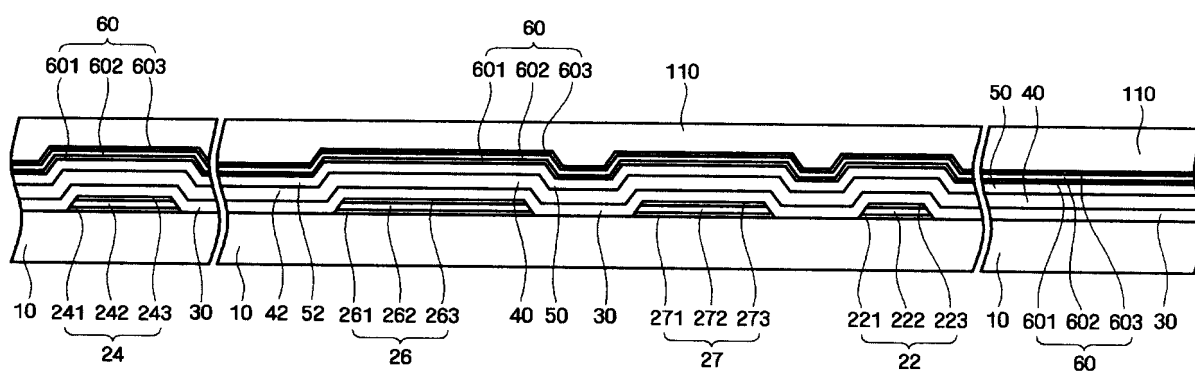


图 12

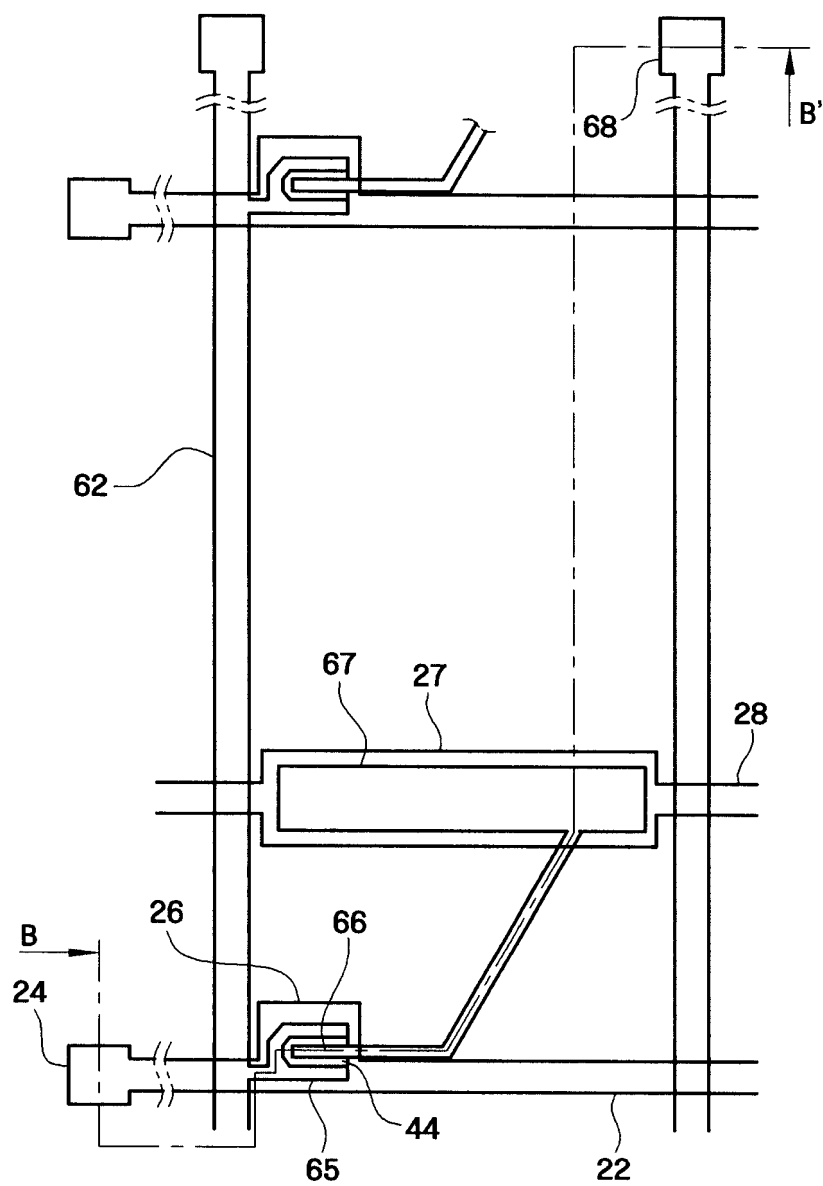


图 13A

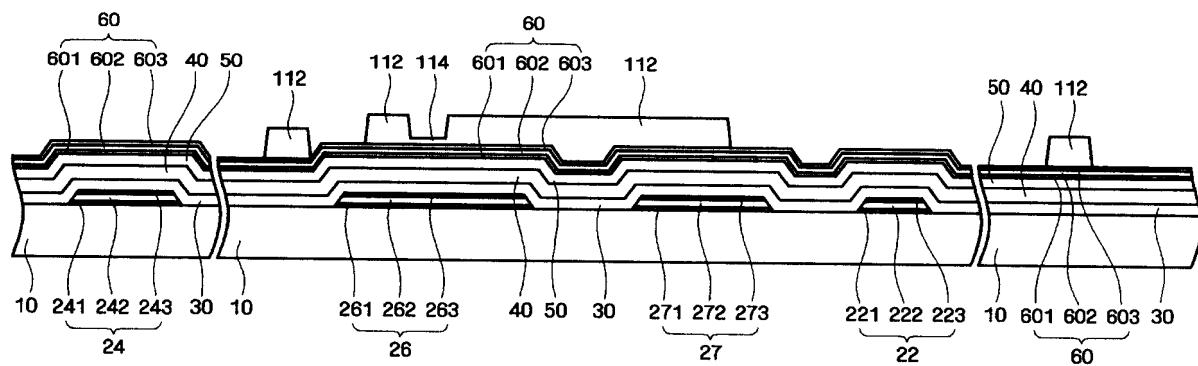


图 13B

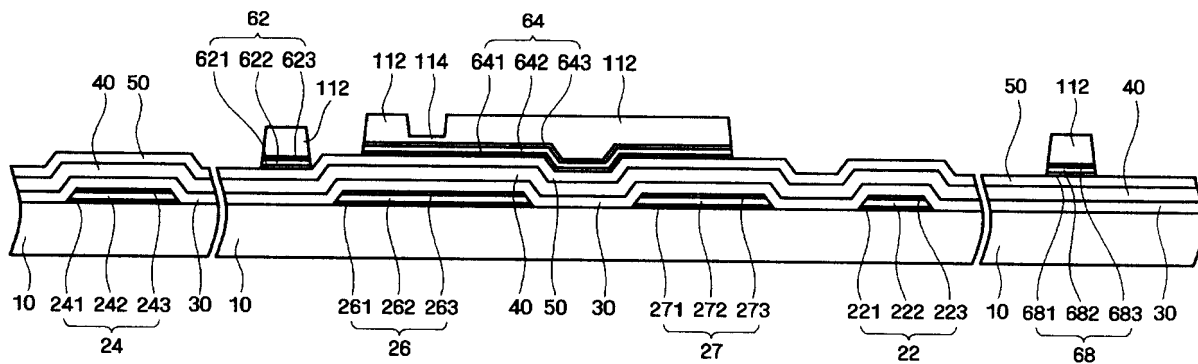


图 14

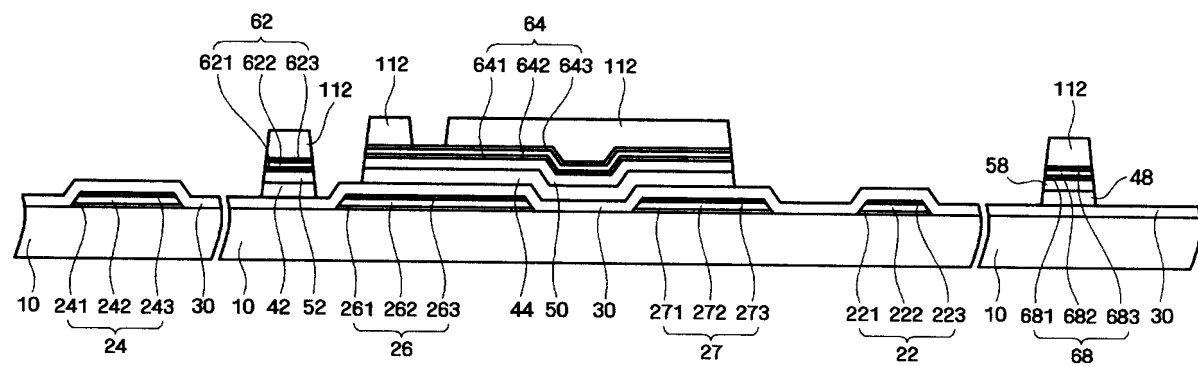


图 15

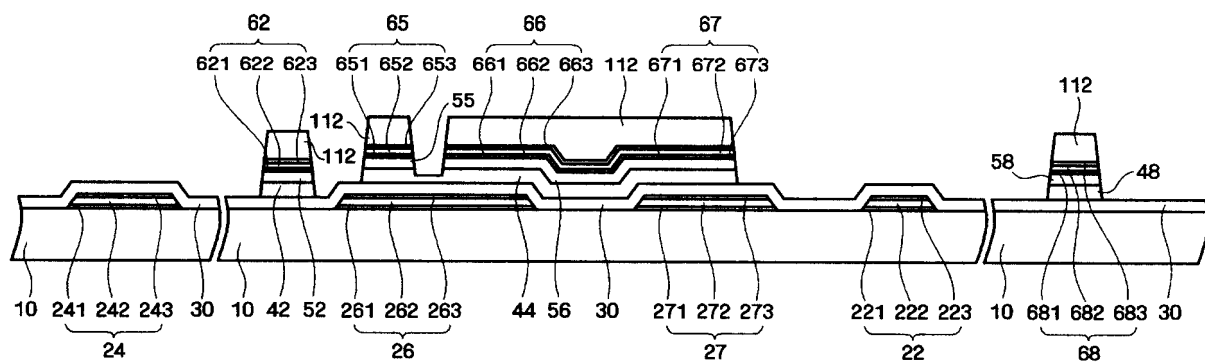


图 16

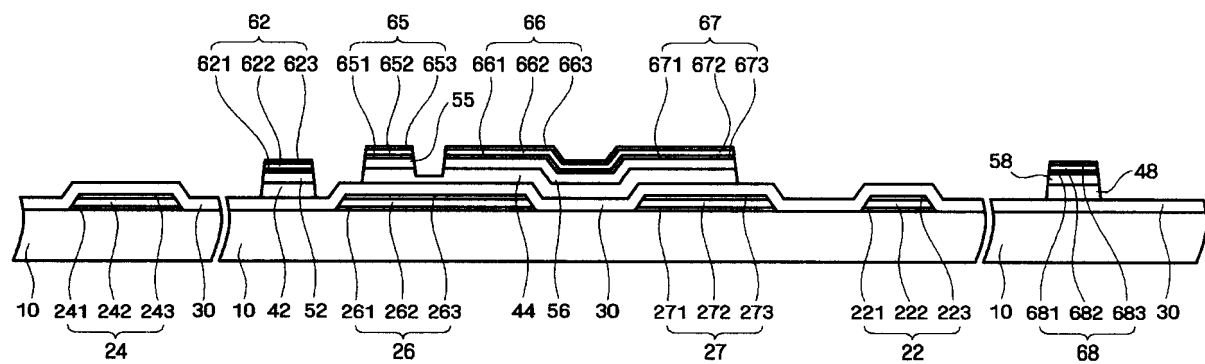


图 17

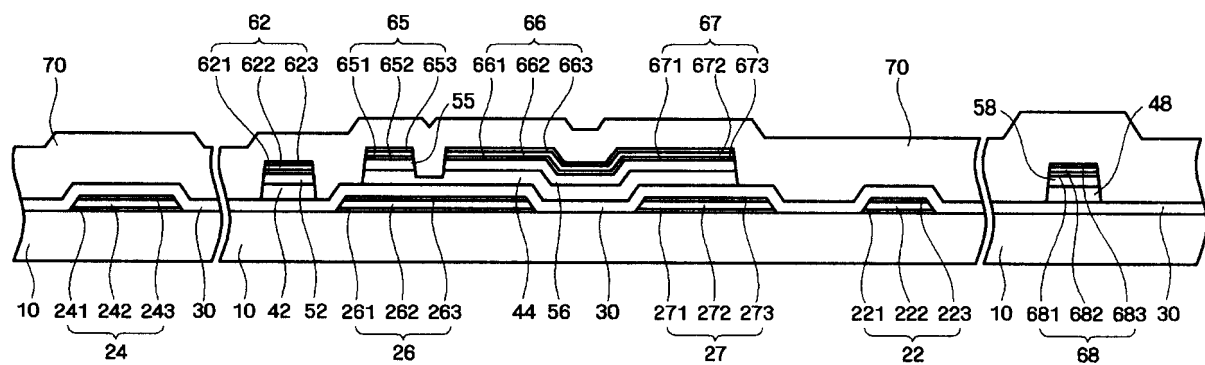


图 18

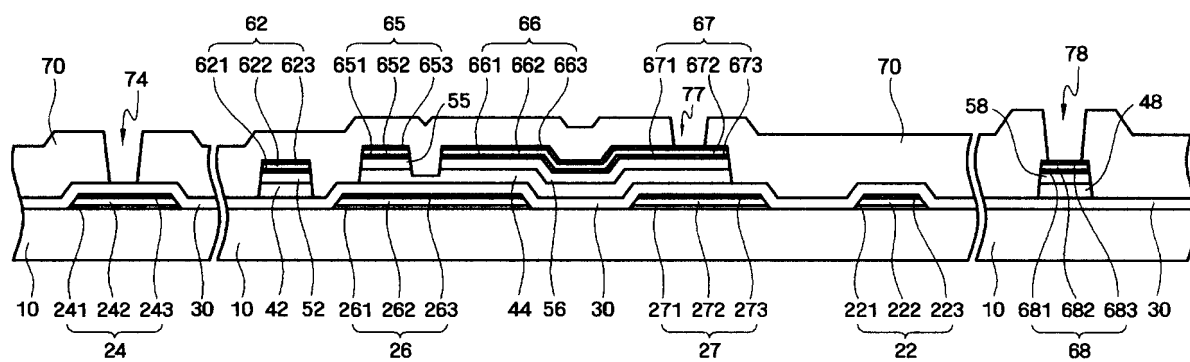


图 19B