

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成23年7月14日 (2011.7.14)

【公開番号】特開2009-31784(P2009-31784A)

【公開日】平成21年2月12日 (2009.2.12)

【年通号数】公開・登録公報2009-006

【出願番号】特願2008-167138(P2008-167138)

【国際特許分類】

G 0 9 F 9/30 (2006.01)

H 0 1 L 27/12 (2006.01)

H 0 1 L 21/02 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 51/50 (2006.01)

H 0 1 L 27/32 (2006.01)

【 F I 】

G 0 9 F 9/30 3 3 8

G 0 9 F 9/30 3 9 0 C

H 0 1 L 27/12 B

H 0 1 L 29/78 6 2 7 D

H 0 1 L 29/78 6 1 2 D

G 0 2 F 1/1368

H 0 5 B 33/14 A

G 0 9 F 9/30 3 6 5 Z

【手続補正書】

【提出日】平成23年5月26日 (2011.5.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ウェハを切り出して、第 1 の六角形の半導体基板及び第 2 の六角形の半導体基板を形成し、

矩形の基板上に前記第 1 の六角形の半導体基板及び前記第 2 の六角形の半導体基板を並べて貼り合わせ、

複数の半導体領域と、前記複数の半導体領域と電氣的に接続する複数の画素電極とを形成して、前記複数の半導体領域のうち少なくとも一つの半導体領域及び前記一つの半導体領域と電氣的に接続する画素電極を含む画素を複数配置した表示部を形成し、

前記第 1 の六角形の半導体基板及び前記第 2 の六角形の半導体基板の境界領域が、前記一つの半導体領域と、前記一つの半導体領域の隣の半導体領域との間に配置されるように、前記複数の半導体領域を形成することを特徴とする表示装置の作製方法。

【請求項 2】

請求項 1 において、

前記表示部における画素の配置はデルタ配置である表示装置の作製方法。

【請求項 3】

矩形の基板上に、第 1 の六角形の半導体基板及び第 2 の六角形の半導体基板が並べて配置され、複数の半導体領域が設けられており、

前記複数の半導体領域のうち少なくとも一つの半導体領域及び前記一つの半導体領域と電氣的に接続する画素電極を含む画素を複数配置した表示部を有し、

前記第 1 の六角形の半導体基板及び前記第 2 の六角形の半導体基板の境界領域が、前記複数の半導体領域のうち一つの半導体領域と、前記一つの半導体領域の隣の半導体領域との間に配置されるように、前記複数の半導体領域を設けたことを特徴とする表示装置。

【請求項 4】

矩形の基板上に、第 1 の六角形の半導体基板及び第 2 の六角形の半導体基板が並べて配置され、複数の半導体領域が設けられており、

前記複数の半導体領域のうち少なくとも一つの半導体領域及び前記一つの半導体領域と電氣的に接続する画素電極を含む画素を複数配置した表示部を有し、

複数の前記画素は、同一の信号線を有する m 列の画素群（ m は正の整数）に分類され、

前記画素群が有する画素は、それぞれの画素領域内において概同一の位置に半導体領域を有し、

前記信号線と平行な方向の画素ピッチを Y とすると、前記画素群が有する画素の画素領域内における前記半導体領域と、前記画素群と隣接する画素群が有する画素の画素領域内における前記半導体領域とは、前記信号線と平行な方向に $Y / 2$ ずれており、

前記第 1 の六角形の半導体基板及び前記第 2 の六角形の半導体基板の境界領域が、前記複数の半導体領域のうち一つの半導体領域と、前記一つの半導体領域の隣の半導体領域との間に配置されるように、前記複数の半導体領域を設けたことを特徴とする表示装置。

【請求項 5】

請求項 4 において、

複数の前記画素は、画素領域の短辺対長辺比がそれぞれ $3 / 2 : 1$ であることを特徴とする表示装置。

【請求項 6】

矩形の基板上に、第 1 の六角形の半導体基板及び第 2 の六角形の半導体基板が並べて配置され、複数の半導体領域が設けられており、

前記複数の半導体領域のうち少なくとも一つの半導体領域及び前記一つの半導体領域と電氣的に接続する画素電極を含む画素を複数配置した表示部を有し、

複数の前記画素は、同一の走査線を有する n 行の画素群（ n は正の整数）に分類され、

前記画素群が有する画素は、それぞれの画素領域内において概同一の位置に半導体領域を有し、

前記走査線と平行な方向の画素ピッチを X とすると、前記画素群が有する画素の画素領域内における前記半導体領域と、前記画素群と隣接する画素群が有する画素の画素領域内における前記半導体領域とは、前記走査線と平行な方向に $X / 2$ ずれており、

前記第 1 の六角形の半導体基板及び前記第 2 の六角形の半導体基板の境界領域が、前記複数の半導体領域のうち一つの半導体領域と、前記一つの半導体領域の隣の半導体領域との間に配置されるように、前記複数の半導体領域を設けたことを特徴とする表示装置。

【請求項 7】

請求項 6 において、

複数の前記画素は、画素領域の短辺対長辺比がそれぞれ $1 : 3$ であることを特徴とする表示装置。