

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4713192号
(P4713192)

(45) 発行日 平成23年6月29日 (2011. 6. 29)

(24) 登録日 平成23年4月1日 (2011. 4. 1)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 2 7 C

H O 1 L 29/786 (2006. 01)

請求項の数 10 (全 47 頁)

(21) 出願番号 特願2005-83179 (P2005-83179)
 (22) 出願日 平成17年3月23日 (2005. 3. 23)
 (65) 公開番号 特開2005-311335 (P2005-311335A)
 (43) 公開日 平成17年11月4日 (2005. 11. 4)
 審査請求日 平成20年1月30日 (2008. 1. 30)
 (31) 優先権主張番号 特願2004-88848 (P2004-88848)
 (32) 優先日 平成16年3月25日 (2004. 3. 25)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 森末 将文
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 藤井 厳
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上にゲート電極を形成し、
 前記ゲート電極上にゲート絶縁層を形成し、
 前記ゲート絶縁層上に第 1 の半導体層を形成し、
 前記第 1 の半導体層上に一導電型の不純物を含有する第 2 の半導体層を形成し、
 前記一導電型の不純物を含有する第 2 の半導体層上に第 1 のマスクを形成し、
 前記第 1 の半導体層及び前記一導電型の不純物を含有する第 2 の半導体層の前記第 1 のマスクに覆われていない部分をエッチングし、
 前記第 1 のマスクを除去し、
 前記一導電型の不純物を含有する第 2 の半導体層上に第 2 のマスクを形成し、
 前記一導電型の不純物を含有する第 2 の半導体層の前記第 2 のマスクに覆われていない部分をエッチングし、
 前記第 2 のマスク上面及び前記第 1 の半導体層上面に溶液を吐出又は塗布することによってぬれ性の低い領域を形成し、
 前記ぬれ性の低い領域が形成された第 2 のマスクを除去することによって前記ぬれ性の低い領域よりもぬれ性の高い領域を形成し、
 前記ぬれ性の高い領域に液滴吐出法によりソース配線及びドレイン配線を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 2】

絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁層を形成し、
前記ゲート絶縁層上に第1の半導体層を形成し、
前記第1の半導体層上にチャネル保護層を形成し、
前記第1の半導体層及び前記チャネル保護層上に一導電型の不純物を含有する第2の半導体層を形成し、

前記一導電型の不純物を含有する第2の半導体層上に第1のマスクを形成し、
前記第1の半導体層、及び前記一導電型の不純物を含有する第2の半導体層の前記第1のマスクに覆われていない部分をエッチングし、

前記第1のマスクを除去し、

一導電型の不純物を含有する第2の半導体層上に第2のマスクを形成し、

前記一導電型の不純物を含有する第2の半導体層の前記第2のマスクに覆われていない部分をエッチングし、

前記第2のマスク上面及び前記チャネル保護層上面に溶液を吐出又は塗布することによってぬれ性の低い領域を形成し、

前記ぬれ性の低い領域が形成された第2のマスクを除去することによって前記ぬれ性の低い領域よりもぬれ性の高い領域を形成し、

前記ぬれ性の高い領域に液滴吐出法によりソース配線及びドレイン配線を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項3】

透光性を有する基板上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を形成し、

前記ゲート絶縁層上に第1の半導体層を形成し、

前記第1の半導体層上に一導電型の不純物を含有する第2の半導体層を形成し、

前記一導電型の不純物を含有する第2の半導体層上に第1のマスクを形成し、

前記第1の半導体層、及び前記一導電型の不純物を含有する第2の半導体層の前記第1のマスクに覆われていない部分をエッチングし、

前記第1のマスクを除去し、

前記一導電型の不純物を含有する第2の半導体層上に第2のマスクを形成し、

前記一導電型の不純物を含有する第2の半導体層の前記第2のマスクに覆われていない部分をエッチングし、

前記第2のマスク上面及び前記第1の半導体層上面に溶液を吐出又は塗布することによってぬれ性の低い領域を形成し、

前記ぬれ性の低い領域が形成された第2のマスクを除去することによって前記ぬれ性の低い領域よりもぬれ性の高い領域を形成し、

前記ぬれ性の高い領域に液滴吐出法によりソース配線及びドレイン配線を形成することを特徴とする薄膜トランジスタの作製方法であって、

前記一導電型の不純物を含有する第2の半導体層をエッチングするための前記第2のマスクは、ネガ型レジストを塗布し、前記ネガ型レジストを基板の裏面から露光して形成することを特徴とする薄膜トランジスタの作製方法。

【請求項4】

透光性を有する基板上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を形成し、

前記ゲート絶縁層上に第1の半導体層を形成し、

前記第1の半導体層上にチャネル保護層を形成し、

前記第1の半導体層及び前記チャネル保護層上に一導電型の不純物を含有する第2の半導体層を形成し、

前記一導電型の不純物を含有する第2の半導体層上に第1のマスクを形成し、

前記第1の半導体層、及び前記一導電型の不純物を含有する第2の半導体層の前記第1のマスクに覆われていない部分をエッチングし、前記第1のマスクを除去し、

一導電型の不純物を含有する第2の半導体層上に第2のマスクを形成し、

前記一導電型の不純物を含有する第2の半導体層の前記第2のマスクに覆われていない部分をエッチングし、

前記第2のマスク上面及び前記チャネル保護層上面に溶液を吐出又は塗布することによってぬれ性の低い領域を形成し、

前記ぬれ性の低い領域が形成された第2のマスクを除去することによって前記ぬれ性の低い領域よりもぬれ性の高い領域を形成し、

前記ぬれ性の高い領域に液滴吐出法によりソース配線及びドレイン配線を形成することを特徴とする薄膜トランジスタの作製方法であって、

前記一導電型の不純物を含有する第2の半導体層をエッチングするための前記第2のマスクは、ネガ型レジストを塗布し、前記ネガ型レジストを基板の裏面から露光して形成することを特徴とする薄膜トランジスタの作製方法。

10

【請求項5】

請求項1又は請求項2において、前記一導電型の不純物を含有する第2の半導体層をエッチングするための第2のマスクは、平坦化膜を塗布し、前記平坦化膜をエッチバックして形成することを特徴とする薄膜トランジスタの作製方法。

【請求項6】

請求項1又は請求項2において、前記一導電型の不純物を含有する第2の半導体層をエッチングするための第2のマスクは、ポジ型レジストを塗布し、前記ポジ型レジストを基板の表面から露光して形成することを特徴とする薄膜トランジスタの作製方法。

20

【請求項7】

請求項1乃至請求項6のいずれか一において、前記ゲート電極を形成する際に、基板上に導電性の下地層を形成し、前記下地層上にゲート電極を形成し、前記ゲート電極と重ならない下地層を酸化して絶縁化あるいはエッチングして除去することを特徴とする薄膜トランジスタの作製方法。

【請求項8】

絶縁表面を有する基板上にソース配線及びドレイン配線を形成し、

前記ソース配線及びドレイン配線上に一導電型の不純物を含有する第1の半導体層を形成し、

前記一導電型の不純物を含有する第1の半導体層及び前記基板上に第2の半導体層を形成し、

30

前記第2の半導体層上に第1のマスクを形成し、

前記第2の半導体層、及び前記一導電型の不純物を含有する第1の半導体層の前記第1のマスクに覆われていない部分をエッチングし、

前記第1のマスクを除去し、

前記基板、前記第2の半導体層、前記ソース配線及びドレイン配線上にゲート絶縁層を形成し、

前記ゲート絶縁層上にレジストを塗布し、

前記レジストを露光、現像して、所望の形状に加工し、

前記レジスト上面及び前記ゲート絶縁層上面に溶液を吐出又は塗布することによってぬれ性の低い領域を形成し、

40

前記ぬれ性の低い領域が形成された所望の形状を有するレジストを除去することによって前記ぬれ性の低い領域よりもぬれ性の高い領域を形成し、

前記ぬれ性の高い領域に液滴吐出法によりゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項9】

請求項8において、第1の半導体層に一導電型の不純物をプラズマドーピング法により添加することを特徴とする薄膜トランジスタの作製方法。

【請求項10】

請求項8又は請求項9において、前記ソース配線及びドレイン配線を形成する際に、基

50

板上に導電性の下地層を形成し、前記下地層上にソース配線及びドレイン配線を形成し、前記ソース配線及びドレイン配線と重ならない下地層を酸化して絶縁化する、あるいはエッチングして除去することを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インクジェット法に代表される液滴吐出法を用いて形成した薄膜トランジスタの作製方法に関するものである。 10

【背景技術】

【0002】

従来、ガラス基板上の薄膜トランジスタ（以下「TFT」ともいう。）によって構成される、所謂アクティブマトリクス駆動方式の表示パネルは、半導体集積回路の製造技術と同様に、フォトリソグラフィー工程により、各種薄膜をパターニングすることにより製造されてきた。

【0003】

つまり、TFTにおける薄膜パターンを形成するにあたっては、レジストを基板全面に塗布形成しプリベークを行った後、マスクパターンを介して紫外線等を照射し、現像によってレジストパターンを形成するというフォトリソグラフィー工程を経た後、前記レジストパターンをマスクパターンとして薄膜パターンとなるべき部分に存在する膜（半導体材料、絶縁体材料、又は導電体材料で形成される薄膜）、半導体薄膜、金属薄膜等をエッチング除去することにより、薄膜パターンを形成する方法が用いられている。 20

【0004】

基板サイズが大型化するにつれ、1回の露光処理で表示パネルの全面を同時に処理することが不可能となっていた。その結果、フォトリソグラフィーが塗布された領域を複数に分割して、所定のブロック領域毎に露光処理を行い、順次それを繰り返す方法などが開発されてきた（例えば、特許文献1参照。）。 30

【特許文献1】特開平11-326951号公報

【0005】

前記処理による方法に変えて、TFTを有する半導体装置の作製において、設備の低コスト化、工程の簡略化を目的として、TFTに用いられる薄膜や配線のパターン形成に、液滴吐出装置を用いる方法が検討されている。

【0006】

また、成膜に要する液体の歩留まりを高めるため、レジストをノズルから細径の線状に連続吐出できる装置を用いて、半導体ウェハ上に成膜を行う技術が特許文献2に記載されている。

【特許文献2】特開2000-188251号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、微細なTFTを形成するには、ソース配線とドレイン配線との間隔、一導電型の不純物を含有する半導体層エッチング用マスク、ゲート電極とソース配線及びドレイン配線との位置関係など、高い位置精度が求められる。液滴吐出装置を用いて、TFTを作製しようとした場合、装置の液吐出位置精度や、液吐出後の液のぬれ広がりなどの問題から、十分な位置精度を得られなかった。また、TFT微細化にともない、更なる位置精度が必要となる。

【0008】

本発明は、このような問題点に鑑みてなされたものであり、液滴吐出装置の吐出位置精 50

度にかかわらず、微細なＴＦＴの作製を可能にする方法を提供することを目的とする。

【課題を解決するための手段】

【０００９】

本発明は、有機樹脂膜などを塗布し、有機樹脂膜をエッチバックや露光、現像などの方法を用いて所望の形状に加工し、所望の形状を有する有機樹脂膜をマスクとして一導電型の不純物を含有する半導体層をエッチングし、所望の形状を有する有機樹脂膜を利用して、ぬれ性の異なる領域を形成することを特徴とする。

【００１０】

一導電型の不純物を含有する半導体層の導電型はｎ型、ｐ型のどちらであっても良い。

【００１１】

本発明は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上に一導電型の不純物を含有する半導体層を形成し、一導電型の不純物を含有する半導体層上に第１のマスクを形成し、半導体層、および一導電型の不純物を含有する半導体層の第１のマスクにより覆われていない部分をエッチングし、第１のマスクを除去し、一導電型の不純物を含有する半導体層上に第２のマスクを形成し、一導電型の不純物を含有する半導体層の第２のマスクにより覆われていない部分をエッチングし、第２のマスク上面および半導体層上面にぬれ性の低い領域を形成する溶液を吐出又は塗布し、ぬれ性の低い領域を形成し、ぬれ性の低い領域が形成された第２のマスクを除去することによりぬれ性の低い領域よりもぬれ性の高い領域を形成し、ぬれ性の高い領域に液滴吐出法によりソース配線及びドレイン配線を形成することを特徴とする。

【００１２】

本発明は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上にチャネル保護層を形成し、半導体層およびチャネル保護層上に一導電型の不純物を含有する半導体層を形成し、一導電型の不純物を含有する半導体層上に第１のマスクを形成し、半導体層、および一導電型の不純物を含有する半導体層の第１のマスクにより覆われていない部分をエッチングし、第１のマスクを除去し、一導電型の不純物を含有する半導体層上に第２のマスクを形成し、一導電型の不純物を含有する半導体層の第２のマスクにより覆われていない部分をエッチングし、第２のマスク上面およびチャネル保護層上面にぬれ性の低い領域を形成する溶液を吐出又は塗布することによって、ぬれ性の低い領域を形成し、ぬれ性の低い領域が形成された第２のマスクを除去することによりぬれ性の低い領域よりもぬれ性の高い領域を形成し、ぬれ性の高い領域に液滴吐出法によりソース配線及びドレイン配線を形成することを特徴とする。

【００１３】

本発明は、絶縁表面を有する基板上にソース配線及びドレイン配線を形成し、ソース配線及びドレイン配線上一導電型の不純物を含有する半導体層を形成し、一導電型の不純物を含有する半導体層および基板上に半導体層を形成し、半導体層上に第１のマスクを形成し、半導体層、および一導電型の不純物を含有する半導体層の第１のマスクにより覆われていない部分をエッチングし、第１のマスクを除去し、基板、半導体層、ソース配線及びドレイン配線上にゲート絶縁層を形成し、基板、半導体層、ソース配線及びドレイン配線上一導電型の不純物を含有する半導体層の第１のマスクにより覆われていない部分をエッチングし、第１のマスクを除去し、ゲート絶縁層上にレジストを塗布し、レジストを露光、現像して、所望の形状に加工し、レジスト上面およびゲート絶縁層上面にぬれ性の低い領域を形成する溶液を吐出又は塗布し、ぬれ性の低い領域を形成し、ぬれ性の低い領域が形成された所望の形状を有するレジストを除去することによりぬれ性の低い領域よりもぬれ性の高い領域を形成し、ぬれ性の高い領域に液滴吐出法によりゲート電極を形成することを特徴とする。

【発明の効果】

【００１４】

本発明により、ソース配線とドレイン配線との間隔、一導電型の不純物を含有する半導

10

20

30

40

50

体層エッチング用マスク、ゲート電極とソース配線及びドレイン配線との位置関係などを自己整合的に決定できるため、液滴吐出装置の吐出位置精度にかかわらず、微細なＴＦＴを作製することができる。

【００１５】

さらには、微細なＴＦＴを液滴吐出法で作製することができるようになるため、設備の低コスト化、工程の簡略化につながり、安価な半導体装置を作製することができる。

【発明を実施するための最良の形態】

【００１６】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

【００１７】

次に、本発明のＴＦＴの作製工程について、以下に説明する。

【００１８】

(第１の実施の形態)

第１の実施の形態として、エッチバックを用いたチャネルエッチ型のＴＦＴの作製方法について説明する。

【００１９】

図１（Ａ）は、基板１００上にゲート電極を形成する工程を示している。なお、図１（Ａ）乃至図１（Ｄ）、図２（Ａ）乃至図２（Ｄ）、及び図４（Ａ）乃至図４（Ｄ）は縦断面構造を模式的に示す図である。図３は上記チャネルエッチ型のＴＦＴの上面図であり、図３に示すＡ、Ｂを結ぶ線における断面図が図４（Ｄ）に対応する。

【００２０】

基板１００は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。また、基板１００として、

【００２１】

基板１００上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極１０１を形成する。ゲート電極１０１を形成する導電性材料としては、Ａｇ、Ａｕ、Ｃｕ、Ｎｉ、Ｐｔ、Ｐｄ、Ｉｒ、Ｒｈ、Ｗ、Ａｌ、Ｔａ、Ｍｏ、Ｃｄ、Ｚｎ、Ｆｅ、Ｔｉ、Ｓｉ、Ｇｅ、Ｚｒ、Ｂａ等の金属、ハロゲン化銀の微粒子等、又は分散性ナノ粒子を用いることができる。または、透明導電層として用いられるＩＴＯ（酸化インジウムスズ）、酸化珪素を組成物として有するＩＴＯ、有機インジウム、有機スズ、酸化亜鉛（ＺｎＯ）、窒化チタン（ＴｉＮ：Titanium Nitride）等を用いることができる。有機インジウム又は有機スズを含む組成物は、液滴吐出法により吐出させた後、焼成することによって、それぞれ酸化インジウム、酸化スズをなす。低抵抗化することが好ましい場合、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタル（ＴaN：Tantalum Nitride）など窒素を含む絶縁性又は導電性の物質を用いると良く、これらを液滴吐出法で形成しても良い。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン

等のケトン類の有機溶剤等に相当する。表面張力と粘度は、溶液の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。なお、導電層は、導電体である微粒子が3次元に不規則に重なり合って形成されている。即ち、3次元凝集体粒子で構成されている。このため、表面は微細な凹凸を有する。また、加熱により、微粒子が焼成され粒子の粒径が増大するため、表面の高低差が大きい層となる。また、加熱温度、雰囲気、時間により導電層には、有機物で形成されるバインダーが残存する。

【0022】

基板100上には、ゲート電極101を密着性良く形成するために、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タングステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地層を形成しても良い。下地層は10nm以下の厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。なお、この下地層は、十分な密着性が得られるのであれば、省略できる。その他、大気圧プラズマ処理などを行っても良い。また、この工程に限らず、有機層、無機層、メタル層などの層上に、液滴吐出法により導電性層を形成する場合若しくは液滴吐出法により形成された導電性層上に有機層、無機層、メタル層などを形成する場合には、導電性層との密着性向上のために同様の処理を行っても良い。

【0023】

なお、液滴吐出法に用いる組成物の粘度は5~20mPa・s以下が好適であり、これは、乾燥が起こることを防止し、吐出口から組成物を円滑に吐出できるようにするためである。また、表面張力は20~50mN/m程度が好ましい。なお、用いる溶媒や用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITO、酸化珪素を組成物として有するITO、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5~20mPa・s、銀を溶媒に溶解又は分散させた組成物の粘度は5~20mPa・s、金を溶媒に溶解又は分散させた組成物の粘度は10~20mPa・sである。

【0024】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1μm以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.5~10μmである。ただし、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約7nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。したがって、被覆剤を用いることが好ましい。

【0025】

組成物を吐出する工程は、減圧下で行っても良い。これは、組成物を吐出して被処理物に着弾するまでの間に、前記組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。溶液の吐出後は、溶液の種類により、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200~350度で15分間~120分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、100~800度(好ましくは200~350度)とする。本工程により、溶液中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行うことが好適である。

【0026】

パターンの形成に用いる液滴吐出装置の一態様は図15に示されている。液滴吐出手段603の個々のヘッド605、612は制御手段607に接続され、それがコンピュータ

10

20

30

40

50

610で制御することにより予めプログラミングされたパターンを描画することができる。描画する位置は、例えば、基板600上に形成されたマーカー611を基準に行えば良い。或いは、基板600の縁を基準にして基準点を確定させても良い。これを電荷結合素子(CCD)や相補型金属酸化物半導体(CMOS)を利用したイメージセンサなどの撮像手段604で検出し、画像処理手段609にてデジタル信号に変換したものをコンピュータ610で認識して制御信号を発生させて制御手段607に送る。勿論、基板600上に形成されるべきパターンの情報は記憶媒体608に格納されたものであり、この情報を基にして制御手段607に制御信号を送り、液滴吐出手段603の個々のヘッド605、612を個別に制御することができる。吐出する材料は、材料供給源613、614より配管を通してヘッド605、612に供給される。現状、ELのように一つのインクジェットヘッドでRGBをそれぞれ吐出するように、一つのヘッドでメタル、有機、無機を別々に吐出できるような装置を検討している。そこで、層間絶縁層などを吐出する場合、スルーパット向上のため、同じ材料を使って、細い線を多重に行っても良い。図15では、液滴吐出手段603の個々のヘッド605、612の並んだ距離が基板の幅と一致しているが、液滴吐出手段603の個々のヘッド605、612の並んだ距離より大きな幅を持つ大型基板にも繰り返し走査することでパターンの形成可能な液滴吐出装置である。その場合、ヘッド605、612は、基板上を矢印の方向に自在に走査し、描画する領域を自由に設定することができ、同じパターンを一枚の基板に複数描画することができる。

【0027】

本実施の形態では、ゲート電極を液滴吐出法により形成したが、プラズマCVD法やスパッタリング法を用いても良い。

【0028】

ここで、導電性の下地層を形成した場合、表面に露出している下地層の処理として、下記の2つの工程のうちどちらかの工程を行うことが望ましい。

【0029】

第一の方法としては、ゲート電極と重ならない下地層を絶縁化する工程である。つまりゲート電極と重ならない下地層を酸化して絶縁化する。このように、下地層を酸化して絶縁化する場合には、当該下地層を10nm以下の厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0030】

第2の方法としては、ゲート電極をマスクとして、下地層をエッチングして除去する工程である。この工程を用いる場合には下地層の厚さに制約はない。

【0031】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層102を単層又は積層構造で形成する(図1(B)参照。)。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の3層の積層体をゲート絶縁層として構成させる。なお、低い成膜温度でゲートリーク電流の少ない緻密な絶縁層を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁層中に混入させると良い。ゲート電極101に接するゲート絶縁層102の第1の層を窒化珪素若しくは酸素を含む窒化珪素で形成することで、酸化による劣化を防止することができる。また、ゲート電極101に接するゲート絶縁層102の第1の層にNiB(ニッケルボロン)を用いることで表面を滑らかにすることもできる。

【0032】

次に、図1(C)に示すように半導体層103を形成する。半導体層103を形成する材料は、シランやゲルマンに代表される半導体材料ガスをを用いて気相成長法やスパッタリング法で作製される非晶質半導体(以下「AS」ともいう。)、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス(微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。)半導体などを用いることができる。また、有機半導体を用いることもできる。

【0033】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、 $0.5 \sim 20 \text{ nm}$ の結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。未結合手（ダングリングボンド）を終端化する為に、水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解（プラズマCVD）して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また GeF_4 を混合させても良い。この珪化物気体を H_2 、 H_2 と He の混合気体、又は Ar 、 Kr 、 Ne から選ばれた一種若しくは複数種の希ガス元素で希釈しても良い。また、珪化物気体を F_2 、 F_2 と He を混合したもの、又は、 Ar 、 Kr 、 Ne から選ばれた一種若しくは複数種の希ガス元素で希釈しても良い。希釈率は $2 \sim 1000$ 倍の範囲、圧力は概略 $0.1 \text{ Pa} \sim 133 \text{ Pa}$ の範囲、電源周波数は $1 \text{ MHz} \sim 120 \text{ MHz}$ 好ましくは $13 \text{ MHz} \sim 60 \text{ MHz}$ 、基板加熱温度は 300 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} / \text{cm}^3$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。

10

【0034】

また結晶性半導体層は、非晶質半導体層を、又は、SASを、加熱又はレーザー照射により結晶化して形成することができる。また、直接、結晶性半導体層を形成してもよい。この場合、 GeF_4 、又は F_2 等のフッ素系ガスと、 SiH_4 、又は Si_2H_6 等のシラン系ガスとを用い、熱又はプラズマを利用して直接、結晶性半導体層を形成することができる。

20

【0035】

プラズマCVD法を用いる場合、ASは半導体材料ガスである SiH_4 若しくは SiH_4 と H_2 の混合気体を用いて形成する。SASは、 SiH_4 を H_2 で3倍 ~ 1000 倍に希釈して混合気体、若しくは Si_2H_6 と GeF_4 のガス流量比を Si_2H_6 対 GeF_4 を $20 \sim 40$ 対 0.9 で希釈すると、Siの組成比が80%以上であるSASを得ることができる。特に、後者の場合は下地との界面から結晶性を半導体層103に持たせることが出来るため好ましい。また、 SiH_4 と F_2 の混合気体を用いても良い。

30

【0036】

次に、半導体層103上に一導電型の不純物、例えばリン、ヒ素、又はホウ素を含有する半導体層104を形成する。一導電型の不純物を含有する半導体層104は、シランガスとフォスフィンガスを用いて形成すれば良く、AS若しくはSASで形成することができる。

【0037】

次に、一導電型の不純物を含有する半導体層104上に、マスク105を液滴吐出法で形成する。このマスク105を利用して、一導電型の不純物を含有する半導体層104及び半導体層103をエッチングする（図1（C）、（D）参照。）。

40

【0038】

マスク105は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なノボラック樹脂と感光剤であるナフトキノンジアジド化合物からなるポジ型レジスト、ベース樹脂、ジフェニルシランジオール及び酸発生剤からなるネガ型レジストであるなどを用いてもよい。いずれの材料を用いても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

50

【 0 0 3 9 】

続いて、マスク 1 0 5 を除去することにより、半導体領域 1 0 6 が形成される（図 2（A）参照。）。

【 0 0 4 0 】

次に、平坦化膜 1 0 7 を塗布する（図 2（B）参照。）。

平坦化膜の材料として、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂などや、或いは、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材などが考えられる。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

10

【 0 0 4 1 】

次に、平坦化膜 1 0 7 をエッチバックする。基板上には、ゲート電極 1 0 1 が存在するため、ゲート電極 1 0 1 の上方の平坦化膜の膜厚は薄くなっている（図 2（B）参照。）。

そのため、エッチバックによりチャネル部 1 0 8 上（ゲート電極 1 0 1 の上方）のみ選択的に平坦化膜を除去することができる（図 2（C）参照。）。

20

【 0 0 4 2 】

残った平坦化膜をマスクとして、一導電型の不純物を含有する半導体層 1 0 4 をエッチングして一導電型の不純物を含有する半導体層 1 0 9、1 1 0 を形成する（図 2（D）参照。）。

半導体層 1 0 9、1 1 0 の一方はソース領域に、他方はドレイン領域に相当する。このように、自己整合的に一導電型の不純物を含有する半導体層エッチング用のマスクを形成し、利用することができる。

【 0 0 4 3 】

なお、半導体層が S A S で形成されている場合、T F T の高速駆動を可能にするソース領域及びドレイン領域がゲート電極の一部を覆っている構造、ソース領域及びドレイン領域の端部とゲート電極の端部が一致しているいわゆるセルフアライン構造、さらには、オフ電流低減の効果があるソース領域及びドレイン領域がゲート電極を覆わず、一定の距離を隔てて形成されている構造とすることができる。

30

【 0 0 4 4 】

次に、ぬれ性の異なる領域を形成する。このぬれ性の違いは成膜領域、非成膜領域の両領域の相対的な関係であり、被形成領域内で形成材料に対するぬれ性の程度に差を有していればよい。また、ぬれ性の異なる領域とは、形成材料の接触角が異なることであり、形成材料の接触角が大きい領域はよりぬれ性が低い領域（以下、低ぬれ性領域ともいう）となり、接触角が小さい領域はよりぬれ性の高い領域（以下、高ぬれ性領域ともいう）となる。

接触角が大きいと、流動性を有する液状の組成物は、領域表面上で広がらず、表面をぬらさないが、接触角が小さいと、表面上で流動性を有する組成物は広がり、よく表面をぬらす。本発明においては、このぬれ性の異なる領域の接触角の差は 3 0 度以上、好ましくは 4 0 度以上あることが好ましい。

40

【 0 0 4 5 】

まず、低ぬれ性領域を形成する溶液を吐出又は塗布する（図 4（A）参照。）。

低ぬれ性領域を形成する溶液の組成物の一例としては、 $R_n - Si - X_{(4-n)}$ （ $n = 1、2、3$ ）の化学式で表されるシランカップリング剤を用いる。ここで、R は、アルキル基などの比較的不活性な基である。また、X はハロゲン、メトキシ基、エトキシ基又はアセトキシ基など、基質表面の水酸基或いは吸着水との縮合により結合可能な加水分解基からなる。

【 0 0 4 6 】

また、シランカップリング剤の代表例として、R にフルオロアルキル基を有するフッ素系シランカップリング剤（フルオロアルキルシラン（F A S））を用いることにより、よ

50

り低ぬれ性を高めることができる。F A SのRは、 $(CF_3)(CF_2)_x(CH_2)_y$ (x : 0以上10以下の整数、 y : 0以上4以下の整数)で表される構造を持ち、複数個のR又はXがSiを含む場合には、R又はXはそれぞれすべて同じでも良いし、異なってもよい。代表的なF A Sとしては、ヘプタデカフルオロテトラヒドロデシルトリエトキシシラン、ヘプタデカフルオロテトラヒドロデシルトリクロロシラン、トリデカフルオロテトラヒドロオクチルトリクロロシラン、トリフルオロプロピルトリメトキシシラン等のフルオロアルキルシラン(以下、F A Sという。)が挙げられる。

【0047】

低ぬれ性領域を形成する溶液の溶媒としては、 n -ペンタン、 n -ヘキサン、 n -ヘプタン、 n -オクタン、 n -デカン、ジシクロペンタン、ベンゼン、トルエン、キシレン、デュレン、インデン、テトラヒドロナフタレン、デカヒドロナフタレン、スクワランなどの炭化水素系溶媒又はテトラヒドロフランなどを用いる。

【0048】

また、低ぬれ性領域を形成する性質を有する溶液の組成物の一例として、フッ素炭素鎖を有する材料(フッ素系樹脂)を用いることができる。フッ素系樹脂として、ポリテトラフルオロエチレン(P T F E ; 四フッ化エチレン樹脂)、パーフルオロアルコキシアルカン(P F A ; 四フッ化エチレンパーフルオロアルキルビニルエーテル共重合樹脂)、パーフルオロエチレンプロペンコーポリマー(P F E P ; 四フッ化エチレン-六フッ化プロピレン共重合樹脂)、エチレン-テトラフルオロエチレンコポリマー(E T F E ; 四フッ化エチレン-エチレン共重合樹脂)、ポリビニリデンフルオライド(P V D F ; フッ化ビニリデン樹脂)、ポリクロロトリフルオロエチレン(P C T F E ; 三フッ化塩化エチレン樹脂)、エチレン-クロロトリフルオロエチレンコポリマー(E C T F E ; 三フッ化塩化エチレン-エチレン共重合樹脂)、ポリテトラフルオロエチレン-パーフルオロジオキソールコポリマー(T F E / P D D)、ポリビニルフルオライド(P V F ; フッ化ビニル樹脂)等を用いることができる。

【0049】

続いて、低ぬれ性領域を形成する溶液が付着した表面を洗浄すると、低ぬれ性領域からなる低ぬれ性表面111を形成することができる。

【0050】

低ぬれ性領域を形成する溶液を吐出又は塗布する以外にも、蒸着など異なる方法で、低ぬれ性表面111を形成してもよい。

【0051】

次に、残った平坦化膜をウェットエッチングなどの方法で除去する。このとき、平坦化膜上の低ぬれ性領域もリフトオフにより同時に除去されるため、チャンネル部108上にのみ低ぬれ性表面の一部が残存した低ぬれ性領域112が存在し、その他の領域は低ぬれ性領域112よりもぬれ性の高い、高ぬれ性領域となる(図4(B)参照。)

【0052】

次に、導電性材料を含む組成物を選択的に吐出して、ソース配線及びドレイン配線113、114を液滴吐出法で形成する(図4(C)参照。)。このとき、チャンネル部108を挟むように吐出することにより、低ぬれ性領域に吐出された液滴は安定せず、低ぬれ性領域と高ぬれ性領域とが接する境界116から、高ぬれ性領域に流動し、選択的に高ぬれ性領域にパターンを形成することができるため、自己整合的にソース配線及びドレイン配線の位置を決定することができる。また、この配線を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、ITO、酸化珪素を組成物として有するITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0053】

次に、低ぬれ性領域112をエッチングなどの加工によって除去する。その際、チャンネル部108が所望の厚さで残存するようにする。

【 0 0 5 4 】

次に、ソース配線及びドレイン配線 1 1 3、1 1 4 上に、パッシベーション層 1 1 5 を形成することが好ましい。パッシベーション層は、プラズマ C V D 法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、酸素を含む窒化珪素、窒素を含む酸化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン (D L C)、窒化炭素 (C N)、その他の絶縁性材料を用いて形成することができる。

【 0 0 5 5 】

以上の工程により、チャンネルエッチ型 T F T を作製することができる (図 4 (D) 参照。) 。

【 0 0 5 6 】

(第 2 の実施の形態)

第 2 の実施の形態として、エッチバックを用いたチャンネルストップ型の T F T の作製方法について説明する。

【 0 0 5 7 】

基板 1 0 0 上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極 2 0 1 を形成する (図 5 (A) 参照。) 。次に、プラズマ C V D 法やスパッタリング法を用いて、ゲート絶縁層 2 0 2 を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の 3 層の積層体がゲート絶縁層に相当する。次に、半導体層 2 0 3 を形成する。以上の工程は第 1 の実施の形態と同様である。

【 0 0 5 8 】

半導体層 2 0 3 上に、絶縁体層 2 0 4 をプラズマ C V D 法やスパッタリング法で形成する。この絶縁体層 2 0 4 は、後の工程で示すように、ゲート電極と相対して半導体層 2 0 3 上に残存させて、チャンネル保護層とするもので、一導電型の不純物を含有する半導体層エッチング時のダメージ保護、また、界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層 2 0 3 が汚染されることを防ぐ効果を得る。そのためには、緻密な膜で形成することが好ましい。グロー放電分解法においても、珪化物気体をアルゴンなどの珪化物気体で 1 0 0 倍 ~ 5 0 0 倍に希釈して形成された窒化珪素膜は、1 0 0 以下の成膜温度でも緻密な膜を形成可能であり好ましい。さらに必要があれば絶縁体層を積層して形成してもよい。

【 0 0 5 9 】

次に、絶縁体層 2 0 4 上であって、ゲート電極 2 0 1 と相対する位置に、組成物を選択的に吐出して、マスク 2 0 5 を形成する (図 5 (B) 参照。) 。マスク 2 0 5 は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【 0 0 6 0 】

マスク 2 0 5 を利用して、絶縁体層 2 0 4 をエッチングして、チャンネル保護層として機能する絶縁体層 2 0 6 を形成する (図 5 (C) 参照。) 。マスク 2 0 5 を除去して、半導体層 2 0 3 及び絶縁体層 2 0 6 上に一導電型の不純物を含有する半導体層 2 0 7 を形成する。一導電型の不純物を含有する半導体層 2 0 7 は、シランガスとフォスフィンガスを用いて形成すれば良く、A S 若しくは S A S で形成することができる。

【 0 0 6 1 】

以降の工程は第 1 の実施の形態と同様である。

【 0 0 6 2 】

以上の工程により、チャンネルストップ型 T F T を作製することができる（図 5（D）参照。）。

【 0 0 6 3 】

（第 3 の実施の形態）

第 3 の実施の形態として、裏面露光を用いたチャンネルエッチ型の T F T の作製方法について説明する。

【 0 0 6 4 】

図 6（A）は、基板 1 0 0 上にゲート電極を形成する工程を示している。なお、図 6（A）乃至図 6（D）、図 7（A）乃至図 7（D）、及び図 8（A）乃至図 8（D）は縦断面構造を模式的に示す図である。図 3 は上記チャンネルエッチ型の T F T の上面図であり、図 3 に示す A、B を結ぶ線における断面図が図 8（D）に対応する。

10

【 0 0 6 5 】

基板 1 0 0 上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極 3 0 1 を形成する。また、基板 1 0 0 上には、ゲート電極を密着性良く形成するために、スパッタリング法や蒸着法などの方法により、T i（チタン）、W（タングステン）、C r（クロム）、T a（タンタル）、N i（ニッケル）、M o（モリブデン）などの金属材料若しくはその酸化物で形成される下地層を形成しても良い。導電性の下地層を形成した場合、ゲート電極と重ならない下地層を酸化して絶縁化するか、ゲート電極をマスクとして、下地層をエッチングして除去する必要がある。

20

【 0 0 6 6 】

次に、プラズマ C V D 法やスパッタリング法を用いて、ゲート絶縁層 3 0 2 を単層又は積層構造で形成する（図 6（B）参照。）。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の 3 層の積層体をゲート絶縁層として構成させる。

【 0 0 6 7 】

次に、半導体層 3 0 3 を形成する。半導体層 3 0 3 を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体（以下「A S」ともいう。）、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス（微結晶若しくはマイクロクリスタルとも呼ばれる。以下「S A S」ともいう。）半導体などを用いることができる。また、有機半導体を用いることもできる。

30

【 0 0 6 8 】

次に、半導体層 3 0 3 上に一導電型の不純物を含有する半導体層 3 0 4 を形成する。一導電型の不純物を含有する半導体層 3 0 4 は、シランガスとフォスフィンガスを用いて形成すれば良く、A S 若しくは S A S で形成することができる。

【 0 0 6 9 】

次に、一導電型の不純物を含有する半導体層 3 0 4 上に、マスク 3 0 5 を液滴吐出法で形成する。このマスク 3 0 5 を利用して、一導電型の不純物を含有する半導体層 3 0 4 及び半導体層 3 0 3 をエッチングする（図 6（C）、（D）参照。）。

40

【 0 0 7 0 】

続いて、マスク 3 0 5 を除去することにより、半導体領域 3 0 6 が形成される（図 7（A）参照。）。

【 0 0 7 1 】

次に、レジスト 3 0 7 を塗布する（図 7（B）参照。）。レジストの材料として、感光剤を含む市販のネガ型レジスト材料を用いればよく、例えば、代表的なネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【 0 0 7 2 】

50

次に、基板の裏側からレジスト307を露光する(図7(B)参照。)。基板上には、ゲート電極301が存在するため、ゲート電極301の上方のレジストは露光されない。そのため、現像によりチャンネル部308上のみ選択的にレジストを除去することができる(図7(C)参照。)。

【0073】

残ったレジスト309、310をマスクとして、一導電型の不純物を含有する半導体層304をエッチングして一導電型の不純物を含有する半導体層311、312を形成する(図7(D)参照。)。このように、自己整合的に一導電型の不純物を含有する半導体層エッチング用のマスクを形成し、利用することができる。

【0074】

前記マスク305に感光剤を含む市販のネガ型レジストを用いても良い。このマスク305を利用して、一導電型の不純物を含有する半導体層304及び半導体層303をエッチングする。続いて、基板の裏側からマスク305を露光する。基板上には、ゲート電極301が存在するため、ゲート電極301の上方の感光剤を含むマスクは露光されない。そのため、現像によりチャンネル部308上のみ選択的にマスクを除去することができる。次に、残った感光剤を含むマスクを用いて、一導電型の不純物を含有する半導体層304をエッチングして一導電型の不純物を含有する半導体層311、312を形成しても良い。この場合、レジスト307を形成する工程を省略することができる。

【0075】

以降の工程は第1の実施の形態と同様である(図8(A)、(B)、(C)参照。)。

【0076】

以上の工程により、チャンネルエッチ型TFETを作製することができる(図8(D)参照。)。

【0077】

(第4の実施の形態)

第4の実施の形態として、裏面露光を用いたチャンネルストップ型のTFETの作製方法について説明する。

【0078】

基板100上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極201を形成する。次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層202を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の3層の積層体がゲート絶縁層に相当する。次に、半導体層203を形成する。以上の工程は第3の実施の形態と同様である。

【0079】

半導体層203上に、絶縁体層204をプラズマCVD法やスパッタリング法で形成する。この絶縁体層204は、後の工程で示すように、ゲート電極と相対して半導体層203上に残存させて、チャンネル保護層とするもので、一導電型の不純物を含有する半導体層エッチング時のダメージ保護、また、界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層203が汚染されることを防ぐ効果を得る。そのためには、緻密な膜で形成することが好ましい。グロー放電分解法においても、珪化物気体をアルゴンなどの珪化物気体で100倍～500倍に希釈して形成された窒化珪素膜は、100以下の成膜温度でも緻密な膜を形成可能であり好ましい。さらに必要があれば絶縁体層を積層して形成してもよい。

【0080】

次に、絶縁体層204上であって、ゲート電極201と相対する位置に、組成物を選択的に吐出して、マスク205の形成に裏面露光プロセスを使用する(図5(B)参照。)。マスク205は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合に

10

20

30

40

50

よってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0081】

マスク205を利用して、絶縁体層204をエッチングして、チャンネル保護層として機能する絶縁体層206を形成する(図5(C)参照。)。マスク205を除去して、半導体層203及び絶縁体層206上に一導電型の不純物を含有する半導体層207を形成する。一導電型の不純物を含有する半導体層207は、シランガスとフォスフィンガスを用いて形成すれば良く、AS若しくはSASで形成することができる。

10

【0082】

次に、半導体層207上にレジストを塗布する。レジストの材料として、感光剤を含む市販のネガ型レジスト材料を用いればよく、例えば、代表的なネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0083】

次に、基板の裏側からレジストを露光する。基板上には、ゲート電極201が存在するため、ゲート電極201の上方のレジストは露光されない。そのため、現像によりチャンネル部上のみ選択的にレジストを除去することができる。

20

【0084】

残ったレジストをマスクとして、一導電型の不純物を含有する半導体層207をエッチングして一導電型の不純物を含有する半導体層を形成する。このように、自己整合的に一導電型の不純物を含有する半導体層エッチング用のマスクを形成し、利用することができる。

【0085】

この工程以降は、第1の実施の形態と同様な方法を用いて、ソース配線及びドレイン配線113、114を形成し、ソース配線及びドレイン配線及びチャンネル部の上部を覆うようにパッシベーション層115を形成する。

30

【0086】

以上の工程により、チャンネルストップ型TFETを作製することができる(図5(D)参照。)。

【0087】

(第5の実施の形態)

第5の実施の形態として、表面露光を用いたチャンネルエッチ型のTFETの作製方法について説明する。

【0088】

図9(A)は、基板100上にゲート電極を形成する工程を示している。なお、図9(A)は縦断面構造を模式的に示し、A-B対応する平面構造を図3に示すので同時に参照することが出来る。

40

【0089】

基板100上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極401を形成する。また、基板100上には、ゲート電極を密着性良く形成するために、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タングステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地層を形成しても良い。導電性の下地層を形成した場合、ゲート電極と重ならない下地層を酸化して絶縁化するか、ゲート電極をマスクとして、下地層をエッチングして除去する必要がある。

50

【0090】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層402を単層又は積層構造で形成する(図9(B)参照。)。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の3層の積層体をゲート絶縁層として構成させる。

【0091】

次に、半導体層403を形成する。

【0092】

次に、半導体層403上に一導電型の不純物を含有する半導体層404を形成する。一導電型の不純物を含有する半導体層404は、シランガスとフォスフィンガスを用いて形成すれば良く、AS若しくはSASで形成することができる。

10

【0093】

次に、一導電型の不純物を含有する半導体層404上に、マスク405を液滴吐出法で形成する。このマスク405を利用して、一導電型の不純物を含有する半導体層404及び半導体層403をエッチングする(図9(C)、(D)参照。)。

【0094】

続いて、マスク405を除去することにより、半導体領域406が形成される(図10(A)参照。)。

【0095】

次に、レジスト407を塗布する(図10(B)参照。)。レジストの材料として、感光剤を含む市販のポジ型レジスト材料を用いればよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

20

【0096】

次に、基板の表側からレジスト407を露光する(図10(B)参照。)。基板上には、ゲート電極401が存在するため、ゲート電極401の上方のレジストの膜厚は薄くなっている(図10(B)参照。)。そのため、露光量を調整することにより、現像時に、膜厚の薄いチャンネル部408上のみ選択的にレジストを除去することができる(図10(C)参照。)。

30

【0097】

残ったレジスト409、410をマスクとして、一導電型の不純物を含有する半導体層404をエッチングして一導電型の不純物を含有する半導体層411、412を形成する(図10(D)参照。)。このように、自己整合的に一導電型の不純物を含有する半導体層エッチング用のマスクを形成し、利用することができる。

【0098】

前記マスク405に感光剤を含む市販のポジ型レジストを用いても良い。このマスク405を利用して、一導電型の不純物を含有する半導体層404及び半導体層403をエッチングする。続いて、基板の表側からマスク405を露光する。基板上には、ゲート電極401が存在するため、ゲート電極401の上方のマスクの膜厚は薄くなっている。そのため、露光量を調整することにより、現像時に、膜厚の薄いチャンネル部408上のみ選択的にマスクを除去することができる。次に、残った感光剤を含むマスクを用いて、一導電型の不純物を含有する半導体層404をエッチングして一導電型の不純物を含有する半導体層411、412を形成しても良い。この場合、レジスト407を形成する工程を省略することができる。

40

【0099】

以降の工程は第1の実施の形態と同様である(図11(A)、(B)、(C)参照。)

【0100】

以上の工程により、チャンネルエッチ型TFETを作製することができる(図11(D)参

50

照。)。

【 0 1 0 1 】

(第 6 の実施の形態)

第 6 の実施の形態として、表面露光を用いたチャンネルストップ型の T F T の作製方法について説明する。

【 0 1 0 2 】

基板 1 0 0 上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極 2 0 1 を形成する。次に、プラズマ C V D 法やスパッタリング法を用いて、ゲート絶縁層 2 0 2 を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の 3 層の積層体がゲート絶縁層に相当する。次に、半導体層 2 0 3 を形成する。以上の工程は第 5 の実施の形態と同様である。

10

【 0 1 0 3 】

半導体層 2 0 3 上に、絶縁体層 2 0 4 をプラズマ C V D 法やスパッタリング法で形成する。この絶縁体層 2 0 4 は、後の工程で示すように、ゲート電極と相対して半導体層 2 0 3 上に残存させて、チャンネル保護層とするもので、一導電型の不純物を含有する半導体層エッチング時のダメージ保護、また、界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層 2 0 3 が汚染されることを防ぐ効果を得る。そのためには、緻密な膜で形成することが好ましい。グロー放電分解法においても、珪化物気体をアルゴンなどの珪化物気体で 1 0 0 倍 ~ 5 0 0 倍に希釈して形成された窒化珪素膜は、1 0 0 以下の成膜温度でも緻密な膜を形成可能であり好ましい。さらに必要があれば絶縁体層を積層して形成してもよい。

20

【 0 1 0 4 】

次に、絶縁体層 2 0 4 上であって、ゲート電極 2 0 1 と相対する位置に、組成物を選択的に吐出して、チャンネル保護マスク 2 0 5 の形成に表面露光プロセスを用いる (図 5 (B) 参照。)。マスク 2 0 5 は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

30

【 0 1 0 5 】

マスク 2 0 5 を利用して、絶縁体層 2 0 4 をエッチングして、チャンネル保護層として機能する絶縁体層 2 0 6 を形成する (図 5 (C) 参照。)。マスク 2 0 5 を除去して、半導体層 2 0 3 及び絶縁体層 2 0 6 上に一導電型の不純物を含有する半導体層 2 0 7 を形成する。一導電型の不純物を含有する半導体層 2 0 7 は、シランガスとフォスフィンガスを用いて形成すれば良く、A S 若しくは S A S で形成することができる。

40

【 0 1 0 6 】

次に、レジストを塗布する。レジストの材料として、感光剤を含む市販のポジ型レジスト材料を用いればよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【 0 1 0 7 】

次に、基板の表側からレジストを露光する。基板上には、ゲート電極 2 0 1 が存在するため、ゲート電極 2 0 1 の上方のレジストの膜厚は薄くなっている。そのため、露光量を調整することにより、現像時に、膜厚の薄いチャンネル部上のみ選択的にレジストを除去す

50

ることができる。

【0108】

残ったレジストをマスクとして、一導電型の不純物を含有する半導体層207をエッチングして一導電型の不純物を含有する半導体層109、110を形成する。このように、自己整合的に一導電型の不純物を含有する半導体層エッチング用のマスクを形成し、利用することができる。

【0109】

この工程以降は、第1の実施の形態と同様な方法を用いて、ソース配線及びド레인配線113、114を形成し、ソース配線及びド레인配線及びチャンネル部の上部を覆うようにパッシベーション層115を形成する。

10

【0110】

以上の工程により、チャンネルストップ型TFETを作製することができる(図5(D)参照。)。

【0111】

(第7の実施の形態)

第7の実施の形態として、順スタガ型のTFETの作製方法について説明する。

【0112】

基板100上に、導電性材料を含む組成物を選択的に吐出して、ソース配線及びド레인配線501、502を液滴吐出法で形成する(図12(A)参照。)。この配線を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するITO、酸化珪素を組成物として有するITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。また、基板100上には、ソース配線及びド레인配線を密着性良く形成するために、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タングステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地層を形成しても良い。導電性の下地層を形成した場合、ソース配線及びド레인配線と重ならない下地層を酸化して絶縁化するかソース配線及びド레인配線をマスクとして、下地層をエッチングして除去する必要がある。

20

【0113】

次に一導電型の不純物を含有する半導体層を形成する。一導電型の不純物を含有する半導体層は、シランガスとフォスフィンガスを用いて形成すれば良く、AS若しくはSASで形成することができる。

30

一導電型の不純物を含有する半導体層上にマスクを形成し、そのマスクによりエッチング加工を行い、一導電型の不純物を含有する半導体層503、504を形成し、マスクを除去する。或いは、プラズマドーピング法を用いて、ソース配線及びド레인配線501、502の表面のみ選択的に一導電型の不純物を含有する半導体層を形成しても良い。プラズマドーピング法とは、プラズマCVDなどの装置を用いて、フォスフィンガスを流しながら、RFグロー放電により、ソース配線及びド레인配線層表面のみ選択的にドーピングを行うものである。

40

【0114】

次に、半導体層505形成する(図12(B)参照。)。

【0115】

次に、半導体層505上に、マスク506を液滴吐出法で形成する。このマスク506を利用して、一導電型の不純物を含有する半導体層503、504及び半導体層505をエッチングする(図12(C)、(D)参照。)。

【0116】

続いて、マスク506を除去することにより、半導体領域が形成される。

【0117】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層507を単層又は

50

積層構造で形成する（図13（A）参照。）。特に好ましい形態としては、窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の3層の積層体をゲート絶縁層として構成させる。

【0118】

次に、レジスト508を塗布する（図13（B）参照。）。レジストの材料として、感光剤を含む市販のネガ型レジスト材料を用いればよく、例えば、代表的なネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0119】

次に、基板の裏側からレジスト508を露光する（図13（B）参照。）。基板上には、ソース配線及びド레인配線501、502が存在するため、ソース配線及びド레인配線501、502上方のレジストは露光されない。そのため、現像により図中レジストを選択的に除去する領域510のみ選択的にレジストを除去することができる（図13（C）参照。）。

【0120】

続いて、低ぬれ性領域を形成する溶液を吐出又は塗布する（図13（D）参照。）。低ぬれ性領域を形成する溶液の組成物の一例としては、 $R_n - Si - X_{(4-n)}$ （ $n = 1, 2, 3$ ）の化学式で表されるシランカップリング剤を用いる。ここで、Rは、アルキル基などの比較的不活性な基を含む物である。また、Xはハロゲン、メトキシ基、エトキシ基又はアセトキシ基など、基質表面の水酸基或いは吸着水との縮合により結合可能な加水分解基からなる。

【0121】

続いて、低ぬれ性領域を形成する溶液が付着した表面を洗浄すると、極めて薄い低ぬれ性表面511を形成することができる。

【0122】

次に、残ったレジスト509をウェットエッチングなどの方法で除去する。このとき、レジスト上に塗布された低ぬれ性領域もリフトオフにより同時に除去されるため、ソース配線及びド레인配線の上方のみに低ぬれ性領域512が存在するようになる（図14（A）参照。）。

【0123】

次に、前記低ぬれ性領域512の間に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート電極513を形成する（図14（B）参照。）。このとき、低ぬれ性領域512に挟まれているため、自己整合的にゲート電極513を形成することができる。これらの層を形成する導電性材料としては、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Si、Ge、Zr、Ba等の金属、ハロゲン化銀の微粒子等、又は分散性ナノ粒子を用いることができる。または、透明導電層として用いられるITO、酸化珪素を組成物として有するITO、有機インジウム、有機スズ、酸化亜鉛（ZnO）、窒化チタン（TiN：Titanium Nitride）等を用いることができる。低抵抗化することが好ましい場合、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタル（TaN：Tantalum Nitride）など窒素を含む絶縁性又は導電性の物質を用いると良く、これらを液滴吐出法で形成しても良い。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等のケトン類の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。なお、導電層は、導電体である微粒子が3次元に不規則に重なり合って形成されている。即ち、3次元凝集体粒子で構成されている。このため、表面は微細な

10

20

30

40

50

凹凸を有する。また、加熱により、微粒子が焼成され粒子の粒径が増大するため、表面の高低差が大きい層となる。また、加熱温度、雰囲気、時間により導電層には、有機物で形成されるバインダーが残存する。

【0124】

次に、低ぬれ性領域を形成する極めて薄い膜をエッチングなどの加工によって除去する。

【0125】

次に、ゲート電極513上に、パッシベーション層514を形成することが好ましい。パッシベーション層は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、酸素を含む窒化珪素、窒素を含む酸化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。

10

【0126】

以上の工程により、順スタガ型のTFTを作製することができる(図14(C)参照)。

【0127】

(第8の実施の形態)

第8の実施の形態として、第1の実施の形態乃至第7の実施の形態において作製できるTFTを有した液晶表示パネルの作製方法について説明する。

【0128】

20

パッシベーション層、又は、パッシベーション層とゲート絶縁層とにエッチングにより開口部を形成し、コンタクト部を設ける。ソース配線及びドレイン配線と電氣的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極層を形成する。或いは、パッシベーション層、又は、パッシベーション層とゲート絶縁層とを形成する前に、画素電極層を形成すれば、このコンタクト部形成は必要ない。

【0129】

また、画素電極をスパッタリング法により形成し、その後パターニングを行っても良い。

【0130】

次に、画素電極層を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁体層を形成する。なお、この絶縁体層を、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。なお、配向膜は、斜方蒸着法により形成することもできる。続いて、シール材を液滴吐出法により画素を形成した周辺の領域に形成する。

30

【0131】

その後、配向膜として機能する絶縁体層、対向電極層として機能する導電体層が設けられた対向基板とTFT基板とをスペーサを介して貼り合わせ、その空隙に液晶層を設けることにより液晶表示パネルを作製することができる。シール材にはフィラーが混入されていても良く、さらに対向基板には、カラーフィルタや遮蔽膜(ブラックマトリクス)などが形成されていても良い。なお、液晶層を形成する方法として、ディスペンサ式(滴下式)や、対向基板を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いることができる。

40

【0132】

ディスペンサ方式を採用した液晶滴下注入法は、シール材で閉ループを形成し、その中に液晶を1回若しくは複数回滴下する。続いて、真空中で基板を貼り合わせ、その後紫外線硬化を行って、液晶が充填された状態とする。

【0133】

次に、大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により、接続用の配線基板を設ける領域の絶縁体層を除去する。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 から選択された一つ又は複数とを用いて行う。本工程では、静電

50

気による損傷や破壊を防止するために、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

【0134】

続いて、異方性導電体層を介して、ゲート配線層が電氣的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担う。

【0135】

以上の工程により液晶表示パネルを作製することができる。なお、静電破壊防止のための保護回路、代表的にはダイオードなどを、接続端子とソース配線（ゲート配線）の間または画素部に設けてもよい。この場合、上記したTFTと同様の工程で作製し、画素部のゲート配線層とダイオードのドレイン又はソース配線層とを接続することにより、ダイオードとして動作させることができる。

10

【0136】

（第9の実施の形態）

第9の実施の形態として、第1の実施の形態乃至第7の実施の形態において作製できるTFTを有した発光表示パネルの作製方法について説明する。

【0137】

パッシベーション層、又は、パッシベーション層とゲート絶縁層とにエッチングにより開口部を形成し、コンタクト部を設ける。ソース配線及びドレイン配線と電氣的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極層に相当する第1電極を形成する。或いは、パッシベーション層、又は、パッシベーション層とゲート絶縁層とを形成する前に、画素電極層に相当する第1電極を形成すれば、このコンタクト部形成は必要ない。

20

【0138】

この第1電極は、透過型のEL表示パネルを作製する場合には、ITO、酸化珪素を組成物として有するITO、酸化亜鉛（ZnO）、酸化スズ（SnO₂）などを含む組成物により所定のパターンを形成し、焼成によって画素電極を形成しても良い。

【0139】

より好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。その他、酸化珪素を含み酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した酸化物導電性材料を用いても良い。ZnOにGaをドーピングしたものをを用いて良い。スパッタリング法で第1電極を形成した後は、液滴吐出法を用いてマスク層を形成しエッチングにより、ソース配線及びドレイン配線と接続する第1電極を形成すれば良い。酸化珪素を含む酸化インジウム錫で形成される第1電極は、ゲート絶縁層に含まれる窒化珪素からなる絶縁層と密接して形成されると、それによりEL層で発光した光が外部に放射される割合を高めることができるという効果を発現させることができる。

30

【0140】

また、発光した光を基板側とは反対側に放射させる構造とする場合には、反射型のEL表示パネルを作製する場合には、Ag（銀）、Au（金）、Cu（銅）、W（タングステン）、Al（アルミニウム）等の金属の粒子を主成分とした組成物を用いることができる。他の方法としては、スパッタリング法により透明導電膜若しくは光反射性の導電膜を形成して、液滴吐出法によりマスクパターンを形成し、エッチング加工を組み合わせ第1電極層を形成しても良い。この場合、以下の工程で形成する絶縁体層に着色顔料を含ませることで、遮光膜として機能させることができ、後に形成される表示装置のコントラストが向上する。このように、絶縁体層、レジスト等に顔料を含んだものをを用いることで、遮蔽膜としての機能を持たせることもできる。

40

【0141】

次に、絶縁体層を形成する。絶縁体層は、スピンコート法やディップ法により全面に絶縁層を形成した後、エッチングによって加工する。また、液滴吐出法により絶縁層を形成

50

すれば、エッチング加工は必ずしも必要ない。また、開口部分を低ぬれ性領域にしておけば、自己整合的に開口を形成することができる。この絶縁体層は、第1電極に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。この絶縁層は、酸化珪素、窒化珪素、窒素を含む酸化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole) などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうち Si-O-Si 結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。また、低誘電率 (low-k) 材料を用いても良い。

10

【0142】

次に、蒸着法、スピンコート法またはインクジェット等の塗布法により EL 層を形成する。

【0143】

EL 層を形成する前に、大気圧中で 200 の熱処理を行い絶縁層中若しくはその表面に吸着している水分を除去する。また、減圧下で 200 ~ 400、好ましくは 250 ~ 350 に熱処理を行い、そのまま大気に晒さずに EL 層を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。また、第1電極の表面を酸素プラズマに晒したり、紫外線光を照射して、表面処理を加えても良い。

20

【0144】

そして、第2電極を EL 層上に形成して発光素子が形成される。この発光素子は駆動用 TFT と接続された構造となる。この後、発光素子を封止するために保護積層を形成する。保護積層は、第1の無機絶縁層と、応力緩和層と、第2の無機絶縁層との積層からなっている。

【0145】

EL 層は、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子系有機化合物、中分子系有機化合物 (昇華性を有さず、且つ分子数が 20 以下、又は連鎖する分子の長さが 10 μm 以下の有機化合物を指している)、高分子系有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせても良い。

30

【0146】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス (8 - キノリノラト) アルミニウム (略称: Alq₃)、トリス (4 - メチル - 8 - キノリノラト) アルミニウム (略称: Almq₃)、ビス (10 - ヒドロキシベンゾ [h] - キノリナト) ベリリウム (略称: BeBq₂)、ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - アルミニウム (略称: BALq) など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。

40

【0147】

また、正孔輸送性の高い物質としては、例えば 4, 4' - ビス [N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル (略称: NPD) や 4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル (略称: TPD) や 4, 4', 4'' - トリス (N, N - ジフェニル - アミノ) - トリフェニルアミン (略称: TDATA)、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン (略称: MTDATA) などの芳香族アミン系 (即ち、ベンゼン環 - 窒素の結合を有する) の化合物が挙げられる。

【0148】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム

50

(LiF)、フッ化セシウム(CsF)、フッ化カルシウム(CaF₂)等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq₃のような電子輸送性の高い物質とマグネシウム(Mg)のようなアルカリ土類金属との混合物であってもよい。

【0149】

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物(MoO_x)やバナジウム酸化物(VO_x)、ルテニウム酸化物(RuO_x)、タングステン酸化物(WO_x)、マンガン酸化物(MnO_x)等の金属酸化物が挙げられる。また、この他、フタロシアニン(略称: H₂Pc)や銅フタロシアニン(CuPc)等のフタロシアニン系の化合物が挙げられる。

10

【0150】

EL層は、発光波長帯の異なるEL層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R(赤)、G(緑)、B(青)の各色に対応したEL層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルター(着色層)を設けた構成とすることで、色純度の向上や、画素部の鏡面化(映り込み)の防止を図ることができる。フィルター(着色層)を設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、EL層から放射される光の損失を無くすることができる。さらに、斜方から画素部(表示画面)を見た場合に起こる色調の変化を低減することができる。

【0151】

20

EL層を形成する発光材料には様々な材料がある。低分子系有機発光材料では、4-ジシアノメチレン-2-メチル-6-[2-(1,1,7,7-テトラメチル-9-ジュロリジル)エテニル]-4H-ピラン(略称: DCJT)、4-ジシアノメチレン-2-*t*-ブチル-6-[2-(1,1,7,7-テトラメチルジュロリジレ-9-イル)エテニル]-4H-ピラン(略称: DPA)、ペリフランテン、2,5-ジシアノ-1,4-ビス[2-(10-メトキシ-1,1,7,7-テトラメチルジュロリジレ-9-イル)エテニル]ベンゼン、N,N'-ジメチルキナクリドン(略称: DMQd)、クマリン6、クマリン545T、トリス(8-キノリノラト)アルミニウム(略称: Alq₃)、9,9'-ピアントリル、9,10-ジフェニルアントラセン(略称: DPA)や9,10-ビス(2-ナフチル)アントラセン(略称: DNA)等を用いることができる。また、この他の物質でもよい。

30

【0152】

一方、高分子系有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基本的には同じであり、順に陰極、発光物質を含む層、陽極となる。しかし、高分子系有機発光材料を用いた発光物質を含む層を形成する際には、低分子系有機発光材料を用いたときのような積層構造を形成させることは難しく、多くの場合2層構造となる。具体的には、順に陰極、EL層、正孔輸送層、陽極という構造である。

【0153】

40

発光色は、EL層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。EL層の形成に用いることができる高分子系の発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフエン系、ポリフルオレン系が挙げられる。

【0154】

ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン)[PPV]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)[RO-PPV]、ポリ(2-(2'-エチル-ヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン)[MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン)[ROP_h-PPV]等が挙げられる。ポリパラフェニレン系には、ポリパラフェ

50

ニレン [P P P] の誘導体、ポリ (2 , 5 - ジアルコキシ - 1 , 4 - フェニレン) [R O - P P P]、ポリ (2 , 5 - ジヘキソキシ - 1 , 4 - フェニレン) 等が挙げられる。ポリチオフェン系には、ポリチオフェン [P T] の誘導体、ポリ (3 - アルキルチオフェン) [P A T]、ポリ (3 - ヘキシルチオフェン) [P H T]、ポリ (3 - シクロヘキシルチオフェン) [P C H T]、ポリ (3 - シクロヘキシル - 4 - メチルチオフェン) [P C H M T]、ポリ (3 , 4 - ジシクロヘキシルチオフェン) [P D C H T]、ポリ [3 - (4 - オクチルフェニル) - チオフェン] [P O P T]、ポリ [3 - (4 - オクチルフェニル) - 2 , 2 ビチオフェン] [P T O P T] 等が挙げられる。ポリフルオレン系には、ポリフルオレン [P F] の誘導体、ポリ (9 , 9 - ジアルキルフルオレン) [P D A F]、ポリ (9 , 9 - ジオクチルフルオレン) [P D O F] 等が挙げられる。

10

【 0 1 5 5 】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、P E D O T とアクセプター材料としてのショウノウスルホン酸 (C S A) の混合物、ポリアニリン [P A N I] とアクセプター材料としてのポリスチレンスルホン酸 [P S S] の混合物等が挙げられる。

【 0 1 5 6 】

また、E L 層は単色又は白色の発光を呈する構成とすることができる。白色発光材料を用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター (着色層) を設けた構成としてカラー表示を可能にすることができる。

20

【 0 1 5 7 】

白色に発光する E L 層を形成するには、例えば、A l q₃、部分的に赤色発光色素であるナイルレッドをドーブした A l q₃、A l m q₃、p - E t T A Z、T P D (芳香族ジアミン) を蒸着法により順次積層することで白色を得ることができる。また、スピンコートを用いた塗布法により E L 層を形成する場合には、塗布した後、真空加熱で焼成することが好ましい。例えば、正孔注入層として作用するポリ (エチレンジオキシチオフェン) / ポリ (スチレンスルホン酸) 水溶液 (P E D O T / P S S) を全面に塗布、焼成し、その後、E L 層として作用する発光中心色素 (1 , 1 , 4 , 4 - テトラフェニル - 1 , 3 - ブタジエン (T P B)、4 - ジシアノメチレン - 2 - メチル - 6 - (p - ジメチルアミノ - スチリル) - 4 H - ピラン (D C M 1)、ナイルレッド、クマリン 6 など) ドーブしたポリビニルカルバゾール (P V K) 溶液を全面に塗布、焼成すればよい。

30

【 0 1 5 8 】

E L 層は単層で形成することもでき、ホール輸送性のポリビニルカルバゾール (P V K) に電子輸送性の 1 , 3 , 4 - オキサジアゾール誘導体 (P B D) を分散させてもよい。また、30wt % の P B D を電子輸送剤として分散し、4 種類の色素 (T P B、クマリン 6、D C M 1、ナイルレッド) を適量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、E L 層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができる。

40

【 0 1 5 9 】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、P E D O T とアクセプター材料としてのショウノウスルホン酸 (C S A) の混合物、ポリアニリン [P A N I] とアクセプター材料としてのポリスチレンスルホン酸 [P S S] の混合物等が挙げられる。

【 0 1 6 0 】

さらに、E L 層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用

50

いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なく済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流量が少なく済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

【0161】

10

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第三遷移系元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8～10属に属する元素を有する化合物を用いることも可能である。

【0162】

以上に掲げる発光物質を含む層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、EL層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。EL層の層構造は変化しうるものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極を備えたり、発光性の材料を分散させて備えたりする変形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。

20

【0163】

次に、シール材を形成し、封止基板を用いて封止する。その後、ゲート配線、ソース配線層それぞれの端部に、異方性導電層を介して接続端子を貼り付ける。さらに、各配線と接続端子との接続部を封止樹脂で封止することが好ましい。この構造により、断面部からの水分が発光素子に侵入し、劣化することを防ぐことができる。

【0164】

以上の工程により発光表示パネルを作製することができる。なお、静電破壊防止のための保護回路、代表的にはダイオードなどを、接続端子とソース配線（ゲート配線）の間または画素部に設けてもよい。この場合、上記したTFTと同様の工程で作製し、画素部のゲート配線とダイオードのドレイン配線又はソース配線とを接続することにより、ダイオードとして動作させることができる。

30

【0165】

（第10の実施の形態）

第10の実施の形態として、上記実施の形態において適用可能な発光素子の形態を、図16を用いて説明する。

【0166】

図16(A)は第1の画素電極11を透光性の酸化物導電性材料で形成した例であり、酸化珪素を1～15原子%の濃度で含む酸化物導電性材料で形成している。その上に正孔注入層若しくは正孔輸送層41、発光層42、電子輸送層若しくは電子注入層43を積層した発光物質を含む層16を設けている。第2の画素電極17は、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む第1の電極層33とアルミニウムなどの金属材料で形成する第2の電極層34で形成している。この構造の画素は、図中に矢印で示したように第1の画素電極11側から光を放射することが可能となる。

40

【0167】

図16(B)は第2の画素電極17から光を放射する例を示し、第1の画素電極11はアルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する第1の電極層35と、酸化珪素を1～15原子%の濃度で含む酸化

50

物導電性材料で形成する第2の電極層32で形成している。その上に正孔注入層若しくは正孔輸送層41、発光層42、電子輸送層若しくは電子注入層43を積層した発光物質を含む層16を設けている。第2の画素電極17は、LiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第3の電極層33とアルミニウムなどの金属材料で形成する第4の電極層34で形成するが、いずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第2の画素電極17から光を放射することが可能となる。

【0168】

なお、図16(A)または図16(B)の構造を有する発光素子において、両方向、即ち第1の電極及び第2の電極から光を放射する場合には、第1の画素電極11に、透光性を有し且つ仕事関数の大きい導電膜を用い、第2の画素電極17に、透光性を有し且つ仕事関数の小さい導電膜を用いる。代表的には、第1の画素電極11を、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成し、第2の画素電極17を、それぞれ100nm以下の厚さのLiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第3の電極層33とアルミニウムなどの金属材料で形成する第4の電極層34で形成すればよい。

10

【0169】

図16(C)は第1の画素電極11から光を放射する例を示し、かつ、発光物質を含む層を電子輸送層若しくは電子注入層43、発光層42、正孔注入層若しくは正孔輸送層41の順に積層した構成を示している。第2の画素電極17は、発光物質を含む層16側から酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層32、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する第1の電極層31で形成している。第1の画素電極11は、LiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第3の電極層33とアルミニウムなどの金属材料で形成する第4の電極層34で形成するが、いずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第1の画素電極11から光を放射することが可能となる。

20

【0170】

図16(D)は第2の画素電極17から光を放射する例を示し、かつ、発光物質を含む層を電子輸送層若しくは電子注入層43、発光層42、正孔注入層若しくは正孔輸送層41の順に積層した構成を示している。第1の画素電極11は図16(A)と同様な構成とし、膜厚は発光物質を含む層で発光した光を反射可能な程度に厚く形成している。第2の画素電極17は、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で構成している。この構造において、正孔注入層若しくは正孔輸送層41を無機物である金属酸化物(代表的には酸化モリブデン若しくは酸化バナジウム)で形成することにより、第2の電極層32を形成する際に導入される酸素が供給されて正孔注入性が向上し、駆動電圧を低下させることができる。

30

【0171】

なお、図16(C)または図16(D)の構造を有する発光素子において、両方向、即ち第1の画素電極及び第2の画素電極から光を放射する場合には、第1の画素電極11に、透光性を有し且つ仕事関数の小さい導電膜を用い、第2の画素電極17に、透光性を有し且つ仕事関数の大きい導電膜を用いる。代表的には、第1の画素電極11を、それぞれ100nm以下の厚さのLiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第3の電極層33とアルミニウムなどの金属材料で形成する第4の電極層34で形成し、第2の画素電極17を、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成すればよい。

40

【0172】

(第11の実施の形態)

第11の実施の形態として、上記実施の形態で示す発光表示パネルの画素回路、及びその動作構成について、図17を用いて説明する。

【0173】

50

図 17 (A) に示す画素は、列方向に信号線 710 及び電源線 711、712、行方向に走査線 714 が配置される。また、スイッチング用 TFT 701、駆動用 TFT 703、電流制御用 TFT 704、容量素子 702 及び発光素子 705 を有する。

【0174】

図 17 (C) に示す画素は、駆動用 TFT 703 のゲート電極が、行方向に配置された電源線 712 に接続される点が異なっており、それ以外は図 17 (A) に示す画素と同じ構成である。つまり、図 17 (A) (C) に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線 712 が配置される場合 (図 17 (A)) と、列方向に電源線 712 が配置される場合 (図 17 (C)) とでは、各電源線は異なるレイヤーの導電膜で形成される。ここでは、駆動用 TFT 703 のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図 17 (A) (C) として分けて記載する。

10

【0175】

図 17 (A) (C) に示す画素の特徴として、画素内に駆動用 TFT 703、電流制御用 TFT 704 が直列に接続されており、駆動用 TFT 703 のチャンネル長 $L(703)$ 、チャンネル幅 $W(703)$ 、電流制御用 TFT 704 のチャンネル長 $L(704)$ 、チャンネル幅 $W(704)$ は、 $L(703)/W(703) : L(704)/W(704) = 5 \sim 6000 : 1$ を満たすように設定するとよい。

【0176】

なお、駆動用 TFT 703 は、飽和領域で動作し発光素子 705 に流れる電流値を制御する役目を有し、電流制御用 TFT 704 は線形領域で動作し発光素子 705 に対する電流の供給を制御する役目を有する。両 TFT は同じ導電型を有していると作製工程上好ましく、本実施の形態では n チャンネル型 TFT として形成する。また駆動用 TFT 703 には、エンハンスメント型だけでなく、ディプリーション型の TFT を用いてもよい。上記構成を有する本発明は、電流制御用 TFT 704 が線形領域で動作するために、電流制御用 TFT 704 の V_{gs} の僅かな変動は、発光素子 705 の電流値に影響を及ぼさない。つまり、発光素子 705 の電流値は、飽和領域で動作する駆動用 TFT 703 により決定することができる。上記構成により、TFT の特性バラツキに起因した発光素子の輝度ムラを改善して、画質を向上させた表示装置を提供することができる。

20

【0177】

図 17 (A) ~ (D) に示す画素において、スイッチング用 TFT 701 は、画素に対するビデオ信号の入力を制御するものであり、スイッチング用 TFT 701 がオンとなると、画素内にビデオ信号が入力される。すると、容量素子 702 にそのビデオ信号の電圧が保持される。なお図 17 (A) (C) には、容量素子 702 を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、容量素子 702 を設けなくてもよい。

30

【0178】

図 17 (B) に示す画素は、TFT 706 と走査線 715 を追加している以外は、図 17 (A) に示す画素構成と同じである。同様に、図 17 (D) に示す画素は、TFT 706 と走査線 715 を追加している以外は、図 17 (C) に示す画素構成と同じである。

40

【0179】

TFT 706 は、新たに配置された走査線 715 によりオン又はオフが制御される。TFT 706 がオンとなると、容量素子 702 に保持された電荷は放電し、電流制御用 TFT 704 がオフとなる。つまり、TFT 706 の配置により、強制的に発光素子 705 に電流が流れない状態を作ることができる。そのため TFT 706 を消去用 TFT と呼ぶことができる。従って、図 17 (B) (D) の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【0180】

図 17 (E) に示す画素は、列方向に信号線 710、電源線 711、行方向に走査線 7

50

14が配置される。また、スイッチング用TFT701、駆動用TFT703、容量素子702及び発光素子705を有する。図17(F)に示す画素は、TFT706と走査線715を追加している以外は、図17(E)に示す画素構成と同じである。なお、図17(F)の構成も、TFT706の配置により、デューティ比を向上することが可能となる。

【0181】

特に、上記実施の形態のように非晶質半導体等を有する薄膜トランジスタを形成する場合、駆動用TFTの半導体膜を大きくすると好ましい。そのため、開口率を考慮すると、TFTの数が少ない図17(E)又は図17(F)を用いるとよい。

【0182】

このようなアクティブマトリクス型の発光装置は、画素密度が増えた場合、各画素にTFTが設けられているため低電圧駆動でき、有利であると考えられている。一方、一列毎にTFTが設けられるパッシブマトリクス型の発光装置を形成することもできる。パッシブマトリクス型の発光装置は、各画素にTFTが設けられていないため、高開口率となる。

【0183】

また、本発明の表示装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、表示装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号

【0184】

さらに、ビデオ信号がデジタルの表示装置において、発光素子に入力されるビデオ信号が定電圧(CV)のものと、定電流(CC)のものとがある。ビデオ信号が定電圧のもの(CV)には、発光素子に印加される電圧が一定のもの(CVCV)と、発光素子に印加される電流が一定のもの(CVCC)とがある。また、ビデオ信号が定電流のもの(CC)には、発光素子に印加される電圧が一定のもの(CCCV)と、発光素子に印加される電流が一定のもの(CCCC)とがある。

【0185】

以上のように、多様な画素回路を採用することができる。

【0186】

(第12の実施の形態)

第12の実施の形態として、上記実施の形態に示した表示パネルへの駆動回路(信号線駆動回路1402及び走査線駆動回路1403a、1403b)の実装について、図18を用いて説明する。

【0187】

図18(A)に示すように、画素部1401の周辺に信号線駆動回路1402、及び走査線駆動回路1403a、1403bを実装する。図18(A)では、信号線駆動回路1402、及び走査線駆動回路1403a、1403b等として、COG方式により、基板1400上にICチップ1405を実装する。そして、FPC(フレキシブルプリントサーキット)1406を介して、ICチップと外部回路とを接続する。

【0188】

また、図18(B)に示すように、SASや結晶性半導体でTFTを形成する場合、画素部1401と走査線駆動回路1403a、1403b等を基板上に一体形成し、信号線駆動回路1402等を別途ICチップとして実装する場合がある。図18(B)において、信号線駆動回路1402として、COG方式により、基板1400上にICチップ1405を実装する。そして、FPC1406を介して、ICチップと外部回路とを接続する。

【0189】

またさらに図18(C)に示すように、COG方式に代えて、TAB方式により信号線

10

20

30

40

50

駆動回路 1402 等を実装する場合がある。そして、FPC1406 を介して、IC チップと外部回路とを接続する。図 18 (C) において、信号線駆動回路を TAB 方式により実装しているが、走査線駆動回路を TAB 方式により実装してもよい。

【0190】

IC チップを TAB 方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縁化を達成することができる。

【0191】

IC チップは、シリコンウェハを用いて形成するが、IC チップの代わりにガラス基板上に IC を形成した IC (以下、ドライバ IC と表記する) を設けてもよい。IC チップは、円形のシリコンウェハから IC チップを取り出すため、母体基板形状に制約がある。一方ドライバ IC は、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバ IC の形状寸法は自由に設定することができる。例えば、ドライバ IC の長辺の長さを 15 ~ 80 mm として形成すると、IC チップを実装する場合と比較し、必要な数を減らすことができる。その結果、接続端子数を低減することができ、製造上の歩留まりを向上させることができる。

【0192】

ドライバ IC は、基板上に形成された結晶質半導体を用いて形成することができ、結晶質半導体は連続発振型のレーザ光を照射することで形成するとよい。連続発振型のレーザ光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバ IC に好適である。

【0193】

(第13の実施の形態)

第 13 の実施の形態として、上記実施の形態に示した表示パネルへの駆動回路 (信号線駆動回路 1402 及び走査線駆動回路 1403 a、1403 b) の実装方法について、図 19 を用いて説明する。この実装方法としては、異方性導電材を用いた接続方法やワイヤボンディング方式等を採用すればよく、その一例について図 19 を用いて説明する。なお、本実施の形態では、信号線駆動回路 1402 及び走査線駆動回路 1403 a、1403 b にドライバ IC を用いた例を示す。ドライバ IC の代わりに、適宜 IC チップを用いることができる。

【0194】

図 19 (A) はアクティブマトリクス基板 1701 に、IC ドライバ 1703 が異方性導電材を用いて実装された例を示す。アクティブマトリクス基板 1701 上には、ソース配線又はゲート配線等の各配線 (図示しない。) と該配線の取り出し電極である電極パット 1702 a、1702 b が形成されている。

【0195】

ドライバ IC 1703 表面には、接続端子 1704 a、1704 b が設けられ、その周辺部には保護絶縁膜 1705 が形成される。

【0196】

アクティブマトリクス基板 1701 上には、ドライバ IC 1703 が異方性導電接着剤 1706 で固定されており、接続端子 1704 a、1704 b と電極パット 1702 a、1702 b はそれぞれ、異方性導電接着剤中に含まれる導電性粒子 1707 で電氣的に接続されている。異方性導電接着剤は、導電性粒子 (粒径 3 ~ 7 μm 程度) を分散、含有する接着性樹脂であり、エポキシ樹脂、フェノール樹脂等が挙げられる。また、導電性粒子 (粒径が数 ~ 数百 μm 程度) は、金、銀、銅、パラジウム、又は白金から選ばれた一元素、若しくは複数の元素の合金粒子で形成される。また、これらの元素の多層構造を有する粒子でも良い。さらには、樹脂粒子に金、銀、銅、パラジウム、又は白金から選ばれた一元素、若しくは複数の元素の合金がコーティングされた粒子でもよい。

【0197】

また、異方性導電接着剤の代わりに、ベースフィルム上にフィルム状に形成された異方

10

20

30

40

50

性導電フィルムを転写して用いても良い。異方性導電フィルムも、異方性導電接着剤と同様の導電性粒子が分散されている。異方性導電接着剤 1706 中に混入された導電性粒子 1707 の大きさと密度を適したものとすることにより、このような形態でドライバ IC をアクティブマトリクス基板に実装することができる。本実装方法は、図 18 (A) 及び図 18 (B) のドライバ IC の実装方法に適している。

【0198】

図 19 (B) は有機樹脂の収縮力を用いた実装方法の例であり、ドライバ IC の接続端子表面に Ta や Ti などパッファ層 1711a、1711b を形成し、その上に無電解メッキ法などにより Au を約 20 μm 形成しパンプ 1712a、1712b とする。ドライバ IC とアクティブマトリクス基板との間に光硬化性絶縁樹脂 1713 を介在させ、光硬化して固まる樹脂の収縮力を利用して電極間を圧接して実装することができる。本実装方法は、図 18 (A) 及び図 18 (B) のドライバ IC の実装方法に適している。

10

【0199】

また、図 19 (C) で示すように、アクティブマトリクス基板 1701 にドライバ IC 1703 を接着剤 1721 で固定して、ワイヤ 1722a、1722b により CPU の接続端子と配線基板上の電極パット 1702a、1702b とを接続しても良い。そして有機樹脂 1723 で封止する。本実装方法は、図 18 (A) 及び図 18 (B) のドライバ IC の実装方法に適している。

【0200】

また、図 19 (D) で示すように、FPC (Flexible printed circuit) 1731 上の配線 1732 と、導電性粒子 1708 を含有する異方性導電接着剤 1706 を介してドライバ IC 1703 を設けてもよい。この構成は、携帯端末等の筐体の大きさが限られた電子機器に用いる場合に大変有効である。本実装方法は、図 18 (C) のドライバ IC の実装方法に適している。

20

【0201】

なお、ドライバ IC の実装方法は、特に限定されるものではなく、公知の COG 方法やワイヤボンディング方法、或いは TAB 方法、半田パンプを用いたリフロー処理を用いることができる。なお、リフロー処理を行う場合は、ドライバ IC 又はアクティブマトリクス基板に用いられる基板が耐熱性の高いプラスチック、代表的にはポリイミド基板、HT 基板 (新日鐵化学社製)、極性基のついたノルボルネン樹脂からなる ARTON (JSR 製) 等を用いることが好ましい。

30

【0202】

(第 14 の実施の形態)

第 11 の実施の形態に示される発光表示パネルにおいて、半導体層を SAS で形成することによって、図 18 (B) 及び図 18 (C) に示すように、走査線側の駆動回路を基板 1400 上に形成した場合の、駆動回路について説明する。

【0203】

図 20 は、 $1 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得られる SAS を使った n チャネル型の TFT で構成する走査線側駆動回路のブロック図を示している。

【0204】

図 20 において 1500 で示すブロックが 1 段分のサンプリングパルスを出力するパルス出力回路に相当し、シフトレジスタは n 個のパルス出力回路により構成される。パッファ回路 1501、1502 の先に画素が接続さる。

40

【0205】

図 21 は、パルス出力回路 1500 の具体的な構成を示したものであり、n チャネル型の TFT 3601 ~ 3612 で回路が構成されている。このとき、SAS を使った n チャネル型の TFT の動作特性を考慮して、TFT のサイズを決定すれば良い。例えば、チャネル長を 8 μm とすると、チャネル幅は 10 ~ 80 μm の範囲で設定することができる。

【0206】

また、パッファ回路 1501 の具体的な構成を図 22 に示す。パッファ回路も同様に n

50

チャンネル型のＴＦＴ３６２０～３６３５で構成されている。このとき、ＳＡＳを使ったｎチャンネル型のＴＦＴの動作特性を考慮して、ＴＦＴのサイズを決定すれば良い。例えば、チャンネル長を１０μｍとすると、チャンネル幅は１０～１８００μｍの範囲で設定することとなる。

【０２０７】

（第１５の実施の形態）

本実施の形態では、表示モジュールについて説明する。ここでは、表示モジュールの一例として、液晶モジュールの一例についてを、図２４を用いて示す。

【０２０８】

アクティブマトリクス基板１６０１と対向基板１６０２とが、シール材１６００により固着され、それらの間には画素部１６０３と液晶層１６０４とが設けられ表示領域を形成している。

10

【０２０９】

着色層１６０５は、カラー表示を行う場合に必要であり、ＲＧＢ方式の場合は、赤、緑、青の各色に対応した着色層が書く画素に対応して設けられている。アクティブマトリクス基板１６０１と対向基板１６０２との外側には、偏光板１６０６、１６０７が配設されている。また、偏光板１６０６の表面には、保護膜１６１６が形成されており、外部からの衝撃を緩和している。

【０２１０】

アクティブマトリクス基板１６０１に設けられた接続端子１６０８には、ＦＰＣ１６０９を介して配線基板１６１０が接続されている。ＦＰＣ又は接続配線には画素駆動回路（ＩＣチップ、ドライバＩＣ等）１６１１が設けられ、配線基板１６１０には、コントロール回路や電源回路などの外部回路１６１２が組み込まれている。

20

【０２１１】

冷陰極管１６１３、反射板１６１４、及び光学フィルム１６１５はバックライトユニットであり、これらが光源となって液晶表示パネルへ光を投射する。液晶パネル、光源、配線基板、ＦＰＣ等は、ベゼル１６１７で保持及び保護されている。

【０２１２】

なお、第１実施形態乃至第７実施形態のいずれをも本実施の形態に適應することができる。

30

【０２１３】

（第１６の実施の形態）

本実施の形態では、表示モジュールの一例として、発光表示モジュールの断面図の一例についてを、図２３を用いて示す。

【０２１４】

図２３（Ａ）は、アクティブマトリクス基板１２０１と対向基板１２０２とが、シール材１２００により固着された発光表示モジュールの断面を示しており、これらの間には画素部１２０３とが設けられ表示領域を形成している。

【０２１５】

対向基板１２０２と、画素部１２０３との間には、空間１２０４が形成される。空間には、不活性ガス、例えば窒素ガスを充填したり、吸水性の高い材料を有する透光性樹脂を形成して、さらに水分や酸素の侵入の防止を高めることができる。また透光性を有し、吸水性の高い樹脂を形成してもよい。透光性を有する樹脂により、発光素子からの光が第２の基板側へ出射される場合であっても、透過率を低減することなく形成することができる。

40

【０２１６】

また、コントラストを高めるため、モジュールの少なくとも画素部に偏光板、又は円偏光板（偏光板、１／４板及び１／２板）を備えたとよい。対向基板１２０２側から表示を認識する場合、対向基板１２０２から順に、１／４板及び１／２板１２０５、偏光板１２０６を設けるとよい。さらに偏光板上に反射防止膜を設けてもよい。

【０２１７】

50

また、対向基板 1202 及びアクティブマトリクス基板 1201 の両方から表示を認識する場合、アクティブマトリクス基板の表面にも同様に、1/4 板及び 1/2 板、偏光板を設けるとよい。

【0218】

アクティブマトリクス基板 1201 に設けられた接続端子 1208 には、FPC1209 を介してプリント基板 1210 が接続されている。FPC 又は接続配線には画素駆動回路（IC チップ、ドライバ IC 等）1211 が設けられ、プリント基板 1210 には、コントロール回路や電源回路などの外部回路 1212 が組み込まれている。

【0219】

また、図 23（B）に示すように、画素部 1203 と偏光板の間、又は画素部と円偏光板の間に着色層 1207 を設けることができる。この場合、画素部に白色発光が可能な発光素子を設け、RGB を示す着色層を別途設けることでフルカラー表示することができる。また、画素部に青色発光が可能な発光素子を設け、色変換層などを別途設けることによってフルカラー表示することができる。また、各画素部、赤色、緑色、青色の発光を示す発光素子を形成し、且つ着色層を用いることもできる。このような表示モジュールは、各 RGB の色純度が高く、高精細な表示が可能となる。

【0220】

図 23（C）においては、図 23（A）と異なり、対向基板を用いずフィルム又は樹脂、プラスチック等の保護膜 1221 を用いてアクティブマトリクス基板及び発光素子を封止する場合を示す。画素部 1203 の第 2 の画素電極を覆って、保護膜 1221 が設けられている。第 2 の保護膜として、エポキシ樹脂、ウレタン樹脂、又はシリコン樹脂等の有機材料を用いることができる。また保護膜は、液滴吐出法によりポリマー材料を滴下して形成してもよい。本実施の形態では、ディスペンサを用いてエポキシ樹脂を吐出し、乾燥させる。さらに保護膜上に、対向基板を設けてもよい。その他の構成は、図 23（A）と同様である。

【0221】

このように対向基板を用いず封止すると、表示装置の軽量化、小型化、薄膜化を向上させることができる。

【0222】

本実施の形態のモジュールは、プリント基板 1210 が FPC1209 を用いて実装されているが、必ずしもこの構成に限定されない。COG（Chip on Glass）方式を用い、画素駆動回路 1211、外部回路 1212 を直接基板上に実装させるようにしてもよい。

【0223】

なお、第 1 実施形態乃至第 7 実施形態のいずれをも本実施の形態に適用することができる。また、表示モジュールとして液晶表示モジュール及び発光表示モジュールの例を示したが、これに限られるものではなく、DMD（Digital Micromirror Device；デジタルマイクロミラーデバイス）、PDP（Plasma Display Panel；プラズマディスプレイパネル）、FED（Field Emission Display；フィールドエミッションディスプレイ）、電気泳動表示装置（電子ペーパー）等の表示モジュールに適宜適用することができる。

【0224】

（第 17 の実施の形態）

本発明により、微細な構造の半導体素子を高集積した回路、代表的には、信号線駆動回路、コントローラ、CPU、音声処理回路のコンバータ、電源回路、送受信回路、メモリ、音声処理回路のアンプ等の半導体装置を形成することができる。さらには、MPU（マイクロコンピュータ）、メモリ、I/O インターフェースなどひとつのシステム（機能回路）を構成する回路がモノリシックに搭載され、高速化、高信頼性、低消費電力化が可能なシステムオンチップを形成することができる。

【0225】

(第18の実施の形態)

上記実施の形態に示される半導体装置液晶を筐体に組み込むことによって様々な電子機器を作製することができる。電子機器としては、テレビジョン装置、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD))等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。ここでは、これらの電子機器の代表例としてテレビジョン装置を及びそのブロック図をそれぞれ図25及び図26に、デジタルカメラを図27に示す。

10

【0226】

図25は、アナログのテレビジョン放送を受信するテレビジョン装置の一般的な構成を示す図である。図25において、アンテナ1101で受信されたテレビ放送用の電波は、チューナ1102に入力される。チューナ1102は、アンテナ1101より入力された高周波テレビ信号を希望受信周波数に応じて制御された局部発振周波数の信号と混合することにより、中間周波数(IF)信号を生成して出力する。

【0227】

チューナ1102により取り出されたIF信号は、中間周波数増幅器(IFアンプ)1103により必要な電圧まで増幅された後、映像検波回路1104によって映像検波されると共に、音声検波回路1105によって音声検波される。映像検波回路1104により出力された映像信号は、映像系処理回路1106により、輝度信号と色信号とに分離され、さらに所定の映像信号処理が施されて映像信号となり、本発明の半導体装置である表示装置、代表的には液晶表示装置、発光表示装置、DMD(Digital Micromirror Device; デジタルマイクロミラーデバイス)、PDP(Plasma Display Panel; プラズマディスプレイパネル)、FED(Field Emission Display; フィールドエミッションディスプレイ)、電気泳動表示装置(電子ペーパー)等の映像系出力部1108に出力される。なお、表示装置に液晶表示装置を用いたものは、液晶テレビジョンとなり、発光表示装置を用いたものはELテレビジョンとなる。また、他の表示装置を用いた場合も同様である。

20

30

【0228】

また、音声検波回路1105により出力された信号は、音声系処理回路1107により、FM復調などの処理が施されて音声信号となり、適宜増幅されてスピーカ等の音声系出力部1109に出力される。

【0229】

なお、本発明を用いたテレビジョン装置は、VHF帯やUHF帯などの地上波放送、ケーブル放送、又はBS放送などのアナログ放送に対応するものに限らず、地上波デジタル放送、ケーブルデジタル放送、又はBSデジタル放送に対応するものであっても良い。

【0230】

図26はテレビジョン装置を前面方向から見た斜視図であり、筐体1151、表示部1152、スピーカ部1153、操作部1154、ビデオ入力端子1155等を含む。また、図25に示すような構成となっている。

40

【0231】

表示部1152は、図25の映像系出力部1108の一例であり、ここで映像を表示する。

【0232】

スピーカ部1153は、図25の音声系出力部の一例であり、ここで音声を出力する。

【0233】

操作部1154は、電源スイッチ、ボリュームスイッチ、選局スイッチ、チューナースイッチ、選択スイッチ等が設けられており、該ボタンの押下によりテレビジョン装置の電

50

源のON/OFF、映像の選択、音声の調整、及びチューナの選択等を行う。なお、図示していないが、リモートコントローラ型操作部によって、上記の選択を行うことも可能である。

【0234】

ビデオ入力端子1155は、VTR、DVD、ゲーム機等の外部からの映像信号をテレビジョン装置に入力する端子である。

【0235】

本実施の形態で示されるテレビジョン装置を壁掛け用テレビジョン装置の場合、本体背面に壁掛け用の部位が設けられている。

【0236】

テレビジョン装置の表示部に本発明の半導体装置の一例である表示装置を用いることにより、低コストで、スループットや歩留まり高く薄型で軽量、且つ耐衝撃性が高いテレビジョン装置を作製することができる。また、テレビジョン装置の映像検波回路、映像処理回路、音声検波回路、音声処理回路を制御するCPUに本発明の半導体装置を用いることにより、低コストで、スループットや歩留まり高く薄型で軽量、且つ耐衝撃性が高いテレビジョン装置を作製することができる。このため、壁掛けテレビジョン装置、鉄道の駅や空港などにおける情報表示板や、街頭における広告表示板など特に大面積の表示媒体として様々な用途に適用することができる。

【0237】

図27(A)及び図27(B)は、デジタルカメラの一例を示す図である。図27(A)は、デジタルカメラの前面方向から見た斜視図、図27(B)は、後面方向から見た斜視図である。図27(A)において、デジタルカメラには、リレーズボタン1301、メインスイッチ1302、ファインダー窓1303、フラッシュ1304、レンズ1305、鏡胴1306、筐体1307が備えられている。

【0238】

また、図27(B)において、ファインダー接眼窓1311、モニター1312、操作ボタン1313、スイッチ1314が備えられている。

【0239】

リレーズボタン1301は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

【0240】

メインスイッチ1302は、押下又は回転によりデジタルカメラの電源のON/OFFを切り替える。

【0241】

ファインダー窓1303は、デジタルカメラの前面のレンズ1305の上部に配置されており、図27(B)に示すファインダー接眼窓1311から撮影する範囲やピントの位置を確認するための装置である。

【0242】

フラッシュ1304は、デジタルカメラの全面上部に配置され、被写体輝度が低いときに、リレーズボタンが押下されてシャッターが開くと同時に補助光を照射する。

【0243】

レンズ1305は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、CCD(Charge Coupled Device)等の撮像素子が設けられている。

【0244】

鏡胴1306は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ1305を手前に移動させる。また、携帯時は、レンズ1305を沈胴させてコンパクトにする。なお、本実施の形態においては、鏡胴を繰り出すことにより被写体をズーム撮影する

10

20

30

40

50

ことができる構造としているが、この構造に限定されるものではなく、筐体 1 3 0 7 内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

【 0 2 4 5 】

ファインダー接眼窓 1 3 1 1 は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

【 0 2 4 6 】

操作ボタン 1 3 1 3 は、デジタルカメラの後面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

10

【 0 2 4 7 】

本発明の半導体装置の一実施の形態である表示装置をモニターに用いことにより、低コストで、スループットや歩留まり高くより薄型で携帯に便利なデジタルカメラを作製することが可能である。また、各種機能ボタン、メインスイッチ、リレーズボタン等の操作入力を受けて関連した処理を行う CPU、自動焦点動作及び自動焦点調整動作を行う回路、ストロボ発光の駆動制御、CCDの駆動を制御するタイミング制御回路、CCD等の撮像素子によって光電変換された信号から画像信号を生成する撮像回路、撮像回路で生成された画像信号をデジタル信号に変換する A/D 変換回路、メモリへの画像データの書き込み及び画像データの読み出しを行うメモリインターフェース等の各回路を制御する CPU 等に本発明の半導体装置を用いることにより、低コストで、スループットや歩留まり高くより薄型で携帯に便利なデジタルカメラを作製することが可能である。

20

【図面の簡単な説明】

【 0 2 4 8 】

【図 1】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 2】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 3】本発明の薄膜トランジスタの構成を説明する上面図。

【図 4】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 5】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 6】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 7】本発明の薄膜トランジスタの作製工程を説明する断面図。

30

【図 8】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 9】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 10】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 11】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 12】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 13】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 14】本発明の薄膜トランジスタの作製工程を説明する断面図。

【図 15】本発明に適用することのできる液滴吐出装置の構成を説明する図。

【図 16】本発明に適用可能な発光素子の形態を説明する図。

【図 17】本発明の発光表示パネルに適用できる画素の構成を説明する図。

40

【図 18】本発明に係る表示装置の駆動回路の実装方法を説明する上面図。

【図 19】本発明に係る表示装置の駆動回路の実装方法を説明する断面図。

【図 20】本発明に係る表示パネルにおいて走査線側駆動回路を TFT で形成する場合の回路構成を示す図。

【図 21】本発明に係る表示パネルにおいて走査線側駆動回路を TFT で形成する場合の回路構成を示す図（シフトレジスタ回路）。

【図 22】本発明に係る表示パネルにおいて走査線側駆動回路を TFT で形成する場合の回路構成を示す図（バッファ回路）。

【図 23】本発明に係る発光表示モジュールの構成を説明する図。

【図 24】本発明に係る液晶表示モジュールの構成を説明する図。

50

【図 2 5】電子機器の構成を説明するブロック図。

【図 2 6】電子機器の一例を説明する図。

【図 2 7】電子機器の一例を説明する図。

【符号の説明】

【 0 2 4 9 】

1 1	第 1 の画素電極	
1 6	発光物質を含む層	
1 7	第 2 の画素電極	
3 1	電極層	
3 2	電極層	10
3 3	電極層	
3 4	電極層	
3 5	電極層	
4 1	正孔注入層若しくは正孔輸送層	
4 2	発光層	
4 3	電子輸送層若しくは電子注入層	
1 0 0	基板	
1 0 1	ゲート電極	
1 0 2	ゲート絶縁層	
1 0 3	半導体層	20
1 0 4	半導体層	
1 0 5	マスク	
1 0 6	半導体領域	
1 0 7	平坦化膜	
1 0 8	チャネル部	
1 0 9	半導体層	
1 1 0	半導体層	
1 1 1	低ぬれ性表面	
1 1 2	低ぬれ性領域	
1 1 3	ソース配線及びドレイン配線	30
1 1 4	ソース配線及びドレイン配線	
1 1 5	パッシベーション層	
1 1 6	境界	
2 0 1	ゲート電極	
2 0 2	ゲート絶縁層	
2 0 3	半導体層	
2 0 4	絶縁体層	
2 0 5	マスク	
2 0 6	絶縁体層	
2 0 7	半導体層	40
3 0 1	ゲート電極	
3 0 2	ゲート絶縁層	
3 0 3	半導体層	
3 0 4	半導体層	
3 0 5	マスク	
3 0 6	半導体領域	
3 0 7	レジスト	
3 0 8	チャネル部	
3 0 9	レジスト	
3 1 0	レジスト	50

3 1 1	半導体層	
3 1 2	半導体層	
4 0 1	ゲート電極	
4 0 2	ゲート絶縁層	
4 0 3	半導体層	
4 0 4	半導体層	
4 0 5	マスク	
4 0 6	半導体領域	
4 0 7	レジスト	
4 0 8	チャネル部	10
4 0 9	レジスト	
4 1 0	レジスト	
4 1 1	半導体層	
4 1 2	半導体層	
5 0 1	ソース配線及びドレイン配線	
5 0 2	ソース配線及びドレイン配線	
5 0 3	半導体層	
5 0 4	半導体層	
5 0 5	半導体層	
5 0 6	マスク	20
5 0 7	ゲート絶縁層	
5 0 8	レジスト	
5 0 9	レジスト	
5 1 0	レジストを選択的に除去する領域	
5 1 1	低ぬれ性表面	
5 1 2	低ぬれ性領域	
5 1 3	ゲート電極	
5 1 4	パッシベーション層	
6 0 0	基板	
6 0 3	液滴吐出手段	30
6 0 4	撮像手段	
6 0 5	ヘッド	
6 0 7	制御手段	
6 0 8	記憶媒体	
6 0 9	画像処理手段	
6 1 0	コンピュータ	
6 1 1	マーカ	
6 1 2	ヘッド	
6 1 3	材料供給源	
6 1 4	材料供給源	40
7 0 1	スイッチング用 T F T	
7 0 2	容量素子	
7 0 3	駆動用 T F T	
7 0 4	電流制御用 T F T	
7 0 5	発光素子	
7 0 6	T F T	
7 1 0	信号線	
7 1 1	電源線	
7 1 2	電源線	
7 1 4	走査線	50

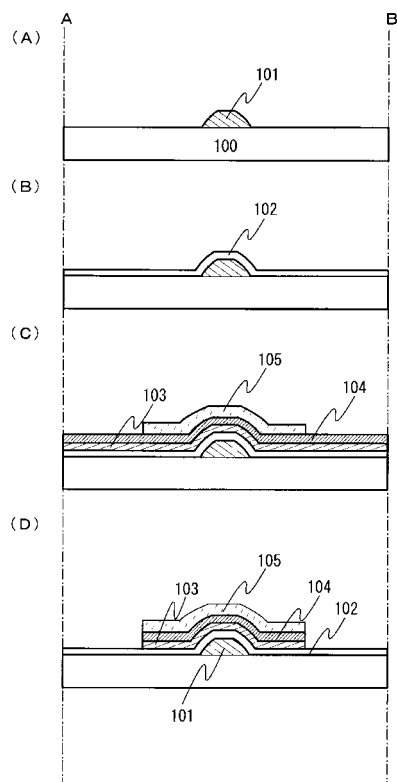
7 1 5	走査線	
1 1 0 1	アンテナ	
1 1 0 2	チューナ	
1 1 0 3	中間周波数増幅器	
1 1 0 4	映像検波回路	
1 1 0 5	音声検波回路	
1 1 0 6	映像系処理回路	
1 1 0 7	音声系処理回路	
1 1 0 8	映像系出力部	
1 1 0 9	音声系出力部	10
1 1 5 1	筐体	
1 1 5 2	表示部	
1 1 5 3	スピーカ部	
1 1 5 4	操作部	
1 1 5 5	ビデオ入力端子	
1 2 0 0	シール材	
1 2 0 1	アクティブマトリクス基板	
1 2 0 2	対向基板	
1 2 0 3	画素部	
1 2 0 4	空間	20
1 2 0 5	1 / 4 板及び 1 / 2 板	
1 2 0 6	偏光板	
1 2 0 7	着色層	
1 2 0 8	接続端子	
1 2 0 9	F P C	
1 2 1 0	プリント基板	
1 2 1 1	画素駆動回路	
1 2 1 2	外部回路	
1 2 2 1	保護膜	
1 3 0 1	リリースボタン	30
1 3 0 2	メインスイッチ	
1 3 0 3	ファインダー窓	
1 3 0 4	フラッシュ	
1 3 0 5	レンズ	
1 3 0 6	鏡胴	
1 3 0 7	筐体	
1 3 1 1	ファインダー接眼窓	
1 3 1 2	モニター	
1 3 1 3	操作ボタン	
1 3 1 4	スイッチ	40
1 4 0 0	基板	
1 4 0 1	画素部	
1 4 0 2	信号線駆動回路	
1 4 0 3 a	走査線駆動回路	
1 4 0 3 b	走査線駆動回路	
1 4 0 5	I C チップ	
1 4 0 6	F P C	
1 5 0 0	パルス出力回路	
1 5 0 1	バッファ回路	
1 5 0 2	バッファ回路	50

1 6 0 0	シール材	
1 6 0 1	アクティブマトリクス基板	
1 6 0 2	対向基板	
1 6 0 3	画素部	
1 6 0 4	液晶層	
1 6 0 5	着色層	
1 6 0 6	偏光板	
1 6 0 7	偏光板	
1 6 0 8	接続端子	
1 6 0 9	F P C	10
1 6 1 0	配線基板	
1 6 1 1	画素駆動回路	
1 6 1 2	外部回路	
1 6 1 3	冷陰極管	
1 6 1 4	反射板	
1 6 1 5	光学フィルム	
1 6 1 6	保護膜	
1 6 1 7	ベゼル	
1 7 0 1	アクティブマトリクス基板	
1 7 0 2 a	電極パット	20
1 7 0 2 b	電極パット	
1 7 0 3	I Cドライバ	
1 7 0 4 a	接続端子	
1 7 0 4 b	接続端子	
1 7 0 5	保護絶縁膜	
1 7 0 6	異方性導電接着剤	
1 7 0 7	導電性粒子	
1 7 0 8	導電性粒子	
1 7 1 1 a	バッファ層	
1 7 1 1 b	バッファ層	30
1 7 1 2 a	バンプ	
1 7 1 2 b	バンプ	
1 7 1 3	光硬化性絶縁樹脂	
1 7 2 1	接着剤	
1 7 2 2 a	ワイヤ	
1 7 2 2 b	ワイヤ	
1 7 2 3	有機樹脂	
1 7 3 1	F P C	
1 7 3 2	配線	
3 6 0 1	nチャネル型のT F T	40
3 6 0 2	nチャネル型のT F T	
3 6 0 3	nチャネル型のT F T	
3 6 0 4	nチャネル型のT F T	
3 6 0 5	nチャネル型のT F T	
3 6 0 6	nチャネル型のT F T	
3 6 0 7	nチャネル型のT F T	
3 6 0 8	nチャネル型のT F T	
3 6 0 9	nチャネル型のT F T	
3 6 1 0	nチャネル型のT F T	
3 6 1 1	nチャネル型のT F T	50

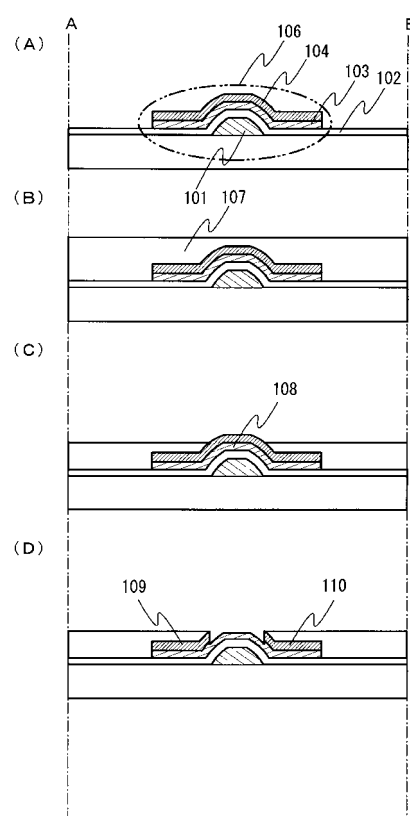
3 6 1 2 n チヤネル型の T F T
 3 6 2 0 n チヤネル型の T F T
 3 6 2 1 n チヤネル型の T F T
 3 6 2 2 n チヤネル型の T F T
 3 6 2 3 n チヤネル型の T F T
 3 6 2 4 n チヤネル型の T F T
 3 6 2 5 n チヤネル型の T F T
 3 6 2 6 n チヤネル型の T F T
 3 6 2 7 n チヤネル型の T F T
 3 6 2 8 n チヤネル型の T F T
 3 6 2 9 n チヤネル型の T F T
 3 6 3 0 n チヤネル型の T F T
 3 6 3 1 n チヤネル型の T F T
 3 6 3 2 n チヤネル型の T F T
 3 6 3 3 n チヤネル型の T F T
 3 6 3 4 n チヤネル型の T F T
 3 6 3 5 n チヤネル型の T F T

10

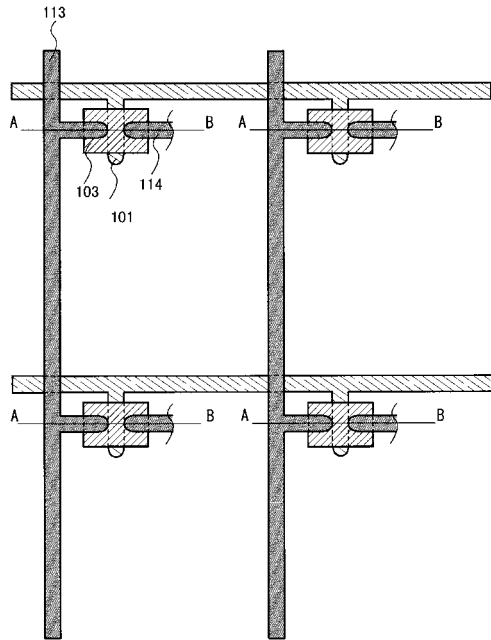
【図 1】



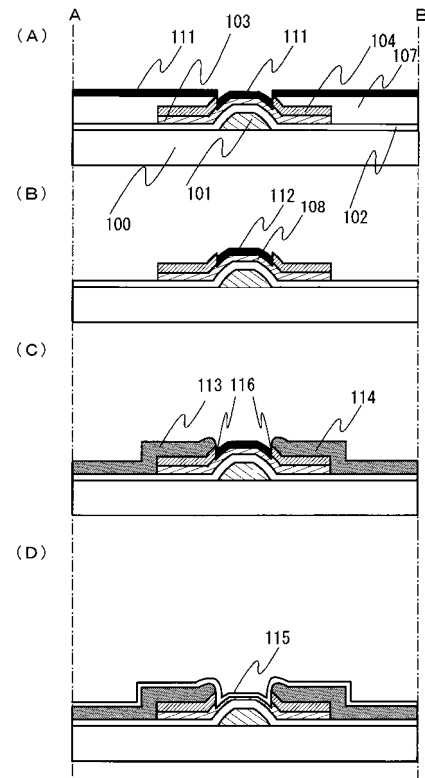
【図 2】



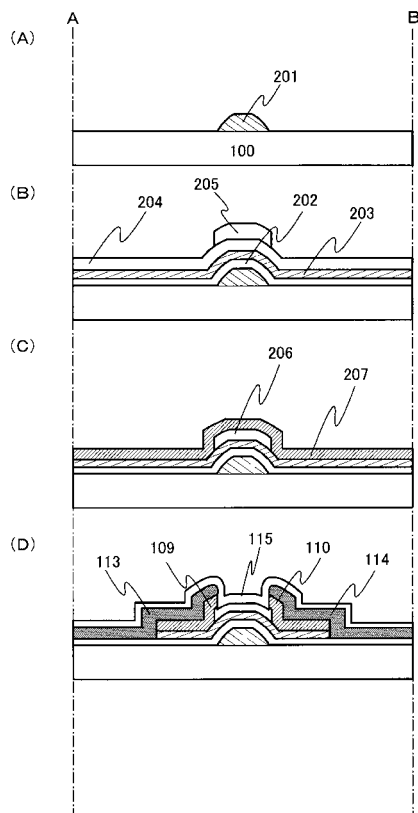
【図 3】



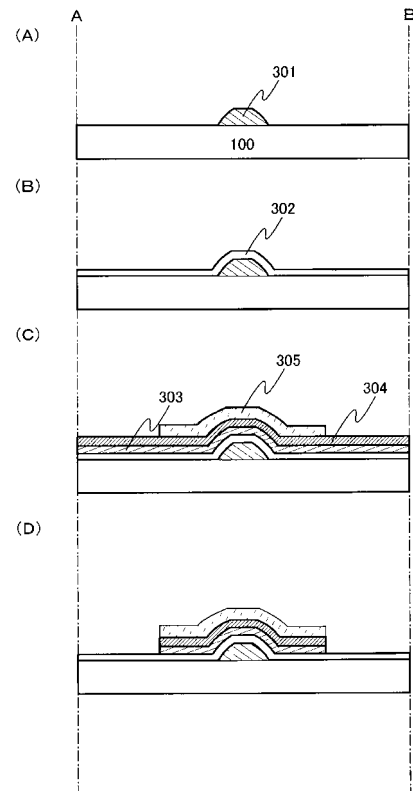
【図 4】



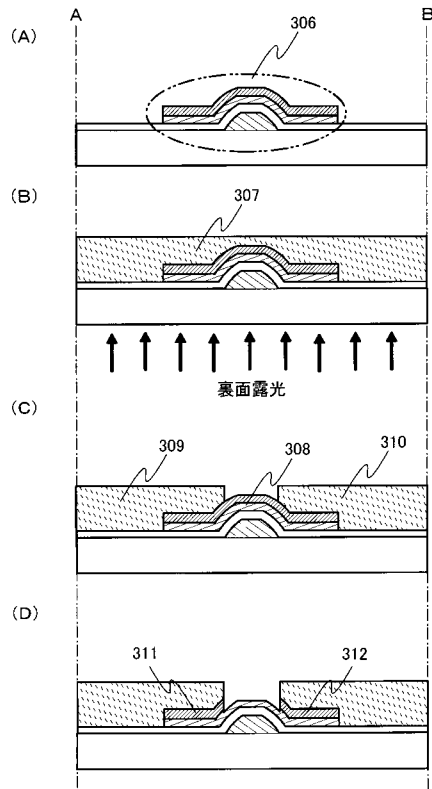
【図 5】



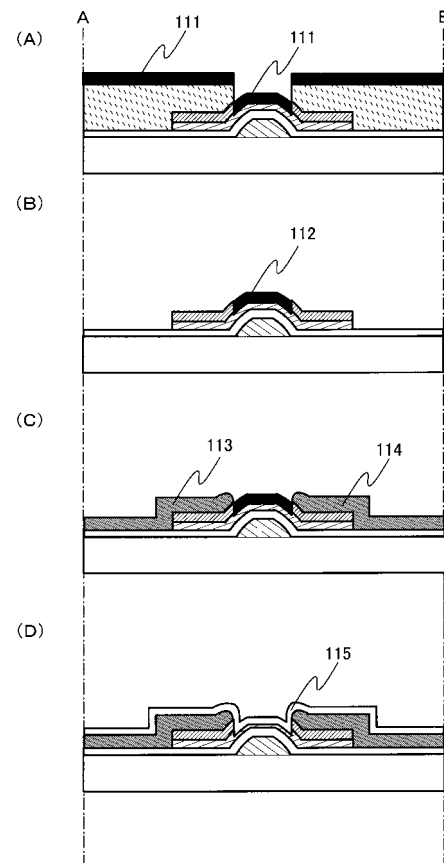
【図 6】



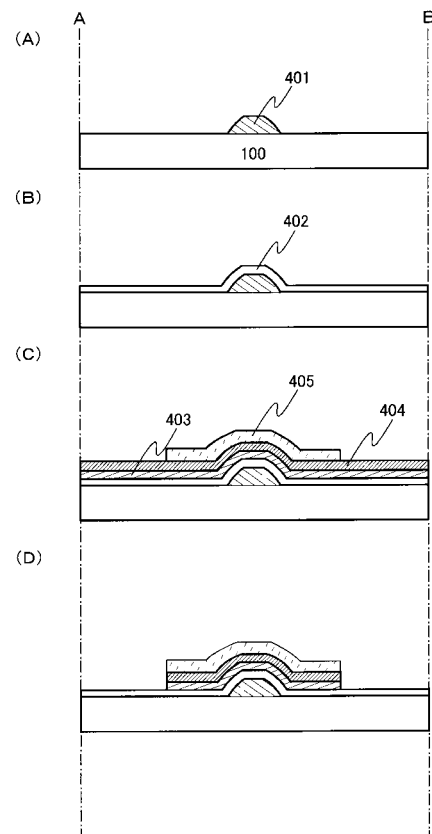
【図 7】



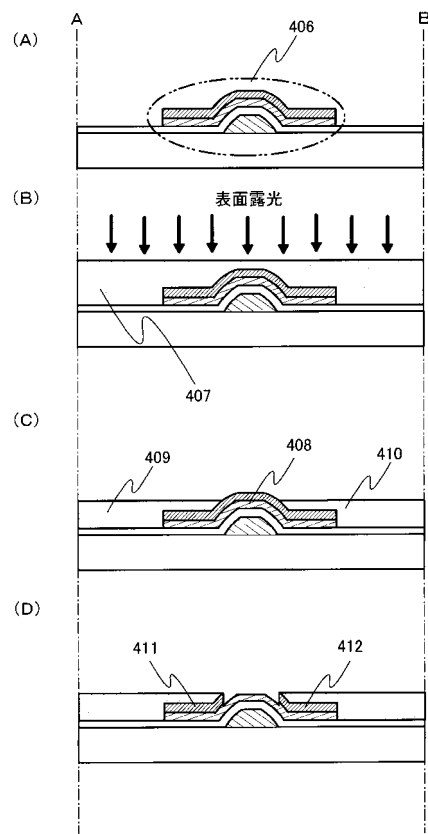
【図 8】



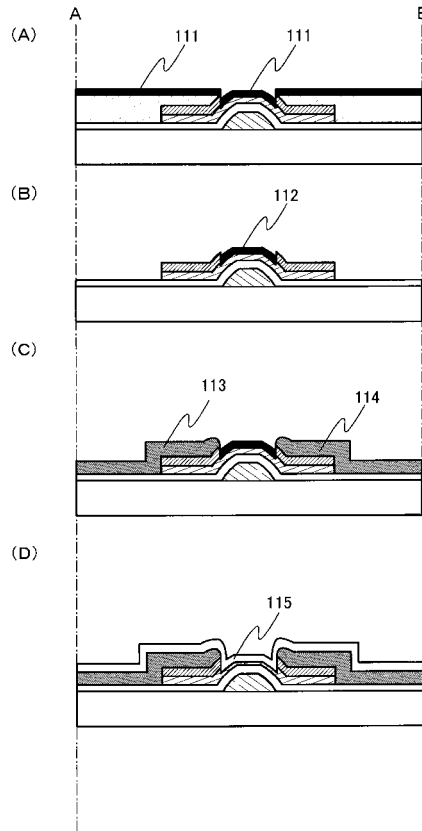
【図 9】



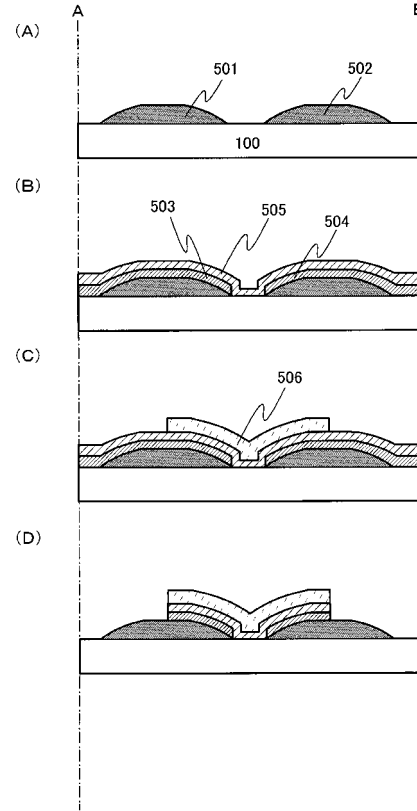
【図 10】



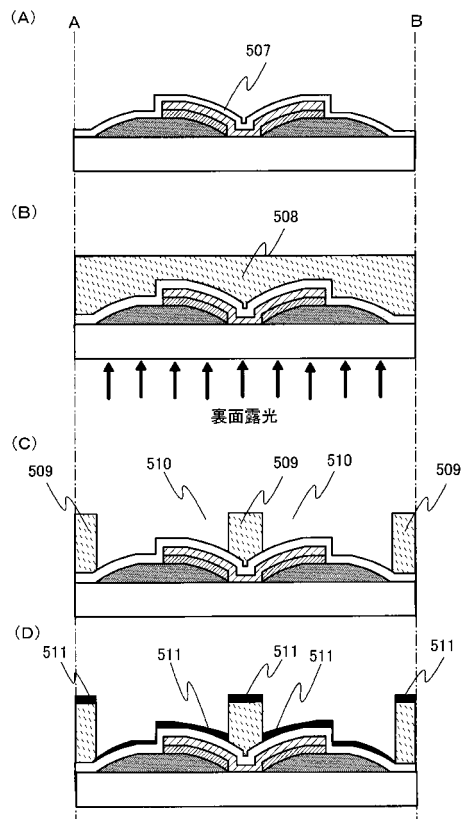
【図 1 1】



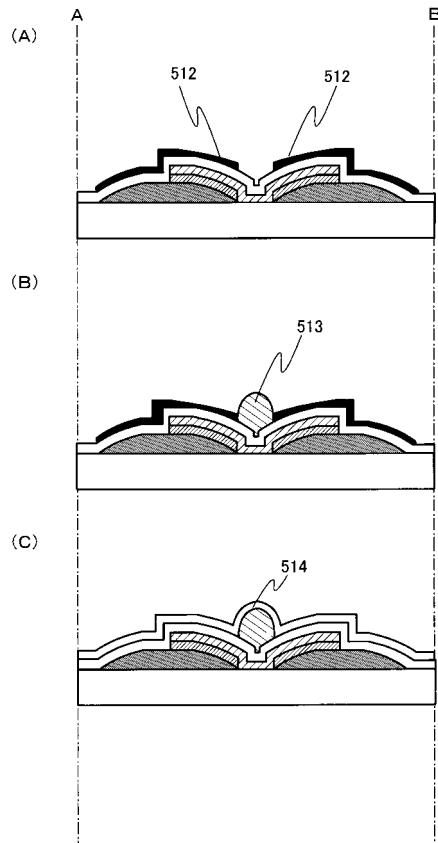
【図 1 2】



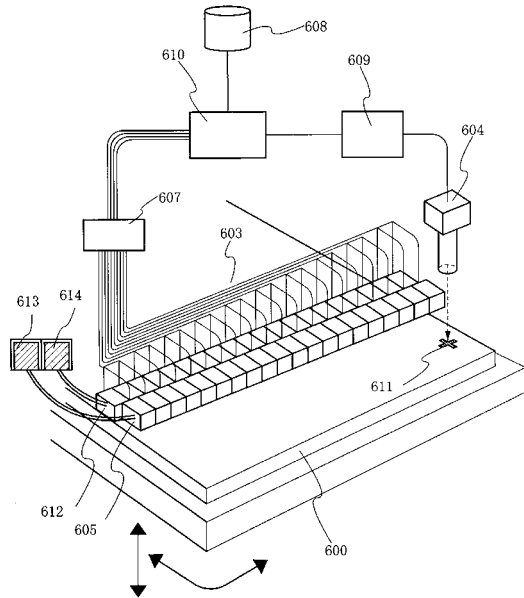
【図 1 3】



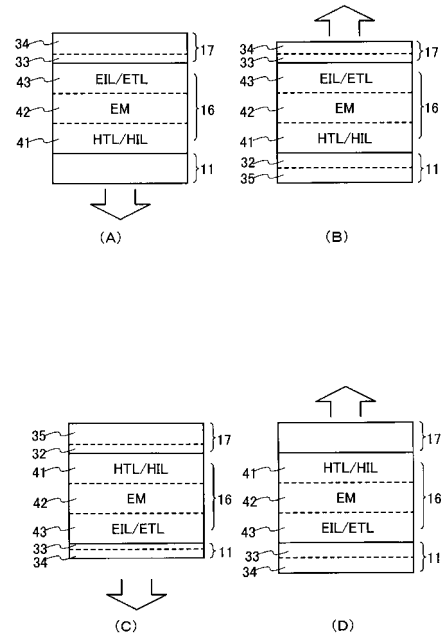
【図 1 4】



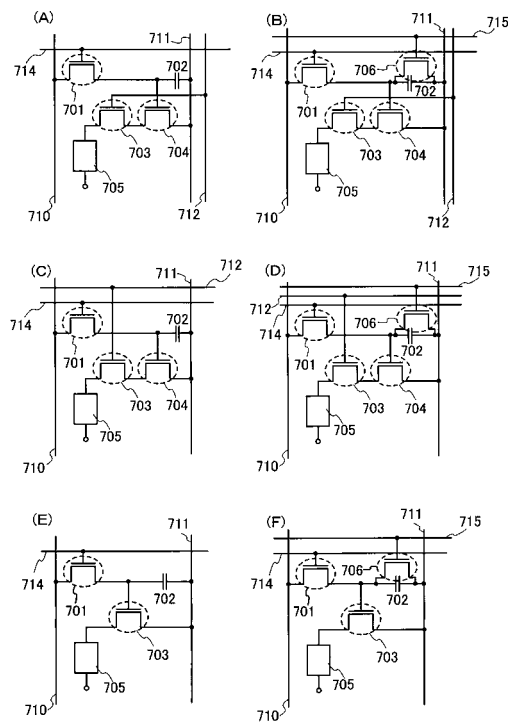
【図 15】



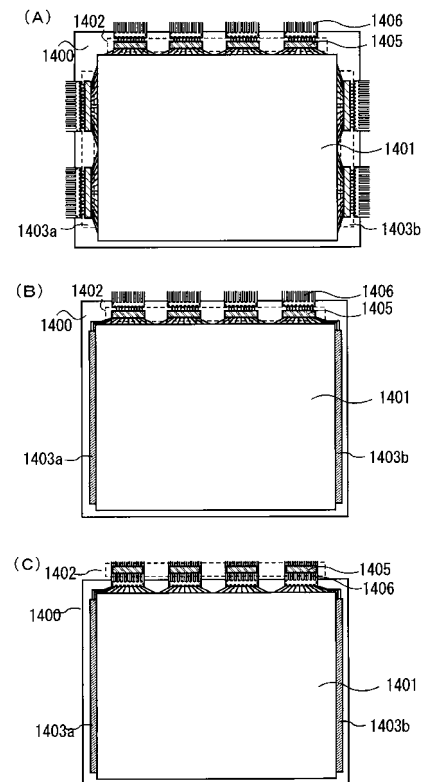
【図 16】



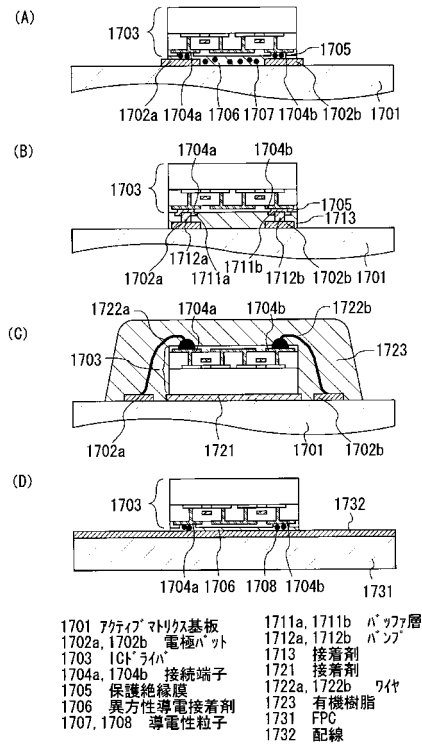
【図 17】



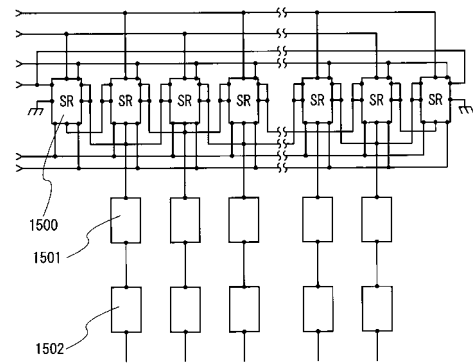
【図 18】



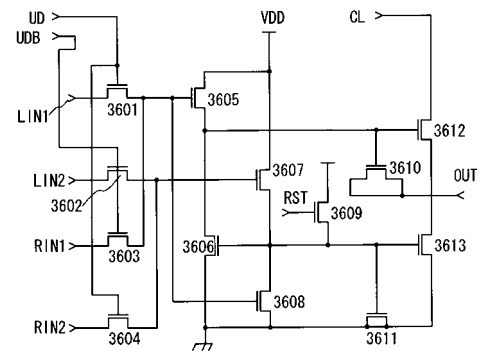
【図 19】



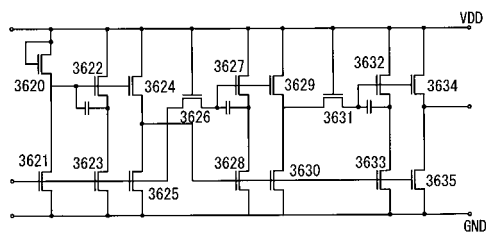
【図 20】



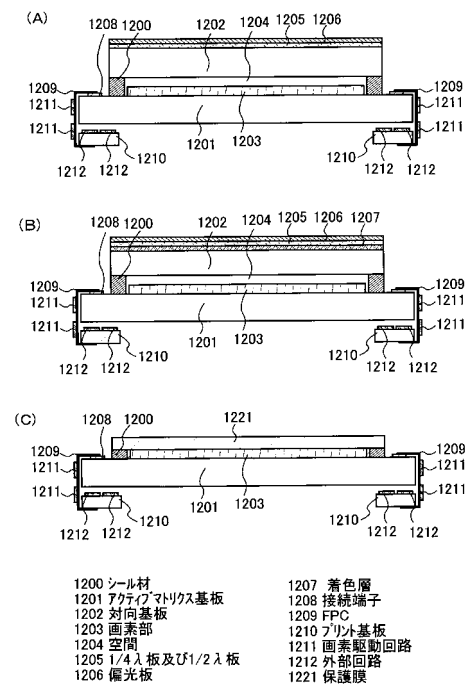
【図 21】



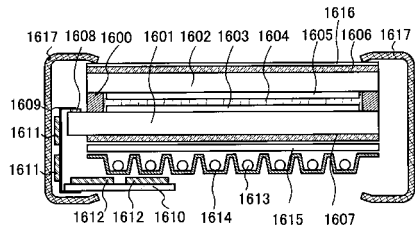
【図 22】



【図 23】

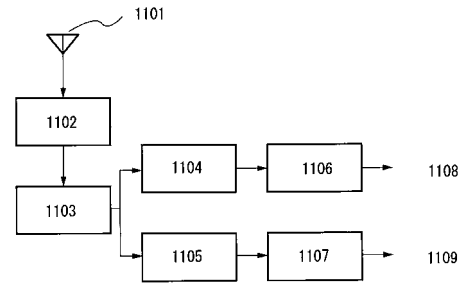


【図 24】



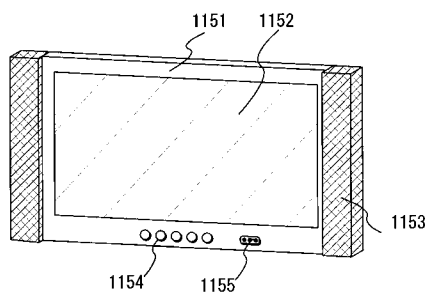
1600 シール剤
1601 アクティブマトリクス基板
1602 対向基板
1603 画素部
1604 液晶層
1605 着色層
1606 偏光板
1607 偏光板
1608 接続端子
1609 FPC
1610 配線基板
1611 画素駆動回路
1612 外部回路
1613 冷陰極管
1614 反射板
1615 光学フィルム
1616 保護膜

【図 25】



1101 アンテナ
1102 チューナー
1103 IFアンプ
1104 映像検波回路
1105 音声検波回路
1106 映像系処理回路
1107 音声系処理回路
1108 映像系出力部
1109 音声系出力部

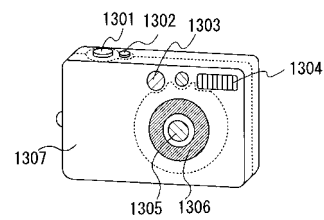
【図 26】



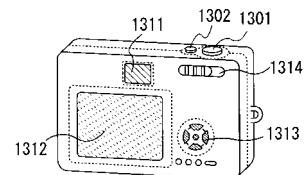
1151 筐体
1152 表示部
1153 スピーカー部
1154 操作部
1155 ビデオ入力端子

【図 27】

(A)



(B)



1301 リリースボタン
1302 メインスイッチ
1303 ファインダー窓
1304 フラッシュ
1305 レンズ
1306 鏡筒
1307 筐体
1311 ファインダー接眼窓
1312 モニター
1313 操作ボタン
1314 スイッチ

フロントページの続き

(56)参考文献 特開2003-318120(JP,A)
特開2002-185005(JP,A)
特開2003-124215(JP,A)
特開平3-41732(JP,A)
特開平3-152807(JP,A)
特表2003-518756(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	29/786
H01L	21/336
H01L	21/28
H01L	21/288