(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2008-532054
(P2008-532054A)
(43)公表日　平成20年8月14日(2008.8.14)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K107
G09F 9/30	(2006.01)	G09F	9/30	338	5C080
H01L 27/32	(2006.01)	G09F	9/30	365Z	5C094
G09F 9/00	(2006.01)	G09F	9/00	352	5G435
H01L 51/50	(2006.01)	H05B	33/14	A	

審査請求 未請求　予備審査請求 未請求　（全 15 頁）　最終頁に続く

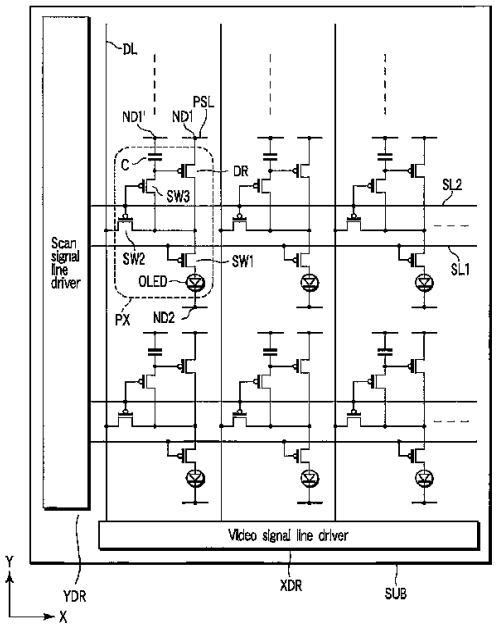
(21)出願番号　特願2007-511131 (P2007-511131)
(86)(22)出願日　平成17年12月13日 (2005.12.13)
(85)翻訳文提出日　平成19年3月6日 (2007.3.6)
(86)国際出願番号　PCT/JP2005/023197
(87)国際公開番号　WO2006/092900
(87)国際公開日　平成18年9月8日 (2006.9.8)
(31)優先権主張番号　特願2005-53424 (P2005-53424)
(32)優先日　平成17年2月28日 (2005.2.28)
(33)優先権主張国　日本国 (JP)

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】表示装置及びその製造方法

(57)【要約】
表示装置の製造方法は、複数の画素ＰＸのうち検査用画像を表示したときに輝線又は滅線状に尾を引いた輝点として視認され得る少なくとも１つを選択することと、選択した画素ＰＸにおいて、表示素子ＯＬＥＤを電源端子ＮＤ１に接続する第１導電路と、第１導電路を映像信号線ＤＬに接続する第２導電路とを断線させることとを含む。
【選択図】　図１



【特許請求の範囲】
【請求項１】
絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、
制御端子と、第１電源端子に接続された第１端子と、前記制御端子と前記第１端子との間の電圧に対応した大きさの電流を出力する第２端子とを含んだ駆動制御素子と、
第１電極と、第２電源端子に接続された第２電極と、前記第１及び第２電極間に介在した活性層とを含んだ表示素子と、
前記第２端子と前記第１電極との間に接続された出力制御スイッチと、
前記第２端子と前記映像信号線と前記制御端子とが互いに電気的に接続された第１状態と、前記第２端子と前記映像信号線と前記制御端子とが互いから電気的に切り離された第２状態との間で電気的接続を切り替えるスイッチ群と、
前記制御端子に接続されたキャパシタとを具備し、
前記複数の画素の一部で、前記第１電極を前記第１電源端子に電気的に接続する第１導電路と前記第２端子を前記映像信号線に電気的に接続する第２導電路とが断線している表示装置。
【請求項２】
前記スイッチ群は、前記映像信号線に接続された映像信号供給制御スイッチと、前記制御端子に接続されたダイオード接続スイッチとを含み、
前記第１及び第２導電路が断線した前記画素では、前記第１導電路のうち前記映像信号線供給制御スイッチを前記映像信号線に接続している部分が断線し、前記第２導電路のうち前記出力制御スイッチを前記第１電極に接続している部分が断線している請求項１に記載の表示装置。
【請求項３】
前記スイッチ群は、前記映像信号線に直列に接続された複数の映像信号供給制御スイッチと、前記制御端子に接続されたダイオード接続スイッチとを含み、
前記第１及び第２導電路が断線した前記画素では、前記第１導電路のうち前記複数の映像信号線供給制御スイッチの１つを前記映像信号線に接続している部分が断線し、前記第２導電路のうち前記出力制御スイッチを前記第１電極に接続している部分が断線している請求項１に記載の表示装置。
【請求項４】
前記スイッチ群は、前記映像信号線に直列に接続された複数の映像信号供給制御スイッチと、前記制御端子に接続されたダイオード接続スイッチとを含み、
前記第１及び第２導電路が断線した前記画素では、前記第１導電路のうち前記複数の映像信号線供給制御スイッチ同士を接続している部分が断線し、前記第２導電路のうち前記出力制御スイッチを前記第１電極に接続している部分が断線している請求項１に記載の表示装置。
【請求項５】
前記第１及び第２導電路は第１及び第２ポリシリコン部をそれぞれ含み、
前記第１及び第２導電路が断線した前記画素では、前記第１及び第２ポリシリコン部が断線している請求項１に記載の表示装置。
【請求項６】
前記表示素子は有機ＥＬ素子である請求項１に記載の表示装置。
【請求項７】
絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、制御端子と、第１電源端子に接続された第１端子と、前記制御端子と前記第１端子との間の電圧に対応した大きさの電流を出力する第２端子とを含んだ駆動制御素子と、第１電極と、第２電源端子に接続された第２電極と、前記第１及び第２電極間に介在した

活性層とを含んだ表示素子と、前記第２端子と前記第１電極との間に接続された出力制御スイッチと、前記第２端子と前記映像信号線と前記制御端子とが互いに電気的に接続された第１状態と、前記第２端子と前記映像信号線と前記制御端子とが互いから電気的に切り離された第２状態との間で電気的接続を切り替えるスイッチ群と、前記制御端子に接続されたキャパシタとを具備した表示装置の製造方法であって、

前記複数の画素のうち、検査用画像を表示したときに輝線又は滅線状に尾を引いた輝点として視認され得る少なくとも１つを選択することと、

選択した前記画素において、前記第１電極を前記第１電源端子に接続する第１導電路と、前記第２端子を前記映像信号線に接続する第２導電路とを断線させることとを含んだ方法。

【請求項８】

前記第１及び第２導電路を断線させることは、前記第１及び第２導電路にレーザ光を照射することを含んだ請求項７に記載の方法。

【請求項９】

前記第１及び第２導電路は第１及び第２ポリシリコン部をそれぞれ含み、

前記第１及び第２導電路を断線させることは、前記第１及び第２ポリシリコン部を断線させることを含んだ請求項７に記載の方法。

【請求項１０】

前記第１及び第２導電路を断線させることは、前記第１及び第２ポリシリコン部にレーザ光を照射することを含んだ請求項９に記載の方法。

【請求項１１】

前記表示素子は有機ＥＬ素子である請求項７に記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置及びその製造方法に係り、特には、アクティブマトリクス駆動方式の表示装置及びその製造方法に関する。

【背景技術】

【０００２】

有機エレクトロルミネッセンス（ＥＬ）表示装置では、駆動電流がばらつくと、輝度むら等の画質不良が生じる。それゆえ、この表示装置でアクティブマトリクス駆動方式を採用した場合には、駆動電流の大きさを制御する駆動制御素子の特性が各画素間でほぼ同一であることが要求される。しかしながら、この表示装置では、通常、駆動制御素子をガラス基板などの絶縁体上に形成するため、その特性にばらつきを生じ易い。

【０００３】

特許文献１には、カレントコピー型の回路を画素回路に採用した有機ＥＬ表示装置が記載されている。このカレントコピー型の画素回路は、駆動制御素子であるｎチャネル電界効果トランジスタ（ＦＥＴ）と、有機ＥＬ素子と、キャパシタと、出力制御スイッチと、映像信号供給制御スイッチと、ダイオード接続スイッチとを含んでいる。

【０００４】

駆動制御素子のソースは低電位の第１電源線に接続されており、キャパシタは駆動制御素子のゲートと第１電源線との間に接続されている。出力制御スイッチは駆動制御素子のドレインと有機ＥＬ素子の陰極との間に接続されており、有機ＥＬ素子の陽極はより高電位の第２電源線に接続されている。映像信号供給制御スイッチは駆動制御素子のドレインと映像信号線との間に接続されており、ダイオード接続スイッチは駆動制御素子のドレインとゲートとの間に接続されている。

【０００５】

このカレントコピー型の画素回路には、書込期間において、映像信号を電流信号I_{sig}として画素回路に供給する。書込期間に続く保持期間では、電流I_{sig}とほぼ等しい大きさの駆動電流が、駆動制御素子のドレインとソースとの間に流れる。それゆえ、駆動制御

素子の閾値V_{th}だけでなく移動度や寸法などが駆動電流に与える影響も排除することができる。

【０００６】

ところで、アクティブマトリクス駆動方式の表示装置では、画素回路内での断線や短絡などに起因して、一部の画素が輝点又は滅点として視認されることがある。また、アクティブマトリクス駆動方式の表示装置では、走査信号線や映像信号線の断線などに起因して、画素の列又は行が輝線又は滅線として視認されることがある。

【０００７】

本発明者は、本発明を為すに際し、画素回路に映像信号として電流信号を書き込むアクティブマトリクス駆動方式の表示装置では、画像中に上記の線状又は点状の輝度ムラに加え、輝線状又は滅線状に尾を引いた輝点を生じ得ることを見出している。

【特許文献１】米国特許第６３７３４５４号明細書

【発明の開示】

【発明が解決しようとする課題】

【０００８】

本発明の目的は、画素回路に映像信号として電流信号を書き込むアクティブマトリクス駆動方式の表示装置で、画像中に輝線状又は滅線状に尾を引いた輝点が生じるのを防止することにある。

【課題を解決するための手段】

【０００９】

本発明の第１側面によると、絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、制御端子と、第１電源端子に接続された第１端子と、前記制御端子と前記第１端子との間の電圧に対応した大きさの電流を出力する第２端子とを含んだ駆動制御素子と、第１電極と、第２電源端子に接続された第２電極と、前記第１及び第２電極間に介在した活性層とを含んだ表示素子と、前記第２端子と前記第１電極との間に接続された出力制御スイッチと、前記第２端子と前記映像信号線と前記制御端子とが互いに電気的に接続された第１状態と、前記第２端子と前記映像信号線と前記制御端子とが互いから電気的に切り離された第２状態との間で電気的接続を切り替えるスイッチ群と、前記制御端子に接続されたキャパシタとを具備し、前記複数の画素の一部で、前記第１電極を前記第１電源端子に電気的に接続する第１導電路と前記第２端子を前記映像信号線に電気的に接続する第２導電路とが断線している表示装置が提供される。

【００１０】

本発明の第２側面によると、絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、制御端子と、第１電源端子に接続された第１端子と、前記制御端子と前記第１端子との間の電圧に対応した大きさの電流を出力する第２端子とを含んだ駆動制御素子と、第１電極と、第２電源端子に接続された第２電極と、前記第１及び第２電極間に介在した活性層とを含んだ表示素子と、前記第２端子と前記第１電極との間に接続された出力制御スイッチと、前記第２端子と前記映像信号線と前記制御端子とが互いに電気的に接続された第１状態と、前記第２端子と前記映像信号線と前記制御端子とが互いから電気的に切り離された第２状態との間で電気的接続を切り替えるスイッチ群と、前記制御端子に接続されたキャパシタとを具備した表示装置の製造方法であって、前記複数の画素のうち、検査用画像を表示したときに輝線又は滅線状に尾を引いた輝点として視認され得る少なくとも１つを選択することと、選択した前記画素において、前記第１電極を前記第１電源端子に接続する第１導電路と、前記第２端子を前記映像信号線に接続する第２導電路とを断線させることとを含んだ方法が提供される。

【発明を実施するための最良の形態】

【００１１】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図におい

て、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【００１２】

図１は、本発明の一態様に係る表示装置を概略的に示す平面図である。図２は、図１の表示装置に採用可能な構造の一例を概略的に示す断面図である。図３は、図１の表示装置の画素に採用可能な構造の一例を概略的に示す平面図である。なお、図２では、表示装置を、その表示面，すなわち前面又は光出射面，が下方を向き、背面が上方を向くように描いている。また、図３には、表示面側から見た画素の構造を描いている。

【００１３】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機ＥＬ表示装置である。この有機ＥＬ表示装置は、例えば、ガラス基板などの絶縁基板ＳＵＢを含んでいる。

【００１４】

基板ＳＵＢ上には、図２に示すように、アンダーコート層ＵＣとして、例えば、SiN_x層とSiO_x層とが順次積層されている。

【００１５】

アンダーコート層ＵＣ上には、例えばチャネル及びソース・ドレインが形成されたポリシリコン層である半導体層ＳＣ、例えばtetraethyl orthosilicate（ＴＥＯＳ）などを用いて形成され得るゲート絶縁膜ＧＩ、及び例えばＭｏＷなどからなるゲートＧが順次積層されており、それらはトップゲート型のＴＦＴを構成している。この例では、これらＴＦＴは、ｐチャネルＴＦＴであり、図１及び図３の画素ＰＸが含む駆動制御素子ＤＲ及びスイッチＳＷ１乃至ＳＷ３として利用している。

【００１６】

ゲート絶縁膜ＧＩ上には、図１に示す走査信号線ＳＬ１及びＳＬ２並びに図１及び図３に示す電極Ｅ１がさらに配置されている。走査信号線ＳＬ１及びＳＬ２並びに電極Ｅ１は、ゲートＧと同一の工程で形成可能である。

【００１７】

走査信号線ＳＬ１及びＳＬ２は、図１に示すように、各々が画素ＰＸの行方向（Ｘ方向）に延びており、画素ＰＸの列方向（Ｙ方向）に交互に配列している。これら走査信号線ＳＬ１及びＳＬ２は、走査信号線ドライバＹＤＲに接続されている。

【００１８】

電極Ｅ１は、駆動制御素子ＤＲのゲートＧに接続されている。電極Ｅ１は、後述するキャパシタＣの一方の電極として利用する。

【００１９】

ゲート絶縁膜ＧＩ、ゲートＧ、走査信号線ＳＬ１及びＳＬ２、並びに電極Ｅ１は、図２に示す層間絶縁膜ＩＩで被覆されている。層間絶縁膜ＩＩは、例えばプラズマＣＶＤ法などにより成膜されたSiO_xなどからなる。この層間絶縁膜ＩＩのうち電極Ｅ１上の部分は、キャパシタＣの誘電体層として利用する。

【００２０】

層間絶縁膜ＩＩ上には、図２と図３とに示すソース電極ＳＥ及びドレイン電極ＤＥ、図１と図３とに示す映像信号線ＤＬ及び電源線ＰＳＬ、並びに図３に示す電極Ｅ２が配置されている。これらは、同一工程で形成可能であり、例えば、Ｍｏ／Ａｌ／Ｍｏの三層構造を有している。

【００２１】

ソース電極ＳＥ及びドレイン電極ＤＥは、層間絶縁膜ＩＩに設けられたコンタクトホールを介してＴＦＴのソース及びドレインに電気的に接続されている。

【００２２】

映像信号線ＤＬは、図１及び図３に示すように、各々がＹ方向に延びており、Ｘ方向に配列している。これら映像信号線ＤＬは、映像信号線ドライバＸＤＲに接続されている。

【００２３】

電源線ＰＳＬは、この例では、図３に示すように、各々がＹ方向に延びており、Ｘ方向に配列している。

【００２４】

電極Ｅ２は、電源線ＰＳＬに接続されている。電極Ｅ２は、キャパシタＣの他方の電極として利用する。

【００２５】

ソース電極ＳＥ、ドレイン電極ＤＥ、映像信号線ＤＬ、電源線ＰＳＬ、及び電極Ｅ２は、図２に示すパッシベーション膜ＰＳで被覆されている。パッシベーション膜ＰＳは、例えばSiN_xなどからなる。

【００２６】

パッシベーション膜ＰＳ上には、図２に示すように、前面電極として、光透過性の第１電極ＰＥが互いから離間して並置されている。各第１電極ＰＥは、画素電極であり、図２及び図３に示すように、パッシベーション膜ＰＳに設けた貫通孔を介して、スイッチＳＷ１のドレイン電極ＤＥに接続されている。

【００２７】

第１電極ＰＥは、この例では陽極である。第１電極ＰＥの材料としては、例えば、indium tin oxide（ＩＴＯ）のような透明導電性酸化物を使用することができる。

【００２８】

パッシベーション膜ＰＳ上には、さらに、図２に示す隔壁絶縁層ＰＩが配置されている。隔壁絶縁層ＰＩには、第１電極ＰＥに対応した位置に貫通孔が設けられているか、或いは、第１電極ＰＥが形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層ＰＩには、第１電極ＰＥに対応した位置に貫通孔が設けられていることとする。

【００２９】

隔壁絶縁層ＰＩは、例えば、有機絶縁層である。隔壁絶縁層ＰＩは、例えば、フォトリソグラフィ技術を用いて形成することができる。

【００３０】

第１電極ＰＥ上には、活性層として、発光層を含んだ有機物層ＯＲＧが配置されている。発光層は、例えば、発光色が赤色、緑色、又は青色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層ＯＲＧは、発光層に加え、正孔注入層、正孔注入層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【００３１】

隔壁絶縁層ＰＩ及び有機物層ＯＲＧは、背面電極である第２電極ＣＥで被覆されている。第２電極ＣＥは、画素ＰＸ間で互いに接続された共通電極であり、この例では光反射性の陰極である。第２電極ＣＥは、例えば、パッシベーション膜ＰＳと隔壁絶縁層ＰＩとに設けられたコンタクトホールを介して、映像信号線ＤＬと同一の層上に形成された電極配線（図示せず）に電気的に接続されている。各々の有機ＥＬ素子ＯＬＥＤは、第１電極ＰＥ、有機物層ＯＲＧ及び第２電極ＣＥで構成されている。

【００３２】

各画素ＰＸは、有機ＥＬ素子ＯＬＥＤと画素回路とを含んでいる。この例では、画素回路は、図１及び図３に示すように、駆動制御素子ＤＲと、出力制御スイッチＳＷ１と、映像信号供給制御スイッチＳＷ２と、ダイオード接続スイッチＳＷ３と、キャパシタＣとを含んでいる。上記の通り、この例では、駆動制御素子ＤＲ及びスイッチＳＷ１乃至ＳＷ３はｐチャネルＴＦＴである。また、この例では、映像信号供給制御スイッチＳＷ２とダイオード接続スイッチＳＷ３とは、駆動制御素子ＤＲのドレインと映像信号線ＤＬと駆動制御素子ＤＲのゲートとの接続状態を、それらが互いに接続された第１状態と、それらが互いから遮断された第２状態との間で切り替えるスイッチ群を構成している。

【００３３】

駆動制御素子ＤＲと出力制御スイッチＳＷ１と有機ＥＬ素子ＯＬＥＤとは、第１電源端子ＮＤ１と第２電源端子ＮＤ２との間で、この順に直列に接続されている。この例では、

第１電源端子ＮＤ１は高電位電源端子であり、第２電源端子ＮＤ２は低電位電源端子である。

【００３４】

出力制御スイッチＳＷ１のゲートは、走査信号線ＳＬ１に接続されている。映像信号供給制御スイッチＳＷ２は映像信号線ＤＬと駆動制御素子ＤＲのドレインとの間に接続されており、そのゲートは走査信号線ＳＬ２に接続されている。ダイオード接続スイッチＳＷ３は駆動制御素子ＤＲのドレインとゲートとの間に接続されており、そのゲートは走査信号線ＳＬ２に接続されている。キャパシタＣは、駆動制御素子ＤＲのゲートと定電位端子ＮＤ１’との間に接続されている。

【００３５】

この有機ＥＬ表示装置で画像を表示する場合、例えば、走査信号線ＳＬ１及びＳＬ２の各々を線順次駆動する。そして、或る画素ＰＸに映像信号を書き込む書込期間では、まず、走査信号線ドライバＹＤＲから、先の画素ＰＸが接続された走査信号線ＳＬ１にスイッチＳＷ１を開く走査信号を電圧信号として出力し、続いて、先の画素ＰＸが接続された走査信号線ＳＬ２にスイッチＳＷ２及びＳＷ３を閉じる走査信号を電圧信号として出力する。この状態で、映像信号線ドライバＸＤＲから、先の画素ＰＸが接続された映像信号線ＤＬに映像信号を電流信号として出力し、駆動制御素子ＤＲのゲート－ソース間電圧を、先の映像信号に対応した大きさに設定する。その後、走査信号線ドライバＹＤＲから、先の画素ＰＸが接続された走査信号線ＳＬ２にスイッチＳＷ２及びＳＷ３を開く走査信号を電圧信号として出力し、続いて、先の画素ＰＸが接続された走査信号線ＳＬ１にスイッチＳＷ１を閉じる走査信号を電圧信号として出力する。

【００３６】

スイッチＳＷ１を閉じている有効表示期間では、有機ＥＬ素子ＯＬＥＤには、駆動制御素子ＤＲのゲート－ソース間電圧に対応した大きさの駆動電流が流れる。有機ＥＬ素子ＯＬＥＤは、駆動電流の大きさに対応した輝度で発光する。

【００３７】

さて、上記の通り、画素回路に映像信号として電流信号を書き込むアクティブマトリクス駆動方式の表示装置では、輝線状又は滅線状に尾を引いた輝点を生じ得る。本発明者は、この理由について詳細に調べた結果、以下の事実を見い出した。

【００３８】

例えば、Ｍ行目の走査信号線ＳＬ１及びＳＬ２とＮ列目の映像信号線ＤＬとに接続された画素ＰＸにおいて、駆動制御素子ＤＲのソース－ドレイン間が短絡しているとする。この場合、その画素ＰＸの有機ＥＬ素子ＯＬＥＤは、有効表示期間において常に最大輝度で発光する。そのため、この画素ＰＸは、輝点として視認される。

【００３９】

また、この場合、先の画素ＰＸの書込期間において、映像信号線ドライバＸＤＲは、Ｎ列目の映像信号線ＤＬを、第１電源端子ＮＤ１とほぼ等しい電位に設定する。すなわち、Ｎ列目の映像信号線ＤＬの電位は、過剰に高くなる。映像信号線ＤＬの配線容量は無視できない程度に大きいため、Ｎ列目の映像信号線ＤＬの電位が適正な範囲内に回復するまでには、例えば、数十行分の書込期間が必要である。

【００４０】

そのため、Ｎ列目の映像信号線ＤＬに接続された画素ＰＸのうち、Ｍ＋１行目以降の数十個では、映像信号線ドライバＸＤＲの出力よりも小さな信号が書き込まれることとなる。その結果、これら画素ＰＸの輝度は、本来の輝度よりも低くなる。したがって、これら画素ＰＸは、滅線として視認される。

【００４１】

このような理由から、駆動制御素子ＤＲのソース－ドレイン間が短絡すると、滅線状に尾を引いた輝点を生じるのである。なお、先の説明から分かるように、滅線の輝度は一定ではなく、通常、輝点側の端から他端に向けて高くなる。

【００４２】

輝線状に尾を引いた輝点は、例えば、Ｍ行目の走査信号線ＳＬ１及びＳＬ２とＮ列目の映像信号線ＤＬとに接続された画素ＰＸにおいて、出力制御スイッチＳＷ１のソースードレイン間が短絡している場合に生じる。

【００４３】

すなわち、この場合、その画素ＰＸの書込期間において、映像信号線ドライバＸＤＲは、Ｎ列目の映像信号線ＤＬを第２電源端子ＮＤ２よりも低い電位に設定する。そのため、その画素ＰＸでは、駆動制御素子ＤＲのゲート電位が非常に低くなる。したがって、その画素ＰＸの有機ＥＬ素子ＯＬＥＤは、有効表示期間において常に最大輝度で発光する。そのため、この画素ＰＸは、輝点として視認される。

【００４４】

また、この場合、先の画素ＰＸの書込期間において、Ｎ列目の映像信号線ＤＬは過剰に低い電位に設定される。映像信号線ＤＬの配線容量は無視できない程度に大きいため、Ｎ列目の映像信号線ＤＬの電位が適正な範囲内に回復するまでには、例えば、数十行分の書込期間が必要である。

【００４５】

そのため、Ｎ列目の映像信号線ＤＬに接続された画素ＰＸのうち、Ｍ＋１行目以降の数十個では、映像信号線ドライバＸＤＲの出力よりも大きな信号が書き込まれることとなる。その結果、これら画素ＰＸの輝度は、本来の輝度よりも高くなる。したがって、これら画素ＰＸは、輝線として視認される。

【００４６】

このような理由から、出力制御スイッチＳＷ１のソースードレイン間が短絡すると、輝線状に尾を引いた輝点を生じるのである。なお、先の説明から分かるように、輝線の輝度は一定ではなく、通常、輝点側の端から他端に向けて低くなる。

【００４７】

本発明者は、以上の事実から、以下の方法を採用すれば、画像中に輝線状又は滅線状に尾を引いた輝点が現れるのを防止できることを見い出した。

【００４８】

すなわち、まず、通常の方法により、図１及び図２に示す構造を作製する。次に、修復工程を実施する。

【００４９】

修復工程では、まず、画素ＰＸの中から、輝線状又は滅線状に尾を引いた輝点として視認され得るものを選択する。なお、ここで選択するのは、輝点に対応した画素ＰＸであって、輝線又は滅線に対応した画素ＰＸではない。また、ここで着目する輝点は、Ｙ方向に尾を引いているもののみである。

【００５０】

次に、選択した画素ＰＸにおいて、有機ＥＬ素子ＯＬＥＤの第１電極ＣＥを第１電源端子ＮＤ１に接続する第１導電路と、この第１導電路を映像信号線ＤＬに接続する第２導電路との双方を断線させる。第１導電路は、例えば、出力制御スイッチＳＷ１と有機ＥＬ素子ＯＬＥＤの第１電極ＰＥとを接続している部分で断線させる。第２導電路は、例えば、映像信号供給制御スイッチＳＷ２と映像信号線ＤＬとを接続している部分で断線させる。また、第１及び第２導電路は、例えば、それらの半導体層ＳＣにレーザ光を照射することにより断線させる。

【００５１】

選択した画素ＰＸにおいて第１導電路を断線させると、その画素ＰＸが含む有機ＥＬ素子ＯＬＥＤは有効表示期間において発光しない。したがって、この画素ＰＸが輝点として視認されることはない。

【００５２】

また、選択した画素ＰＸにおいて第２導電路を断線させると、その画素ＰＸの書込期間において、これを接続した映像信号線ＤＬの電位が第１電源端子ＮＤ１や第２電源端子ＮＤ２の電位の影響を受けることはない。したがって、この画素ＰＸの影響で輝線又は滅線

が生じることはない。

【００５３】

それゆえ、先の修復を行うと、画像中に輝線状又は滅線状に尾を引いた輝点が現れるのを防止可能となる。

【００５４】

この修復は、画素ＰＸに以下の痕跡を残す。これについて、図４を参照しながら説明する。

【００５５】

図４は、図３の画素に修復を施した後の構造を概略的に示す平面図である。

上記の通り、本態様では、輝線状又は滅線状に尾を引いた輝点として視認され得る画素ＰＸを選択し、その画素ＰＸにおいて第１及び第２導電路の双方を断線させる。したがって、完成した有機ＥＬ表示装置では、一部の画素ＰＸは２箇所の断線部を含んでいる。

【００５６】

例えば、第１導電路を出力制御スイッチＳＷ１と有機ＥＬ素子ＯＬＥＤの第１電極ＰＥとを接続している部分で断線させ、第２導電路を映像信号供給制御スイッチＳＷ２と映像信号線ＤＬとを接続している部分で断線させた場合には、図４に示す構造が得られる。なお、半導体層ＳＣがポリシリコンなどのように結晶質であり且つ半導体層ＳＣの位置で断線させる場合、半導体層ＳＣへのレーザ光照射によって、結晶質から非晶質への相変化を生じさせることができる。この場合、レーザ光照射による半導体層ＳＣの物理的な切断が不完全であっても、その電気抵抗は著しく上昇するため、電気的な切断が不十分となることはない。

【００５７】

以上、画素ＰＸに図１の構成を採用した有機ＥＬ表示装置について説明したが、画素ＰＸには他の構成を採用してもよい。例えば、映像信号供給制御スイッチＳＷ２とダイオード接続スイッチＳＷ３とを映像信号線ＤＬと駆動制御素子ＤＲのドレインとの間でこの順に直列に接続し、且つ、ダイオード接続スイッチＳＷ３のドレインを駆動制御素子ＤＲのゲートに接続してもよい。或いは、ダイオード接続スイッチＳＷ３は、駆動制御素子ＤＲのドレインとゲートとの間に接続する代わりに、駆動制御素子ＤＲのゲートと映像信号線ＤＬとの間に接続してもよい。或いは、スイッチ群は、２つのスイッチ，すなわち、映像信号供給制御スイッチＳＷ２及びダイオード接続スイッチＳＷ３，で構成する代わりに、３つ以上のスイッチで構成してもよい。

【００５８】

図５は、一変形例に係る表示装置が含む画素の等価回路図である。図６は、変形例に係る表示装置の画素に採用可能な構造の一例を概略的に示す平面図である。なお、図６には、表示面側から見た画素の構造を描いている。

【００５９】

図５及び図６の画素ＰＸは、映像信号線ＤＬと駆動制御素子ＤＲのドレインとの間に映像信号供給制御スイッチＳＷ２を接続する代わりに、映像信号線ＤＬと駆動制御素子ＤＲのドレインとの間で映像信号供給制御スイッチＳＷ２ａ及びＳＷ２ｂをこの順に直列に接続していること以外は、図１及び図３の画素ＰＸと同様の構造を有している。すなわち、スイッチ群を信号供給制御スイッチＳＷ２及びダイオード接続スイッチＳＷ３で構成する代わりに、映像信号供給制御スイッチＳＷ２ａ及びＳＷ２ｂ並びにダイオード接続スイッチＳＷ３で構成している。このように、スイッチ群は３つ以上のスイッチで構成してもよい。

【００６０】

画素ＰＸに図５及び図６の構造を採用した場合、上述した修復は、例えば、以下の要領で行ってもよい。これについて、図７及び図８を参照しながら説明する。

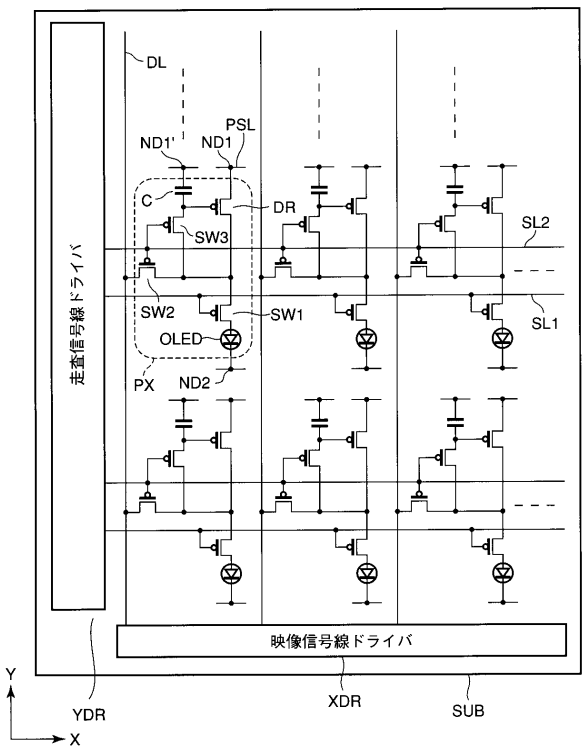
【００６１】

図７は、図６の画素に修復を施した後の構造の一例を概略的に示す平面図である。図８は、図６の画素に修復を施した後の構造の他の例を概略的に示す平面図である。

【００６２】
画素ＰＸに図５及び図６の構造を採用した場合でも、上述したのと同様、まず、輝線状又は滅線状に尾を引いた輝点として視認され得る画素ＰＸを選択する。次いで、その画素ＰＸにおいて、第１及び第２導電路の双方を断線させる。
【００６３】
第２導電路は、例えば、映像信号供給制御スイッチＳＷ２ａと映像信号線ＤＬとを接続している部分で断線させることができる。この場合、第１導電路を、出力制御スイッチＳＷ１と有機ＥＬ素子ＯＬＥＤの第１電極ＰＥとを接続している部分で断線させると、図７の構造が得られる。
【００６４】
第２導電路は、映像信号供給制御スイッチＳＷ２ａと映像信号供給制御スイッチＳＷ２ｂとを接続している部分で断線させてもよい。この場合、第１導電路を、出力制御スイッチＳＷ１と有機ＥＬ素子ＯＬＥＤの第１電極ＰＥとを接続している部分で断線させると、図８の構造が得られる。
【００６５】
上述した有機ＥＬ表示装置では、典型的には、基板ＳＵＢの主面に垂直な方向から見た場合に、第１及び第２導電路と他の配線又は電極とが、その断線部において重なり合わない配置を採用する。こうすると、第１及び第２導電路を断線させるためのレーザ光照射によって、他の配線又は電極がダメージを受けるのを抑制することができる。特に、基板ＳＵＢの主面に垂直な方向から見た場合における、断線部と第１及び第２導電路以外の配線又は電極との間の距離が約２μｍ以上である場合、第１及び第２導電路を断線させるためのレーザ光照射によって、他の配線又は電極がダメージを受けるのを容易に防止することができる。
【００６６】
さらなる利益及び変形は、当業者には容易である。それゆえ、本発明は、そのより広い側面において、ここに記載された特定の記載や代表的な態様に限定されるべきではない。したがって、添付の請求の範囲及びその等価物によって規定される本発明の包括的概念の真意又は範囲から逸脱しない範囲内で、様々な変形が可能である。
【図面の簡単な説明】
【００６７】
【図１】本発明の一態様に係る表示装置を概略的に示す平面図。
【図２】図１の表示装置に採用可能な構造の一例を概略的に示す断面図。
【図３】図１の表示装置の画素に採用可能な構造の一例を概略的に示す平面図。
【図４】図３の画素に修復を施した後の構造を概略的に示す平面図。
【図５】一変形例に係る表示装置が含む画素の等価回路図。
【図６】変形例に係る表示装置の画素に採用可能な構造の一例を概略的に示す平面図。
【図７】図６の画素に修復を施した後の構造の一例を概略的に示す平面図。
【図８】図６の画素に修復を施した後の構造の他の例を概略的に示す平面図。
【符号の説明】
【００６８】
Ｃ…キャパシタ、ＣＥ…第２電極、ＤＥ…ドレイン電極、ＤＬ…映像信号線、ＤＲ…駆動制御素子、Ｅ１…電極、Ｅ２…電極、Ｇ…ゲート、ＧＩ…ゲート絶縁膜、ＩＩ…層間絶縁膜、ＮＤ１…第１電源端子、ＮＤ１’…定電位端子、ＮＤ２…第２電源端子、ＯＬＥＤ…有機ＥＬ素子、ＯＲＧ…有機物層、ＰＥ…第１電極、ＰＩ…隔壁絶縁層、ＰＳ…パッシベーション膜、ＰＳＬ…電源線、ＰＸ…画素、ＳＣ…半導体層、ＳＥ…ソース電極、ＳＬ１…走査信号線、ＳＬ２…走査信号線、ＳＵＢ…絶縁基板、ＳＷ１…出力制御スイッチ、ＳＷ２…映像信号供給制御スイッチ、ＳＷ２ａ…映像信号供給制御スイッチ、ＳＷｂ…映像信号供給制御スイッチ、ＳＷ３…ダイオード接続スイッチ、ＵＣ…アンダーコート層、ＸＤＲ…映像信号線ドライバ、ＹＤＲ…走査信号線ドライバ。

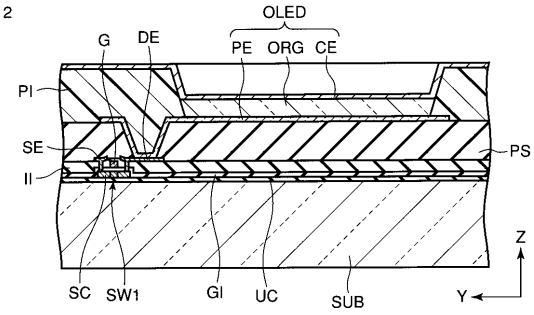
【図１】

図１



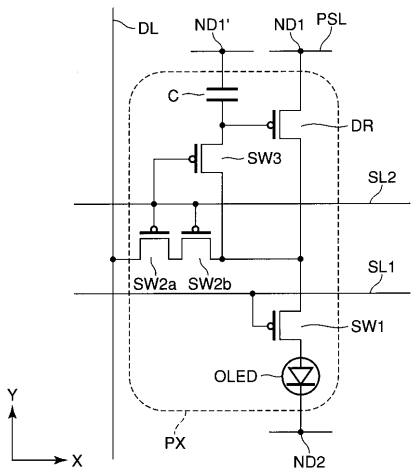
【図２】

図２



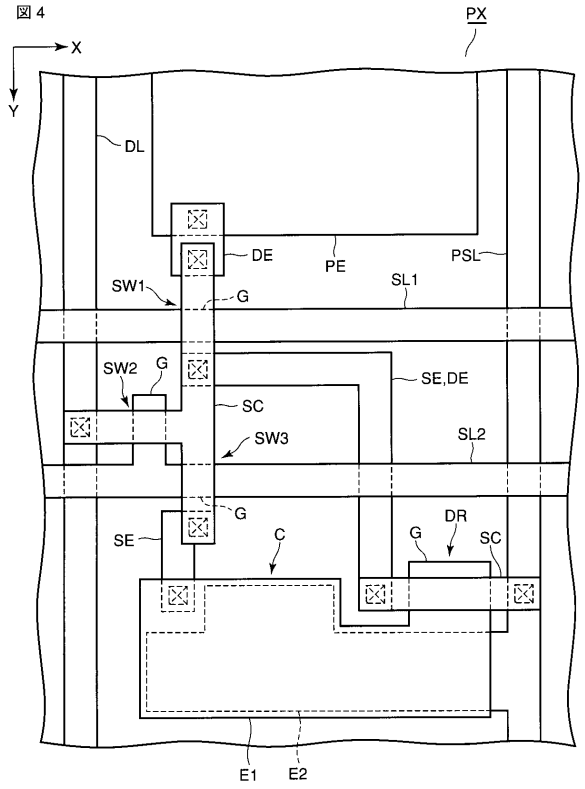
【図３】

図３



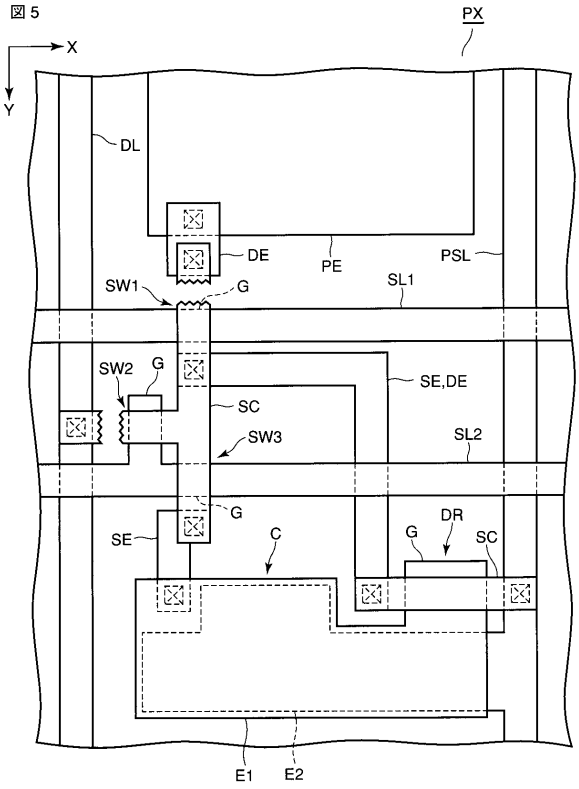
【図４】

図４

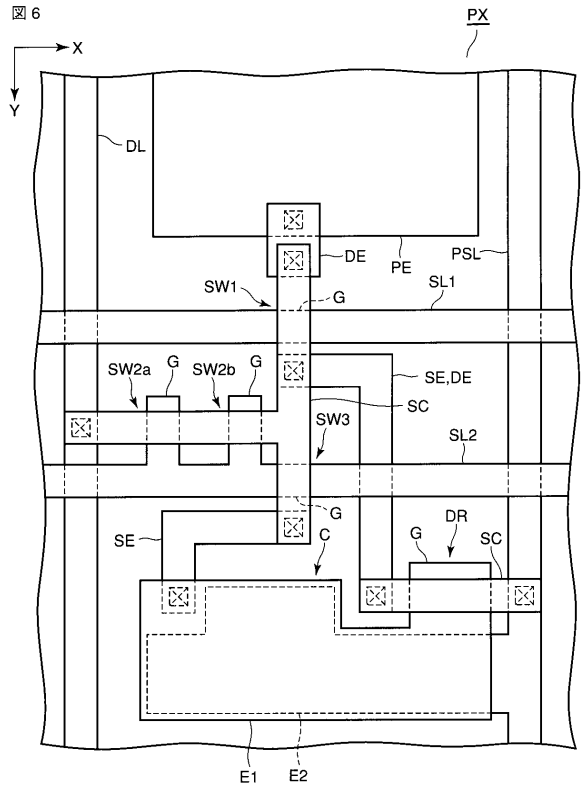


【図５】

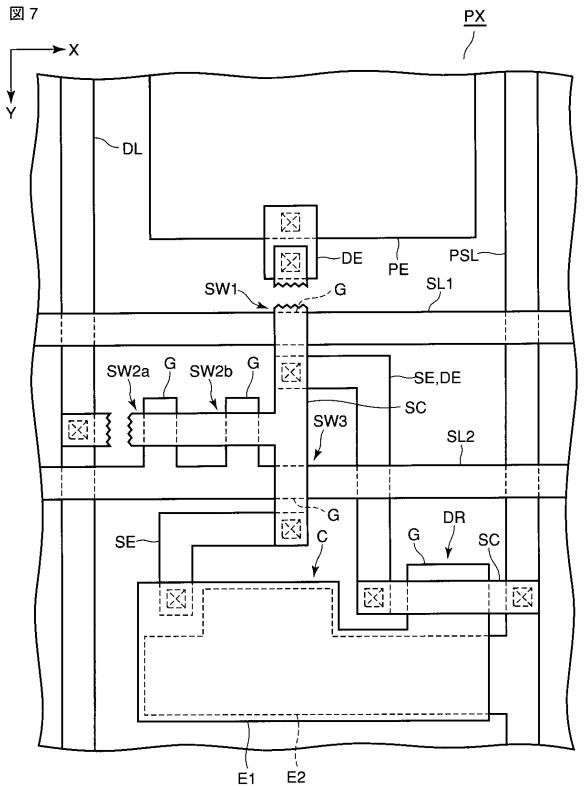
図５



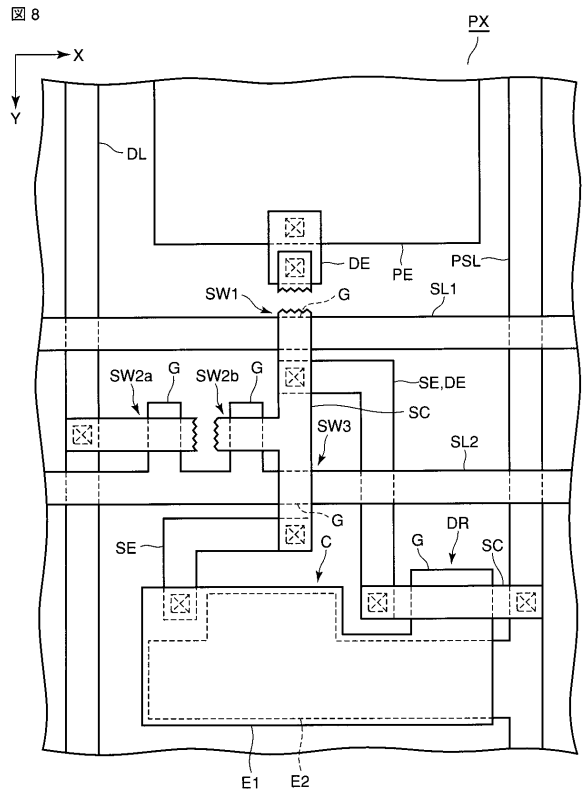
【図６】


図６
PX
X
Y
DL
DE
PE
PSL
SW1
G
SL1
SW2a
G
SW2b
G
SE,DE
SC
SW3
SL2
G
DR
SE
C
G
SC
E1
E2

【図７】


図７
PX
X
Y
DL
DE
PE
PSL
SW1
G
SL1
SW2a
G
SW2b
G
SE,DE
SC
SW3
SL2
G
DR
SE
C
G
SC
E1
E2

【図８】


図８
PX
X
Y
DL
DE
PE
PSL
SW1
G
SL1
SW2a
G
SW2b
G
SE,DE
SC
SW3
SL2
G
DR
SE
C
G
SC
E1
E2

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/023197

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. *G09F9/00*(2006.01), *G09F9/30*(2006.01), *H01L27/32*(2006.01), *H01L51/50*(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G09F9/00, G09F9/30, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2006
Registered utility model specifications of Japan 1996-2006
Published registered utility model applications of Japan 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2003/091978 A1(TOSHIBA MATSUSHITA DISPLAY TEC) 2003.11.06, p.100-p.101, Fig.56	1,5-11
A	& JP 2004-029755 A & US 2005/0168491 A1 & US 2005/0168490 A1 & US 2005/0180083 A1 & WO 2003/091977 A1 & WO 2003/091979 A1	2-4
Y	JP 2003-216100 A(MATSUSHITA ELECTRIC IND CO LTD) 2003.07.30, [0362]-[0373], Fig.394(Family none)	1,5-11
A		2-4
Y	JP 2004-342457 A(SANYO ELECTRIC CO) 2004.12.02, [0002]-[0011], Fig.3 & US 2004/0229387 A1	1,5-11

☑ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18.01.2006	31.01.2006

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	SATAKE Masahiko 2M 2911 Telephone No. +81-3-3581-1101 Ext. 3274

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/023197

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-006339 A (SANYO ELECTRIC CO) 2004.01.08, [0023]-[0035] & US 2003/0214248 A1 & CN 001455626 A	5,9-10

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

フロントページの続き

(51)Int.Cl.			FI			テーマコード（参考）
H05B	*33/10*	*(2006.01)*	H05B	33/10		
G09G	*3/20*	*(2006.01)*	G09G	3/20	624B	
			G09G	3/20	670A	

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 澁沢 誠
日本国東京都港区港南四丁目１番８号 東芝松下ディスプレイテクノロジー株式会社知的財産部内

Ｆターム(参考) 3K107 AA01 BB01 CC45 EE03 GG57 HH05
5C080 AA06 BB05 DD02 DD05 DD12 FF11 JJ02 JJ03 JJ06
5C094 AA03 AA32 AA42 AA43 BA03 BA27 CA19 DB04 GB10
5G435 AA17 AA19 BB05 CC09 KK05 KK10