



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월01일
(11) 등록번호 10-1792429
(24) 등록일자 2017년10월25일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/04 (2013.01)

H01L 45/1253 (2013.01)

(21) 출원번호 10-2016-0096246

(22) 출원일자 2016년07월28일

심사청구일자 2016년07월28일

(56) 선행기술조사문헌

KR1020120006218 A

KR1020120068598 A

KR101328509 B1

JP2011151389 A

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

윤성민

경기도 수원시 영통구 매영로310번길 12, 554동 1404호(영통동, 신나무실5단지아파트)

이원호

경기도 수원시 영통구 영일로6번길 17, 303호(영통동)

(74) 대리인

김연권

전체 청구항 수 : 총 14 항

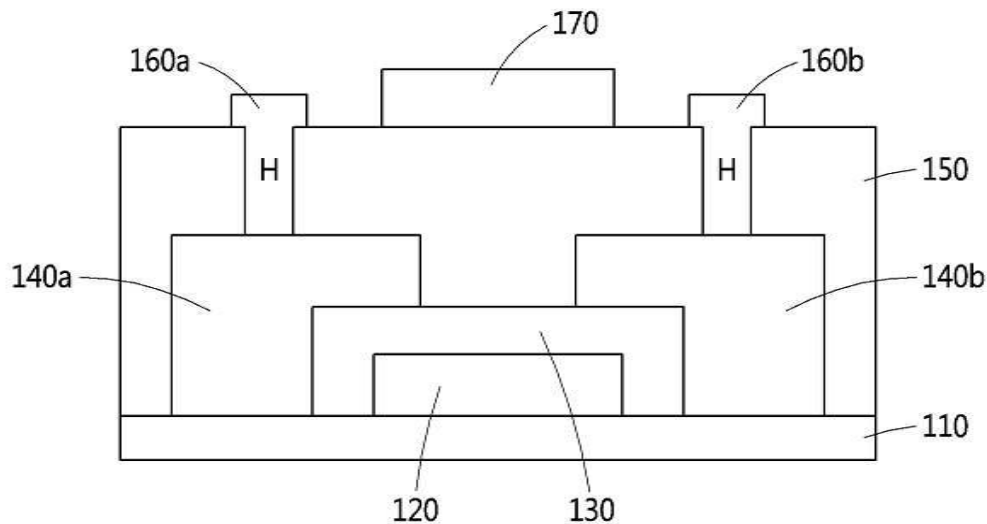
심사관 : 류정현

(54) 발명의 명칭 산화물 반도체 기반의 3단자 저항 변화형 메모리 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 저항 변화형 메모리 트랜지스터 및 그 제조방법을 개시한다. 본 발명의 일 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판 상에 형성되는 제1 게이트 전극, 산화물 반도체층, 소스/드레인 전극, 게이트 절연막, 콘택홀, 소스/드레인 전극 패드 및 제2 게이트 전극을 포함하고, 상기 산화물 반도체층은 저항 변화형 메모리 기능과 채널 기능을 동시에 구현하는 것을 특징으로 한다.

대표도 - 도1a



(52) CPC특허분류

H01L 45/145 (2013.01)

H01L 45/16 (2013.01)

명세서

청구범위

청구항 1

기판 상에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성되는 산화물 반도체층;

상기 산화물 반도체층 일측에 형성되는 소스/드레인 전극;

상기 소스/드레인 전극 상에 형성되는 게이트 절연막;

상기 게이트 절연막의 일측에 관통하여 형성되는 컨택홀을 통하여 상기 소스/드레인 전극과 전기적으로 연결되는 소스/드레인 전극 패드; 및

상기 게이트 절연막 상에 형성되는 제2 게이트 전극

을 포함하고,

상기 산화물 반도체층은 상기 소스/드레인 전극 및 상기 제1 게이트 전극 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 2

제1항에 있어서,

상기 저항 변화형 스위칭층은,

상기 전도성 필라멘트의 수가 조절되어 상기 저항 변화형 스위칭층의 저항 상태를 제어하고, 상기 제어된 저항 상태에 의해 드레인 전류의 크기를 다단계로 제어하여 멀티레벨 메모리층으로 동작 하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 3

제2항에 있어서,

상기 소스/드레인 전극은 각각 접지 상태를 유지하면서, 상기 제1 게이트 전극에는 프로그램 전압이 인가되어 상기 산화물 반도체층 내의 상기 전도성 필라멘트의 수가 제어되는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 4

제1항에 있어서,

상기 저항 변화형 메모리 트랜지스터는,

상기 산화물 반도체층 상부에 상기 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시키는 보호 절연막

을 더 포함하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 5

제4항에 있어서,

상기 저항 변화형 스위칭층은,

상기 보호 절연막 및 상기 산화물 반도체층으로 형성되는 적층 구조인 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 6

제4항에 있어서,

상기 보호 절연막은 실리콘 산화막(SiO_2), 실리콘 질화막(SiN), 실리콘산질화막(SiON), 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산화막(Ta_2O_5), 란타늄 산화막(La_2O_3) 및 스트론튬-티타늄 산화막(SrTiO_3) 중 적어도 하나를 포함하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 7

기판 상에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성되는 산화물 반도체층;

상기 산화물 반도체층 일측에 형성되고, 적어도 2개 이상의 층을 포함하는 적층 구조의 소스/드레인 전극;

상기 적층 구조의 소스/드레인 전극 상에 형성되는 게이트 절연막;

상기 게이트 절연막 일측에 관통하여 형성되는 콘택홀을 통하여 상기 적층 구조의 소스/드레인 전극과 전기적으로 연결되는 소스/드레인 전극 패드; 및

상기 게이트 절연막 상에 형성되는 제2 게이트 전극

을 포함하고,

상기 산화물 반도체층은 상기 적층 구조의 소스/드레인 전극 및 상기 제1 게이트 전극 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 8

제7항에 있어서,

상기 저항 변화형 메모리 트랜지스터는,

상기 산화물 반도체층 상부에 상기 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시키는 보호 절연막

을 더 포함하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 9

제8항에 있어서,

상기 저항 변화형 스위칭층은,

상기 보호 절연막 및 상기 산화물 반도체층으로 형성되는 적층 구조인 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 10

제7항에 있어서,
상기 적층 구조의 소스/드레인 전극 중 최상단 소스/드레인 전극은,
식각액에 대한 열화를 최소화하는 전도성 산화물
을 포함하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 11

제10항에 있어서,
상기 전도성 산화물은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 AZO (Aluminum Zinc Oxide) 중 적어도 하나를 포함하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 12

기관 상에 형성되는 제1 게이트 전극;
상기 제1 게이트 전극 상에 형성되는 게이트 절연막;
상기 게이트 절연막의 일측에 형성되는 소스/드레인 전극;
상기 게이트 절연막 및 소스/드레인 전극 상에 형성되는 산화물 반도체층; 및
상기 산화물 반도체층 상에 형성되는 제2 게이트 전극
을 포함하고,
상기 산화물 반도체층은 상기 소스/드레인 전극 및 상기 제2 게이트 전극 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 13

제12항에 있어서,
상기 저항 변화형 메모리 트랜지스터는,
상기 산화물 반도체층 상부에 상기 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시키는 보호 절연막
을 더 포함하는 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

청구항 14

제13항에 있어서,
상기 저항 변화형 스위칭층은,
상기 보호 절연막 및 상기 산화물 반도체층으로 형성되는 적층 구조인 것을 특징으로 하는 저항 변화형 메모리 트랜지스터.

발명의 설명

기술분야

[0001] 본 발명은 저항 변화형 메모리 트랜지스터 및 그 제조방법에 관한 것으로, 보다 상세하게는 산화물 반도체층 기반의 적층 구조를 트랜지스터의 채널층 및 저항 변화형 메모리층으로 사용하여 멀티레벨 메모리 구동이 가능해지는 저항 변화형 메모리 트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

- [0003] 비휘발성 메모리로는 상용화된 전하 저장층 내에 전하를 저장 또는 제거함에 따른 문턱 전압이 변화하는 플래시 메모리가 주로 사용되었다. 그러나 최근, 플래시메모리 소자에 비해 소비전력이 낮고 집적도가 높은 새로운 비휘발성 메모리 소자들이 연구되고 있고, 이러한 새로운 비휘발성 메모리 소자들로는 상변화형 메모리 소자(phase change RAM), 자기저항 변화형 메모리 소자(magnetic RAM) 및 저항 변화형 메모리 소자(resistance RAM)와 같은 저항 변화형 메모리가 있다.
- [0004] 저항 변화형 메모리는 메모리 기능을 가지는 저항 변화형 메모리 소자와 메모리 어레이 안에서 해당 메모리 소자를 선택할 수 있는 스위치 트랜지스터 소자를 포함한다.
- [0005] 하지만 저항 변화형 메모리는 저항 변화의 동작 원리가 이온의 이동이나 전기 화학적인 반응에 근거하고 있어, 소자 동작의 정량적인 설계가 어렵고, 현상 자체가 소재 내부에서 매우 불균일하게 나타날 가능성이 있어, 소자 차원에서의 엄격한 신뢰성 검증이 필요하다.
- [0006] 또한, 동작 원리에 따라서는 반복 기록 동작 과정에서 소재의 특성이 크게 열화되는 문제가 발생할 수 있다.
- [0007] 이러한 문제점을 개선하기 위해 저항 변화형 메모리를 하부 게이트 구조의 산화물반도체 트랜지스터로 제작하였다.
- [0008] 하지만 이는 기존의 하부 게이트 트랜지스터 구조를 그대로 유지한 채 저항 변화형 메모리 구동에 이용하기 때문에 소스/드레인 전극과 하부게이트 전극 사이에 존재하는 산화물 반도체층의 저항 변화형 구동을 위한 프로그램 전압이 산화물 반도체층 하부에 존재하는 게이트 절연막의 두꺼운 두께 때문에 너무 높아지는 문제점이 있다.
- [0009] 또한, 메모리의 기능과 트랜지스터의 구동이 동시에 구현되는 결과를 보이지 못하고, 멀티레벨 메모리 소자의 기능 역시 구현하지 못하고 있다.
- [0010] 결과적으로 저항 변화형 메모리 트랜지스터에서 기대할 수 있는 기능을 보고하지 못하고 있고, 메모리의 집적도 향상 및 기능 개선에 대한 진보적인 결과를 제시하지 못하고 있다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 대한민국등록특허공보 제0890212호, "비휘발성 메모리 소자 및 그 제조 방법"
- (특허문헌 0002) 대한민국등록특허공보 제0744566호, "금속산화물을 이용한 게이트 스택, 이를 포함하는 트랜지스터 일체형 메모리 소자 및 그 메모리소자의 구동방법"
- (특허문헌 0003) 대한민국등록특허공보 제1290003호, "플렉서블 메모리 소자 제조방법 및 이에 의하여 제조된 플렉서블 메모리 소자"

발명의 내용

해결하려는 과제

- [0013] 본 발명의 실시예들의 저항 변화형 메모리 트랜지스터는 산화물 반도체층을 채널층 및 저항 변화층으로 사용하여 멀티레벨 메모리 구동이 가능한 저항 변화형 메모리 트랜지스터를 제공하고자 한다.
- [0014] 본 발명의 실시예들은 산화물 반도체층 상부에 보호 절연막을 형성하여 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성이 개선된 저항 변화형 메모리 트랜지스터를 제공하고자 한다.

- [0015] 본 발명의 실시예들은 소스/드레인 전극을 적층 구조를 형성하여 식각 공정 중 발생하는 열화를 억제하는 저항 변화형 메모리 트랜지스터를 제공하고자 한다,
- [0016] 본 발명의 실시예들은 유리 기판 또는 유연한 플라스틱 기판 상에 산화물 반도체층을 이용한 3단자 저항 변화형 메모리 트랜지스터를 형성하여 기계적으로 유연하거나, 가시광 영역에서 투명한 특성을 갖는 저항 변화형 메모리 소자를 제공하고자 한다.

과제의 해결 수단

- [0018] 본 발명의 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판 상에 형성되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 형성되는 산화물 반도체층, 상기 산화물 반도체층 일측에 형성되는 소스/드레인 전극, 상기 소스/드레인 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막의 일측에 관통하여 형성되는 콘택홀을 통하여 상기 소스/드레인 전극과 전기적으로 연결되는 소스/드레인 전극 패드 및 상기 게이트 절연막 상에 형성되는 제2 게이트 전극을 포함하고, 상기 산화물 반도체층은 상기 소스/드레인 전극 및 상기 제1 게이트 전극 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동된다.
- [0019] 상기 전도성 필라멘트의 수가 조절되어 상기 저항 변화형 스위칭층의 저항 상태를 제어하고, 상기 제어된 저항 상태에 의해 드레인 전류의 크기를 다단계로 제어하여 멀티레벨 메모리층으로 동작 할 수 있다.
- [0020] 상기 소스/드레인 전극은 각각 접지 상태를 유지하면서, 상기 제1 게이트 전극에는 프로그램 전압이 인가되어 상기 산화물 반도체층 내의 상기 전도성 필라멘트 수가 제어될 수 있다.
- [0021] 상기 산화물 반도체층 상부에는 상기 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시키는 보호 절연막을 더 포함할 수 있다.
- [0022] 상기 저항 변화형 스위칭층은 상기 보호 절연막 및 상기 산화물 반도체층으로 형성되는 적층 구조일 수 있다.
- [0023] 상기 보호 절연막은 실리콘 산화막(SiO_2), 실리콘 질화막(SiN), 실리콘산질화막(SiON), 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산화막(Ta_2O_5), 란타늄 산화막(La_2O_3) 및 스트론튬-티타늄 산화막(SrTiO_3) 중 적어도 하나를 포함할 수 있다.
- [0024] 본 발명의 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판 상에 형성되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 형성되는 산화물 반도체층, 상기 산화물 반도체층 일측에 형성되는 적층 구조의 소스/드레인 전극, 상기 적층 구조의 소스/드레인 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막 일측에 관통하여 형성되는 콘택홀을 통하여 상기 적층 구조의 소스/드레인 전극과 전기적으로 연결되는 소스/드레인 전극 패드 및 상기 게이트 절연막 상에 형성되는 제2 게이트 전극을 포함하고, 상기 산화물 반도체층은 상기 적층 구조의 소스/드레인 전극 및 상기 제1 게이트 전극 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동된다.
- [0025] 상기 산화물 반도체층 상부에 상기 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시키는 보호 절연막을 더 포함할 수 있다.
- [0026] 상기 저항 변화형 스위칭층은 상기 보호 절연막 및 상기 산화물 반도체층으로 형성되는 적층 구조일 수 있다.
- [0027] 상기 적층 구조의 소스/드레인 전극 중 최상단 소스/드레인 전극은 식각액에 대한 열화를 최소화하는 전도성 산화물을 포함할 수 있다.
- [0028] 상기 전도성 산화물은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 AZO (Aluminum Zinc Oxide) 중 적어도 하나를 포함할 수 있다.
- [0029] 본 발명의 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판 상에 형성되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막의 일측에 형성되는 소스/드레인 전극, 상기 게이트 절연막 및 소스/드레인 전극 상에 형성되는 산화물 반도체층 및 상기 산화물 반도체층 상에 형성되는 제2 게이트 전극을 포함하고, 상기 산화물 반도체층은 상기 소스/드레인 전극 및 상기 제2 게이트 전극 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동된다.
- [0030] 상기 저항 변화형 메모리 트랜지스터는 상기 산화물 반도체층 상부에 상기 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시키는 보호 절연막을 더 포함 할 수 있다.

[0031] 상기 저항 변화형 스위칭층은 상기 보호 절연막 및 상기 산화물 반도체층으로 형성되는 적층 구조일 수 있다.

발명의 효과

[0033] 본 발명의 실시예들에 따르면 저항 변화형 메모리 트랜지스터는 산화물 반도체층을 채널층 및 저항 변화층으로 사용하여 멀티레벨 메모리 구동이 가능해진다.

[0034] 본 발명의 실시예들에 따르면 저항 변화형 메모리 트랜지스터는 산화물 반도체층 상부에 보호 절연막을 형성하여 산화물 반도체층의 물리적 또는 화학적 손상을 방지하고, 구동 특성이 개선된다.

[0035] 본 발명의 실시예들에 따르면 저항 변화형 메모리 트랜지스터는 소스/드레인 전극을 적층 구조를 형성하여 식각 공정 중 발생하는 열화를 억제한다.

[0036] 본 발명의 실시예들에 따르면 저항 변화형 메모리 트랜지스터는 유리 기판 또는 유연한 플라스틱 기판 상에 산화물 반도체층을 이용한 3단자 저항 변화형 메모리 트랜지스터를 형성하여 기계적으로 유연하거나, 가시광 영역에서 투명한 특성을 가질 수 있다.

도면의 간단한 설명

[0038] 도 1a는 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.

도 1b는 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.

도 2는 본 발명의 제3 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.

도 3a는 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.

도 3b는 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.

도 4a 내지 4d는 본 발명의 저항 변화형 메모리 트랜지스터의 멀티 레벨 구동 과정을 도시한 것이다.

도 5는 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 메모리 구동 및 전달 특성을 도시한 그래프이다.

도 6은 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 메모리 리텐션 특성을 도시한 그래프이다.

도 7은 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 반복 프로그램 동작 특성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0039] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0040] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0041] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0042] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적인

로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

- [0043] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0045] 도 1a은 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.
- [0046] 도 1a을 참조하면, 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판(110) 상에는 제1 게이트 전극(120)이 형성되고, 제1 게이트 전극(120) 상에는 산화물 반도체층(130)이 형성되며, 산화물 반도체층(130) 일측에는 소스/드레인 전극(140a, 140b)이 형성된다.
- [0047] 또한, 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(140a, 140b) 상에는 게이트 절연막(150)이 형성되고, 게이트 절연막(150)의 일측에는 게이트 절연막(150)을 관통하여 형성되는 컨택홀(H)을 통하여 소스/드레인 전극(140a, 140b)과 전기적으로 연결되는 소스/드레인 전극 패드(160a, 160b)가 형성되며, 게이트 절연막(150) 상에는 제2 게이트 전극(170)이 형성된다.
- [0048] 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터는 제2 게이트 전극, 소스 전극 패드(160a) 및 드레인 전극 패드(160b)의 3단자를 통하여 메모리 기능과 트랜지스터의 기능을 동시에 보유하는 3단자 저항 변화형 메모리 트랜지스터이다.
- [0049] 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(140a, 140b) 사이의 산화물 반도체층(130)에 채널이 형성되는 스위칭 소자인 동시에, 소스/드레인 전극(140a, 140b)과 제1 게이트 전극(120) 사이의 산화물 반도체층(130)에 전도성 필라멘트가 형성되는 메모리 소자일 수 있다.
- [0050] 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스 전극/드레인 전극 (140a, 140b)은 각각 접지 상태를 유지하면서, 제1 게이트 전극(120)에는 프로그램 전압이 인가되어 산화물 반도체층(130) 내의 전도성 필라멘트의 수가 제어될 수 있다.
- [0051] 기판(110)은 일반적인 반도체 소자를 제조하는데 사용되는 기판일 수 있다. 예를 들어, 기판(110)은 유리 기판, 플라스틱 기판 및 실리콘 기판 중 어느 하나일 수 있다.
- [0052] 기판(110) 상에 제1 게이트 전극(120)이 형성된다. 제1 게이트 전극(120)은 산화물 반도체층(130)의 저항 변화형 메모리 구동이 가능한 금속을 사용할 수 있다. 구체적으로, 제1 게이트 전극(120)은 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti) 및 은(Ag)과 같은 금속 물질을 사용할 수 있다.
- [0053] 제1 게이트 전극(120)은 기판(110)의 전면면에 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition)과 같은 방법에 의해 형성될 수 있다.
- [0054] 또한, 제1 게이트 전극(120) 상에 산화물 반도체층(130)이 형성된다.
- [0055] 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(140a, 140b) 및 제1 게이트 전극(120) 사이의 산화물 반도체층(130)이 저항 변화형 메모리로 구동될 수 있고, 이로 인해, 저전압 메모리 구동이 가능해진다.
- [0056] 또한, 저전압 메모리 구동이 가능하기 때문에, 저항 변화가 반복되는 산화물 반도체층(130)은 경시 변화가 최소화되어 메모리 소자의 동작 신뢰성이 향상될 수 있다.
- [0057] 또한, 제1 게이트 전극(120)이 형성되는 영역은 소자 구동 과정에서 산화물 반도체층(130)에 형성되는 채널 영역의 크기 및 위치를 고려하여 가장 적절하게 설계되어야 한다.
- [0058] 산화물 반도체층(130)은 소스/드레인 전극(140a, 140b) 사이에 채널이 형성되는 채널층 기능을 가지는 동시에, 소스/드레인 전극(140a, 140b)과 제1 게이트 전극(120) 사이에 전도성 필라멘트가 생성되는 메모리층의 기능을 가진다.
- [0059] 즉, 산화물 반도체층(130)은 소스/드레인 전극(140a, 140b) 및 제1 게이트 전극(120) 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동된다.

- [0060] 저항 변화형 스위칭층은 전도성 필라멘트의 수가 조절되어 저항 변화형 스위칭층의 저항 상태를 제어하고, 제어된 저항 상태에 의해 드레인 전류의 크기를 다단계로 제어하여 멀티레벨 메모리층으로 동작할 수 있다.
- [0061] 산화물 반도체층(130)은 저항 변화형 메모리 구동이 가능한 산화물이면서 반도체의 성질을 갖는 산화물 반도체로 형성되는 것이 바람직하다. 구체적으로는, 알루미늄(Al)이 도핑된 아연 산화물(Al-ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O) 또는 아연-주석 산화물(Zn-Sn-O)로 형성되거나, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 알루미늄(Al) 중 적어도 두 개 이상의 원소를 포함하는 산화물로 형성될 수 있다. 또한, 전술한 산화물에 다양한 원소를 도핑하여 형성할 수 있다.
- [0062] 산화물 반도체층(130)은 원자층 증착법, 스퍼터링 방법, 스펀코팅, MOCVD법 또는 프린팅법 중 어느 하나의 방법을 이용하여 형성될 수 있다.
- [0063] 산화물 반도체층(130) 일측에 소스/드레인 전극(140a, 140b)이 형성된다.
- [0064] 소스/드레인 전극(140a, 140b)은 저항 변화형 메모리 구동이 가능한 금속 또는 전도성 산화물이 사용될 수 있고, 제1 게이트 전극(120)과 동일한 물질이 사용될 수 있다.
- [0065] 소스/드레인 전극(140a, 140b)은 산화물 반도체층(130)의 양단부를 일부 덮는 구조로 형성되고, 기판에 전기적으로 분리된 두 개의 영역에 소스 전극(140a) 및 드레인 전극(140b)을 포함한다. 또한, 소스/드레인 전극(140a, 140b)의 일부는 제1 게이트 전극(120)과 오버랩되는 영역을 포함할 수 있다.
- [0066] 또한, 소스/드레인 전극(140a, 140b) 사이의 간격에 의해서 채널 폭 및 길이가 결정될 수 있다.
- [0067] 소스/드레인 전극(140a, 140b)은 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition)과 같은 증착법에 의해 형성될 수 있다.
- [0068] 소스/드레인 전극(140a, 140b) 상에 게이트 절연막(150)이 형성된다.
- [0069] 게이트 절연막(150)은 무기 절연막, 유기 절연막 또는 유기/무기 하이브리드 절연막과 같은 재질로 형성될 수 있고, 유기 절연막 재질로 형성되는 경우에는 스펀 코팅 방법에 의해 형성될 수 있다. 예를 들어, 게이트 절연막(150)은 알루미늄 산화막 (Al_2O_3), 실리콘 산화막 (SiO_2), 하프늄 산화막 (HfO_2) 또는 지르코늄 산화막 (ZrO_2)과 같은 다양한 재질로 형성될 수 있다.
- [0070] 게이트 절연막(150)은 재질에 따라 PECVD, 스퍼터링 방법, 원자층 증착법 또는 스펀 코팅법과 같은 다양한 증착 방법으로 증착될 수 있다. 게이트 절연막(150)은 100nm 내지 200nm의 두께로 형성될 수 있다.
- [0071] 게이트 절연막(150)의 두께가 100nm 이하이면, 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터 구동 시 제1 게이트 전극(120)에 인가되는 구동 전압에 의해 게이트 누설 전류가 증가될 수 있고, 이렇게 발생된 게이트 누설 전류는 멀티레벨 메모리 구동이 가능한 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터의 정상적인 동작이 저해될 수 있다.
- [0072] 또한, 게이트 절연막(150)의 두께가 200nm를 초과하면 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터 구동 시 제1 게이트 전극(120)에 인가해야 되는 구동 전압의 크기가 너무 커질 뿐만 아니라, 통상적인 구동 전압을 사용하는 경우, 산화물 반도체층(130) 내에 채널 형성이 어렵기 때문에 멀티레벨 메모리 구동이 가능한 본 발명의 제1 실시예에 따른 저항 변화형 메모리 트랜지스터의 정상적인 동작이 저해될 수 있다.
- [0073] 게이트 절연막(150) 상에 게이트 절연막(150)의 일측을 관통하여 형성되는 콘택홀(H)을 통하여 소스/드레인 전극(140a, 140b)과 전기적으로 연결되는 소스/드레인 전극 패드(160a, 160b)가 형성된다.
- [0074] 콘택홀(H)은 게이트 절연막(150) 상에 포토 공정을 이용한 패터닝 공정을 통하여 형성될 수 있고, 콘택홀(H)은 소스/드레인 전극(140a, 140b)과 소스/드레인 전극 패드(160a, 160b)를 전기적으로 연결하는 역할을 한다.
- [0075] 소스/드레인 전극 패드(160a, 160b)는 소스/드레인 전극(140a, 140b)과 동일한 소재로 형성될 수 있다.
- [0076] 게이트 절연막(150) 상에 제2 게이트 전극(170)이 형성된다.
- [0077] 제2 게이트 전극(170)은 금속 또는 전도성 산화물을 사용할 수 있다. 구체적으로, 제2 게이트 전극(170)은 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 AZO (Aluminum Zinc Oxide)와 같은 전도성 산화물 중 적어도 어느 하나의 물질을 사용할 수 있다.

- [0078] 제2 게이트 전극(170)은 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition)과 같은 증착법에 의해 형성될 수 있다.
- [0080] 도 1b는 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.
- [0081] 도 1b를 참조하면, 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판(110) 상에는 제1 게이트 전극(120)이 형성되고, 제1 게이트 전극(120) 상에는 산화물 반도체층(130)이 형성되며, 산화물 반도체층(130) 상에는 보호 절연막(180)이 형성되고, 보호 절연막(180)의 일측에는 소스/드레인 전극(140a, 140b)이 형성된다.
- [0082] 소스/드레인 전극(140a, 140b) 상에는 게이트 절연막(150)이 형성되고, 게이트 절연막(150)의 일측에는 게이트 절연막(150)을 관통하여 형성되는 콘택홀(H)을 통하여 소스/드레인 전극(140a, 140b)과 전기적으로 연결되는 소스/드레인 전극 패드(160a, 160b)가 형성되며, 게이트 절연막(150) 상에는 제2 게이트 전극(170)이 형성된다.
- [0083] 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터는 제2 게이트 전극(170), 소스 전극 패드(160a) 및 드레인 전극 패드(160b)를 포함하는 3단자 저항 변화형 메모리 트랜지스터이다.
- [0084] 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터의 소스/드레인 전극(140a, 140b)은 각각 접지 상태를 유지하면서, 제1 게이트 전극(120)에는 프로그램 전압이 인가되어 산화물 반도체층(130) 내의 전도성 필라멘트의 수가 제어될 수 있다.
- [0085] 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(140a, 140b) 사이의 산화물 반도체층(130)에 채널이 형성되는 스위칭 소자인 동시에, 소스/드레인 전극(140a, 140b)과 제1 게이트 전극(120) 사이의 산화물 반도체층(130) 및 보호 절연막(180)에 전도성 필라멘트가 형성되는 메모리 소자일 수 있다.
- [0086] 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터는 산화물 반도체층(130) 상부에 추가로 보호 절연막(180)을 포함하는 것을 제외하면, 본 발명의 제1 실시예와 동일하므로 중복되는 구성요소에 대한 상세한 설명은 제외하기로 한다.
- [0087] 보호 절연막(180)은 산화물 반도체층(130) 상부에 형성되고, 산화물 반도체층(130)과 동일한 면적을 가지며 소스/드레인 전극(140a, 140b) 영역 사이에 위치하는 채널영역에 형성된다.
- [0088] 보호 절연막(180)은 산화물 반도체층(130)의 물리적 또는 화학적 손상을 방지하고, 구동 특성을 개선시킨다.
- [0089] 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터는 보호 절연막(180) 및 산화물 반도체층(130)을 포함하는 적층 구조를 저항 변화형 스위칭층으로 포함한다.
- [0090] 보호 절연막(180)은 실리콘 계열의 절연막인 실리콘 산화막(SiO_2), 실리콘 질화막(SiN) 또는 실리콘산질화막(SiON)으로 형성되거나, 알루미늄 산화막(Al_2O_3), hafnium 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산화막(Ta_2O_5), 란타늄 산화막(La_2O_3) 및 스트론튬-티타늄 산화막(SrTiO_3) 중 적어도 하나를 포함할 수 있으나, 일반적인 산화물 반도체 트랜지스터의 제작에 사용되는 게이트 절연막 재료를 포함할 수 있다.
- [0091] 보호 절연막(180)은 4nm 내지 10nm의 두께로 형성될 수 있다.
- [0092] 보호 절연막(180)의 두께가 4nm 이하의 경우에는 박막의 형성이 완전하게 이루어지지 않거나 증착된 박막의 두께가 너무 얇아 산화물 반도체층(130)을 보호하는 보호막으로서의 역할을 충분히 수행할 수 없는 문제점이 있다.
- [0093] 또한, 보호 절연막(180)의 두께가 10nm를 초과하는 경우에는 제1 게이트 전극(120)과 소스/드레인 전극(140a, 140b) 사이 영역의 저항이 매우 증가하여, 멀티레벨 메모리 동작이 가능한 본 발명의 제2 실시예에 따른 저항 변화형 메모리 트랜지스터의 정상적인 동작을 보장할 수 없다는 문제점이 있다.
- [0095] 도 2는 본 발명의 제3 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.
- [0096] 도 2를 참조하면, 본 발명의 제3 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판(210) 상에는 제1 게이트 전극(220)이 형성되고, 제1 게이트 전극(220) 상에는 산화물 반도체층(230)이 형성되며, 산화물 반도체층(230) 상에는 보호 절연막(240)이 형성된다.

- [0097] 보호 절연막(240)의 일측에는 적어도 2개 이상의 층을 포함하는 적층 구조의 소스/드레인 전극(250a, 250b, 260a, 260b)이 형성되고, 적층 구조의 소스/드레인 전극(250a, 250b, 260a, 260b) 상에는 게이트 절연막(270)이 형성된다.
- [0098] 게이트 절연막(270) 일측에는 게이트 절연막(270)을 관통하여 형성되는 컨택홀(H)을 통하여 적층 구조의 소스/드레인 전극(250a, 250b, 260a, 260b)과 전기적으로 연결되는 소스/드레인 전극 패드(280a, 280b)가 형성되고, 게이트 절연막(270) 상에는 제2 게이트 전극(290)이 형성된다.
- [0099] 도 2에서는 반도체층(230) 상에 보호 절연막(240)이 형성된 제3 실시예에 따른 저항 변화형 메모리 트랜지스터를 도시하였으나, 실시예에 따라서는 산화물 반도체층(230) 상에 보호 절연막(240)을 형성하지 않아도 무방하다.
- [0100] 본 발명의 제3 실시예에 따른 저항 변화형 메모리 트랜지스터는 제1 소스/드레인 전극(250a, 250b) 및 제2 소스/드레인 전극(260a, 260b)을 포함하는 적층 구조의 소스/드레인 전극(250a, 250b, 260a, 260b)을 포함하는 것을 제외하면, 본 발명의 제2 실시예와 동일하므로 중복되는 구성요소에 대한 상세한 설명은 제외하기로 한다.
- [0101] 본 발명의 제3 실시예에 따른 저항 변화형 메모리 트랜지스터는 2개의 소스/드레인 전극이 적층되어 있는 구조에 대해 설명하였으나, 이에 제한되지 않고, 적어도 2개 이상의 층이 적층되어 있는 다층 구조를 가질 수 있다.
- [0102] 제2 소스/드레인 전극(260a, 260b)은 컨택홀(H)을 형성하기 위한 식각 공정 시, 습식 식각액에 의해 하부에 형성된 제1 소스/드레인 전극(250a, 250b)이 열화되는 것을 방지 한다.
- [0103] 또한, 적어도 2개 이상의 층이 적층되어 있는 적층 구조의 소스/드레인 전극(250a, 250b, 260a, 260b) 중 최상단의 소스/드레인 전극(260a, 260b)은 식각액에 대한 열화를 최소화하는 전도성 산화물을 포함할 수 있다.
- [0104] 전도성 산화물은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 AZO (Aluminum Zinc Oxide) 중 적어도 하나를 포함할 수 있다.
- [0105] 보다 구체적으로는 컨택홀(H)을 형성하기 위한 습식 식각 공정은 인산계 식각액을 사용하게 되는데, 이는 알루미늄(Al)과 같은 금속의 물성 열화를 발생시킨다. 이로 인해, 저항 변화형 메모리 트랜지스터의 정상적인 소자 구동을 보장할 수 없다.
- [0106] 본 발명의 제3 실시예에 따르면, 제1 소스/드레인 전극(250a, 250b) 상에 식각 공정에 의한 열화를 최소화할 수 있는 전도성 산화물의 제2 소스/드레인 전극(260a, 260b)을 형성한다.
- [0107] 전도성 산화물로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 AZO (Aluminum Zinc Oxide) 중 적어도 하나를 포함할 수 있다.
- [0109] 도 3a는 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.
- [0110] 도 3a를 참조하면, 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판(310) 상에는 제1 게이트 전극(320)이 형성되고, 제1 게이트 전극(320) 상에는 게이트 절연막(330)이 형성되며, 게이트 절연막(330)의 일측에는 소스/드레인 전극(340a, 340b)이 형성된다.
- [0111] 게이트 절연막(330) 및 소스/드레인 전극(340a, 340b) 상에는 산화물 반도체층(350)이 형성되고, 산화물 반도체층(350) 상에는 제2 게이트 전극(360)이 형성된다.
- [0112] 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 제2 게이트 전극(360), 소스 전극(340a) 및 드레인 전극(340b)을 포함하는 3단자 저항 변화형 메모리 트랜지스터이다.
- [0113] 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터의 소스/드레인 전극(340a, 340b)은 각각 접지 상태를 유지하면서, 제2 게이트 전극(360)에는 프로그램 전압이 인가되어 산화물 반도체층(350) 내의 전도성 필라멘트의 수가 제어될 수 있다.
- [0114] 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(340a, 340b) 사이의 산화물 반도체층(350)에 채널이 형성되는 스위칭 소자인 동시에, 소스/드레인 전극(340a, 340b)과 제2 게이트 전극(360) 사이의 산화물 반도체층(350)에 전도성 필라멘트가 형성되는 메모리 소자일 수 있다.
- [0115] 기판(310)은 일반적인 반도체 소자를 제조하는데 사용되는 기판일 수 있다. 예를 들어, 기판(310)은 유리

기관, 플라스틱 기관 및 실리콘 기관 중 어느 하나일 수 있다.

- [0116] 기관(310) 상에 제1 게이트 전극(320)이 형성된다.
- [0117] 제1 게이트 전극(320)은 산화물 반도체층(350)의 저항 변화형 메모리 구동이 가능한 금속 또는 전도성 산화물을 사용할 수 있다. 구체적으로, 제1 게이트 전극(420)은 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 AZO (Aluminum Zinc Oxide)와 같은 전도성 산화물 중 적어도 어느 하나의 물질을 사용할 수 있다.
- [0118] 제1 게이트 전극(320)은 기관(310)의 전면에 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition)과 같은 방법에 의해 형성될 수 있다.
- [0119] 또한, 제1 게이트 전극(320)이 형성되는 영역은 소자 구동 과정에서 산화물 반도체층(350)에 형성되는 채널 영역의 크기 및 위치를 고려하여 가장 적절하게 설계되어야 한다.
- [0120] 제1 게이트 전극(320) 상에 게이트 절연막(330)이 형성된다.
- [0121] 게이트 절연막(330)은 무기 절연막, 유기 절연막 또는 유기/무기 하이브리드 절연막과 같은 재질로 형성될 수 있고, 유기 절연막 재질로 형성되는 경우에는 스핀 코팅 방법에 의해 형성될 수 있다.
- [0122] 예를 들어, 게이트 절연막(330)은 알루미늄 산화막 (Al_2O_3), 실리콘 산화막 (SiO_2), 하프늄 산화막 (HfO_2) 또는 지르코늄 산화막 (ZrO_2)과 같은 다양한 재질로 형성될 수 있다.
- [0123] 게이트 절연막(330)은 재질에 따라 PECVD, 스퍼터링 방법, 원자층 증착법 또는 스핀 코팅법과 같은 다양한 증착 방법으로 증착될 수 있다. 게이트 절연막(330)은 100nm 내지 200nm의 두께로 형성될 수 있다.
- [0124] 게이트 절연막(330)의 두께가 100nm 이하이면, 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터 구동 시 제1 게이트 전극(320)에 인가되는 구동 전압에 의해 게이트 누설 전류가 증가할 수 있고, 이렇게 발생한 게이트 누설 전류는 멀티레벨 메모리 구동이 가능한 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터의 정상적인 동작이 저해될 수 있다.
- [0125] 또한, 게이트 절연막(330)의 두께가 200nm를 초과하면 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터 구동 시 제1 게이트 전극(320)에 인가해야 되는 구동 전압의 크기가 너무 커질 뿐만 아니라, 통상적인 구동 전압을 사용하는 경우, 산화물 반도체층(350) 내에 채널 형성이 어렵기 때문에 멀티레벨 메모리 구동이 가능한 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터의 정상적인 동작이 저해될 수 있다.
- [0126] 게이트 절연막(330) 일측에 소스/드레인 전극(340a, 340b)이 형성된다.
- [0127] 소스/드레인 전극(340a, 340b)은 저항 변화형 메모리 구동이 가능한 금속 또는 전도성 산화물이 사용될 수 있고, 제1 게이트 전극(320)과 동일한 물질이 사용될 수 있다.
- [0128] 소스/드레인 전극(340a, 340b)에 사용되는 전도성 산화물은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 AZO (Aluminum Zinc Oxide) 중 적어도 하나를 포함할 수 있다.
- [0129] 소스/드레인 전극(340a, 340b)으로 금속 물질을 사용하게 되면 금속 물질은 컨택홀 영역의 습식 식각 공정에 사용되는 인산계 식각액의 작용에 의해 물성 열화가 발생할 수 있어 정상적인 소자 구동을 보장할 수 없다는 단점이 있다.
- [0130] 그러나, 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(340a, 340b)으로 전도성 산화물을 사용할 수 있어 정상적인 소자 구동이 보장될 수 있다.
- [0131] 소스/드레인 전극(340a, 340b)은 기관에 전기적으로 분리된 두 개의 영역에 소스 전극(340a) 및 드레인 전극(340b)을 포함한다.
- [0132] 또한, 소스/드레인 전극(340a, 340b) 사이의 간격에 의해서 채널 폭 및 길이가 결정될 수 있다.
- [0133] 소스/드레인 전극(340a, 340b)은 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition)과 같은 증착법에 의해 형성될 수 있다.
- [0134] 게이트 절연막(330) 및 소스/드레인 전극(340a, 340b) 상에 산화물 반도체층(350)이 형성된다.
- [0135] 산화물 반도체층(350)은 소스/드레인 전극(340a, 340b) 사이에 채널이 형성되는 채널층 기능을 가지는 동시에,

소스/드레인 전극(340a, 340b)과 제2 게이트 전극(360) 사이에 전도성 필라멘트가 생성되는 메모리층의 기능을 가진다.

- [0136] 즉, 산화물 반도체층(350)은 소스/드레인 전극(340a, 340b) 및 제2 게이트 전극(360) 사이에 형성되는 전도성 필라멘트의 제어에 기반한 저항 변화형 스위칭층으로 구동한다.
- [0137] 저항 변화형 스위칭층은 전도성 필라멘트의 수가 조절되어 저항 변화형 스위칭층의 저항 상태가 제어되고, 제어된 저항 상태에 의해 드레인 전류의 크기를 다단계로 제어하여 멀티레벨 메모리층으로 동작할 수 있다.
- [0138] 산화물 반도체층(350)은 저항 변화형 메모리 구동이 가능한 산화물이면서 반도체의 성질을 갖는 산화물 반도체로 형성되는 것이 바람직하다. 구체적으로는, 알루미늄(Al)이 도핑된 아연 산화물(Al-ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O) 또는 아연-주석 산화물(Zn-Sn-O)로 형성되거나, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 알루미늄(Al) 중 적어도 두 개 이상의 원소를 포함하는 산화물로 형성될 수 있다. 또한, 전술한 산화물에 다양한 원소를 도핑하여 형성할 수 있다.
- [0139] 산화물 반도체층(350)은 원자층 증착법, 스퍼터링 방법, 스펀코팅, MOCVD법 또는 프린팅법 중 어느 하나의 방법을 이용하여 형성될 수 있다.
- [0140] 산화물 반도체층(350) 상에 제2 게이트 전극(360)이 형성된다.
- [0141] 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 제2 게이트 전극(360)을 포함함으로써, 소스/드레인 전극(340a, 340b) 및 제2 게이트 전극(360) 사이의 산화물 반도체층(350)이 저항 변화형 메모리로 구동될 수 있고, 이로 인해, 저전압 메모리 구동이 가능해진다.
- [0142] 또한, 저전압 메모리 구동이 가능하기 때문에, 저항 변화가 반복되는 산화물 반도체층(350)은 경시 변화가 최소화되어 메모리 소자의 동작 신뢰성이 향상될 수 있다.
- [0143] 제2 게이트 전극(360)은 금속을 사용할 수 있고, 구체적으로, 제2 게이트 전극(160)은 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속을 사용할 수 있다.
- [0144] 제2 게이트 전극(360)은 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition)과 같은 증착법에 의해 형성될 수 있다.
- [0145] 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 컨택홀 영역 형성 공정이 진행된 이후, 소스/드레인 전극(340a, 340b)이 형성되기 때문에 소스/드레인 전극(340a, 340b) 물질이 습식 식각 공정에 의해 물성 열화되는 것을 피할 수 있다.
- [0146] 또한, 본 발명의 제4 실시예에 따른 저항 변화형 메모리 트랜지스터는 소스/드레인 전극(340a, 340b)을 형성한 이후, 산화물 반도체층(350)이 형성되기 때문에 소스/드레인 전극(340a, 340b) 형성에 의한 충격을 제거할 수 있다.
- [0148] 도 3b는 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 단면을 도시한 것이다.
- [0149] 도 3b를 참조하면, 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터는 기판(310) 상에는 제1 게이트 전극(320)이 형성되고, 제1 게이트 전극(320) 상에는 게이트 절연막(330)이 형성되며, 게이트 절연막(330)의 일측에는 소스/드레인 전극(340a, 340b)이 형성된다.
- [0150] 게이트 절연막(330) 및 소스/드레인 전극(340a, 340b) 상에는 산화물 반도체층(350)이 형성되고, 산화물 반도체층(350) 상에는 보호 절연막(370)이 형성되고, 보호 절연막(370) 상에는 제2 게이트 전극(360)이 형성된다.
- [0151] 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터는 산화물 반도체층(350) 상에 보호 절연막(370)을 형성하는 것을 제외하면, 본 발명의 제4 실시예와 동일하므로 중복되는 구성요소에 대한 상세한 설명은 제외하기로 한다.
- [0152] 보호 절연막(370)은 산화물 반도체층(350) 상부에 형성되고, 산화물 반도체층(350)과 동일한 면적을 가지며, 소스/드레인 전극(340a, 340b) 영역 사이에 위치하는 채널 영역에 형성될 수 있다.
- [0153] 보호 절연막(370)은 실리콘 계열의 절연막인 실리콘 산화막(SiO_2), 실리콘 질화막(SiN) 또는 실리콘산질화막(SiON)으로 형성되거나, 실리콘 산화막(SiO_2), 실리콘 질화막(SiN), 실리콘산질화막(SiON), 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산

화막(Ta_2O_5), 란타늄 산화막(La_2O_3) 및 스트론튬-티타늄 산화막($SrTiO_3$) 중 적어도 하나를 포함할 수 있으나, 일반적인 산화물 트랜지스터의 제작에 사용되는 게이트 절연막 재료를 포함할 수 있다.

- [0154] 이하에서는 도 4a 내지 4d를 참조하여, 본 발명의 저항 변화형 메모리 트랜지스터의 멀티레벨 구동 방법을 설명하기로 한다.
- [0156] 도 4a 내지 4d는 본 발명의 저항 변화형 메모리 트랜지스터의 멀티 레벨 구동 과정을 도시한 것이다.
- [0157] 보다 상세하게는 도 4a 내지 4d는 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 산화물 반도체(420)층에서 발생하는 전도성 필라멘트가 형성되고, 제거되는 과정을 도시한 것이다. 도 4a 내지 4d는 전술한 제5 실시예에 따른 저항 변화형 메모리 트랜지스터를 국한하여 설명하나, 이에 제한되는 것은 아니다.
- [0158] 도 4a 내지 도 4d에 도시된 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 소스/드레인 전극(410a, 410b)은 산화인듐주석(ITO) 물질을 사용하여 제조되었고, 산화물 반도체층(420)은 알루미늄 도핑 아연 산화물(AZO) 물질을 사용하여 제조되었으며, 보호 절연막(430)은 알루미늄 산화물(Al_2O_3) 물질을 사용하여 제조되었고, 제2 게이트 전극(440)은 알루미늄(Al) 물질을 사용하여 제조되었다.
- [0159] 도 4a는 제2 게이트 전극(440) 및 소스/드레인 전극(410a, 410b) 사이의 산화물 반도체층(420) 내부에 전도성 필라멘트가 형성되지 않은 초기 상태의 저항 변화형 메모리 트랜지스터를 도시한 것으로서, 도 4a 에서는 제2 게이트 전극(440)에는 게이트 전압이 인가되고, 소스/드레인 전극(410a, 410b)에는 드레인 전압이 인가되면, 문턱 전압 이상에서 산화물 반도체층(420)에 채널이 형성되고 드레인 전류가 흐르게 된다.
- [0161] 도 4b는 제2 게이트 전극(440) 및 소스/드레인 전극(410a, 410b) 사이의 산화물 반도체층(420) 내부에 한 개의 전도성 필라멘트가 형성된 상태의 저항 변화형 메모리 트랜지스터를 도시한 것이다.
- [0162] 도 4b에서 도시한 바와 같이 산화물 반도체층(420) 내부에 한 개의 전도성 필라멘트가 형성된 상태에서는 제2 게이트 전극(440) 및 소스 전극(410a) 혹은 드레인 전극(410b) 중 한 개의 전극에만 선택적으로 프로그램 전압이 인가된다.
- [0163] 또한, 또 다른 소스 전극(410a) 혹은 드레인 전극(410b)은 접지 상태를 유지한 상태로 제2 게이트 전극(440)에는 프로그램 전압이 인가되어 산화물 반도체층(420) 내부에 하나의 전도성 필라멘트가 형성된다.
- [0164] 이 때 생성되는 전도성 필라멘트의 위치는 제2 게이트 전극(440) 과 소스 전극(410a) 사이가 될 수도 있고, 제2 게이트 전극(440) 과 드레인 전극(410b) 사이가 될 수도 있다.
- [0165] 산화물 반도체층(420) 내부에 한 개의 전도성 필라멘트가 형성된 상태에서는 트랜지스터 구동 과정에서 산화물 반도체층의 낮은 저항 상태로 인해 드레인 전류가 증가한다.
- [0167] 도 4c는 제2 게이트 전극(440)과 소스/드레인 전극층(410a, 410b) 사이의 산화물 반도체층(420) 내부에 두 개의 전도성 필라멘트가 형성된 상태의 저항 변화형 메모리 트랜지스터를 도시한 것이다.
- [0168] 도 4c에서 도시한 바와 같이, 도 4b에서 도시한 동작에서 전도성 필라멘트가 형성되지 않은 제2 게이트 전극(440) 및 소스 전극(410a) 혹은 드레인 전극(410b) 중 하나의 전극에 프로그램 전압이 인가된다.
- [0169] 소스 전극(410a) 혹은 드레인 전극(410b)은 접지 상태를 유지한 상태로 제2 게이트 전극(440)에 프로그램 전압이 인가되어 산화물 반도체층(420) 내부에 또 하나의 전도성 필라멘트가 형성된다.
- [0170] 이 때 생성되는 두 개의 전도성 필라멘트의 위치는 제2 게이트 전극(440)과 소스 전극(410a) 사이 및 제2 게이트 전극(440)과 드레인 전극(410b) 사이에 형성된다.
- [0171] 제2 게이트 전극(440)과 소스/드레인 전극층(410a, 410b) 사이의 산화물 반도체층(420) 내부에 두 개의 전도성 필라멘트가 형성된 상태에서는 트랜지스터 구동 과정에서 산화물 반도체층(420)의 저항 상태가 도 4b의 상태보다 더욱 낮아지게 되어, 드레인 전류가 추가적으로 증가한다.
- [0173] 도 4d는 제2 게이트 전극(440) 및 소스/드레인 전극(410a, 410b) 사이의 산화물 반도체층(420) 내부에 전도성 필라멘트가 다시 소멸된 상태의 저항 변화형 메모리 트랜지스터를 도시한 것이다.
- [0174] 도 4c에서 도시한 바와 같이, 산화물 반도체층(420) 내에 생성되었던 전도성 필라멘트는 프로그램 전압과 반대 극성의 전압이 제2 게이트 전극(440)에 인가된다. 소스 전극(410a) 및 드레인 전극(410b)은 접지 상태를 유지한 상태로 제2 게이트 전극(440)에는 마이너스 극성의 전압이 인가됨으로써 산화물 반도체층(420) 내부의 전도

성 필라멘트가 소멸될 수 있다.

- [0175] 결과적으로 산화물 반도체층(420)의 저항상태는 초기상태로 복귀하게 되어 도 4a와 동일한 상태를 나타낸다.
- [0176] 전술한 바와 같이, 본 발명의 실시예에 따른 저항 변화형 메모리 트랜지스터 소자는 산화물 반도체층(420) 내부에 생성되는 전도성 필라멘트의 수가 조절되어 산화물 반도체층(420)의 저항 상태가 제어되고, 제어된 저항 상태에 의해 드레인 전류의 크기를 다단계로 제어하여 멀티레벨 메모리층으로 동작될 수 있다.
- [0178] **제조예**
- [0179] 유리 기판 상에 스퍼터링 방법을 이용하여 150 nm 두께의 ITO 박막을 사용하는 제1 게이트 전극, 원자층증착법을 이용하여 100 nm 두께의 알루미늄 산화막(Al_2O_3)을 사용하는 게이트 절연막, 원자층증착법을 이용하여 150 nm 두께의 ITO 박막을 사용하는 소스/드레인 전극, 원자층증착법을 이용하여 20 nm 두께의 알루미늄(Al)이 도핑된 아연 산화물($Al-ZnO$) 박막층을 사용하는 산화물 반도체층, 원자층증착법을 이용하여 9 nm 두께의 알루미늄 산화막(Al_2O_3)을 사용하는 보호 절연막 및 스퍼터링 방법을 이용하여 100 nm 두께의 알루미늄(Al) 박막을 사용하는 제2 게이트 전극을 형성하였다.
- [0181] 도 5는 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 메모리 구동 및 전달 특성을 도시한 그래프이다.
- [0182] 도 5를 참조하면, 드레인 단자에는 0.5 V의 고정적으로 전압이 인가되고, 게이트 단자에는 -20V 부터 15V의 전압이 소인(sweep)되면서 게이트전압-드레인전류 특성을 평가하였다.
- [0183] 도 5에서 알 수 있는 바와 같이, 본 발명의 실시예에 따른 저항 변화형 메모리 트랜지스터는 저항 변화형 스위칭 구동 방법에 의해 산화물 반도체층에 생성되는 전도성 필라멘트의 개수가 제어되고, 이로 인해 드레인 전류의 크기가 세 단계로 변화되는 것을 확인할 수 있다.
- [0184] 즉, 본 발명의 실시예에 따른 저항 변화형 메모리 트랜지스터가 트랜지스터 동작과 메모리의 동작을 동시에 구현하고 있다는 것을 확인할 수 있고, 전도성 필라멘트 개수 제어에 따라 멀티레벨 저항 변화형 메모리 동작이 가능하다는 것을 확인할 수 있다.
- [0186] 도 6은 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 메모리 리텐션 특성을 도시한 그래프이다.
- [0187] 도 6은 산화물 반도체층에 생성되는 전도성 필라멘트의 개수를 제어하고, 각 상태에서의 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 드레인 전류를 시간 변화에 따라 측정하였다.
- [0188] 도 6은 프로그램 드레인 전류의 관독을 위해 게이트 전극에는 0 V, 드레인 전극에는 0.5 V가 인가되었다. 각 프로그램 상태를 나타내는 드레인 전류의 값은 10000초의 시간 경과에서 큰 변화를 보이지 않았다.
- [0189] 이로 인해, 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터가 양호한 메모리 리텐션 특성(retention characteristics)을 나타낸다는 것을 확인할 수 있다.
- [0191] 도 7은 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터의 반복 프로그램 동작 특성을 도시한 그래프이다.
- [0192] 도 7에서는 산화물 반도체층에 생성되는 전도성 필라멘트의 개수를 반복적으로 바꾸면서 각 상태에서 측정되는 트랜지스터의 드레인 전류를 반복 프로그램 횟수의 함수로 나타낸 것이다.
- [0193] 즉, 프로그램 동작에 의해 전도성 필라멘트 한 개 생성, 두 개 생성, 한 개 소멸, 두 개 소멸의 과정을 반복하면서 각 상태의 트랜지스터 전류의 변화를 측정한 것이다.
- [0194] 각 프로그램 상태를 나타내는 드레인 전류의 값은 100번의 반복 프로그램 동작에서 큰 변화를 보이지 않았다.
- [0195] 이로 인해, 본 발명의 제5 실시예에 따른 저항 변화형 메모리 트랜지스터가 양호한 반복 프로그램 동작 특성을 나타낸다는 것을 확인할 수 있다.
- [0197] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

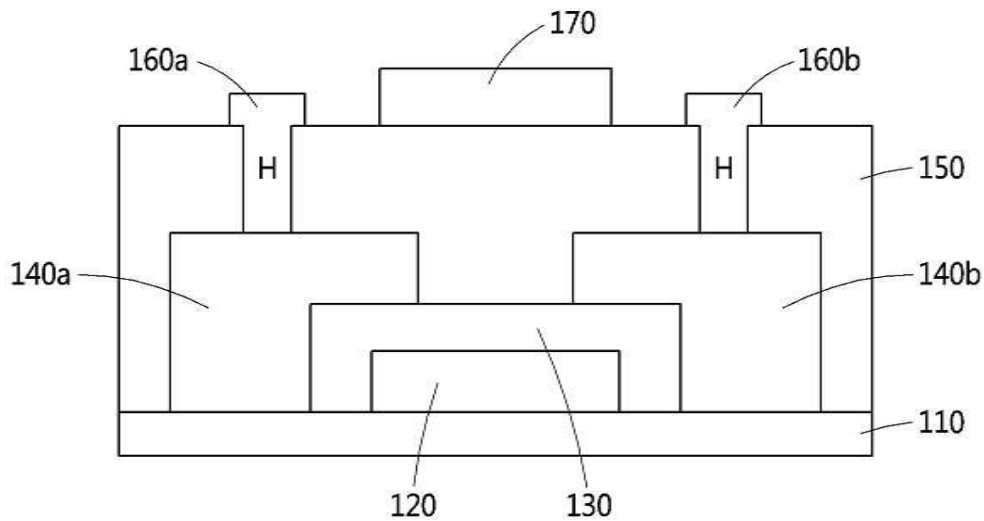
[0198] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

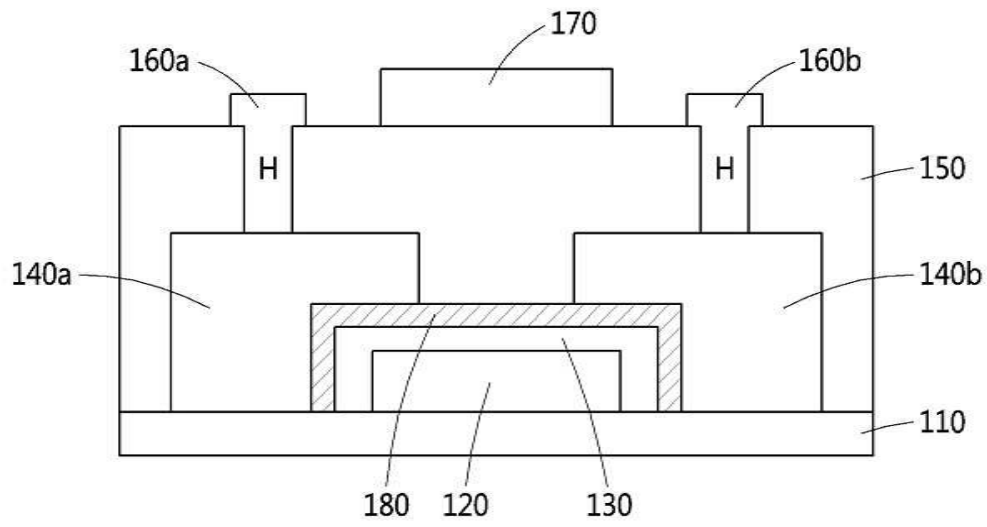
[0200] 110, 210, 310: 기판
 120, 220, 320: 제1 게이트 전극
 130, 230, 350, 420 : 산화물 반도체층
 140a, 140b, 340a, 340b, 410a, 410b : 소스/드레인 전극
 250a, 250b : 제1 소스/드레인 전극
 260a, 260b : 제2 소스/드레인 전극
 150, 270, 330: 게이트 절연막
 160a, 160b, 280a, 280b : 소스/드레인 전극 패드
 170, 360, 440 : 제2 게이트 전극
 180, 240, 370, 430 : 보호 절연막

도면

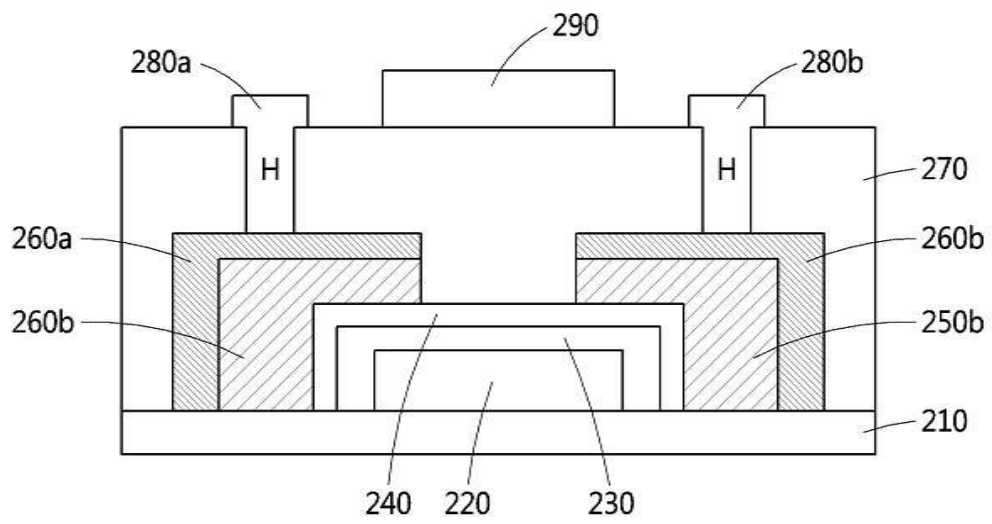
도면1a



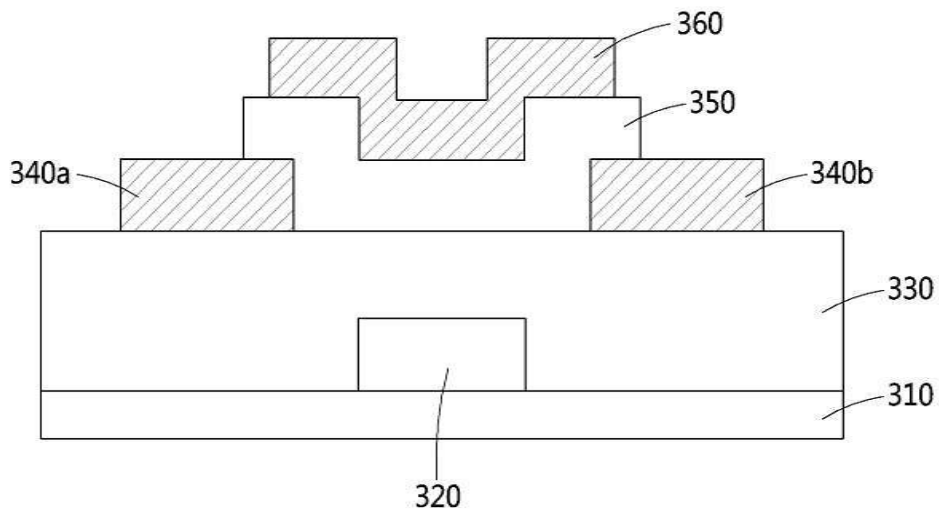
도면1b



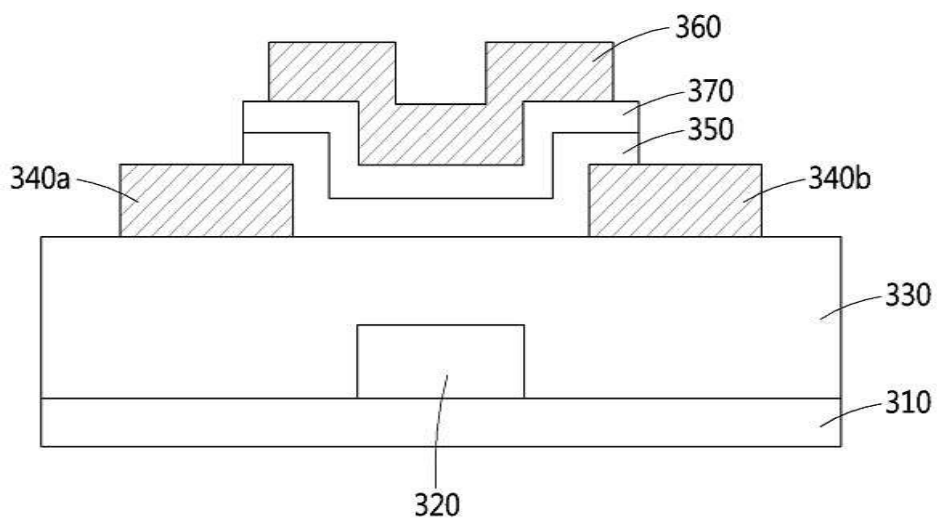
도면2



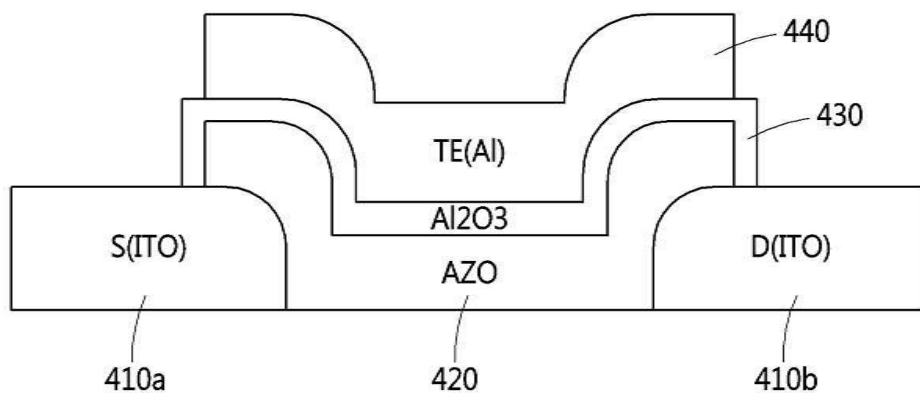
도면3a



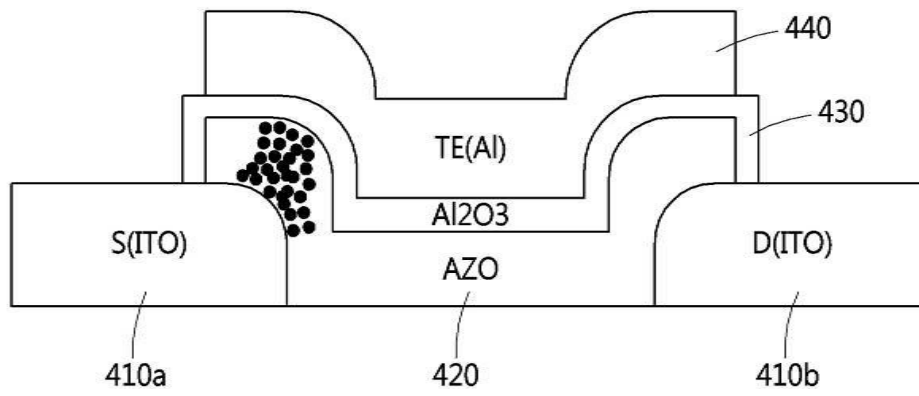
도면3b



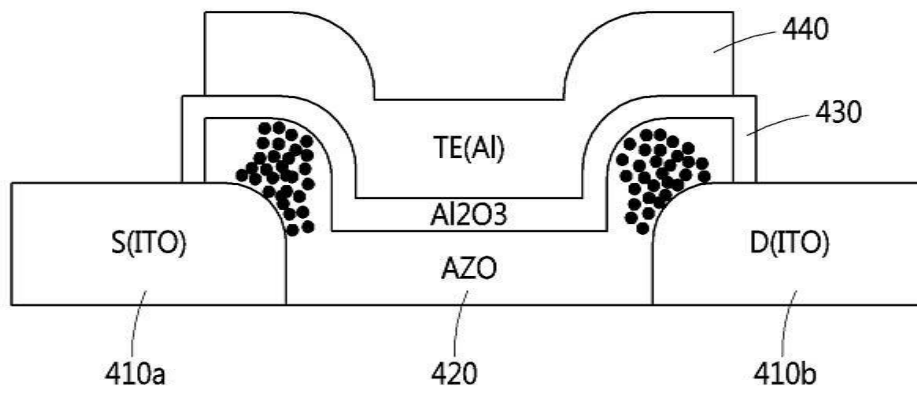
도면4a



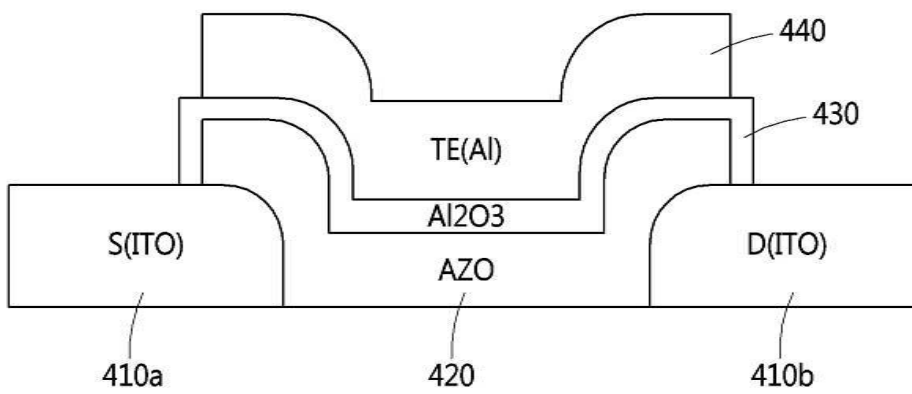
도면4b



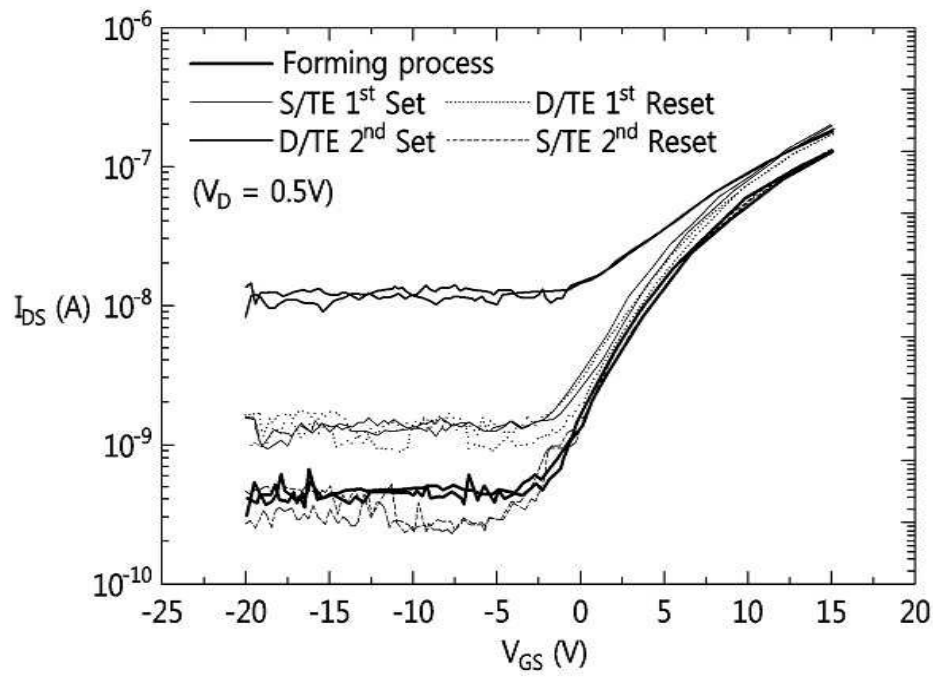
도면4c



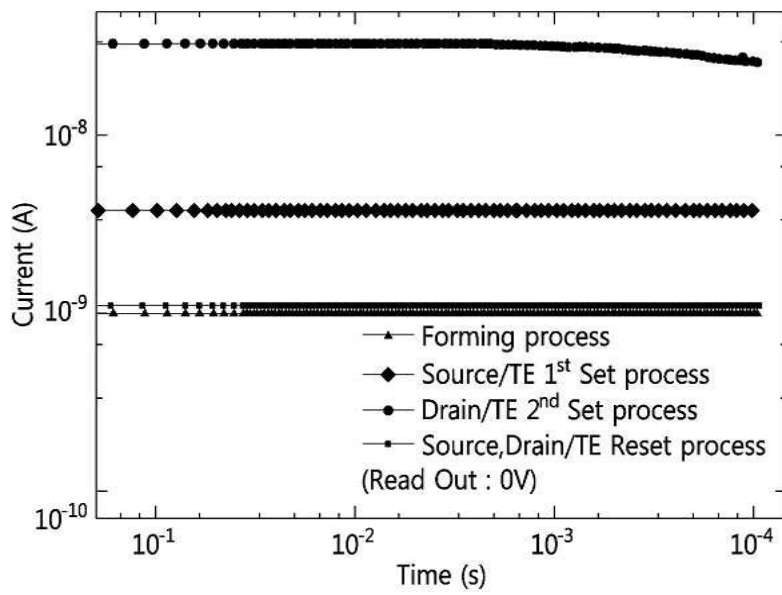
도면4d



도면5



도면6



도면7

