



(12) 发明专利

(10) 授权公告号 CN 101216901 B

(45) 授权公告日 2012. 12. 12

(21) 申请号 200710300486. 0

(22) 申请日 2007. 12. 28

(30) 优先权数据

2007-000858 2007. 01. 06 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 黑川义元 池田隆之 远藤正己

傅保洋树 河江太辅 井上卓之

上妻宗広

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

G06K 19/077(2006. 01)

(56) 对比文件

CN 1416557 A, 2003. 05. 07, 全文.

US 2006/029048 A1, 2006. 12. 28, 全文.

US 5418358 A, 1995. 05. 23, 附图 2-4, 说明书第 3 栏第 45 行到第 5 栏第 13 行.

审查员 何理

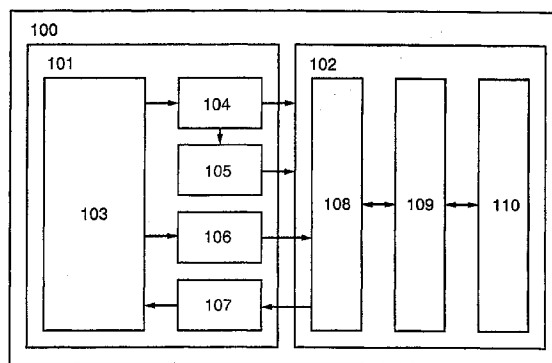
权利要求书 2 页 说明书 20 页 附图 19 页

(54) 发明名称

半导体器件

(57) 摘要

在具有由无线信号检测出物理位置的功能的半导体器件中,当采用从电池供给电源电压的有源型时,因为定期交换电池、电池的物理形状、质量的限制,而使半导体器件的物理形状、质量等被限制。在半导体器件中安装电源电路和 A/D 转换电路,该电源电路具有由无线信号生成电源电压的功能;该 A/D 转换电路具有通过对由无线信号生成的电压进行 A/D 转换来检测出无线信号的强度的功能。这样,可以提供不需要交换电池且物理形状及质量的限制少,并且具有检测出物理位置的功能的半导体器件。此外,通过使用形成在塑料衬底上的薄膜晶体管来形成半导体器件,可以以廉价提供在物理形状上具有灵活性并且具有检测出物理位置的功能的重量轻的半导体器件。



1. 一种半导体器件,其包括:

发送和接收无线信号的天线电路;

模数转换电路;和

包括整流电路和存储电容器的电源电路,被配置为基于所述天线电路所接收并由所述整流电路所整流的所述无线信号生成输入电压,并将所述输入电压输入到所述模数转换电路中,

其中所述模数转换电路被配置为将所述输入电压的信号强度从模拟值转换为数据值。

2. 根据权利要求1所述的半导体器件,其中所述模数转换电路为闪光式模数转换电路。

3. 根据权利要求1所述的半导体器件,其中所述模数转换电路为逐次近似式模数转换电路。

4. 根据权利要求1所述的半导体器件,其中所述模数转换电路为多重斜率式模数转换电路。

5. 根据权利要求1所述的半导体器件,其中所述模数转换电路为 $\Sigma \Delta$ 式模数转换电路。

6. 根据权利要求1所述的半导体器件,其中所述电源电路以及所述模数转换电路均用晶体管形成。

7. 一种半导体器件,其包括:

发送和接收无线信号的天线电路;

模数转换电路;和

包括整流电路和存储电容器的电源电路,被配置为基于所述天线电路所接收并由所述整流电路所整流的所述无线信号生成输入电压,并将所述输入电压输入到所述模数转换电路中,

其中所述模数转换电路被配置为将所述输入电压的信号强度从模拟值转换为数据值,并且

其中,具有所述数据值的数字信号由所述天线电路发射。

8. 根据权利要求7所述的半导体器件,其中所述模数转换电路为闪光式模数转换电路。

9. 根据权利要求7所述的半导体器件,其中所述模数转换电路为逐次近似式模数转换电路。

10. 根据权利要求7所述的半导体器件,其中所述模数转换电路为多重斜率式模数转换电路。

11. 根据权利要求7所述的半导体器件,其中所述模数转换电路为 $\Sigma \Delta$ 式模数转换电路。

12. 根据权利要求7所述的半导体器件,其中所述电源电路以及所述模数转换电路均用晶体管形成。

13. 一种半导体器件,其包括:

发送和接收无线信号的天线电路;

第一模数转换电路;

第二模数转换电路；

包括整流电路和存储电容器的电源电路，被配置为基于所述天线电路所接收并由所述整流电路所整流的所述无线信号生成输入电压，并将所述输入电压输入到所述第一模数转换电路和所述第二模数转换电路中；以及

其中所述第一模数转换电路和所述第二模数转换电路的每一个被配置为将所述输入电压的信号强度从模拟值转换为数据值。

14. 根据权利要求 13 所述的半导体器件，其中所述第一模数转换电路和所述第二模数转换电路中的至少一个为闪光式模数转换电路。

15. 根据权利要求 13 所述的半导体器件，其中所述第一模数转换电路和所述第二模数转换电路中的至少一个为逐次近似式模数转换电路。

16. 根据权利要求 13 所述的半导体器件，其中所述第一模数转换电路和所述第二模数转换电路中的至少一个为多重斜率式模数转换电路。

17. 根据权利要求 13 所述的半导体器件，其中所述第一模数转换电路和所述第二模数转换电路中的至少一个为 $\Sigma \Delta$ 式模数转换电路。

18. 根据权利要求 13 所述的半导体器件，其中所述电源电路、所述第一模数转换电路以及所述第二模数转换电路均用晶体管形成。

19. 根据权利要求 13 所述的半导体器件，其中所述第一模数转换电路和所述第二模数转换电路包括如下模数转换电路中的任何两种：闪光式模数转换电路；逐次近似式模数转换电路；多重斜率式模数转换电路； $\Sigma \Delta$ 式的模数转换电路。

半导体器件

技术领域

[0001] 本发明涉及通过无线信号进行数据的发送 / 接收以及检测距离的半导体器件。

背景技术

[0002] 近年来,组合了超小型 IC 芯片和无线通讯用天线的小型半导体器件(下面,也称为半导体器件、RF 芯片。此外,也称为 RFID 标签、无线标签、ID 标签、RF 标签)引人注目。该半导体器件通过使用无线通讯器件(下面,也称为读出 / 写入器)接收 / 发送通讯信号,可以以非接触的方式进行数据的发送 / 接收如写入数据、读出数据等。

[0003] 作为通过无线信号进行数据的发送 / 接收的半导体器件的应用领域,可以举出如流通行业中的商品管理。当前使用条形码等的商品管理是主流,然而因为条形码是采用光学读取的方式,当存在遮挡物时有不能读出数据的情况。然而,使用无线通讯器件非接触地进行数据的发送 / 接收的方式,因为以无线读出半导体器件的数据,因此即使存在遮挡物,也能够读出数据。因而,可以实现商品管理的效率化、低成本化等。此外,其还被期待应用于车票、飞机票、自动结账等的广泛范围(参照专利文件 1)。如此,使用通过无线通讯进行数据的发送 / 接收的小型半导体器件来识别、管理人或物的系统被称作射频识别技术(RFID; Radio Frequency Identification),其作为 IT 社会的基础技术越来越受到重视。

[0004] [专利文件 1] 专利公开 2000-149194 号公报

发明内容

[0005] 通过无线信号的数据的发送 / 接收,如果还可以检测出半导体器件的物理位置,即能够确定贴附有半导体器件的商品的位置,就例如可以缩短当在仓库内寻找东西时所需要的时间。此外,可以跟踪贴附有半导体器件的商品,例如零售行业等能够实时知道消费者动向,因此可以提供附加价值更高的服务。

[0006] 作为半导体器件的物理位置的检测方法,有 RSSI (ReceivedSignal Strength Indicator ;接收信号强度指示) 方式。该方式是利用离信号源的距离越远,通讯信号的信号强度就越弱的性质来检测半导体器件的物理位置的。例如,假设已知读出 / 写入器的位置且以读出 / 写入器作为通讯信号的发信源,如使半导体器件具有检测信号强度的功能,根据检测出的信号强度算出距离,而能够确定半导体器件的物理位置。

[0007] 但是,这种半导体器件采用从安装在半导体器件中的电池供给电路工作所需要的电源电压的方式(下面,记为有源型)。因此,需要定期交换电池。此外,根据电池的物理形状、质量的限制,半导体器件的物理形状、质量等也受到制约。这种缺点显然有损使用半导体器件检测物理位置的工作的方便性。

[0008] 鉴于上述问题,本发明是具有检测出物理位置的功能且对物理形状具有灵活性,并且本发明可以廉价地提供重量轻的半导体器件。

[0009] 本发明的半导体器件,其特征在于以无线通讯进行数据交换,且根据接收的信号生成并且发送显示到所接收信号的发送源的距离的信息的信号。具体而言,其特征在于在

半导体器件中安装有电源电路和 A/D 转换电路（模数转换电路），该电源电路具有由无线信号生成电源电压的功能；该 A/D 转换电路具有通过由无线信号生成的电压进行 A/D 转换（模数转换），来检测出无线信号的强度的功能。

[0010] 本发明的半导体器件之一，包括：发送 / 接收无线信号的天线电路；生成对应于天线电路所接收的无线信号的输入电压的电源电路；以及，将输入电压的信号强度从模拟值转换为数据值的模数转换电路。

[0011] 本发明的半导体器件之另一，包括：发送 / 接收无线信号的天线电路；生成对应于天线电路所接收的无线信号的输入电压的电源电路；以及，将输入电压的信号强度从模拟值转换为数据值的模数转换电路，其中对应于在模数转换电路中所转换的输入电压的信号强度的数据值的数字信号从天线电路被发送到外部。

[0012] 本发明的模数转换电路也可以是闪光式的模数转换电路 (flashanalog-to-digital converter circuit)。

[0013] 本发明的模数转换电路也可以是逐次近似式 (successiveapproximation) 的模数转换电路。

[0014] 本发明的模数转换电路也可以是多重斜率方式的模数转换电路 (multi-slope analog-to-digital converter circuit)。

[0015] 本发明的模数转换电路也可以是 $\Sigma \Delta$ 式的模数转换电路。

[0016] 本发明的模数转换电路也可以具备如下模数转换电路中的任何两种：闪光式的模数转换电路；逐次近似式的模数转换电路；多重斜率方式的模数转换电路； $\Sigma \Delta$ 式的模数转换电路。

[0017] 本发明的电源电路以及模数转换电路可以由薄膜晶体管形成。

[0018] 本发明的半导体器件可以采用不安装电池的结构，而具有检测出物理位置的功能。由于本发明的半导体器件不需要电池，因此可以廉价地提供在物理形状上具有灵活性且重量轻的半导体器件。

附图说明

[0019] 图 1 是本发明中的半导体器件的框图；

[0020] 图 2 是关于通讯信号和距离依赖性的理论计算的结果；

[0021] 图 3 是闪光式的 A/D 转换电路的电路图；

[0022] 图 4 是逐次近似式的 A/D 转换电路的框图；

[0023] 图 5 是多重斜率方式的 A/D 转换电路的框图；

[0024] 图 6 是 $\Sigma \Delta$ 式的 A/D 转换电路的框图；

[0025] 图 7 是环形振荡方式的 A/D 转换电路的框图；

[0026] 图 8 是相对 A/D 转换电路中的输入电压的耗电量的模拟例；

[0027] 图 9 是相对 A/D 转换电路中的输入电压的一次模数转换所需要的耗电量的模拟例；

[0028] 图 10 是相对 A/D 转换电路中的输入电压的每一个数据输出的耗电量的模拟例；

[0029] 图 11 是相对试制的半导体器件中的 A/D 转换电路的输入电压的 A/D 转换输出的检测结果；

- [0030] 图 12 是试制的半导体器件的电路布置图；
- [0031] 图 13 是试制的半导体器件中的无线通讯时的通讯信号的检测结果；
- [0032] 图 14A 至 14D 是表示本发明的半导体器件的制造方法的图；
- [0033] 图 15A 至 15C 是表示本发明的半导体器件的制造方法的图；
- [0034] 图 16A 和 16B 是表示本发明的半导体器件的制造方法的图；
- [0035] 图 17 是说明使用了本发明的半导体器件的位置信息检测系统的图；
- [0036] 图 18A 至 18C 是表示本发明的半导体器件的制造方法的图；
- [0037] 图 19A 至 19C 是表示本发明的半导体器件的制造方法的图；
- [0038] 图 20A 和 20B 是表示本发明的半导体器件的制造方法的图。

具体实施方式

[0039] 下面,参照附图说明本发明的实施方式及实施例。但是,本发明可以通过多种不同方式来实施,所属技术领域的普通人员可以很容易地理解一个事实,就是其方式及详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在本发明的实施方式及实施例所记载的内容中。注意,在说明本发明的实施方式的所有附图中,对同一部分或具有同样功能的部分附加同一附图标记,并且省略重复说明。

[0040] 使用图 1 对本发明的半导体器件的实施方式进行说明。图 1 是本发明的半导体器件的框图。

[0041] 在图 1 中,半导体器件 100 由无线电路 101 和逻辑电路 102 构成。无线电路 101 由天线电路 103、电源电路 104、时钟电路 105、解调电路 106、调制电路 107 构成。逻辑电路 102 由 RF 接口电路 108、AD 接口电路 109、A/D 转换电路 110(模数转换电路)构成。

[0042] 天线电路 103 具有进行发送/接收通讯信号的功能。例如,当使用电磁感应方式时将其形成为线圈型天线;当使用电场方式时将其形成为偶极天线的结构即可。

[0043] 电源电路 104 具有由通讯信号生成如下电压的功能:时钟电路 105 和逻辑电路 102 的电源电压;A/D 转换电路 110 的输入电压及基准电压。例如可以通过安装整流电路和保持电容生成电源电压。此外,A/D 转换电路 110 的输入电压既可以与电源电压通用一个电压,又可以通过安装与用于电源电压生成的电路不同的整流电路和保持电容而生成。再者,A/D 转换电路 110 的基准电压可以通过将电源电压由调整器转换为一定电压而生成。

[0044] 时钟电路 105 具有生成逻辑电路 102 工作时所需要的时钟信号的功能。例如,可以由 PLL(Phase Locked Loop:锁相环路)电路构成时钟电路 105。

[0045] 解调电路 106 具有从通讯信号抽出接收数据的功能。例如,可以为使用 LPF(Low Pass Filter:低通滤波器)的结构。

[0046] 调制电路 107 具有对通讯信号重叠发送数据的功能。

[0047] RF 接口电路 108 进行在解调电路 106 及调制电路 107 与逻辑电路 102 之间的数据的发送/接收。例如,由在解调电路 106 中抽出的接收数据来决定在逻辑电路 102 中执行的处理,而生成该处理所需要的控制信号或数据。此外,通过该处理生成的数据被转换为发送数据,且供给给调制电路 107。

[0048] AD 接口电路 109 使用在 RF 接口电路 108 中生成的控制信号或数据,来生成 A/D 转

换电路 110 的工作所需要的控制信号。此外,从 A/D 转换电路 110 输出的数字信号供给给 RF 接口电路 108。

[0049] A/D 转换电路 110 具有如下功能:使用在电源电路 104 中生成的基准电压和输入电压,来将作为模拟值的输入电压的信号强度转换为数据值,并且作为数字信号而输出。作为 A/D 转换电路 110,可以使用闪光式、逐次近似式、多重斜率方式、 $\Sigma \Delta$ 式等的 A/D 转换电路。此外,也可以使用计算环形振荡器的振荡频率的方式(下面,也称为环形振荡式 A/D 转换电路)等。

[0050] 无线信号的信号强度越增加,在电源电路 104 中生成的 A/D 转换电路 110 的输入电压越高。此时, A/D 转换电路 110 输出高数据值(High)的数字信号。因此,该数字信号通过天线电路 103 以无线信号从半导体器件 100 被发送到外部,并且通过由读出/写入器读出该无线信号,可以知道半导体器件 100 所接收的无线信号的信号强度。除了特殊情况如无线信号被反射或遮挡等之外,距离越增加,无线信号的信号强度越减小。即,半导体器件 100 发送的 A/D 转换电路 110 的数字信号和半导体器件 100 与读出/写入器之间的距离为一比一的关系。换言之,通过使用本实施方式的半导体器件 100,可以检测出半导体器件 100 与读出/写入器之间的距离。

[0051] 注意,本发明的半导体器件是由无线信号在电源电路 104 中生成电路工作所需要的电源电压的所谓的无源型的半导体器件。因此,与电路工作时需要电池的有源型的半导体器件不同,不容易受到物理形状的限制。此外,可以使半导体器件小型化,且可以廉价地提供该半导体器件。

[0052] 再者,通过使用在玻璃衬底或塑料衬底上形成的 TFT(Thin Film Transistor:薄膜晶体管)构成半导体器件 100,可以以廉价提供重量更轻、尺寸更小的半导体器件。尤其是,通过使用在塑料衬底上的 TFT 来构成,可以提供在物理形状上具有灵活性,并且附加价值进一步高的半导体器件。

[0053] 通过采用如上述的结构,即使半导体器件采用不安装电池的结构,也可以具有检测出物理位置的功能。本发明的半导体器件不需要电池,因此在物理形状上具有灵活性,并且可以廉价地提供重量轻的半导体器件。

[0054] 实施例 1

[0055] 在本实施例中,对在实施方式中说明的半导体器件 100 所接收的信号强度的距离依赖性,参照图 2 进行说明。图 2 是由理论计算来算出的距离和通讯信号的电力的关系的曲线图。注意,理论计算是就当从微小偶极天线振荡频率为 915MHz、波长(λ)为 0.33m 的通讯信号时的与天线之间的距离为 r [m] 的通讯信号的电力 P [mW],在假设如下条件的情况下而计算出的:输出电力为 30dBm、电缆损失为 -2dB、反射系数为 0、读出/写入器的增益为 6dBi、圆极化波损失为 1.93dBi、发射电力密度为 $10\log(1/4\pi r^2)$ 、接收截面积为 $10\log(\lambda^2/4\pi)$ 。

[0056] 从图 2 知道通讯信号的电力随着距离的增加而减少。即,在实施方式所说明的半导体器件 100 中,随着距离的增加,在电源电路 104 中生成且供给给 A/D 转换电路 110 的输入电压减少。就是说,本发明可以从构成半导体器件的 A/D 转换电路 110 的数字信号,来检测出半导体器件与天线,即读出/写入器之间的距离。

[0057] 实施例 2

[0058] 在本实施例中,对在实施方式中说明的半导体器件 100 中的 A/D 转换电路 110 的例子,参照图 3 至 7 进行说明。图 3 是闪光式的 A/D 转换电路 110 的电路图。图 4 是逐次近似式的 A/D 转换电路的框图。图 5 是多重斜率方式的 A/D 转换电路的框图。图 6 是 $\Sigma \Delta$ 式的 A/D 转换电路的框图。图 7 是环形振荡方式的 A/D 转换电路的框图。

[0059] 在图 3 中,闪光式 A/D 转换电路 300 由基准电压端子 301、输入电压端子 302、第一输出端子 303 至第三输出端子 305、第一电阻 306 至第四电阻 309、第一比较电路 310 至第三比较电路 312、输入电压布线 313、第一参考电压布线 314 至第三参考电压布线 316、第一输出布线 317 至第三输出布线 319 构成。

[0060] 在此,第一电阻 306 至第四电阻 309 可以由添加了杂质的半导体薄膜、金属薄膜等构成。第一比较电路 310 至第三比较电路 312 可以由差动放大器等构成。

[0061] 其次,对闪光式 A/D 转换电路的工作进行说明。首先,通过基准电压端子 301 及输入电压端子 302,输入基准电压以及输入电压。基准电压被第一电阻 306 至第四电阻 309 分压,且分别作为第一参考电压至第三参考电压供给给第一参考电压布线 314 至第三参考电压布线 316。第一比较电路 310 至第三比较电路 312 对从输入电压布线 313 供给的输入电压和第一参考电压至第三参考电压分别进行比较,当输入电压高(低)时,“H”(“L”)被分别输出到第一输出布线 317 至第三输出布线 319。例如,当输入电压的值为第一参考电压的值和第二参考电压的值之间的值时,对第一输出布线 317 输出“H”、对第二输出布线 318 输出“L”、对第三输出布线 319 输出“L”。即,可以知道输入电压的值。

[0062] 注意,通过使第一电阻 306、第二电阻 307、第三电阻 308、第四电阻 309 的值的比为 1 比 2 比 2 比 1,可以将第一参考电压值至第三参考电压值设为等间隔。此时,第一输出布线 317、第二输出布线 318、第三输出布线 319 的值会有如下四种情况:“L”、“L”、“L”;“H”、“L”、“L”;“H”、“H”、“L”;“H”、“H”、“H”。每个值可以以“00”、“01”、“10”、“11”的 2 位(bit)的数据值表示。

[0063] 通过将图 3 所示的闪光式 A/D 转换电路适用于本发明的半导体器件,而具有 A/D 转换所需要的时间短的效果。注意在本实施例中,对 2 位分辨率的闪光式 A/D 转换电路进行了说明,但是一般而言,可以为 n (n 为自然数) 位分辨率的闪光式 A/D 转换电路。当为 n 位分辨率时,使用 2^n 个电阻和 $2^n - 1$ 个比较电路,来构成闪光式 A/D 转换电路,即可以同样地适用上述说明。

[0064] 在图 4 中,逐次近似式的 A/D 转换电路 400 由输入电压端子 401、基准电压端子 402、第一输出端子 403、第二输出端子 404、控制信号端子 405、比较电路 406、逐次近似式寄存器 407、D/A 转换电路 408、输入电压布线 409、基准电压布线 410、参考电压布线 411、比较电路输出布线 412、控制信号布线 413、第一输出布线 414、第二输出布线 415 构成。此外,D/A 转换电路 408 由第一电阻 416 至第四电阻 419、第一开关 420、第二开关 421、接地布线 422 构成。

[0065] 顺序转换寄存器 407 具有由第一存储元件及第二存储元件构成的 2 位的存储元件。注意、当第一存储元件存储“H”、第二存储元件存储“L”时,顺序转换寄存器 407 的值为“H”、“L”。如此类推地进行显示。此外,顺序转换寄存器 407 中的第一存储元件、第二存储元件的值分别被输出到第一输出布线 414、第二输出布线 415。

[0066] 第一开关 420 从第一开关输出布线 423 供给当第一输出布线 414 的电位为“H”、

“L”时分别从基准电压布线 410 供给的基准电压、从接地布线 422 供给的接地电位。同样，第二开关 421 从第二开关输出布线 424 供给当第二输出布线 415 的电位为“H”、“L”时分别从基准电压布线 410 供给的基准电压、从接地布线 422 供给的接地电位。

[0067] 在图 4 中，第一电阻 416 至第四电阻 419 可以由添加了杂质的半导体薄膜、金属薄膜等构成。比较电路 406 可以由差动放大器等构成。

[0068] 其次，对逐次近似式的 A/D 转换电路 400 的工作进行说明。首先，作为第一阶段，从控制信号布线 413 供给控制信号，该控制信号作为初值将“L”、“H”存储到顺序转换寄存器 407。此时，由第一电阻 416 至第四电阻 419 将从基准电压布线 410 供给的基准电压分压并将分压之后的电位作为第一参考电压供给给参考电压布线 411。由比较电路 406 比较第一参考电压和输入电压，当输入电压为高电位（低电位）时，对比较电路输出布线 412 输出作为比较电路输出信号的“H”（“L”）。在此，当比较电路输出信号为“H”时，顺序转换寄存器 407 中的第二存储元件的值保持为“H”，当比较电路输出信号为“L”时，从控制信号布线 413 供给控制信号，该控制信号使顺序转换寄存器 407 中的第一存储元件的值转换为“L”。

[0069] 其次，作为第二阶段，从控制信号布线 413 对顺序寄存器 407 中的第一存储元件供给存储“H”的控制信号。此时，由第一电阻 416 至第四电阻 419 将从基准电压布线 410 供给的基准电压分压并将分压之后的电位作为第二参考电压供给给参考电压布线 411。由比较电路 406 比较第二参考电压和输入电压，当输入电压为高电位（低电位）时，对比较电路输出布线 412 输出作为比较电路输出信号的“H”（“L”）。在此，当比较电路输出信号为“H”时，顺序转换寄存器 407 中的第二存储元件的值保持为“H”，当比较电路输出信号为“L”时，从控制信号布线 413 供给控制信号，该控制信号使顺序转换寄存器 407 中的第二存储元件的值转换为“L”。

[0070] 如此，通过两个阶段，完成逐次近似式 A/D 转换电路的工作。

[0071] 在此，可以由供给到第一输出端子 403、第二输出端子 404 的第一输出、第二输出，来知道输入电压的值。例如，第一输出、第二输出为“L”、“L”；“H”、“L”；“L”、“H”；“H”、“H”时分别可以以“00”；“01”；“10”；“11”表示。

[0072] 通过使第一电阻 416、第二电阻 417、第三电阻 418、第四电阻 419 的值的比为 2 比 2 比 2 比 1，可以将输入电压的值分为等间隔，而以数据值表示。例如，第一参考电压为基准电压的 $1/2$ 。此外，在第一阶段中当比较电路输出信号为“L”、“H”时，第二参考电压为基准电压的 $1/4$ 、 $3/4$ 。即，上面所说明的逐次近似式 A/D 转换电路的工作阶段相当于如下步骤：首先，对输入电压与基准电压的 $1/2$ 的电压进行比较；其次，对输入电压与基准电压的 $1/4$ （ $= 0+1/4$ ）或 $3/4$ （ $= 1/2+1/4$ ）进行比较。也就是，越在往后的阶段，越使参考电压接近于输入电压。

[0073] 在图 4 中示出的逐次近似式 A/D 转换电路因为仅有一个比较电路，所以具有耗电低的特征。通过将图 4 所示的逐次近似式 A/D 转换电路使用于本发明的半导体器件，可以降低耗电量。此外，图 4 所示的逐次近似式 A/D 转换电路也具有 A/D 转换所需要的时间为一定且短的特征。因此，通过将图 4 所示的逐次近似式 A/D 转换电路使用于本发明的半导体器件，具有均等地分配 A/D 转换的处理所需要的时间，并且以短时间进行该处理的效果。注意，本实施例中，对 2 位分辨率的逐次近似式 A/D 转换电路进行了说明，但是一般而言，可以为 n （ n 为自然数）位分辨率的逐次近似式 A/D 转换电路。当采用 n 位分辨率时，如将顺

序转换寄存器 407 设为 n 位,而在 n 个阶段进行工作,即可以同样地适用上述说明。此外,对由电阻构成 D/A 转换电路 408 的例子进行了说明,但是也可以采用由电容来构成 D/A 转换电路 408 的方式。通过使用电容,可以构成耗电低且不均匀少的 1 位 A/D 转换电路。

[0074] 在图 5 中,多重斜率方式的 A/D 转换电路 500 由输入电压端子 501、基准电压端子 502、输出端子 503、控制信号端子 504、控制电路 505、第一开关 506、第二开关 507、计算放大器 508、比较电路 509、电容 510、电阻 511、输入电压布线 512、基准电压布线 513、第一开关输出布线 514、计算放大器输入布线 515、计算放大器输出布线 516、第一开关控制信号布线 517、第二开关控制信号布线 518、接地布线 519、比较电路输出布线 520、输出布线 521、控制信号布线 522 构成。

[0075] 控制电路 505 具有如下功能:由从控制信号布线 522 供给的控制信号和从比较电路输出布线 520 供给的比较电路输出来生成供给给第一开关控制信号布线 517、第二开关控制信号布线 518 的第一开关控制信号、第二开关控制信号。

[0076] 其次,对多重斜率方式的 A/D 转换电路 500 的工作进行说明。首先,在控制电路 505 中从控制信号布线 522 供给控制信号,该控制信号使第二开关控制信号为“H”。此时,第二开关 507 处于电导通状态,而可以使在电容 510 中存储的电荷为“0”。注意,将供给到比较电路输出布线 520 的比较电路 509 的输出设为“H”。此外,将安装在控制电路 505 中且根据周期 $T[\text{sec}]$ 的时钟信号来工作的计数器的计数值设为 0。

[0077] 其次,在控制电路 505 中,从控制信号布线 522 供给控制信号,该控制信号使第二开关控制信号为“L”,同时使第一开关控制信号为“H”。此时,第二开关 507 处于电截断状态,而在第一开关 506 中,从输入电压布线 512 供给的输入电压供给到第一开关输出布线 514。

[0078] 其次,积分电路很显然是由计算放大器 508、电容 510、电阻 511 构成的。因此,在设定电容 510 的电容值为 $C[\text{F}]$ 、电阻 511 的电阻值为 $R[\Omega]$ 、输入电压的电压值为 $V_{\text{in}}[\text{V}]$ 的情况下,通过连续工作 T_1 秒,对计算放大器输出布线 516 供给的计算放大器输出的电压为 $-(V_{\text{in}} \cdot T_1)/(R \cdot C)$ 。注意,直到安装在控制电路 505 中且根据周期 $T[\text{sec}]$ 的时钟信号来工作的计数器的计数值达到 n_1 ($T_1 = n_1 \cdot T$) 一直都使积分电路工作。此外,对比较电路输出布线 520 供给的比较电路 509 的输出保持为“H”。

[0079] 其次,在控制电路 505 中,从控制信号布线 522 供给控制信号,该控制信号使第一开关控制信号为“L”。此时,在第一开关 506 中从基准电压布线 513 供给的基准电压被供给到第一开关输出布线 514。此外,再次将安装在控制电路 505 中且根据周期 $T[\text{sec}]$ 的时钟信号来工作的计数器的计数值设为“0”。

[0080] 在将基准电压的值设为 $V_{\text{ref}}[\text{V}]$ 且为与输入电压不同的极性的电压的情况下, T 秒之后的计算放大器输出的电压为 $-(V_{\text{in}} \cdot T_1)/(R \cdot C) - (-V_{\text{ref}} \cdot T)/(R \cdot C)$ 。在此,经过成为 $T = T_2 = (V_{\text{in}}/V_{\text{ref}}) \cdot T_1$ 的时间 $T_2[\text{sec}]$ 后,计算放大器输出成为 0,并且供给到比较电路输出布线 520 的比较电路 509 的输出从“H”变为“L”。在此,当停止安装在控制电路 505 中且根据周期 $T[\text{sec}]$ 的时钟信号来工作的计数器的计数时,计数值为 n_2 ($T_2 = n_2 \cdot T$)。

[0081] $n_2 = (V_{\text{in}}/V_{\text{ref}}) \cdot n_1$ 的关系成立,也就是, V_{in} 越大(小), n_2 越大(小)。即,由 n_2 可以知道输入电压的值。具体而言,通过将安装在控制电路中的计数器的输出值输出到输出布线 521,可以知道输入电压的值。注意,当安装在控制电路中的计数器为 n 位时,成

为 n 位分辨率的 A/D 转换电路。

[0082] 图 5 所示的多重斜率方式的 A/D 转换电路可以计算输入电压的时间平均。因而, 通过将图 5 所示的多重斜率方式的 A/D 转换电路使用于本发明的半导体器件, 即使在输入电压随时间变化时, 具体而言, 即使噪音施加到输入电压时也可以进行高精度的工作。

[0083] 图 6 所示的 $\Sigma \Delta$ 式的 A/D 转换电路 600 由输入电压端子 601、基准电压端子 602、输出端子 603、加法器 604、计算放大器 605、电阻 606、电容 607、比较电路 608、1 位 D/A 转换电路 609、输入电压布线 610、基准电压布线 611、D/A 转换电路输出布线 612、加法器输出布线 613、计算放大器输入布线 614、计算放大器输出布线 615、输出信号布线 616、接地布线 617 构成。

[0084] 加法器 604 模拟计算 (analog computation) 出从输入电压布线 610 和 D/A 转换电路输出布线 612 分别供给的输入电压和 D/A 转换电路输出的差异, 并将该差异作为加法器输出而输出到加法器输出布线 613。例如, 加法器 604 可以由计算放大器构成。

[0085] 计算放大器 605、电阻 606、电容 607 构成积分电路。即, 从加法器输出布线 613 供给的将加法器输出积分了的电压值作为计算放大器输出供给到计算放大器输出布线 615。在设定电阻 606 的电阻值为 $R[\Omega]$ 、电容 607 的电容值为 $C[F]$ 时, 对于加法器输出 $V1[V]$, 在 T 秒间, 计算放大器输出增加 $(V1 \cdot T)/(R \cdot C)$ 。

[0086] 比较电路 608 比较从计算放大器输出布线 615 供给的计算放大器输出和从基准电压布线 611 供给的基准电压, 当计算放大器输出大 (小) 于基准电压时, “H” (“L”) 作为输出信号供给到输出信号布线 616。

[0087] 1 位 D/A 转换电路 609 在从输出信号布线 616 供给的输出信号为 “H”, “L” 时, 第一电压、第二电压分别作为 D/A 转换电路输出, 而供给到 D/A 转换电路输出布线 612。例如, 可以将第一电压作为基准电压、将第二电压作为接地电压。

[0088] 其次, 对 $\Sigma \Delta$ 式的 A/D 转换电路 600 的工作进行说明。注意, 虽然设为当对输出信号布线 616 供给的输出信号为 “L”, 即, 从对 D/A 转换电路输出布线 612 供给的 D/A 转换电路输出为 0 时 $\Sigma \Delta$ 式的 A/D 转换电路 600 开始工作的方式, 但是从下面的说明可以知道, $\Sigma \Delta$ 式的 A/D 转换电路 600 的工作并不失去一般性。

[0089] 在此, 从输入电压布线 610 供给输入电压, 且从基准电压布线 611 供给基准电压。在加法器 604 中实际上将输入电压作为加法器输出而输出到加法器输出布线 613。在计算放大器 605 中, 使计算放大器输出在 T 秒间增加 $(V1 \cdot T)/(R \cdot C)$, 而供给到计算放大器输出布线 615。

[0090] 在此, 当计算放大器输出达到基准电压时, 比较电路 608 的输出变为 “H”。因此, 供给到 D/A 转换电路输出布线 612 的 D/A 转换电路输出成为基准电压。在加法器 604 中从输入电压减去基准电压的电压作为加法器输出而输出到加法器输出布线 613, 通过适当地设定基准电压, 可以使加法器输出成为与输入电压极性相反的电压。即, 在计算放大器 605 中进行反方向的积分, 并且计算放大器输出在瞬间降低到 0V 左右。注意, 此时, 比较电路 608 的输出成为 “L”。下面, 反复同样的工作。

[0091] 通过上述工作, 可以知道供给到输出信号布线 616 的输出信号交替反复为 “L”, “H”。此外, 因为输出 “H” 的时间间隔与计算放大器输出达到基准电压的时间一样, 当基准电压为 $V_{ref}[V]$ 时, 时间间隔成为 $(R \cdot C)/(V_{ref}/V1)$ 。换言之, 输入电压越大 (小), “H” 被

输出的时间间隔越小（大）。此外，也可以使周期为早（迟）。因此，由输出信号可以知道输入电压的值。

[0092] 图 6 所示的 $\Sigma \Delta$ 式的 A/D 转换电路的特征在于当使用随时间变化的信号作为输入电压时很有效果。因此，通过将图 6 所示的 $\Sigma \Delta$ 式的 A/D 转换电路使用于本发明的半导体器件，可以具有以下效果，即可以处理作为输入电压的随时间变化的信号。

[0093] 在图 7 中，环形振荡方式的 A/D 转换电路 700 由输入电压端子 701、基准电压端子 702、输出端子 703、控制信号端子 704、第一计数电路 705、第二计数电路端子 706、输入电压布线 707、基准电压布线 708、输出布线 709、第一控制信号布线 710、第二控制信号布线 711 构成。

[0094] 第一计数电路 705 具有以从输入电压布线 707 供给的输入电压为电源电压的第一自激振荡电路（环形振荡器）、 n_1 (n_1 为自然数) 位的第一计数器，并且第一计数器以第一自激振荡电路的输出为时钟信号进行计数。此外，第一计数器仅在从第一控制信号布线 710 供给的第一控制信号为“H”的期间中进行计数。再者，向输出布线 709 输出当从第二控制信号布线 711 供给的第二控制信号成为“H”的瞬间时的第一计数器的计数值。

[0095] 第二计数电路 706 具有以从基准电压布线 708 供给的基准电压为电源电压的第二自激振荡电路（环形振荡器）、 n_2 (n_2 为自然数) 位的第二计数器，并且第二计数器以第二自激振荡电路的输出为时钟信号进行计数。此外，第二计数器仅在从第一控制信号布线 710 供给的第一控制信号为“H”的期间中进行计数。此外，第二计数器具有当计数值达到规定数（在此设为 N）时使供给到第二控制信号布线 711 的第二控制信号从“L”变为“H”的功能。

[0096] 其次，对环形振荡方式的 A/D 转换电路 700 的工作进行说明。首先，将第一控制信号设为“H”。此时，第一计数电路 705 及第二计数电路 706 中的第一计数器及第二计数器分别以第一自激振荡电路及第二自激振荡电路的输出为时钟信号，而开始计数。在此，当第二计数器的计数值达到 N 时，第二控制信号从“L”变为“H”，并且将在第一计数器中的计数值（在此设为 M）作为输出信号供给到输出布线 709。

[0097] 由于第二自激振荡电路以基准电压为电源电压，所以其振荡频率为一定。即，直到第二计数器计数规定数 N 的时间始终为一定。另一方面，由于第一自激振荡电路以输入电压为电源电压，若输入电压为高（低），则振荡频率为高（低）。即，上述工作相当于算出在一定时间内的第一计数器的计数值，并且作为输出信号的第一计数器的计数值 M 与第一自激振荡电路的振荡频率成比例。换言之，由输出信号可以知道输入电压的值。

[0098] 图 7 所示的环形振荡方式的 A/D 转换电路的特征在于其可以由小规模电路构成，并且对于低输入电压耗电少。因此，通过将图 7 所示的环形振荡方式的 A/D 转换电路使用于本发明的半导体器件，可以有实现半导体器件的小型化以及低耗电化的效果。此外，图 7 所示的环形振荡方式的 A/D 转换电路的特征在于其输入电压和输出信号（数据值）的关系是非线形的，且在低输入电压中的电压分辨率高。因此，当距离读出 / 写入器的远且由通讯信号生成的电压低时可以获得高分辨率。

[0099] 注意，也可以互相组合上面所说明的 A/D 转换电路，来作为本发明的半导体器件中的 A/D 转换电路。例如，可以将逐次近似式 A/D 转换电路和环形振荡方式的 A/D 转换电路组合起来，在输入电压低的范围内使用环形振荡方式的 A/D 转换电路；在输入电压高的

范围内使用逐次近似式 A/D 转换电路。在此情况下,可以实现本发明中的半导体器件的低耗电化。

[0100] 注意,本实施例可以与实施方式自由组合而实施。

[0101] 通过采用上面结构,可以具有检测出物理位置的功能且在物理形状上具有灵活性,并且可以以廉价提供重量轻的半导体器件。

[0102] 实施例 3

[0103] 在本实施例中,参照图 8 至 10 说明对安装于本发明的半导体器件的 A/D 转换电路模拟进行各种转换方式的性能比较的结果。作为 A/D 转换电路,对在实施例 2 所说明的如下四种方式进行性能比较:逐次近似式的 A/D 转换电路(8 位分辨率);多重斜率方式的 A/D 转换电路(9 位分辨率); $\Sigma \Delta$ 式的 A/D 转换电路(10 位分辨率);环形振荡方式的 A/D 转换电路(10 位分辨率)。图 8 为表示相对输入电压的耗电量的图。图 9 为表示相对输入电压的一次 A/D 转换所需要的电力的图。图 10 为表示相对输入电压的每一数字输出的耗电量的图。

[0104] 注意,使用于本实施例的模拟的各个 A/D 转换电路的电路使用实施例 2 所说明的图 4 至 7,并且使用在玻璃衬底上形成的薄膜晶体管(TFT)的电路来构成。注意,关于具体的电路结构或晶体管的沟道幅度等设计事项,实施者可以适当地设定最佳值。

[0105] 在图 8 中表示相对输入电压的耗电量的逐次近似式的 A/D 转换电路的模拟结果 801;多重斜率方式的 A/D 转换电路的模拟结果 802; $\Sigma \Delta$ 式的 A/D 转换电路的模拟结果 803;环形振荡方式的 A/D 转换电路的模拟结果 804。

[0106] 大致按耗电量少的顺序排为逐次近似式的 A/D 转换电路、多重斜率方式的 A/D 转换电路、环形振荡方式的 A/D 转换电路、 $\Sigma \Delta$ 式的 A/D 转换电路。注意,随着输入电压的增加,环形振荡方式的 A/D 转换电路的耗电量的增加是最明显的。因此,当输入电压在低电压的区域中适合使用环形振荡方式的 A/D 转换电路。

[0107] 在图 9 中表示相对输入电压的一次 A/D 转换所需要的电力的逐次近似式的 A/D 转换电路的模拟结果 901;多重斜率方式的 A/D 转换电路的模拟结果 902; $\Sigma \Delta$ 式的 A/D 转换电路的模拟结果 903;环形振荡方式的 A/D 转换电路的模拟结果 904。由 A/D 转换时的耗电量和一次 A/D 转换所需要的时间的乘积来算出一次 A/D 转换所需要的电力。

[0108] 大致按耗电量少的顺序排为:逐次近似式的 A/D 转换电路、多重斜率方式的 A/D 转换电路、环形振荡方式的 A/D 转换电路、 $\Sigma \Delta$ 式的 A/D 转换电路。

[0109] 在图 10 中表示相对输入电压的每一数字输出的耗电量的逐次近似式的 A/D 转换电路的模拟结果 1001;多重斜率方式的 A/D 转换电路的模拟结果 1002; $\Sigma \Delta$ 式的 A/D 转换电路的模拟结果 1003;环形振荡方式的 A/D 转换电路的模拟结果 1004。通过用 A/D 转换电路的输出数字位数除图 8 所示的耗电量来算出每一数字输出的耗电量。注意,当为 n 位分辨率时输出数字位数为 2^n 。通过比较每一数字输出的耗电量,来可以定量评估 A/D 转换电路的精度和耗电量之间的折衷方案(trade-off)。

[0110] 相对输入电压的每一数字输出的耗电量在输入电压为 2.8V 以下的低输入电压区域中时,环形振荡方式的 A/D 转换电路的结果是最佳的。另一方面,当输入电压为 2.8V 以上的高输入电压区域中时,逐次近似式的 A/D 转换电路及 $\Sigma \Delta$ 式的 A/D 转换电路的结果是优选的。因此,当在低输入电压区域中进行高精度的 A/D 转换时,优选使用环形振荡方式的

A/D 转换电路。此外,当在高输入电压区域中进行高精度的 A/D 转换时,优选使用逐次近似式的 A/D 转换电路或 $\Sigma \Delta$ 式的 A/D 转换电路。如此,当在大范围的输入电压区域中进行高精度的 A/D 转换电路时,根据输入电压的值,通过使用不同方式的 A/D 转换电路,同时可以实现低耗电化。

[0111] 实施例 4

[0112] 在本实施例中,对本发明的半导体器件的试制例,参照图 11 至 13 进行说明。作为 A/D 转换电路,使用实施例 2 及实施例 3 所说明的如下四种方式构成 A/D 转换电路:逐次近似式的 A/D 转换电路(8 位分辨率);多重斜率方式的 A/D 转换电路(9 位分辨率); $\Sigma \Delta$ 式的 A/D 转换电路(10 位分辨率);环形振荡方式的 A/D 转换电路(10 位分辨率)。图 11 为表示相对输入电压的 A/D 转换输出的图。图 12 为半导体器件中的电路布置图。图 13 为无线通讯时的通讯信号的检测结果。

[0113] 图 11 示出相对输入电压的 A/D 转换输出的逐次近似式的 A/D 转换电路的结果 1101;多重斜率方式的 A/D 转换电路的结果 1102; $\Sigma \Delta$ 式的 A/D 转换电路的结果 1103;环形振荡方式的 A/D 转换电路的结果 1104。每一数字输出的电压分辨率在逐次近似式的 A/D 转换电路中是 24.61mV;在多重斜率方式的 A/D 转换电路中是 15.94mV;在 $\Sigma \Delta$ 式的 A/D 转换电路中是 6.62mV;在环形振荡方式的 A/D 转换电路中是 8.41mV。注意,由根据最小平方方法的近似直线的倾斜度来算出各个 A/D 转换电路的每一数字输出的电压分辨率。

[0114] 在图 12 中,半导体器件 1200 由无线电路 1201、逻辑电路 1202 构成。无线电路 1201 由天线电路 1203、电源电路 1204、时钟电路 1205、解调电路 1206、调制电路 1207 构成。逻辑电路 1202 由 RF 接口电路 1208、AD 接口电路 1209、逐次近似式的 A/D 转换电路 1211、多重斜率方式的 A/D 转换电路 1212、 $\Sigma \Delta$ 式的 A/D 转换电路 1213、环形振荡方式的 A/D 转换电路 1214 构成。注意,本实施例中的半导体器件的结构框图相当于在实施方式中所说明的图 1 中,由四种方式的 A/D 转换电路构成 A/D 转换电路 110。因此省略各个部分的说明。

[0115] 图 13 示出本实施例中的半导体器件的接收信号 1301、发送信号 1302。以如下方式进行检测:将无线信号从天线发送到半导体器件,该无线信号通过以混频器重叠码型发生器(Pattern Generator)生成的数据和载波(915MHz RF 信号)而生成。在此,码型发生器生成用于执行一次在 A/D 转换电路中的 A/D 转换的数据。来自半导体器件的发送信号被天线接收,且由频谱分析仪(Spectrum Analyzer)检测出。根据图 13,可以知道半导体器件正常地工作。

[0116] 实施例 5

[0117] 在本实施例中,对上面实施方式所示的半导体器件的制造方法的一个例子,参照附图进行说明。在本实施例中,对在同一衬底上形成包括天线电路的半导体器件的结构进行说明。注意,通过在同一衬底上形成天线电路、半导体器件,且使构成半导体器件的晶体管为薄膜晶体管,可以实现半导体器件的小型化。

[0118] 首先,如图 14A 所示,在衬底 1901 的一个表面上夹着绝缘膜 1902 形成剥离层 1903,接着,层叠形成用作基底膜的绝缘膜 1904 和半导体膜 1905(例如,包含非晶硅的膜)。此外,绝缘膜 1902、剥离层 1903、绝缘膜 1904、以及半导体膜 1905 可以连续形成。

[0119] 衬底 1901 是选自玻璃衬底、石英衬底、金属衬底(例如,不锈钢衬底等)、陶瓷衬底、以及 Si 衬底等的半导体衬底中的衬底。另外,作为塑料衬底,可以选择聚对苯二甲酸乙

二醇酯 (PET)、聚萘二甲酸乙二醇酯 (PEN)、聚醚砜 (PES)、以及丙烯等的衬底。此外,在本工序中,剥离层 1903 夹着绝缘膜 1902 设置在衬底 1901 的整个面上,但是,根据需要,也可以在衬底 1901 的整个面上设置剥离层之后通过光刻法选择性地提供剥离层。

[0120] 作为绝缘膜 1902、绝缘膜 1904,通过 CVD 法或溅射法等,使用氧化硅、氮化硅、氧氮化硅 (SiO_xN_y) ($x > y$)、氮氧化硅 (SiN_xO_y) ($x > y$) 等的绝缘材料来形成。例如,当将绝缘膜 1902、绝缘膜 1904 形成为两层结构时,优选作为第一层绝缘膜形成氮氧化硅膜并且作为第二层绝缘膜形成氧氮化硅膜。此外,也可以作为第一层绝缘膜形成氮化硅膜并且作为第二层绝缘膜形成氧化硅膜。绝缘膜 1902 用作防止杂质元素从衬底 1901 混入到剥离层 1903 或形成在其上的元件的阻挡层,而绝缘膜 1904 用作防止杂质元素从衬底 1901、剥离层 1903 混入到形成在其上的元件的阻挡层。这样,通过形成作为阻挡层发挥功能的绝缘膜 1902、1904 可以防止来自衬底 1901 的 Na 等碱金属和碱土金属、来自剥离层 1903 的包含在剥离层中的杂质元素给形成在其上的元件造成不良影响。此外,在使用石英作为衬底 1901 的情况下,也可以省略绝缘膜 1902 及 1904。

[0121] 作为剥离层 1903,可以使用金属膜或金属膜和金属氧化膜的叠层结构等。作为金属膜,可以使用由选自钨 (W)、钼 (Mo)、钛 (Ti)、钽 (Ta)、铌 (Nb)、镍 (Ni)、钴 (Co)、锆 (Zr)、锌 (Zn)、钌 (Ru)、铑 (Rh)、钯 (Pd)、钐 (Sm)、以及铱 (Ir) 中的元素或以上述元素为主要成分的合金材料或化合物材料构成的膜的单层结构或叠层结构而形成。另外,可以通过溅射法或各种 CVD 法如等离子体 CVD 法等而形成上述材料。作为金属膜和金属氧化膜的叠层结构,在形成上述金属膜之后,进行在氧气氛中或在 N_2O 气氛中的等离子体处理、在氧气氛中或在 N_2O 气氛中的加热处理,以在金属膜的表面上形成该金属膜的氧化物或氧氮化物。例如,在通过溅射法或 CVD 法等形成钨膜作为金属膜的情况下,通过对钨膜进行等离子体处理,可以在钨膜的表面上形成由钨氧化物构成的金属氧化膜。此外,在此情况下,用 WO_x 表示钨的氧化物,其中 x 是 2 至 3,存在 x 是 2 的情况 (WO_2)、 x 是 2.5 的情况 (W_2O_5)、 x 是 2.75 的情况 (W_4O_{11})、以及 x 是 3 的情况 (WO_3) 等。当形成钨的氧化物时,对如上举出的 x 的值没有特别的限制,最好根据蚀刻速率等确定要形成的氧化物。另外,例如,也可以在形成金属膜 (例如,钨) 之后,通过溅射法在该金属膜上形成氧化硅 (SiO_2) 等的绝缘膜的同时,在金属膜上形成金属氧化物 (例如,在钨上形成钨氧化物)。此外,作为等离子体处理,例如也可以进行高密度等离子体处理。此外,除了金属氧化膜以外,也可以使用金属氮化物或金属氧氮化物。在此情况下,在氮气气氛中或在氮气和氧气的气氛中对金属膜进行等离子体处理或加热处理即可。

[0122] 通过溅射法、LPCVD 法、等离子体 CVD 法等,以 25 至 200nm (优选为 30 至 150nm) 的厚度形成半导体膜 1905。

[0123] 接下来,如图 14B 所示,对半导体膜 1905 照射激光来进行晶化。此外,也可以通过将激光的照射以及利用 RTA 或退火炉的热结晶法、使用促进结晶的金属元素的热结晶法进行组合的方法等进行半导体膜 1905 的晶化。之后,将获得的结晶半导体膜蚀刻为所希望的形状来形成结晶半导体膜 1905a 至 1905f,并覆盖该半导体膜 1905a 至 1905f 地形成栅极绝缘膜 1906。

[0124] 作为栅极绝缘膜 1906,通过 CVD 法或溅射法等使用氧化硅、氮化硅、氧氮化硅 (SiO_xN_y) ($x > y$)、氮氧化硅 (SiN_xO_y) ($x > y$) 等的绝缘材料来形成。例如,当将栅极绝缘膜

1906 形成两层结构时,优选作为第一层绝缘膜形成氮化硅膜并且作为第二层绝缘膜形成氮化硅膜。另外,也可以作为第一层绝缘膜形成氧化硅膜并且作为第二层绝缘膜形成氮化硅膜。

[0125] 以下,简单地说明结晶半导体膜 1905a 至 1905f 的制造工序的一个例子。首先,通过等离子体 CVD 法形成 50 至 60nm 厚的非晶半导体膜。接着,将包含作为促进晶化的金属元素的镍的溶液保持在非晶半导体膜上,且对非晶半导体膜进行脱氢处理(在 500℃下,一个小时)和热结晶处理(在 550℃下,四个小时),来形成结晶半导体膜。然后,照射激光,并通过使用光刻法形成结晶半导体膜 1905a 至 1905f。此外,也可以只通过照射激光而不进行使用促进晶化的金属元素的热结晶,来使非晶半导体膜晶化。

[0126] 作为用来晶化的激光振荡器,可以使用连续振荡激光振荡器(CW 激光振荡器)或脉冲振荡激光振荡器(脉冲激光振荡器)。这里,作为激光束可以采用从如下激光器的一种或多种激光器中振荡发射出的激光束,即 Ar 激光器、Kr 激光器、受激准分子激光器等的气体激光器、将在单晶的 YAG、YVO₄、镁橄榄石(Mg₂SiO₄)、YAlO₃、GdVO₄、或者多晶(陶瓷)的 YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ 中添加作为掺杂物的 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种而获得的材料用作介质的激光器、玻璃激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器、铜蒸气激光器、以及金蒸气激光器。通过照射这种激光束的基波以及这些基波的二次谐波到四次谐波的激光束,可以获得大粒径的晶体。例如,可以使用 Nd:YVO₄ 激光器(基波为 1064nm)的二次谐波(532nm)或三次谐波(355nm)。此时,需要大约 0.01 至 100MW/cm²(优选为 0.1 至 10MW/cm²)的激光功率密度。而且,以大约 10 至 2000cm/sec 的扫描速度照射。此外,将在单晶的 YAG、YVO₄、镁橄榄石(Mg₂SiO₄)、YAlO₃、GdVO₄、或者多晶(陶瓷)的 YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ 中添加作为掺杂物的 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种而获得的材料用作介质的激光器、Ar 离子激光器、或者 Ti:蓝宝石激光器可以进行连续振荡,可以通过 Q 开关动作或锁模等以 10MHz 以上的振荡频率进行脉冲振荡。当使用 10MHz 以上的振荡频率来使激光束振荡时,在半导体膜被激光束熔化之后并在凝固之前,对半导体膜照射下一个脉冲。因此,由于不同于使用振荡频率低的脉冲激光的情况,可以在半导体膜中连续地移动固相和液相之间的界面,所以可以获得沿扫描方向连续生长的晶粒。

[0127] 此外,也可以通过半导体膜 1905a 至 1905f 进行上述的高密度等离子体处理来使其表面氧化或氮化,以形成栅极绝缘膜 1906。例如,通过引入了稀有气体如 He、Ar、Kr、Xe 等和氧、氧化氮(NO₂)、氨、氮或氢等的混合气体的等离子体处理,形成栅极绝缘膜 1906。在此情况下,当通过引入微波进行等离子体的激发时,可以产生具有低电子温度和高密度的等离子体。可以通过使用由该高密度等离子体产生的氧自由基(有可能含有 OH 自由基)或氮自由基(有可能含有 NH 自由基),使半导体膜的表面氧化或氮化。

[0128] 通过使用了上述高密度等离子体的处理,厚度为 1 至 20nm,典型地为 5 至 10nm 的绝缘膜形成于半导体膜上。由于在此情况下的反应为固相反应,因此可以使该绝缘膜和半导体膜之间的界面态密度极低。由于上述高密度等离子体处理直接使半导体膜(晶体硅或多晶硅)氧化(或氮化),所以可以将所形成的绝缘膜的厚度形成为理想的不均匀性极小的状态。再者,由于即使在晶体硅的晶粒界面也不会被强烈地氧化,所以成为非常优选的状态。换句话说,通过在此所示的高密度等离子体处理使半导体膜的表面固相氧化,来可以形成具有良好的均匀性且界面态密度低的绝缘膜而不会在晶粒界面中引起异常的氧化反应。

[0129] 作为栅极绝缘膜 1906,既可仅仅使用通过高密度等离子体处理形成的绝缘膜,此外,又可通过利用了等离子体或热反应的 CVD 法将氧化硅、氧氮化硅或氮化硅等的绝缘膜堆积并层叠在栅极绝缘膜上。在任何一种情况下,将通过高密度等离子体形成的绝缘膜包含于栅极绝缘膜的一部分或全部而形成的晶体管,可以减少特性的不均匀性。

[0130] 此外,一边对半导体膜照射连续振荡激光或以 10MHz 以上的频率振荡的脉冲激光束、一边向一个方向扫描而使该半导体膜晶化而获得的半导体膜 1905a 至 1905f,具有其晶体沿该激光束的扫描方向成长的特征。当使扫描方向与沟道长度方向(形成沟道形成区域时载流子流动的方向)一致地配置晶体管,并且组合上述栅极绝缘层时,可以获得特性不均匀性小且电场效应迁移率高的薄膜晶体管。

[0131] 接着,在栅极绝缘膜 1906 上层叠形成第一导电膜和第二导电膜。在此,第一导电膜通过 CVD 法或溅射法等以 20 至 100nm 的厚度而形成。第二导电膜以 100 至 400nm 的厚度而形成。作为第一导电膜和第二导电膜,采用选自钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr) 和铌 (Nb) 等中的元素或以这些元素为主要成分的合金材料或化合物材料而形成。或者,采用以掺杂了磷等杂质元素的多晶硅为代表的半导体材料而形成第一导电膜和第二导电膜。作为第一导电膜和第二导电膜的组合的实例,可以举出氮化钽膜和钨膜、氮化钨膜和钨膜、或者氮化钼膜和钼膜等。由于钨和氮化钽具有高耐热性,因此在形成第一导电膜和第二导电膜之后,可以进行用于热激活的加热处理。此外,在不是两层结构而是三层结构的情况下,优选采用钼膜、铝膜和钼膜的叠层结构。

[0132] 接着,利用光刻法形成由抗蚀剂构成的掩模,并且进行蚀刻处理以形成栅电极和栅极线,从而在半导体膜 1905a 至 1905f 的上方形成栅电极 1907。在此,示出了以第一导电膜 1907a 和第二导电膜 1907b 的叠层结构形成栅电极 1907 的例子。

[0133] 接着,如图 14C 所示,以栅电极 1907 为掩模,通过离子掺杂法或离子注入法对半导体膜 1905a 至 1905f 以低浓度添加赋予 n 型的杂质元素,然后通过光刻法选择性地形成由抗蚀剂构成的掩模,以高浓度添加赋予 p 型的杂质元素。作为赋予 n 型的杂质元素,可以使用磷 (P)、砷 (As) 等。作为赋予 p 型的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。在此,使用磷 (P) 作为赋予 n 型的杂质元素,并以 1×10^{15} 至 $1 \times 10^{19}/\text{cm}^3$ 的浓度选择性地引入到半导体膜 1905a 至 1905f,以形成显示 n 型的杂质区域 1908。此外,使用硼 (B) 作为赋予 p 型的杂质元素,并以 1×10^{19} 至 $1 \times 10^{20}/\text{cm}^3$ 的浓度选择性地引入到半导体膜 1905c、1905e,以形成显示 p 型的杂质区域 1909。

[0134] 接着,覆盖栅极绝缘膜 1906 和栅电极 1907 地形成绝缘膜。通过等离子体 CVD 法或溅射法等以单层或叠层方式形成含无机材料如硅、硅的氧化物或硅的氮化物的膜、或含有有机材料如有机树脂等的膜,从而形成绝缘膜。接着,通过以垂直方向为主体的各向异性蚀刻选择性地蚀刻绝缘膜,从而形成与栅电极 1907 的侧面接触的绝缘膜 1910(也称为侧壁)。绝缘膜 1910 用作当形成 LDD(Lightly Doped drain;轻掺杂漏)区域时的用于掺杂的掩模。

[0135] 接着,将通过光刻法形成的由抗蚀剂构成的掩模、栅电极 1907 及绝缘膜 1910 用作掩模,对半导体膜 1905a、1905b、1905d、1905f 以高浓度添加赋予 n 型的杂质元素,以形成显示 n 型的杂质区域 1911。在此,使用磷 (P) 作为赋予 n 型的杂质元素,以 1×10^{19} 至 $1 \times 10^{20}/\text{cm}^3$ 的浓度选择性地引入到半导体膜 1905a、1905b、1905d、1905f,以形成表示比杂质区域

1908 更高浓度的 n 型的杂质区域 1911。

[0136] 通过上述工序,如图 14D 所示,形成 n 沟道型薄膜晶体管 1900a、1900b、1900d、1900f 和 p 沟道型薄膜晶体管 1900c、1900e。

[0137] 在 n 沟道型薄膜晶体管 1900a 中,沟道形成区域形成在与栅电极 1907 重叠的半导体膜 1905a 的区域中,形成源区或漏区的杂质区域 1911 形成在不与栅电极 1907 及绝缘膜 1910 重叠的区域中,而低浓度杂质区域(LDD 区域)形成在沟道形成区域和杂质区域 1911 之间的与绝缘膜 1910 重叠的半导体膜 1905a 的区域。此外, n 沟道型薄膜晶体管 1900b、1900d、1900f 也同样形成有沟道形成区域、低浓度杂质区域、以及杂质区域 1911。

[0138] 在 p 沟道型薄膜晶体管 1900c 中,沟道形成区域形成在与栅电极 1907 重叠的半导体膜 1905c 的区域中,形成源区或漏区的杂质区域 1909 形成在不与栅电极 1907 重叠的区域中。此外, p 沟道型薄膜晶体管 1900e 也同样形成有沟道形成区域以及杂质区域 1909。此外,这里,虽然在 p 沟道型薄膜晶体管 1900c 及 1900e 未设置 LDD 区域,但是既可采用在 p 沟道型薄膜晶体管设置 LDD 区域的结构,又可采用在 n 沟道型薄膜晶体管不设置 LDD 区域的结构。

[0139] 接下来,如图 15A 所示,以单层或叠层的方式形成绝缘膜并使其覆盖半导体膜 1905a 至 1905f、栅电极 1907 等,并且在该绝缘膜上形成导电膜 1913,该导电膜 1913 与形成薄膜晶体管 1900a 至 1900f 的源区或漏区的杂质区域 1909、1911 电连接。绝缘膜通过 CVD 法、溅射法、SOG 法、液滴喷出法、丝网印刷法等使用硅的氧化物或硅的氮化物等的无机材料、聚酰亚胺、聚酰胺、苯并环丁烯、丙烯、环氧等的有机材料、或者硅氧烷材料等,以单层或叠层的方式形成。在此,以两层的方式设置所述绝缘膜,分别形成氮氧化硅膜和氧氮化硅膜作为第一层绝缘膜 1912a 和第二层绝缘膜 1912b。此外,导电膜 1913 形成薄膜晶体管 1900a 至 1900f 的源电极或漏电极。

[0140] 此外,优选在形成绝缘膜 1912a、1912b 之前,或者在形成绝缘膜 1912a、1912b 中的一个或多个薄膜之后,进行用于恢复半导体膜的结晶性、使添加到半导体膜中的杂质元素活性化、或者使半导体膜氢化的加热处理。作为加热处理,优选适用热退火法、激光退火法、或者 RTA 法等。

[0141] 通过 CVD 法或溅射法等,使用选自铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、硅 (Si) 的元素、或者以这些元素为主要成分的合金材料或化合物材料以单层或叠层的方式形成导电膜 1913。以铝为主要成分的合金材料例如相当于以铝为主要成分且含有镍的材料、或者以铝为主要成分且含有碳和硅中的一者或两者与镍的合金材料。作为导电膜 1913,例如可以使用由阻挡膜、铝硅 (Al-Si) 膜和阻挡膜组成的叠层结构、或者由阻挡膜、铝硅 (Al-Si) 膜、氮化钛膜和阻挡膜组成的叠层结构。此外,阻挡膜相当于由钛、钛的氮化物、钼或钼的氮化物组成的薄膜。因为铝或者铝硅具有电阻低并且价格低廉的特性,所以作为用于形成导电膜 1913 的材料最合适。此外,当设置上层和下层的阻挡层时,可以防止铝或铝硅的小丘的产生。此外,当形成由高还原性的元素即钛构成的阻挡膜时,即使在结晶半导体膜上形成有较薄的自然氧化膜,也可以使该自然氧化膜还原,而获得与结晶半导体膜的良好接触。

[0142] 接下来,覆盖导电膜 1913 地形成绝缘膜 1914,并且在该绝缘膜 1914 上形成导电膜 1915a、1915b,该导电膜 1915a、1915b 分别与形成薄膜晶体管 1900a、1900f 的源电极或漏

电极的导电膜 1913 电连接。此外,还形成导电膜 1916a、1916b,该导电膜 1916a、1916b 分别与形成薄膜晶体管 1900b、1900e 的源电极或漏电极的导电膜 1913 电连接。此外,导电膜 1915a、1915b 和导电膜 1916a、1916b 也可以由同一材料同时形成。导电膜 1915a、1915b 和导电膜 1916a、1916b 可以使用上述导电膜 1913 中所示的任一材料形成。

[0143] 接下来,如图 15B 所示,将用作天线的导电膜 1917 形成为与导电膜 1916a、1916b 电连接。这里,用作天线的导电膜 1917 相当于上述实施方式所示的天线电路的天线。

[0144] 绝缘膜 1914 通过 CVD 法或溅射法等使用如下材料的单层结构或叠层结构而形成:具有氧或氮的绝缘膜如氧化硅 (SiO_x)、氮化硅 (SiN_x) ($x > y$)、氧氮化硅 (SiO_xN_y) ($x > y$)、氮氧化硅 (SiN_xO_y) ($x > y$) 等、DLC(类金刚石碳)等的包含碳的膜、环氧树脂、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯等的有机材料、或者硅氧烷材料如硅氧烷树脂等。此外,硅氧烷材料相当于包含 Si-O-Si 键的材料。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 的键构成。作为取代基,使用至少包含氢的有机基(例如烷基、芳烃)。作为取代基,也可以使用氟基。或者,作为取代基,也可以使用至少包含氢的有机基以及氟基。

[0145] 导电膜 1917a 及 1917b 通过 CVD 法、溅射法、印刷法如丝网印刷或凹版印刷等、液滴喷出法、滴落法、镀敷法等使用导电材料形成。导电膜 1917a、1917b 是选自铝 (Al)、钛 (Ti)、银 (Ag)、铜 (Cu)、金 (Au)、铂 (Pt)、镍 (Ni)、钯 (Pd)、钽 (Ta)、钼 (Mo) 中的元素、或者以这些元素为主要成分的合金材料或化合物材料,并且以单层结构或叠层结构形成导电膜 1917a 及 1917b。

[0146] 例如,在通过丝网印刷法形成用作天线的导电膜 1917a 及 1917b 的情况下,可以通过选择性地印刷将粒径为几 nm 至几十 μm 的导电粒子溶解或分散于有机树脂中而形成的导电膏来设置导电膜 1917a 及 1917b。作为导电粒子,可以使用银 (Ag)、金 (Au)、铜 (Cu)、镍 (Ni)、铂 (Pt)、钯 (Pd)、钽 (Ta)、钼 (Mo)、以及钛 (Ti) 等的任何一个以上的金属粒子或卤化银的微粒、或者分散性纳米粒子。作为包含于导电膏的有机树脂,可以使用选自用作金属粒子的粘合剂、溶剂、分散剂及覆盖剂的有机树脂中的一个或多个。可以典型地举出环氧树脂、硅树脂等的有机树脂。此外,在形成导电膜时,优选在挤出导电膏之后进行焙烧。例如,在作为导电膏的材料使用以银为主要成分的微粒(例如粒径为 1nm 以上且 100nm 以下)的情况下,可以通过在 150℃至 300℃的温度范围内进行焙烧来使其硬化,而获得导电膜。此外,也可以使用以焊料或无铅焊料为主要成分的微粒,在此情况下,优选使用粒径为 20 μm 以下的微粒。焊料或无铅焊料具有低成本的优点。

[0147] 接下来,如图 15C 所示,在覆盖导电膜 1917a 及 1917b 地形成绝缘膜 1918 之后,从衬底 1901 剥离包括薄膜晶体管 1900a 至 1900f、导电膜 1917a 及 1917b 等的层(以下写为“元件形成层 1919”)。在此,可以通过照射激光(例如 UV 光)在薄膜晶体管 1900a 至 1900f 以外的区域中形成开口部之后,利用物理力从衬底 1901 剥离元件形成层 1919。此外,也可以在从衬底 1901 剥离元件形成层 1919 之前,将蚀刻剂引入到形成的开口部中来选择性地去除剥离层 1903。作为蚀刻剂,使用含氟化卤或卤化合物的气体或液体。例如,作为含氟化卤的气体使用三氟化氯 (ClF_3)。于是,元件形成层 1919 处于从衬底 1901 剥离的状态。此外,剥离层 1903 可以部分地残留而不完全去除。通过以上方式,可以抑制蚀刻剂的消耗量,并且缩短为去除剥离层所花费的处理时间。此外,也可以在去除剥离层 1903 之后,在衬底 1901 上保持元件形成层 1919。此外,通过再利用剥离了元件形成层 1919 的衬底 1901,可以

缩减成本。

[0148] 绝缘膜 1918 通过 CVD 法或溅射法等使用如下材料的单层结构或叠层结构而形成：具有氧或氮的绝缘膜如氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$)、氮氧化硅等 (SiN_xO_y) ($x > y$)、DLC (类金刚石碳) 等的包含碳的膜、环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯等的有机材料、或硅氧烷材料如硅氧烷树脂等。

[0149] 在本实施例中,如图 16A 所示,在通过激光的照射在元件形成层 1919 中形成开口部之后,将第一片材 1920 贴合到该元件形成层 1919 的一个表面 (露出绝缘膜 1918 的面),然后从衬底 1901 剥离元件形成层 1919。

[0150] 接下来,如图 16B 所示,对元件形成层 1919 的另一个表面 (因剥离而露出的面) 进行加热处理和加压处理中的一者或两者,来贴合第二片材 1921。作为第一片材 1920、第二片材 1921,可以使用热熔膜等。

[0151] 作为第一片材 1920、第二片材 1921,也可以使用进行了防止静电等的抗静电处理的膜 (以下写为抗静电膜)。作为抗静电膜,可以举出在树脂中分散有抗静电材料的膜、以及贴有抗静电材料的膜等。作为设置有抗静电材料的膜,既可采用单面上设置有抗静电材料的膜,又可采用双面上设置有抗静电材料的膜。再者,单面上设置有抗静电材料的膜既可将设置有抗静电材料的一面贴到层上并使该一面置于膜的内侧,又可将设置有抗静电材料的一面贴到层上并使该一面置于膜的外侧。此外,该抗静电材料设置在膜的整个面或一部分上即可。在此,作为抗静电材料,可以使用金属、铟和锡的氧化物 (ITO)、界面活性剂如两性界面活性剂、阳离子界面活性剂、非离子界面活性剂等。此外,作为抗静电材料,除了上述以外,还可以使用包含具有羧基和季铵碱作为侧链的交联共聚物高分子的树脂材料等。可以通过将这些材料贴在膜上,揉入在膜中,或者涂敷在膜上而形成抗静电膜。通过使用抗静电膜进行密封,可以抑制当作为商品使用时来自外部的静电等给半导体元件造成的负面影响。

[0152] 在本实施例中示出从衬底 1901 剥离元件形成层 1919 而利用的例子,然而也可以不设置剥离层 1903,而在衬底 1901 上制造上述元件形成层 1919,来作为半导体器件而利用。当作为衬底 1901 使用 SOI (Silicon on Insulator; 绝缘体上硅片衬底) 衬底时,作为半导体膜使用单晶半导体膜即可,这样可以实现缩短半导体膜的晶化的工序的时间。

[0153] 通过本实施例所示的本发明的半导体器件的制造方法所制造的半导体器件在物理形状上具有灵活性且其重量轻。尤其是本发明的半导体器件不需要电池,所以在物理形状上可以具有进一步的灵活性。

[0154] 实施例 6

[0155] 在本实施例中,对使用形成在单晶衬底上的晶体管来制造本发明的半导体器件的例子进行说明。由于形成在单晶衬底上的晶体管可以抑制特性的不均匀性,所以可以抑制用于半导体器件的晶体管的个数。

[0156] 首先,如图 18A 所示,在半导体衬底 2300 上由绝缘膜形成用于使半导体元件电分离的元件分离绝缘膜 2301。通过形成元件分离绝缘膜 2301,可以使用于形成晶体管的区域 (元件形成区) 2302 和元件形成区 2303 电分离。

[0157] 作为半导体衬底 2300,例如可以使用具有 n 型或 p 型导电类型的单晶硅衬底、化合物半导体衬底 (GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底、ZnSe 衬底等)、以及

使用贴合法或 SIMOX (Separation by Implanted Oxygen ; 注入氧隔离) 法来制造的 SOI 衬底等。

[0158] 对于元件分离绝缘膜 2301 的形成方法, 可以使用选择氧化法 (LOCOS ; Local Oxidation of Silicon) 或深沟分离法等。

[0159] 另外, 本实施例示出了使用具有 n 型导电类型的单晶硅衬底作为半导体衬底 2300, 并且在元件形成区 2303 中形成 p 阱 2304 的例子。形成在半导体衬底 2300 的元件形成区 2303 中的 p 阱 2304 可以通过将赋予 p 型导电类型的杂质元素选择性地引入到元件形成区 2303 中来形成。作为赋予 p 型的杂质元素, 可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。另外, 在使用具有 p 型导电类型的半导体衬底作为半导体衬底 2300 的情况下, 将赋予 n 型的杂质元素选择性地引入到元件形成区 2302 中来形成 n 阱即可。

[0160] 注意, 在本实施例中, 因为使用具有 n 型导电类型的半导体衬底作为半导体衬底 2300, 所以对元件形成区 2302 没有引入杂质元素。但是, 也可以通过引入赋予 n 型的杂质元素而在元件形成区 2302 中形成 n 阱。作为赋予 n 型的杂质元素, 可以使用磷 (P) 和砷 (As) 等。

[0161] 接着, 如图 18B 所示, 覆盖元件形成区 2302、2303 地分别形成绝缘膜 2305、2306。在本实施例中, 将通过使半导体衬底 2300 热氧化而形成在元件形成区 2302、2303 的氧化硅膜用作绝缘膜 2305、2306。另外, 也可以在通过热氧化来形成氧化硅膜之后进行氮化处理, 使氧化硅膜的表面氮化来形成氧氮化硅膜, 并且将层叠有氧化硅膜和氧氮化硅膜的层用作绝缘膜 2305、2306。

[0162] 另外, 也可以如上所述那样采用等离子体处理来形成绝缘膜 2305、2306。例如, 通过利用高密度等离子体处理使半导体衬底 2300 的表面氧化或氮化, 在元件形成区 2302、2303 形成用作绝缘膜 2305、2306 的氧化硅 (SiO_x) 膜或氮化硅 (SiN_x) 膜。

[0163] 接着, 如图 18C 所示, 覆盖绝缘膜 2305、2306 地形成导电膜。在本实施例中, 示出了使用按顺序层叠了的导电膜 2307 和导电膜 2308 作为导电膜的例子。作为导电膜, 可以使用单层导电膜, 也可以使用层叠有三层以上的导电膜的结构。

[0164] 作为导电膜 2307、2308, 可以使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb) 等。另外, 作为导电膜 2307、2308, 除了使用由上述金属形成的膜以外, 还可以使用由以上述金属为主要成分的合金形成的膜或使用包含上述金属的化合物来形成的膜。或者, 也可以使用对半导体膜掺杂赋予导电性的杂质元素如磷等而成的多晶硅等半导体来形成。在本实施例中, 使用氮化钽形成导电膜 2307, 并且使用钨形成导电膜 2308。

[0165] 接着, 如图 19A 所示, 通过将层叠设置的导电膜 2307、2308 加工 (构图) 成预定形状, 来在绝缘膜 2305、2306 上形成栅电极 2309、2310。

[0166] 接着, 如图 19B 所示, 覆盖元件形成区 2302 地由抗蚀剂选择性地形成掩模 2311。然后, 对元件形成区 2303 引入杂质元素。除了掩模 2311 以外, 栅电极 2310 也用作掩模, 所以借助于上述杂质元素的引入, 在 p 阱 2304 中形成用作源区或漏区的杂质区 2312 和沟道形成区 2313。作为杂质元素, 使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为赋予 n 型的杂质元素, 可以使用磷 (P) 或砷 (As) 等。作为赋予 p 型的杂质元素, 可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。在本实施例中, 使用磷 (P) 作为杂质元素。

[0167] 接着,在去除掩模 2311 之后,如图 19C 所示,覆盖元件形成区 2303 地由抗蚀剂选择性地形成掩模 2314。然后,对元件形成区 2302 引入杂质元素。除了掩模 2314 以外,栅电极 2309 也用作掩模,所以借助于上述杂质元素的引入,在元件形成区 2302 内的半导体衬底 2300 形成用作源区或漏区的杂质区 2315 和沟道形成区 2316。作为杂质元素,使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为赋予 n 型的杂质元素,可以使用磷 (P) 或砷 (As) 等。作为赋予 p 型的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。在本实施例中,使用具有与在图 19C 中对元件形成区 2303 引入的杂质元素不同的导电类型的杂质元素 (例如硼 (B))。

[0168] 接着,如图 20A 所示,覆盖绝缘膜 2305、2306、栅电极 2309、2310 地形成绝缘膜 2317。然后,在绝缘膜 2317 中形成接触孔,使杂质区 2312、2315 的一部分露出。接着,形成通过接触孔与杂质区 2312、2315 连接的导电膜 2318。导电膜 2318 可以通过 CVD 法或溅射法等形成。

[0169] 绝缘膜 2317 可以使用无机绝缘膜、有机树脂膜或硅氧烷绝缘膜来形成。当采用无机绝缘膜时,可以使用氧化硅、氮化硅、氮氧化硅、以 DLC (类金刚石碳) 为代表的含碳的膜等。当采用有机树脂膜时,例如可以使用丙烯酸、环氧、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯等。另外,绝缘膜 2317 可以根据其材料而通过 CVD 法、溅射法、液滴喷射法或印刷法等形成。

[0170] 注意,用于本发明的半导体装置的晶体管不局限于在本实施例中示出于附图上的结构。例如,也可以是反交错结构。

[0171] 接着,如图 20B 所示,形成层间膜 2324。然后蚀刻层间膜 2324 来形成接触孔,以使导电膜 2318 的一部分露出。层间膜 2324 不局限于树脂,也可以为 CVD 氧化膜等的其他膜,但是,从平坦性的观点来看,优选为树脂。此外,也可以使用感光树脂,不使用蚀刻来形成接触孔。接着,在层间膜 2324 上形成通过接触孔与导电膜 2318 接触的布线 2325。

[0172] 接着,与布线 2325 接触地形成用作天线的导电膜 2326。导电膜 2326 可以使用银 (Ag)、金 (Au)、铜 (Cu)、钯 (Pd)、铬 (Cr)、铂 (Pt)、钼 (Mo)、钛 (Ti)、钽 (Ta)、钨 (W)、铝 (Al)、铁 (Fe)、钴 (Co)、锌 (Zn)、锡 (Sn)、镍 (Ni) 等金属来形成。作为导电膜 2326,除了使用由上述金属形成的膜之外,还可以使用由以上述金属为主要成分的合金形成的膜或使用包含上述金属的化合物形成的膜。导电膜 2326 可以以单层使用上述的膜,也可以层叠使用上述多个膜。

[0173] 导电膜 2326 可以通过使用 CVD 法、溅射法、印刷法如丝网印刷或胶版印刷等、液滴喷射法、滴落法、涂镀法、光刻法、气相沉积法等来形成。

[0174] 注意,在本实施例中虽然说明了在与半导体元件相同的衬底上形成天线的实例,但本发明不局限于该结构。也可以在形成半导体元件之后,使另行形成的天线与集成电路电连接。在此情况下,可以通过使用各向异性导电薄膜 (ACF; Anisotropic Conductive Film) 或各向异性导电膏 (ACP; Anisotropic Conductive Paste) 等使天线和集成电路压合,来使它们电连接。另外,也可以使用银膏、铜膏或碳膏等导电粘结剂或焊接来实现连接。

[0175] 通过本实施例所示的本发明的半导体器件的制造方法所制造的半导体器件不需要电池,所以可以廉价地提供重量轻的半导体器件。注意,本实施例可以与上面的实施方式及实施例组合而实施。

[0176] 实施例 7

[0177] 在本实施例中,作为利用本发明的半导体器件的一个例子,对商品管理系统、在屋内等的移动对象的管理系统,参照图 17 进行说明。

[0178] 首先,参照图 17 对顾客在商店内购买商品的情况进行说明。在商店内陈列的商品上不但贴有存储商品固有的信息、生产履历等的信息的 IC 标签或 IC 芯片,还贴有本发明的半导体器件。

[0179] 在由设在商店内的位置检测用的读出 / 写入器 1702 包围的商店内的空间中,顾客 1701 拿着具备本发明的半导体器件的商品 1703 移动。如上实施方式所示那样,通过由设在商店内的读出 / 写入器 1702 来检测出位置,管理者可以知道顾客 1701 在设置的陈列架 1704 的周围以什么样的移动线移动。通过记录且管理这样的顾客的移动线,可以高效率地进行商品的位置设置或商品管理等市场调查,所以这是优选的。

[0180] 如本实施例所示,由设在商店内的多个读出 / 写入器来实时地掌握商品的在商店内的移动线,因此可以不需要穿过用于防止从陈列架上偷窃的读出 / 写入器的门,而防止偷窃。此外,因为可以实时地掌握商品的移动线,管理者可以使用计算机等提前预测关于偷窃者的移动的信息,并且采取措施例如阻塞通道等,从而也可以防止商品的偷窃。因此,管理员可以捕获偷窃者而不用直接捉拿偷窃者,由此可以容易且安全地捉拿偷窃者。

[0181] 此外,在本实施例中,不用将门状的读出 / 写入器设在出入口,而将读出 / 写入器设在地板瓷砖的一部分、梁柱的一部分、天花板等中,这样不但管理者可以实时地管理商品的位置信息,并且顾客不会留意到读出 / 写入器。通过使用了本发明的半导体器件的位置检测系统,可以容易地跟踪 GPS 等难以跟踪的小范围中的商品的移动线。此外,通过在本发明的半导体器件中使用 UHF 频带的天线,可以网罗几米的范围。此外,通过使本发明的半导体器件中具有防撞功能,而可以管理多个移动对象,所以是优选的。

[0182] 本发明的半导体器件的位置检测系统当与监视影像拍摄装置等一起使用时,对防止偷窃是很有效的。管理者可以更准确且更容易地从远程执行管理。

[0183] 此外,通过在本实施例中增加多个读出 / 写入器的个数,即使在大的空间,也可以容易地掌握具有半导体器件的对象的正确的移动线,所以这是优选的。尤其是通过将本发明的半导体器件使用于本实施例,来可以使半导体器件为在其中不安装有电池的结构,而具有检测出物理位置的功能。本发明的半导体器件由于不需要电池,所以可以在物理形状上具有灵活性,并且可以以廉价提供重量轻的半导体器件。因此具有容易贴在商品上的效果。

[0184] 本申请基于 2007 年 1 月 6 日在日本专利局提交的日本专利申请序列号 2007-000858,在此引用其全部内容作为参考。

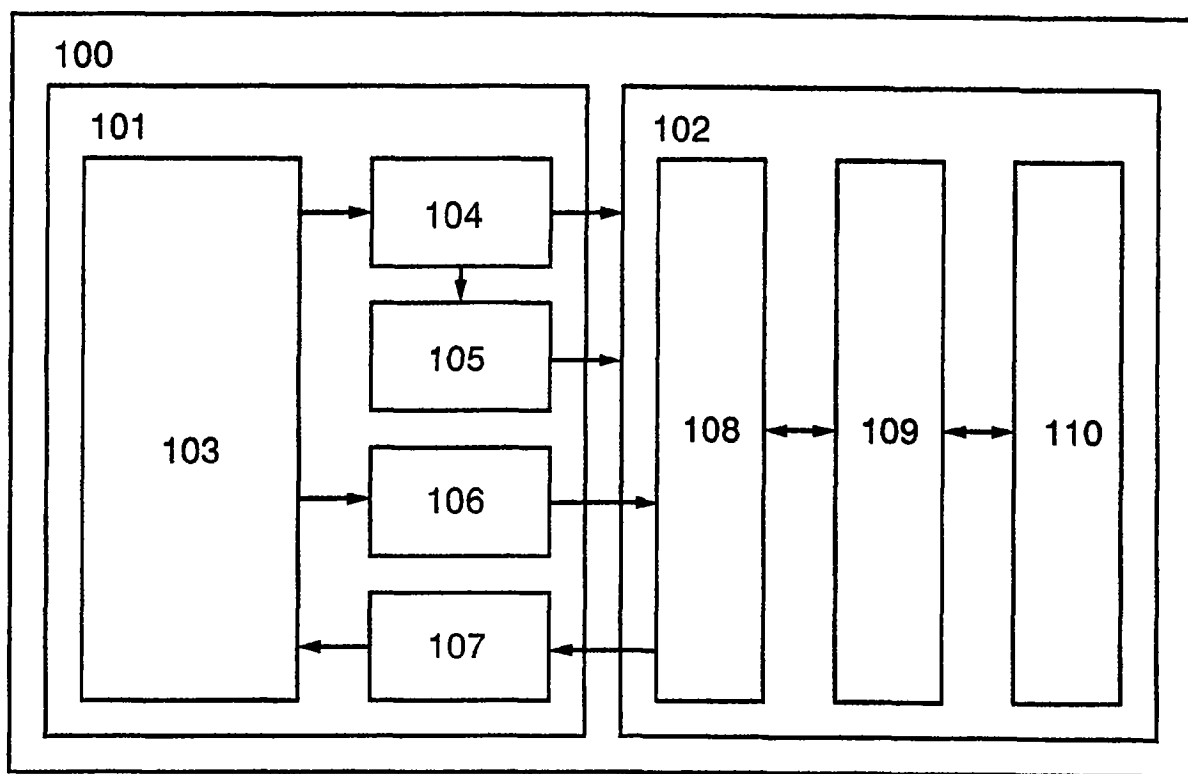
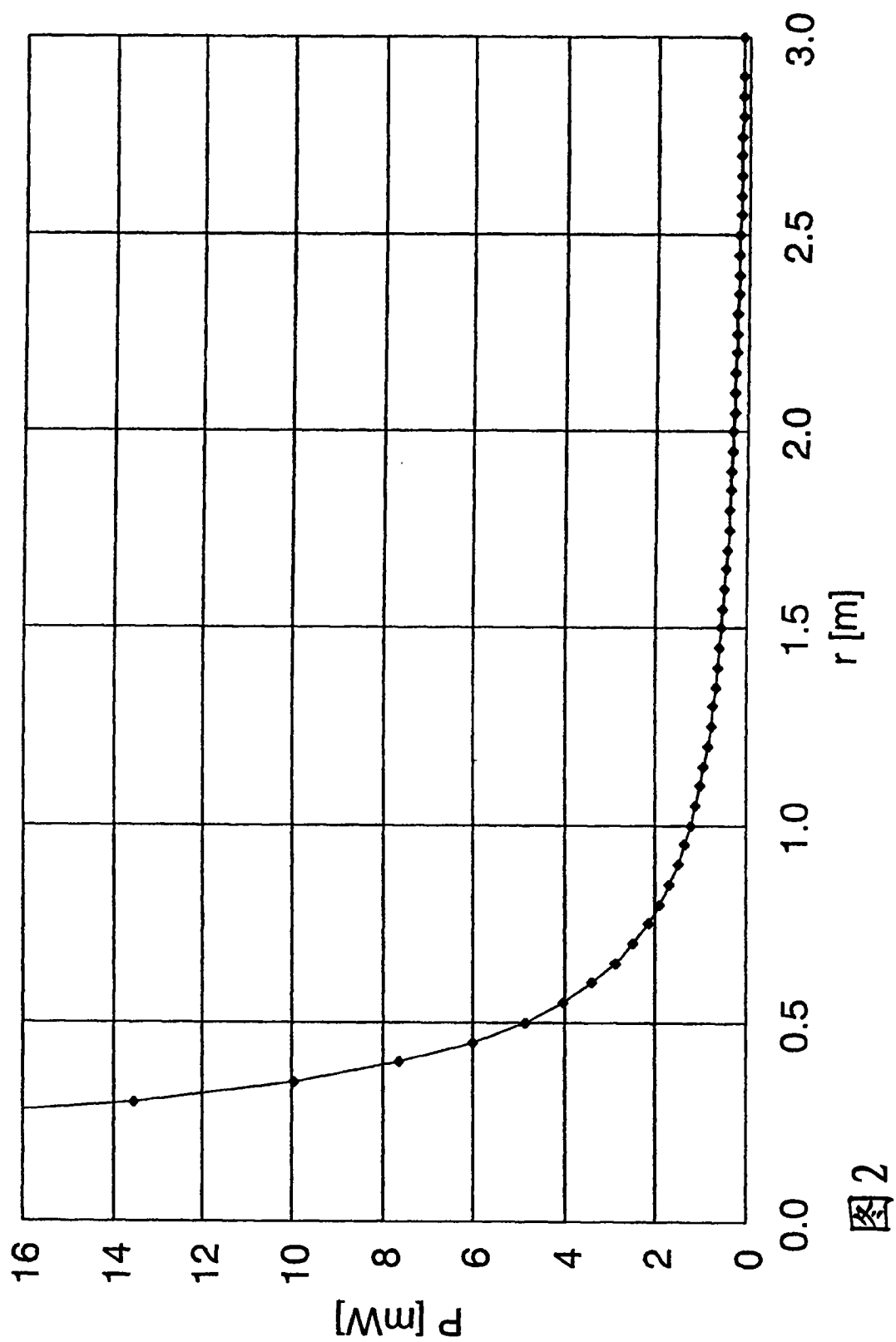


图1



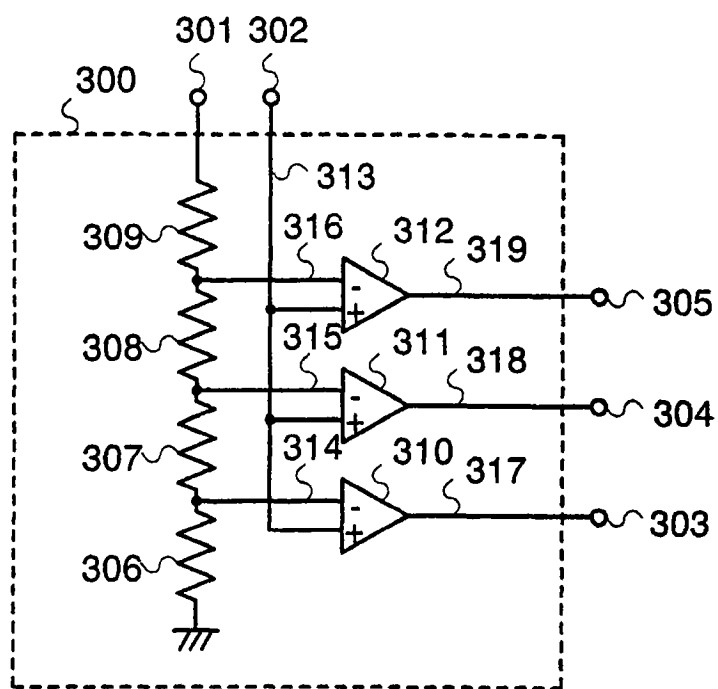


图 3

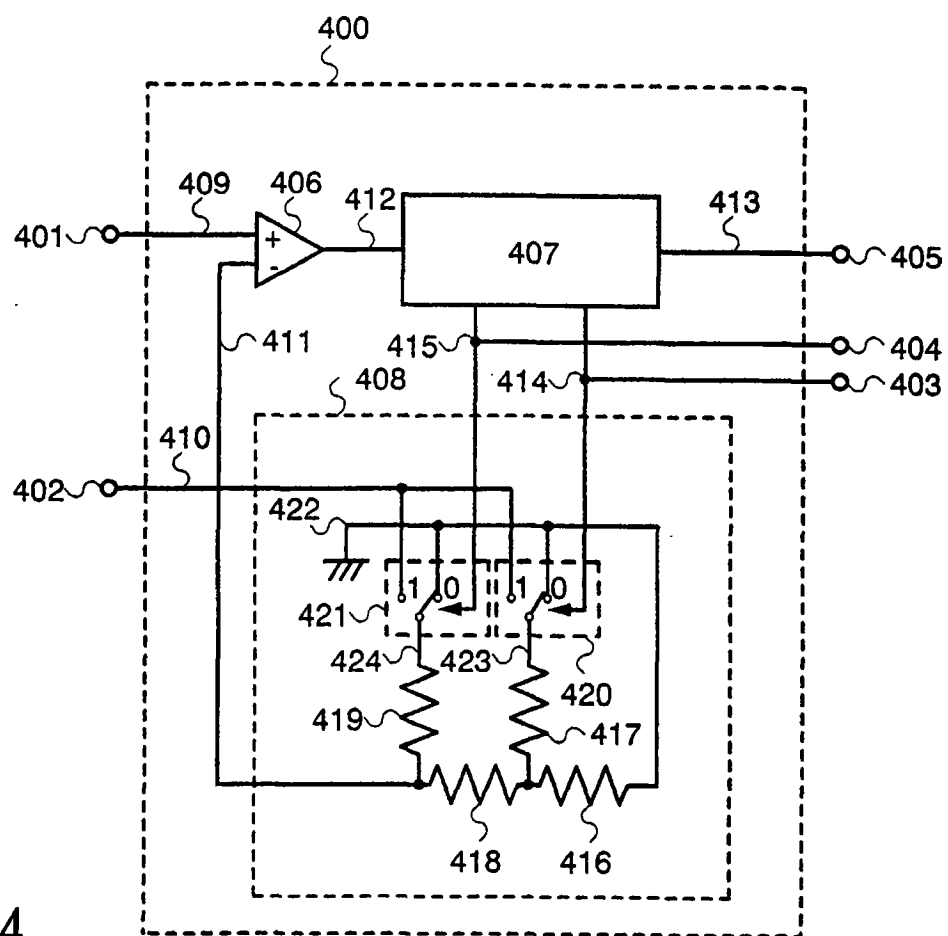


图 4

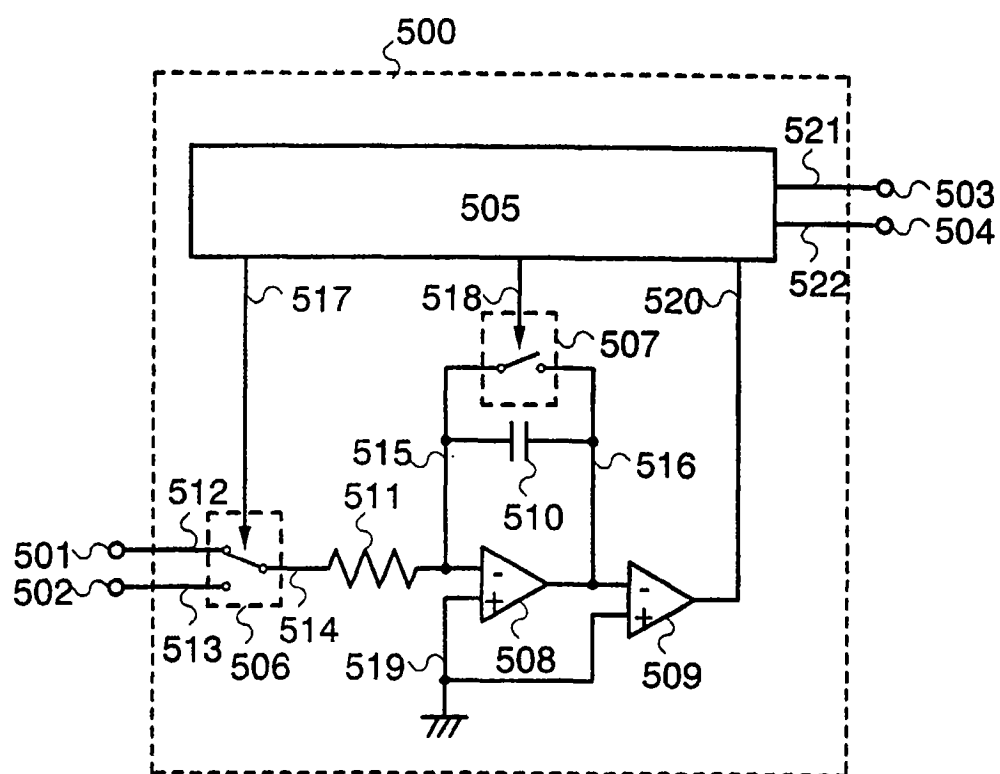


图5

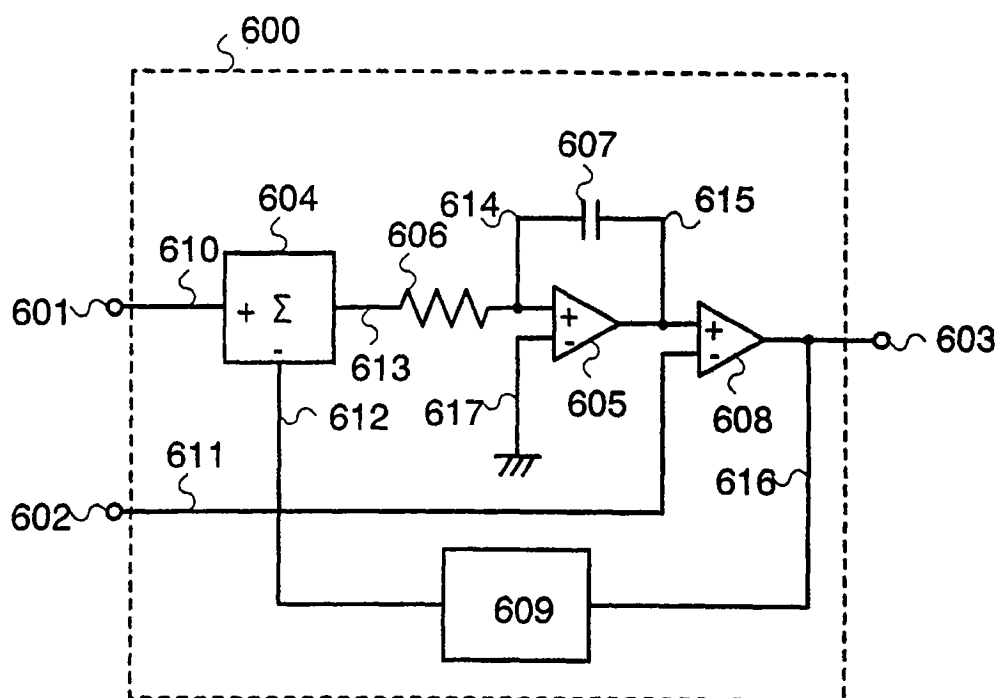


图6

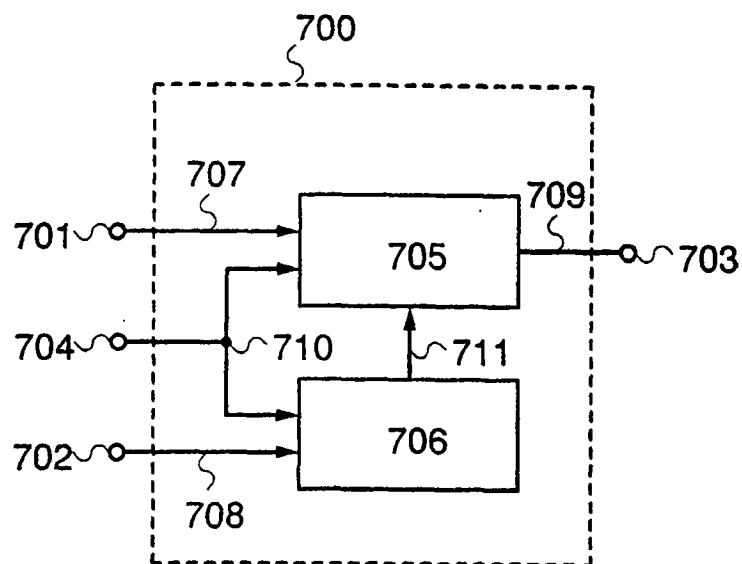
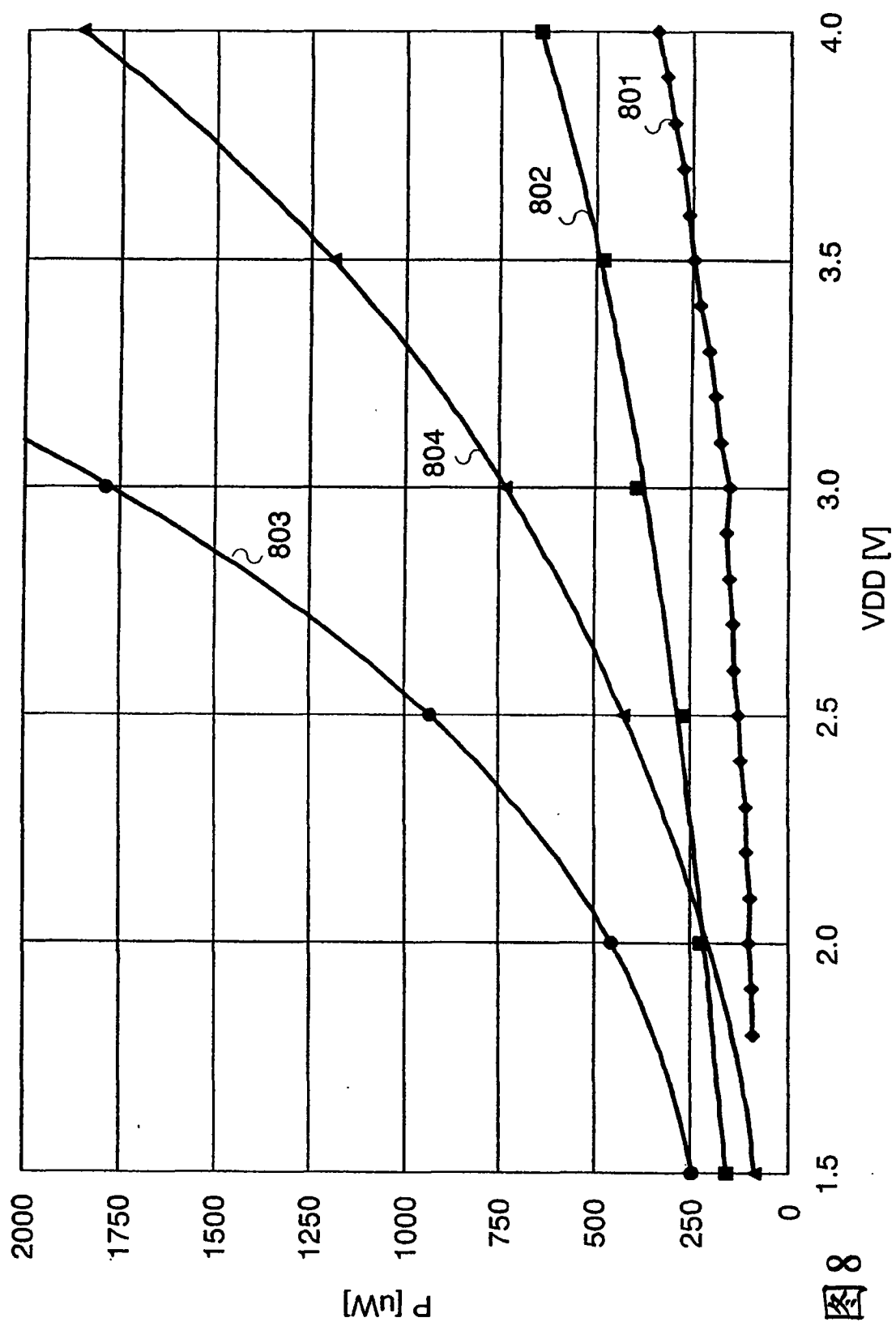
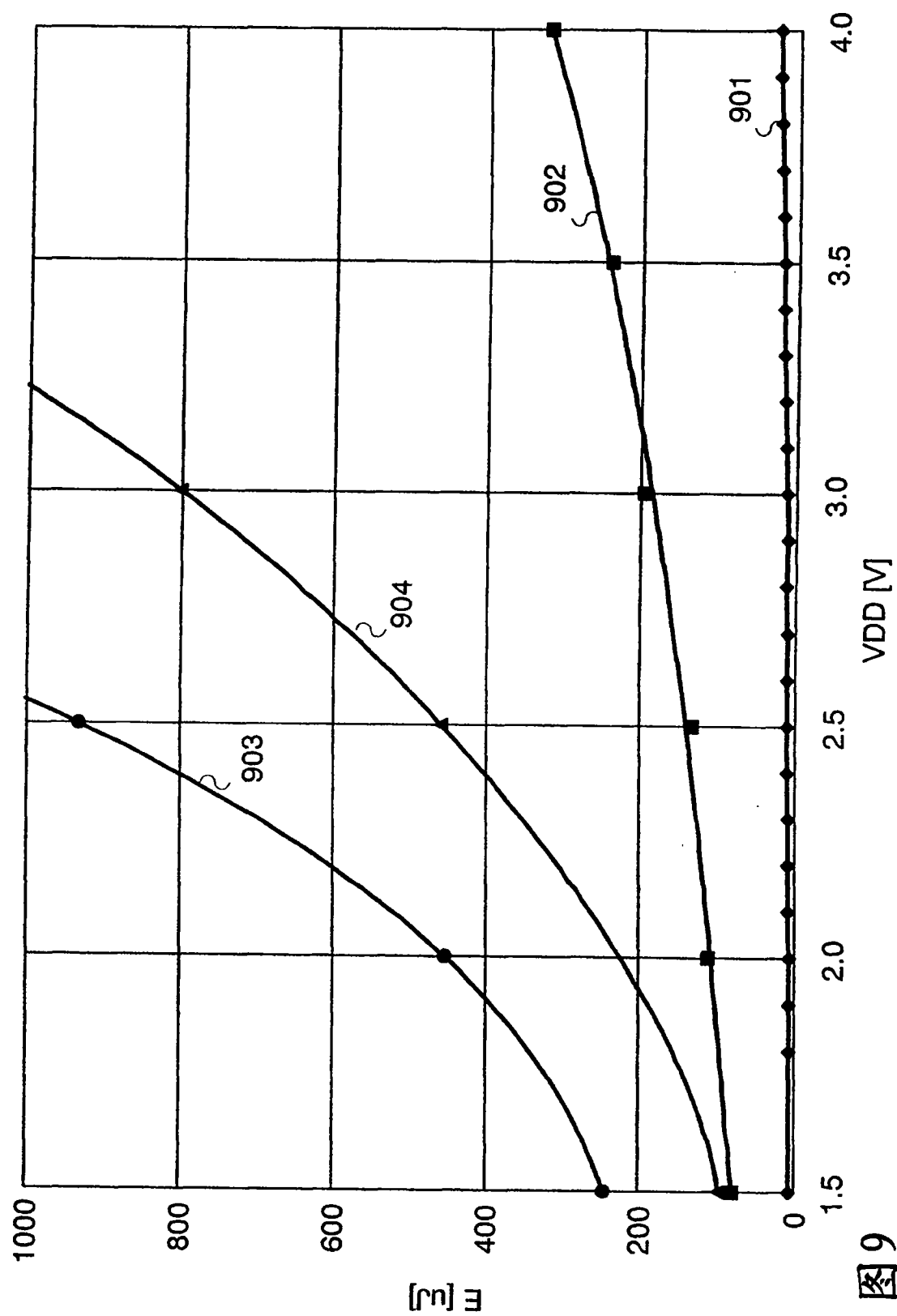


图7





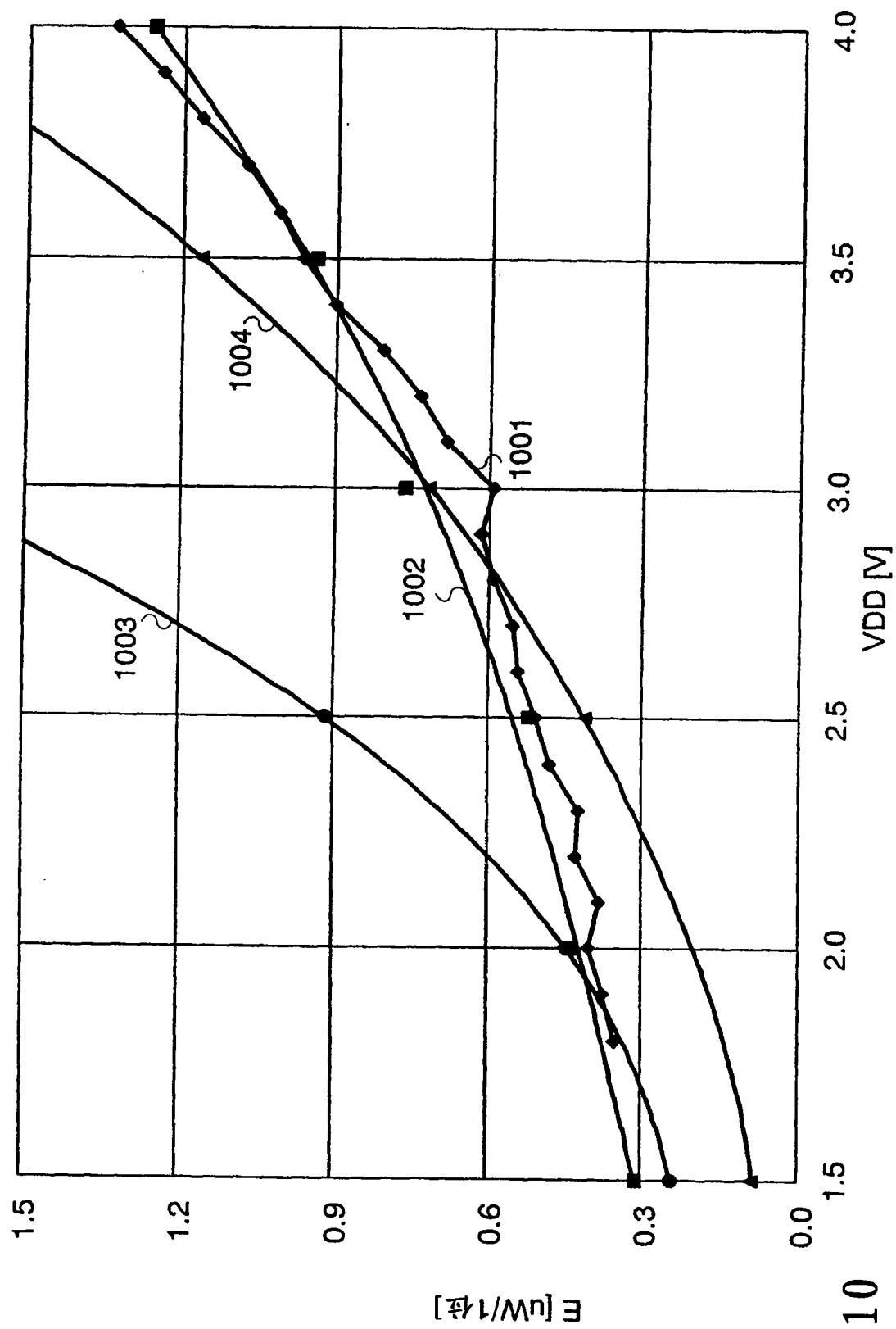


图10

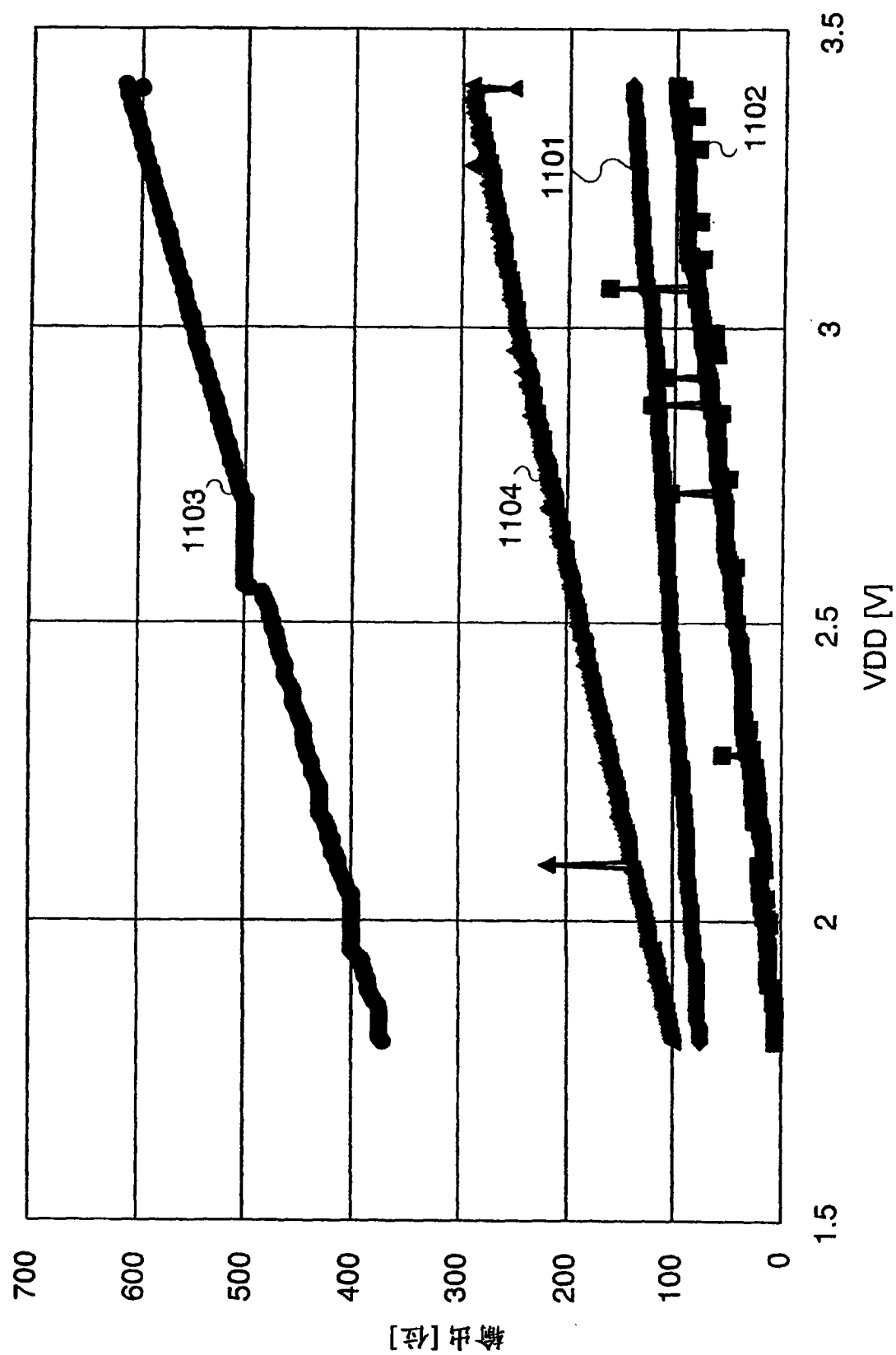


图11

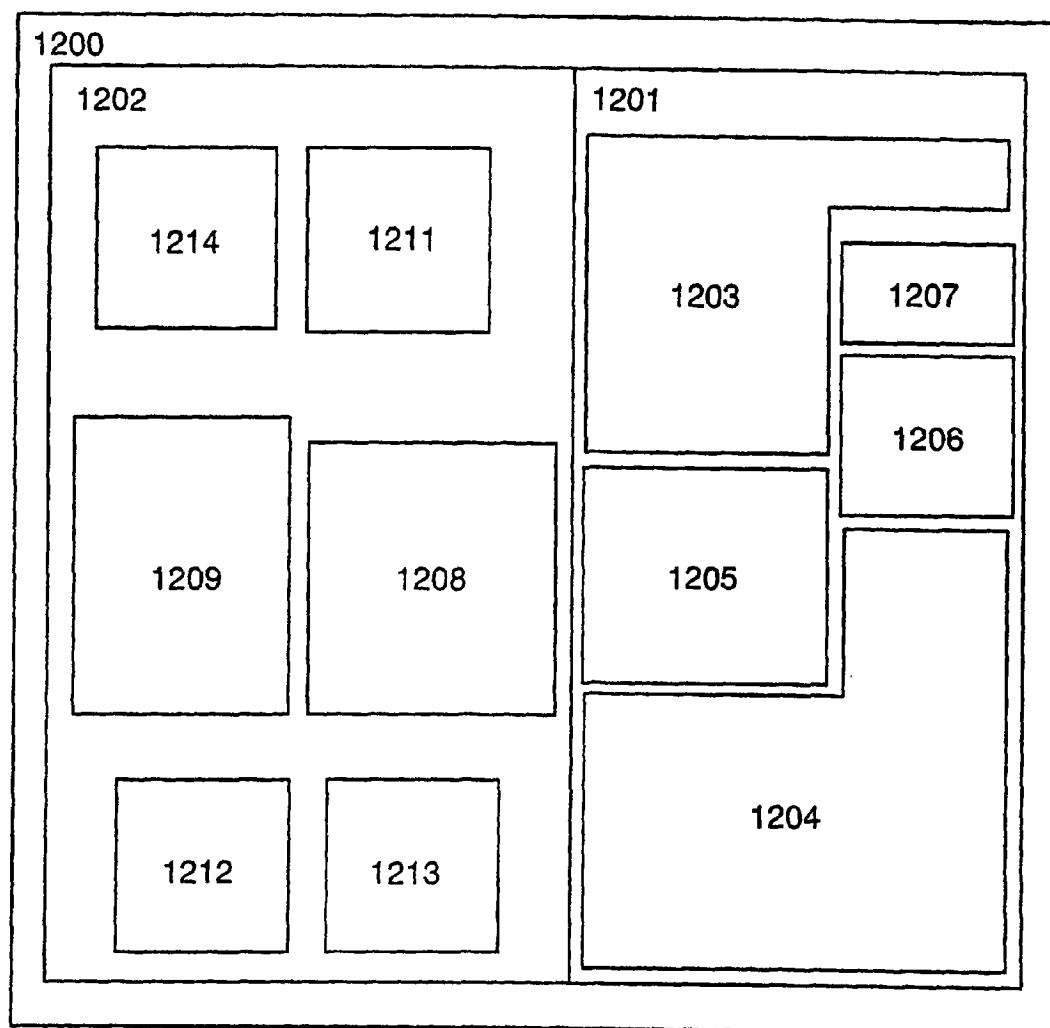


图12

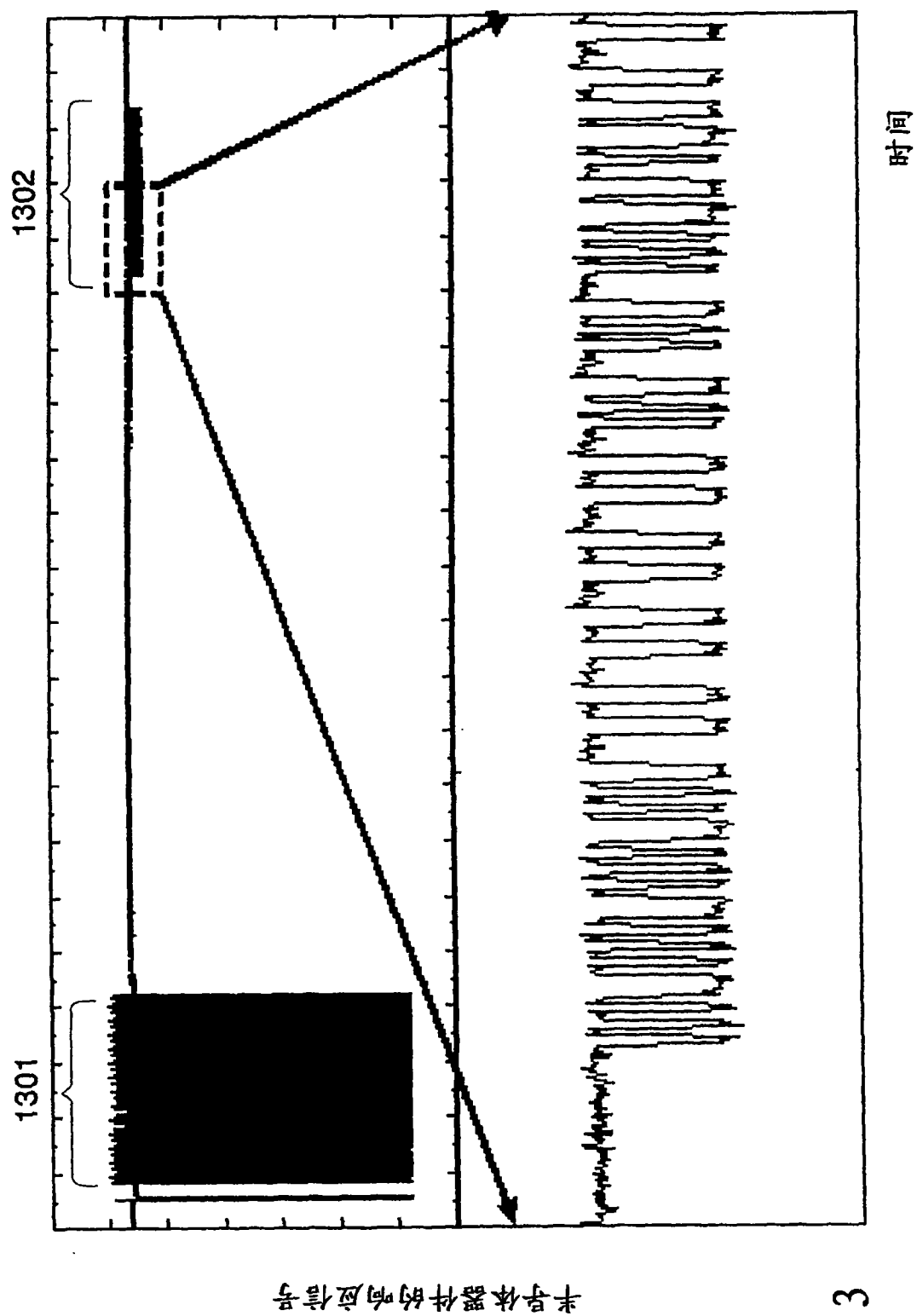
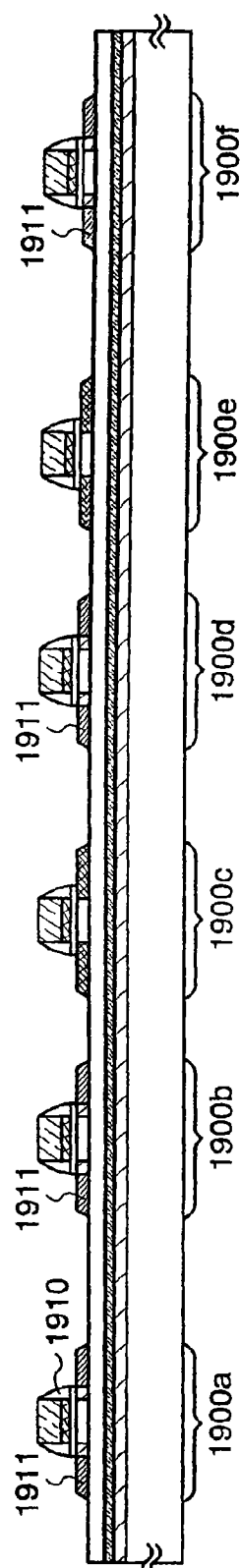
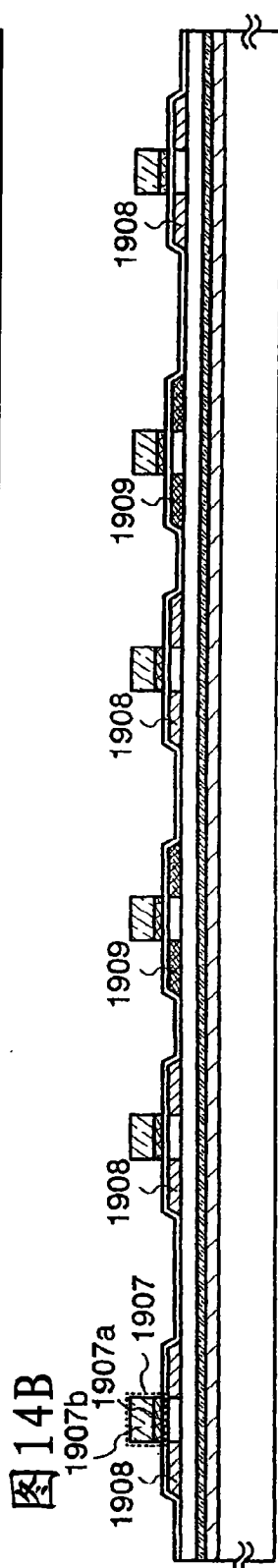
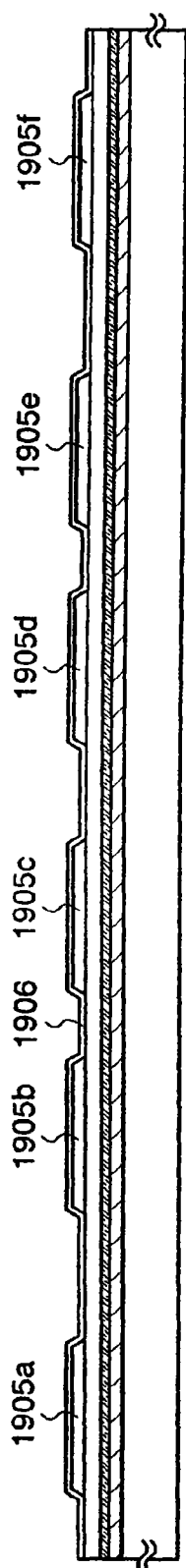
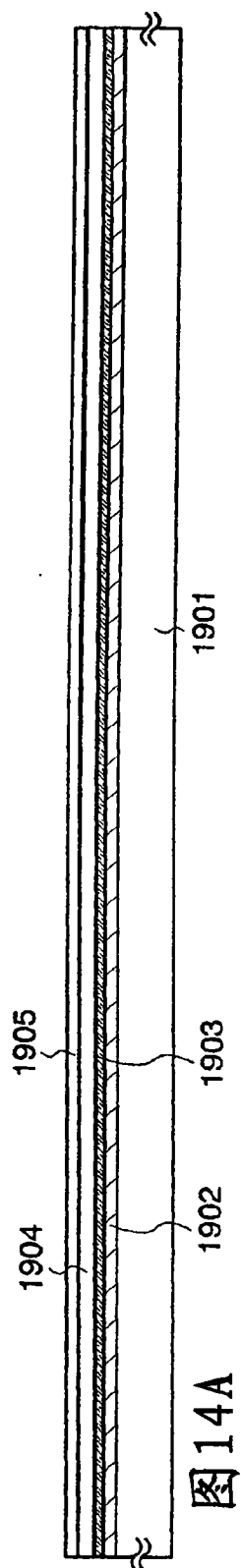


图13



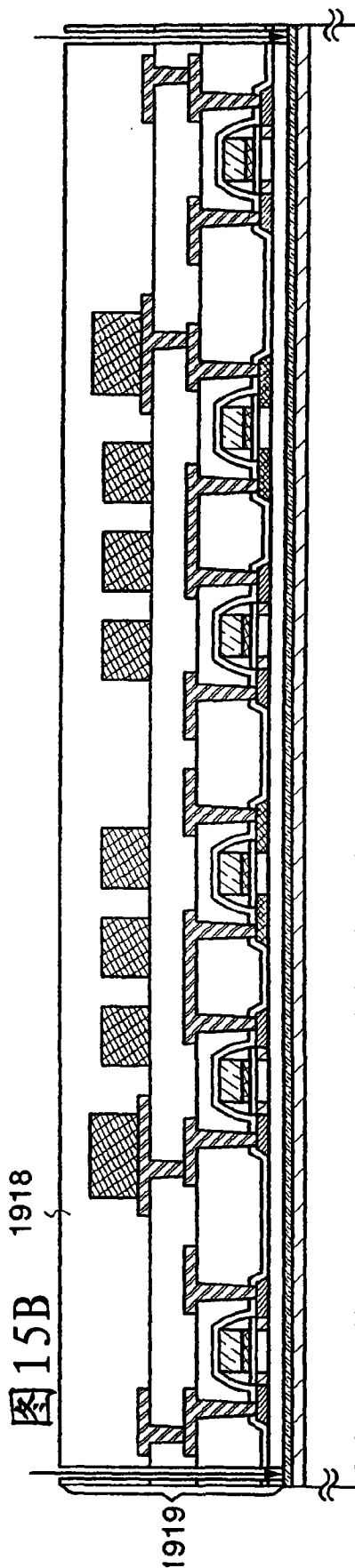
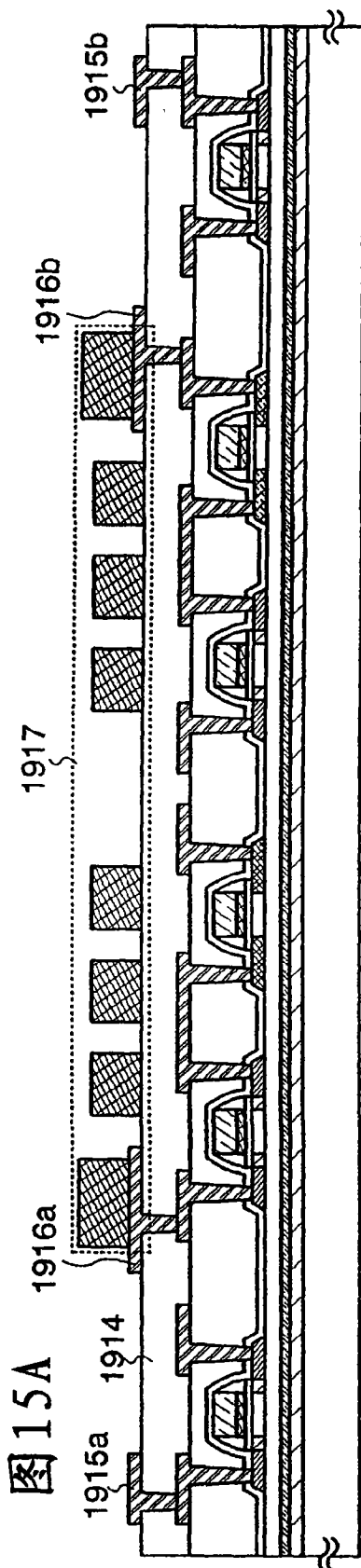
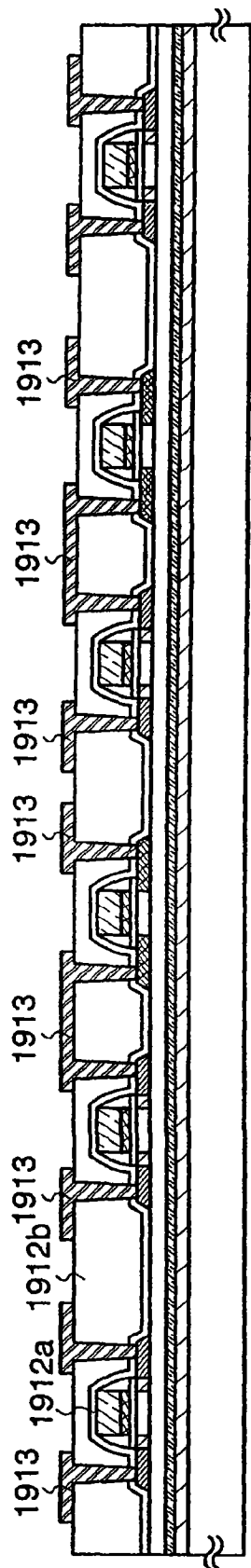


图15C

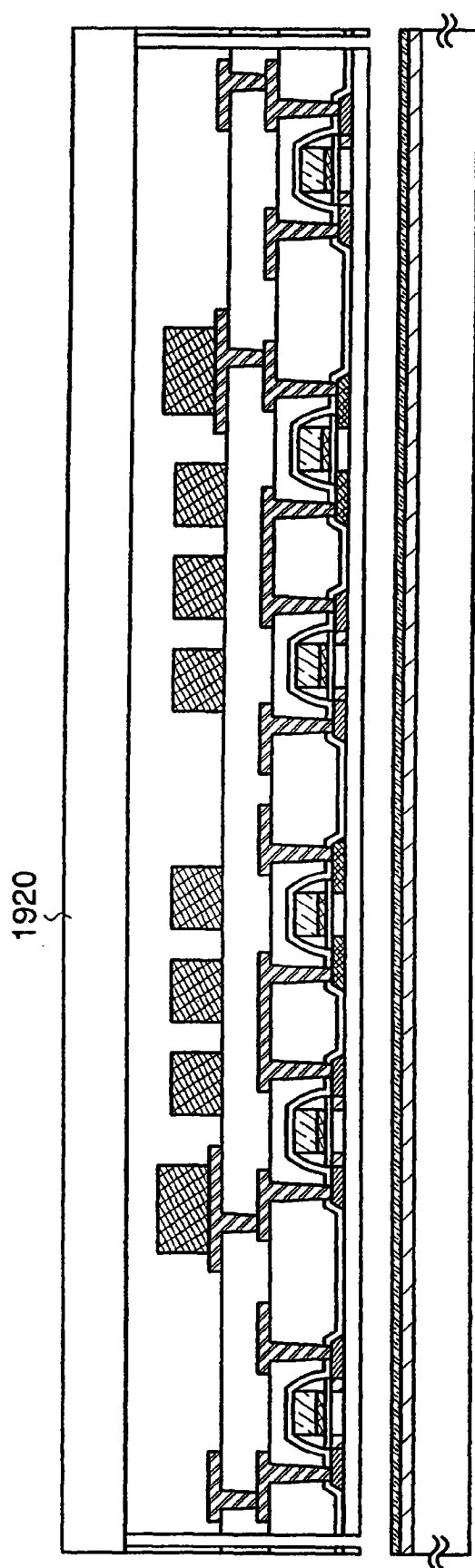


图 16A

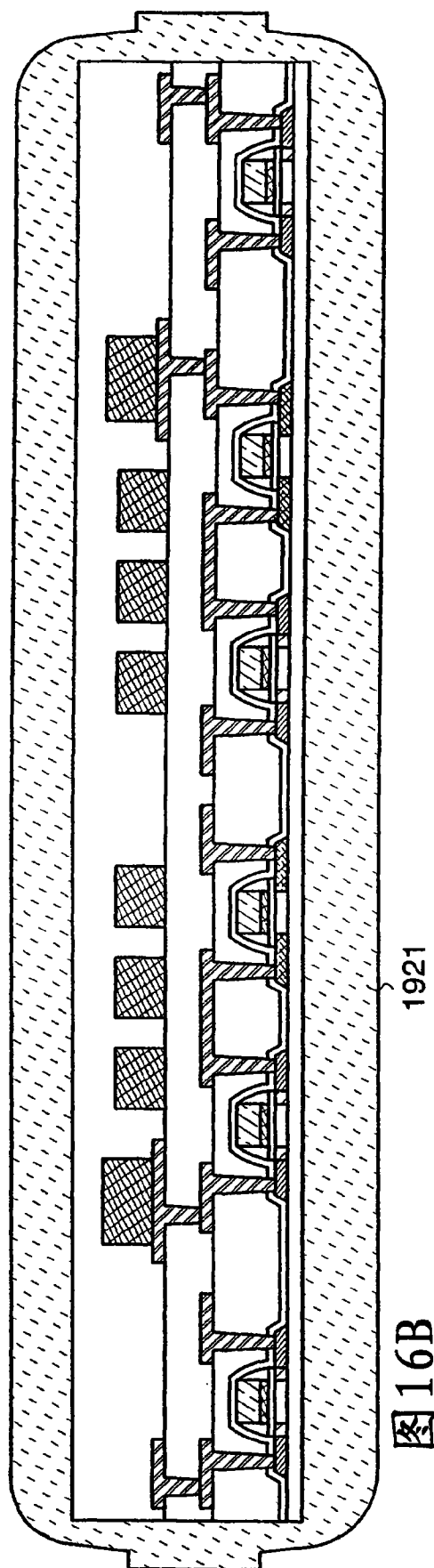


图 16B

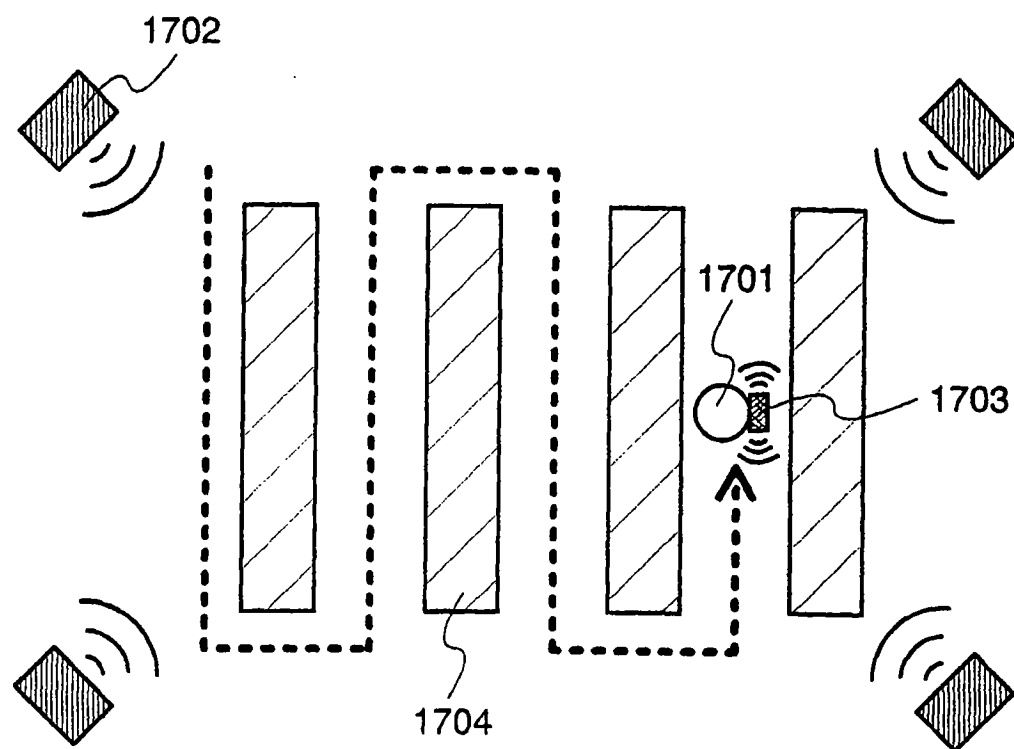
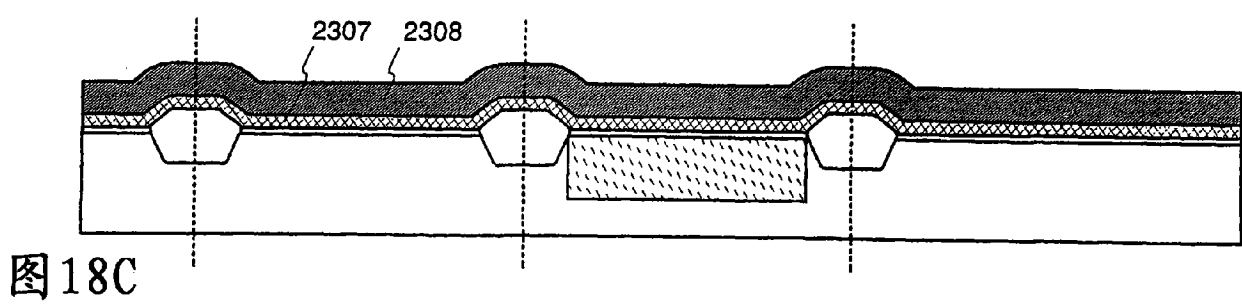
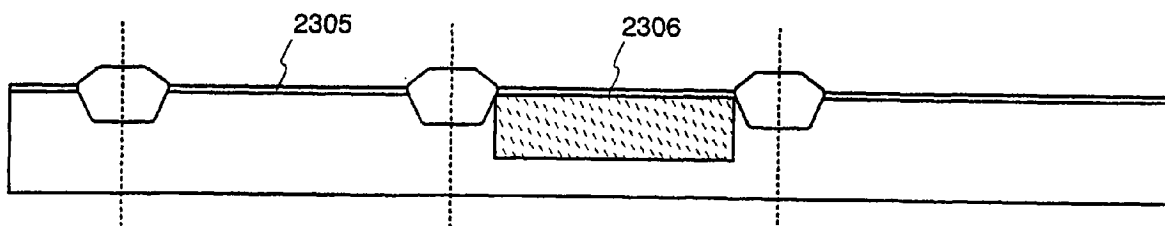
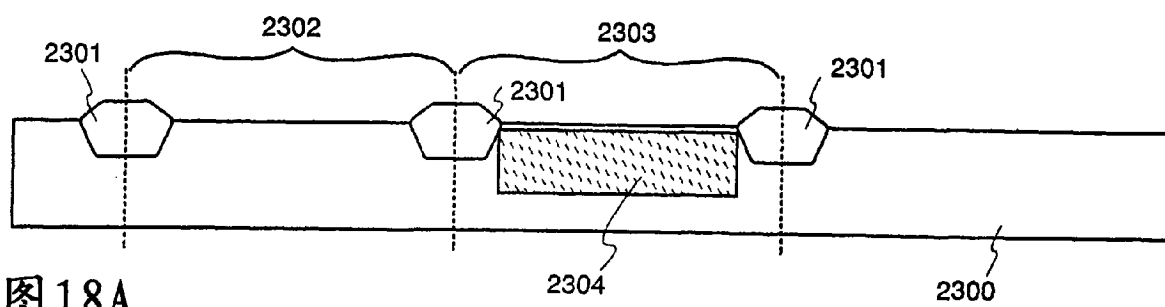


图17



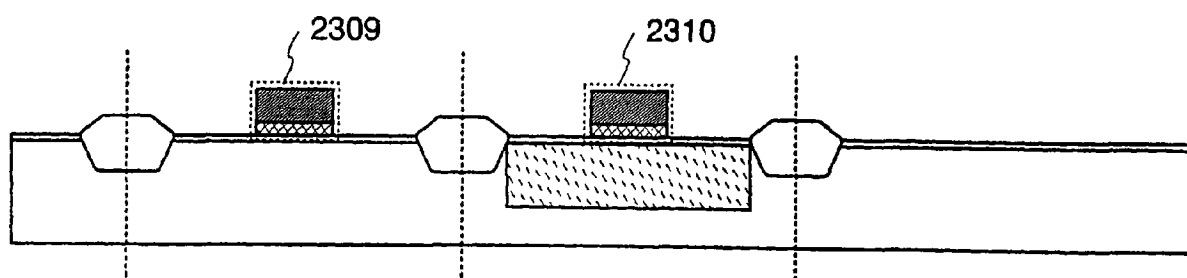


图19A

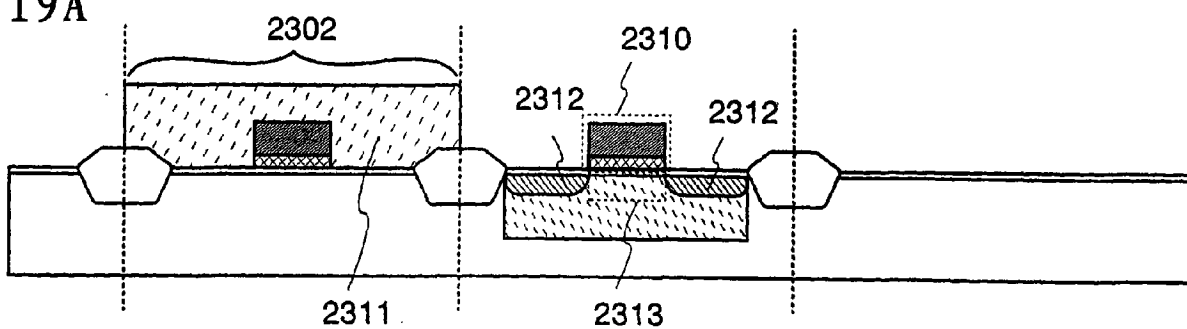


图19B

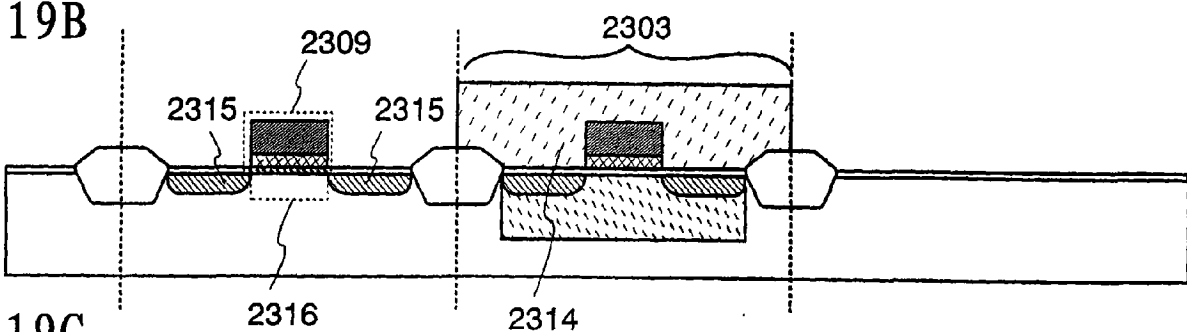


图19C

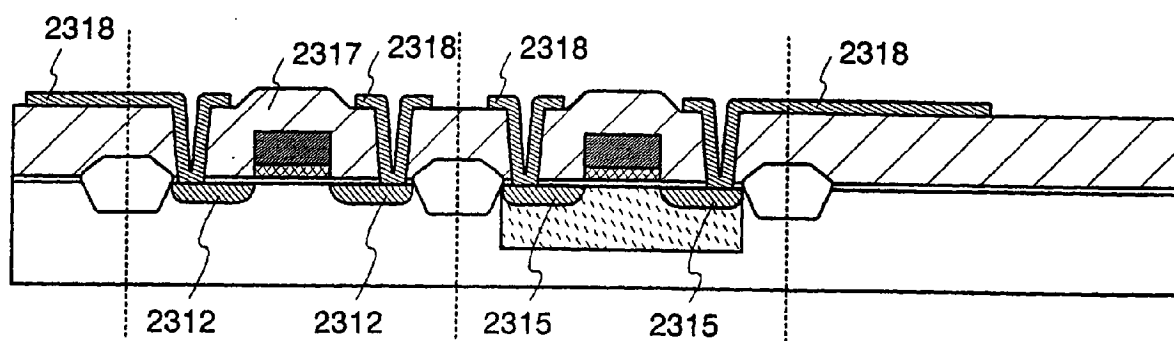


图 20A

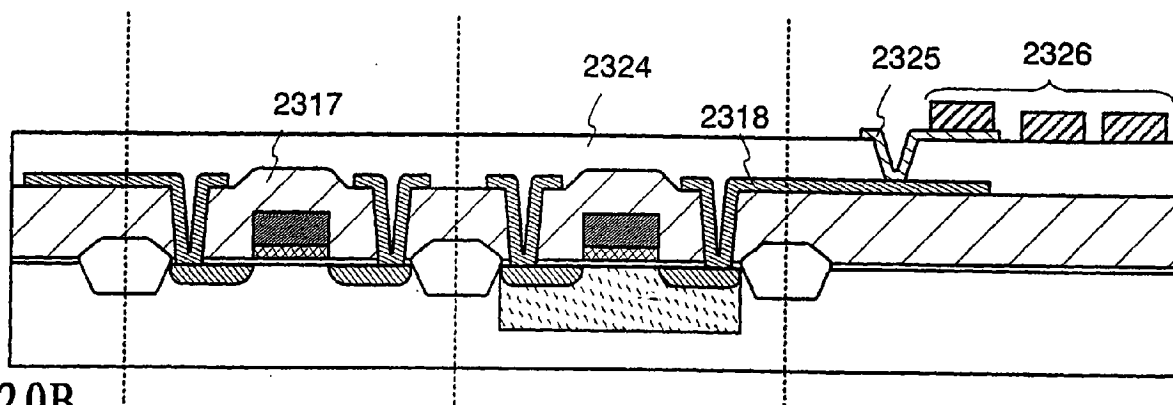


图 20B