



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 21/324 (2006.01)

(45) 공고일자

2007년03월09일

(11) 등록번호

10-0692496

(24) 등록일자

2007년03월02일

(21) 출원번호	10-2001-7002448	(65) 공개번호	10-2001-0099630
(22) 출원일자	2001년02월26일	(43) 공개일자	2001년11월09일
심사청구일자	2004년07월27일		
번역문 제출일자	2001년02월26일		
(86) 국제출원번호	PCT/US1999/019019	(87) 국제공개번호	WO 2000/12945
국제출원일자	1999년08월20일	국제공개일자	2000년03월09일

(81) 지정국

국내특허 : 일본, 대한민국, 싱가포르,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장

09/140,614

1998년08월26일

미국(US)

(73) 특허권자

맛선 테크놀러지, 인코포레이티드

미국 캘리포니아 94538 프리몬트 베이사이드 파크웨이 47131

샌디아 코포레이션

미국 캘리포니아 94550 리버모어 이스트 애비뉴 7011

(72) 발명자

그리피쓰스테와트케이.

미국캘리포니아94526-2449덴빌앨리스코트122

닐슨로버트에이치.

미국캘리포니아92007카디스러디덕코트2239

맛선브래드에스.

미국캘리포니아95030로스가토스블랙로드19251

사바스스테판이.

미국캘리포니아94501알라메다필스트리트1357아파트먼트지

(74) 대리인

박장원

심사관 : 백양규

전체 청구항 수 : 총 69 항

(54) 반도체 기판의 열처리 방법 및 장치

(57) 요약

반도체 웨이퍼들(135)을 열처리하는 장치 및 방법이 개시된다. 개별적인 웨이퍼들(135)은 거의 일정한 등온도로 유지되는 노의 캐비티(120) 내에 신속히 삽입되고 이로부터 인출된다. 삽입 및 인출 속도는, 웨이퍼가 노(110)에 들어오고 나갈 때, 열 스트레스를 제한하고, 그에 의해 웨이퍼의 플라스틱 변형을 감소시키거나 막을 수 있을 정도로 충분히 크다. 실질적으로 등온의 캐비티(120) 내의 반도체 웨이퍼(135)를 처리함으로써, 단지 캐비티 벽들(121, 122, 123)의 온도만을 측정 및 제어하여, 웨이퍼 온도 및 웨이퍼 온도의 공간적인 균일성을 보장할 수 있게 된다. 또한, 캐비티 온도는 순환되지 않고, 캐비티(120)의 열용량은 비교적 크기 때문에, 최고의 전력 요구는 램프 가열에 의한 급속 열처리 장치와 비교하여 매우 작다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 웨이퍼의 급속 열처리 장치로서,

- a) 베이스, 측벽들, 및 꼭대기를 갖는 노와, 여기서 상기 노의 상기 베이스, 측벽들 및 꼭대기는 가열 수단을 구비하고, 일정하고 균일한 온도로 유지되며 상기 반도체 웨이퍼를 수용하는 캐비티를 정의하며, 상기 가열 수단은 상기 캐비티를 적어도 900°C의 온도로 가열하며;
- b) 상기 웨이퍼를 상기 캐비티 내에 삽입함과 아울러, 상기 웨이퍼를 상기 캐비티로부터 주변으로 바로 인출하기 위한 수단과; 그리고
- c) 적어도 0.2m/s의 삽입 및 인출 속도를 제공하는 삽입 및 인출 속도 제어 수단을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 2.

제 1 항에 있어서,

상기 노의 베이스, 측벽들 및 꼭대기에 부착되는 복수의 열전대들을 더 포함하는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 3.

제 1 항에 있어서,

상기 베이스, 측벽들 및 꼭대기는 금속, 세라믹, 유리, 내화성 화합물 및 이들의 혼합물로 이루어지는 그룹으로부터 선택되는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 4.

제 1 항에 있어서,

상기 웨이퍼를 삽입 및 인출하기 위한 수단은 공기식 구동장치, 볼 스크류 구동장치, 벨트 구동장치, 로드리스 액츄에이터, 선형 서보 및 스템퍼 모터로 이루어지는 그룹으로부터 선택되는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 5.

제 1 항에 있어서,

상기 가열 수단은 저항 히터들을 포함하는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 6.

제 5 항에 있어서,

상기 저항 히터들에 공급되는 전력을 제어하기 위한 수단을 더 포함하는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 7.

제 1 항에 있어서,

상기 반도체 웨이퍼를 화학 기상 증착 처리에 유용한 반응성 가스들에 노출시키는 수단을 더 포함하는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 8.

삭제

청구항 9.

제 1 항에 있어서,

상기 웨이퍼를 삽입 및 인출하는 수단은 웨이퍼 캐리어를 포함하며, 이 웨이퍼 캐리어는 웨이퍼 주변에 대한 완전한 지지 및 방사 차폐를 제공하는 것을 특징으로 하는 반도체 웨이퍼의 급속 열처리 장치.

청구항 10.

반도체 웨이퍼를 급속 열처리하는 방법으로서,

- 가열 수단을 구비하는 베이스, 측벽들 및 꼭대기를 갖는 노내의 캐비티를 일정한 처리 온도로 가열하는 단계와;
- 상기 가열 캐비티를 상기 처리 온도에서의 등온 조건으로 유지하는 단계와;
- 상기 반도체 웨이퍼를 적어도 900°C 의 등온 캐비티 온도에 대해 적어도 0.2m/s 의 속도로 상기 가열된 등온 캐비티 내에 삽입하는 단계와; 그리고
- 상기 반도체 웨이퍼를 상기 가열된 등온 캐비티로부터 주변으로 바로 인출하는 단계를 포함하며, 상기 인출 속도는 적어도 0.2m/s 인 것을 특징으로 하는 반도체 웨이퍼를 급속 열처리하는 방법.

청구항 11.

삭제

청구항 12.

반도체 기판을 열처리하는 장치로서,

가열 캐비티를 형성하는 공정 챔버와, 여기서 상기 가열 캐비티 내에서 상기 기판이 처리되며;

상기 캐비티를 적어도 800°C의 처리 온도까지 가열하는 히터 시스템과; 그리고

처리 이후 상기 기판을 상기 가열 캐비티로부터 냉각 온도 환경으로 인출하기 위한 로봇을 포함하며;

상기 인출을 개시할 때의 상기 반도체 기판의 온도는 상기 냉각 온도 환경 보다 적어도 700°C 높고,

상기 반도체 기판이 인출되는 속도는 약 0.3m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 13.

제 12 항에 있어서,

상기 반도체 기판은 적어도 약 200mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 14.

제 12 항에 있어서,

상기 반도체 기판은 적어도 약 300mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 15.

제 12 항에 있어서,

상기 반도체 기판은 적어도 약 400mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 16.

제 12 항에 있어서,

상기 인출 속도는 상기 냉각 온도 환경으로의 인출로 인한 상기 반도체 기판의 플라스틱 변형을 막기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 17.

제 12 항에 있어서,

상기 가열 캐비티는 가열 보호 벽들 내에 둘러싸이고, 상기 히터 시스템은 상기 가열 캐비티 내에 배치되는 가열 표면을 포함하며, 그리고 상기 기판을 처리를 위해 상기 가열 표면쪽으로 수직으로 이동시키고 처리 이후에는 상기 가열 표면으로부터 벗어나게 이동시키는 서포트(support)를 더 포함하는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 18.

제 16 항에 있어서,

상기 기판을 위한 서포트를 더 포함하며,

여기서, 상기 로봇은 상기 기판을 상기 가열 캐비티 내에 삽입하고, 상기 기판을 상기 가열된 표면과 평행하도록 상기 서포트 위에 배치하며;

상기 서포트는 상기 기판을 처리를 위해 상기 가열 표면에 평행하게 그리고 매우 근접하게 이동시키고, 처리 후에는 상기 기판을 상기 가열 표면으로부터 벗어나도록 평행하게 이동시키며;

상기 로봇은 상기 서포트로부터 상기 기판을 꺼내어 상기 가열 캐비티로부터 상기 기판을 인출하는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 19.

제 12 항에 있어서,

상기 히터 시스템은 상기 반도체 기판의 처리를 위해 상기 가열 캐비티 내에 등온 환경을 유지하는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 20.

제 18 항에 있어서,

상기 인출 속도는 상기 냉각 온도 환경으로의 인출로 인한 상기 반도체 기판의 플라스틱 변형을 막기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 21.

제 12 항에 있어서,

상기 인출 속도는, 약 0.2m/s의 인출 속도에서 야기되는 플라스틱 변형의 레벨에 대해 상기 기판의 플라스틱 변형을 줄이기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 22.

제 12 항에 있어서,

상기 인출 속도는 약 0.5m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 23.

제 12 항에 있어서,

상기 인출 속도는 약 0.75m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 24.

제 12 항에 있어서,

상기 인출 속도는 약 1m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 25.

제 12 항에 있어서,

상기 인출 속도는 약 1.5m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 26.

제 12 항에 있어서,

상기 인출 속도는 약 2m/s 보다 크고, 상기 기판은 적어도 약 300mm 의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 27.

제 12 항에 있어서,

상기 인출 속도는 약 0.4 내지 12 m/s 인 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 28.

제 12 항에 있어서,

상기 인출 속도는 약 0.3 내지 1.2 m/s 이고, 약 100 마이크론 미만의 길이를 갖는 포인트형 결합들로 제한되는 플라스틱 변형 결합들이 형성되도록 선택되는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 29.

제 25 항에 있어서,

상기 기판은 적어도 300mm 의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 30.

제 12 항에 있어서,

상기 냉각 온도 환경은 약 200°C 미만의 온도를 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 31.

제 12 항에 있어서,

상기 처리 온도는 약 1000°C 보다 높고, 상기 반도체 기판은 적어도 150mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 32.

제 12 항에 있어서,

상기 처리 온도는 약 1100°C 보다 높고, 상기 반도체 기판은 적어도 150mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 33.

제 12 항에 있어서,

인출 이후 상기 기판의 예지에서의 냉각률을 감소시키는 상기 반도체 기판의 예지에 대한 열 차폐물을 더 포함하는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 34.

제 12 항에 있어서,

상기 기판과 같은 면적 열용량을 갖고 상기 기판 두께의 4의 인수 이내의 두께를 갖는 기판 캐리어를 더 포함하고, 상기 기판 캐리어는 상기 가열 캐비티 높이의 적어도 1/2과 같은 거리 만큼 상기 기판의 예지를 넘어 연장되는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 35.

제 12 항에 있어서,

상기 기판의 주변부 주위에서 상기 기판을 지지하는 기판 캐리어를 더 포함하고,

상기 기판 캐리어를 통해 상기 기판의 예지에 힘을 가함으로써 상기 기판의 삽입 및 인출이 가속되도록, 상기 기판 캐리어가 상기 기판의 평면을 따라 이동하도록 된 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 36.

제 12 항에 있어서,

처리를 위해 상기 기판을 적어도 약 0.3 m/s의 삽입 속도로 상기 가열 캐비티 내에 삽입시키는 로봇을 더 포함하는 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 37.

제 36 항에 있어서,

상기 인출 속도는 상기 삽입 속도 보다 빠른 것을 특징으로 하는 반도체 기판을 열처리하는 장치.

청구항 38.

반도체 기판을 열처리하는 방법으로서,

가열 캐비티 내의 상기 반도체 기판을 적어도 800°C의 처리 온도까지 가열하는 단계와; 그리고

처리 이후 상기 반도체 기판을 상기 가열 캐비티로부터 냉각 온도 환경으로 인출하는 단계를 포함하고;

상기 인출을 개시할 때의 상기 반도체 기판의 온도는 상기 냉각 온도 환경 보다 700°C 높고,

상기 반도체 기판이 인출되는 속도는 약 0.3m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 39.

제 38 항에 있어서,

상기 반도체 기판은 적어도 300mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 40.

제 38 항에 있어서,

상기 인출 속도는 상기 냉각 온도 환경으로의 인출로 인한 상기 반도체 기판의 플라스틱 변형을 막기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 41.

제 38 항에 있어서,

상기 기판은 상기 가열 캐비티 내에 횡방향으로 삽입되고 상기 가열 캐비티로부터 횡방향으로 인출되는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 42.

제 38 항에 있어서,

상기 반도체 기판의 처리를 위해 상기 가열 캐비티를 균일하고 일정한 온도로 유지하는 단계를 더 포함하는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 43.

제 42 항에 있어서,

상기 인출 속도는 상기 냉각 온도 환경으로의 인출로 인한 상기 반도체 기판의 플라스틱 변형을 막기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 44.

제 38 항에 있어서,

상기 인출 속도는, 약 0.2 m/s의 인출 속도에서 야기되는 플라스틱 변형의 레벨에 대해 상기 기판의 플라스틱 변형을 감소시키기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 45.

제 38 항에 있어서,

상기 인출 속도는 약 0.5 m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 46.

제 38 항에 있어서,

상기 인출 속도는 약 0.75 m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 47.

제 38 항에 있어서,

상기 인출 속도는 약 1 m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 48.

제 38 항에 있어서,

상기 인출 속도는 약 1.5 m/s 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 49.

제 38 항에 있어서,

상기 인출 속도는 약 2 m/s 보다 크고, 상기 기판은 적어도 약 300mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 50.

제 38 항에 있어서,

상기 인출 속도는 약 0.3 내지 1.2 m/s이고, 약 100 마이크론 미만의 길이를 갖는 포인트형 결합들로 제한되는 플라스틱 변형 결합들이 형성되도록 선택되는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 51.

제 38 항에 있어서,

상기 처리 온도는 약 1000°C 보다 큰 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 52.

제 38 항에 있어서,

상기 처리 온도는 약 1100°C 보다 크고, 상기 기판은 적어도 약 150mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 53.

반도체 기판을 열처리하는 방법으로서,

제 1 온도 환경 내에서 상기 반도체 기판을 적어도 900°C의 처리 온도까지 가열하는 단계와;

처리 이후 상기 기판이 인출되는 제 2 온도 환경을 제공하는 단계와, 여기서 상기 제 1 온도 환경과 상기 제 2 온도 환경 사이에는 적어도 500°C의 온도차가 존재하며;

상기 기판의 제 1, 2 부분이 각각 소정의 시간 주기 동안 상기 제 1, 2 온도 환경에 노출되도록, 상기 기판을 상기 제 1 온도 환경으로부터 상기 제 2 온도 환경으로 이동시키는 단계를 포함하며, 상기 기판은 상기 시간 주기가 약 0.75초 보다 작도록 충분한 속도로 이동하는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 54.

제 53 항에 있어서,

상기 온도차는 적어도 900°C인 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 55.

제 53 항에 있어서,

상기 기판은 적어도 300mm의 직경을 갖는 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 56.

제 54 항에 있어서,

상기 시간 주기는 약 0.5초 미만인 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 57.

제 53 항에 있어서,

상기 처리 온도는 적어도 1100°C이고, 상기 온도차는 적어도 1000°C이며, 그리고 상기 시간 주기는 약 0.4초 미만인 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 58.

제 53 항에 있어서,

상기 제 1 온도 환경은 등온인 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 59.

제 57 항에 있어서,

상기 제 1 온도 환경은 등온인 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 60.

제 53 항에 있어서,

상기 인출 속도는, 상기 기판이 약 1 내지 2초 동안 상기 온도차에 노출된 경우 야기되는 것에 비해 플라스틱 변형을 감소시키기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 61.

제 53 항에 있어서,

상기 인출 속도는 상기 반도체 기판의 플라스틱 변형을 막기에 충분한 것을 특징으로 하는 반도체 기판을 열처리하는 방법.

청구항 62.

약 0.2 m/s의 속도로 다중 사이클 동안 가열 캐비티로부터의 기판을 인출할 경우 원하는 처리 온도에서 심한 플라스틱 변형을 일으키게 되는 가열 캐비티 내에서 반도체 기판을 열처리하는 방법으로서,

상기 가열 캐비티 내의 상기 반도체 기판을 원하는 처리 온도까지 가열하는 단계와; 그리고

처리 후, 상기 기판을 상기 가열 캐비티로부터 약 0.3 m/s 보다 큰 속도로 인출하는 단계를 포함하며,

여기서, 상기 0.3m/s 보다 큰 속도는 약 0.2m/s의 인출 속도가 이용되는 경우 야기되는 플라스틱 변형의 레벨에 대해 다중 사이클 이후 플라스틱 변형의 레벨을 감소시키기에 충분한 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 63.

제 62 항에 있어서,

상기 가열 캐비티를 일정하고 균일한 온도로 유지하는 단계를 더 포함하는 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 64.

제 62 항에 있어서,

상기 인출 속도는 플라스틱 변형을 막기에 충분한 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 65.

제 62 항에 있어서,

상기 처리 온도는 약 1000°C 보다 크고, 상기 인출 속도는 약 0.5 m/s 보다 큰 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 66.

제 62 항에 있어서,

상기 처리 온도는 약 1000°C 보다 크고, 상기 인출 속도는 약 0.75 m/s 보다 큰 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 67.

제 62 항에 있어서,

상기 처리 온도는 약 1100°C 보다 크고, 상기 인출 속도는 약 1 m/s 보다 크며, 그리고 상기 기판은 약 300mm의 직경을 갖는 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 68.

제 66 항에 있어서,

상기 기판은 적어도 300mm의 직경을 갖는 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 69.

제 62 항에 있어서,

상기 인출 속도는, 약 100 마이크론 미만의 길이를 갖는 포인트형 결합들로 제한되는 플라스틱 변형 결합들이 형성되도록 선택되는 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 70.

제 69 항에 있어서,

상기 인출 속도는 약 0.3 내지 1 m/s인 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 71.

제 62 항에 있어서,

길이가 1mm 보다 큰 결합들은 0.2 m/s의 인출 속도에서 다중 사이클 이후 형성되고, 상기 인출 속도는 상기 길이가 1mm 보다 큰 결합들이 방지되도록 선택되는 것을 특징으로 하는 가열 캐비티 내의 반도체 기판을 열처리하는 방법.

청구항 72.

삭제

명세서

기술분야

본 발명은 일반적으로 반도체 처리에 관한 것이다. 보다 구체적으로, 본 발명은 실리콘 웨이퍼와 같은 반도체 기판의 금속 열처리 방법 및 장치에 관한 것이다.

배경기술

현대의 전자 소자들의 제조에 있어서 실리콘 웨이퍼들의 고온 처리는 매우 중요하다. 실리사이드 형성, 임플란트 어닐, 산화, 확산 드라이브인 및 화학 기상 증착(CVD)을 포함하는 공정들은 다중 웨이퍼 배치 노(furnace) 또는 단일 웨이퍼 금속 열 처리기 내에서 약 400°C 내지 1,200°C 범위의 온도에서 수행될 수 있다. 하지만, 이러한 두 가지의 웨이퍼 처리 방법들은 몇 개의 중대한 단점을 갖는다.

전형적인 배치 노는 통상적으로 원통형 캐비티의 뜨거운 벽들로부터의 방사에 의해 25 내지 300개의 웨이퍼들의 수평 또는 수직 스택을 가열한다. 캐비티의 벽들은 축을 따라 분할될 수 있는 전기 소자들에 의해 가열될 수 있는데, 여기서 각 부분은 개별적으로 제어되어 전체 노의 길이를 따라서 미리 규정된 웨이퍼 온도를 유지하며, 이로써 공정 조건들에 있어서의 축방향 편차를 최소화한다. 하지만, 어떠한 공정들에 대해 이러한 노는 온도 대비 시간(time-at-temperature)을 한정할 수 없는 것과, 일치하지 않는 웨이퍼 대 웨이퍼 온도 균일성, 및 웨이퍼들의 스택을 가열 또는 냉각할 때의 방사 온도 편차들과 같은 문제에 직면하게 된다. 노의 벽들과의 방사 교환에 의한 웨이퍼 에지들의 선택적인 가열 또는 냉각으로 인해 방사 변화(radial gradient)가 생길 수 있으며, 이에 따라 열 천이 동안 에지 온도가 중심 온도 보다 높거나 낮아진다.

배치 노에 있어서의 방사 온도 변화(thermal gradient)는 2개의 심각한 문제점들: 즉, 열 활성화된 공정들에서의 균일성의 결여; 및 과도한 경우, 일반적으로 만곡, 휘어짐 또는 슬립(slip)이라 불리는 플라스틱 변형을 일으킬 수 있는 열 스트레스를 발생시킬 수 있다. 이러한 문제들은 웨이퍼들이 노에 삽입되거나 노로부터 끼내어지는 속도 및 온도 램프 속도(ramp rate)를 제한함으로써 감소 또는 회피될 수 있다. 또한, 웨이퍼 간의 간격을 증가시켜, 동일한 방사 온도 변화에 대해 보다 높은 램프 속도와 보다 높은 삽입 속도 및 인출 속도를 가능하게 한다. 하지만, 이러한 시도들중 어떠한 것에 있어서도, 방사 온도의 균일성은 노의 쓰루풋의 감소 그리고/또는 공정 시간의 증가라는 희생하에서 얻어진다.

현대의 많은 마이크로일렉트로닉스 소자들은 $1\mu\text{m}$ 미만의 피쳐 사이즈(feature size) 및 수백 Å 미만의 접합 깊이를 요구한다. 측면 및 하부로의 도편트들의 확산을 제한하기 위해서는, 고온 처리 기간을 줄이는 것이 바람직하다. 처리 시간을 줄이기 위한 하나의 시도는, 웨이퍼 간격을 증가시키고 그에 따라 종래의 다른 배치 노의 크기 및 쓰루풋을 모두 줄임으로써 보다 신속한 처리를 달성하는 소배치의 급속 램프 노(small-batch fast-ramp furnace)를 이용하는 것이다. 다른 시도는 단일 웨이퍼 급속 열 처리기("RTP")를 이용하는 것이다.

전형적인 단일 웨이퍼 RTP는 고강도 램프, 광학 온도 센서 및 복잡한 제어 알고리즘을 이용하여, 매우 높은 램프 속도로 단일의 반도체 웨이퍼를 가열함으로써, 불필요한 도편트 확산 문제를 감소시킨다. 일반적으로, 웨이퍼는 약 450°C 내지 $1,400^\circ\text{C}$ 의 온도로 가열되며, 처리 후 급속히 냉각된다. 반도체 웨이퍼의 전체 표면이 가열원 및 임의의 CVD 반응 가스들에 노출될 수 있기 때문에, 방사 에너지 및 배치 노 처리에 고유한 화학종의 반송과 관련된 문제가 감소되거나 제거된다. 또한, 배치 노의 쓰루풋에 필적하는 웨이퍼 쓰루풋을 유지하면서 처리 시간이 감소될 수 있다. 이렇게 감소된 처리 시간은 온도 대비 시간을 감소시킴으로써, 보다 작은 피쳐 사이즈를 가능하게 한다.

그럼에도 불구하고, 특히 보다 큰 직경의 웨이퍼들에 대해, 가열원으로서 고강도 램프를 이용하게 되면, 문제가 발생한다. 특히, 웨이퍼 상에서 균일한 온도를 유지하는 것이 어려워질 수 있다. 전형적인 배치 노에서와 같이, 가열 및 냉각 천이 사이에 온도차가 생길 뿐 아니라, 처리 동안 비균일성이 지속될 수 있다. 전형적인 램프 기반 RTP 시스템의 내부 벽들은 대개 비교적 차가우며, 종래의 배치 노에서와 같이 균일한 평형 처리 온도까지 가열되지 않는다. 웨이퍼 표면 상에서의 다른 방사 위치들은 램프들 각각으로부터 입사하는 방사의 다른 부분을 수신하여, 비교적 차가운 측벽들의 다른 뷰(view)를 갖게 된다. 결과적으로, 순(net) 방사 가열 흐름 및 그에 따른 평형 온도가 웨이퍼 상의 모든 지점들에서 동일하게 되도록 보장하는 것이 상당히 어려워질 수 있다. 이 때문에, 램프 기반 시스템은 전형적으로 광학 가이드, 렌즈 그리고/또는 반사경의 어떠한 결합을 이용하여, 방사 에너지를 웨이퍼 상에 보다 균일하게 분배한다. 이러한 측정(measure)에도 불구하고, 어떠한 시스템에서는, 개별적인 램프들 또는 램프들의 그룹을 다른 간격으로 활발하게 온 오프를 반복시킴으로써, 방사 에너지 분배에 있어서의 의도되지 않은 비균일성을 보상할 필요가 있다. 이러한 비균일성은 예측하기가 어렵다. 온도 비균일성을 동적으로 검출하여, 처리 동안 가열을 활발하게 조정할 필요가 있다. 이것은 또한 웨이퍼로부터의 방사를 이용하는 복잡한 온도 측정 시스템을 필요로 할 수 있지만, 이는 웨이퍼의 방사율에 의존한다. 일반적으로, 이러한 어려움들은 전형적인 배치 노에서 회피되는데, 그 이유는 웨이퍼는, 광학적인 특성에 상관없이, 실질적으로 등온 엔클로저(enclosure) 내에 배치되고, 결국 그 엔클로저와의 온도 평형에 이르기 때문이다. 어떠한 램프 기반 시스템들에서는, 램프들 및 다른 구성 요소들의 노화 및 열화로 인해 다른 문제가 발생한다. 결과적으로, 반복 동작을 유지하기가 어렵고, 부품들의 빈번한 교체가 필요하다.

통상적인 램프 기반 시스템들이 갖는 일부 문제들을 해결하는 비-램프 RTP 시스템들이 개발되었다. 하나의 시스템에 있어서, 수직 반도체 웨이퍼 처리 노는 축방향으로 2개의 구역들로 분할되는 바, 이러한 구역들은 개별적으로 제어되는 저항 히터들에 의해 다르지만 일정한 온도로 유지된다. 가열 및 냉각 동안의 웨이퍼 온도 및 램프 속도는, 노의 축을 따라 웨이퍼를 이동시켜, 그에 의해 보다 뜨거운 구역 및 보다 차가운 구역으로부터 웨이퍼에 의해 수신되는 상대적인 방사량을 결정하는 기하학적 뷰 팩터를 변경함으로써 제어된다. 다른 시스템들은 웨이퍼를 가열하기 위한 가열판을 이용한다. 웨이퍼는 노로부터 제거되기 전에 편 상의 판으로부터 이동될 수 있다. 웨이퍼가 노로부터 제거되기 전에 냉각을 위해 히트 싱크에 인접하게 이동되는 적어도 하나의 시스템이 제안되어 있다. 전형적으로, 비-램프 RTP 시스템들은 웨이퍼를 천이 열 구역을 통해 웨이퍼를 이동시키고 그리고/또는 제거하기 전에 웨이퍼를 활발히 냉각시킨다. 이러한 노들은 일반적으로 등온이 아니기 때문에, 웨이퍼가 등온 구역 내에 잘 배치되지 않는 한 균일한 웨이퍼 온도를 보장하기가 어렵다. 또한, 개별적인 냉각 단계를 요구하게 되면, 쓰루풋을 감소시키고, 리액터 사이즈를 증가시키고 그리고/또는 가열 손실 및 전력 소모를 증가시킬 수 있다. 한편, 웨이퍼가 삽입되고, 천이 열 구역 또는 냉각없이, 매우 높은 온도로 가열 노의 캐비티로부터 통상의 방법으로 제거되는 경우, (특히, 웨이퍼가 복수의 공정 단계들을 통해 이러한 스트레스에 반복적으로 노출되는 경우), 플라스틱 변형이 야기될 수 있다. 300mm 및 그 보다 큰 직경의 웨이퍼가 특히 이러한 플라스틱 변형이 되기 쉽다. 상당히 재생 가능하고 균일한 기판 처리 온도를 유지하면서 큰 반도체 기판들을 수용할 수 있는 반도체 처리 시스템 및 방법이 필요하다.

또한, 플라스틱 변형 가능성을 감소시키면서, 높은 온도에서 반도체 기판을 처리하는 시스템 및 방법이 필요하다. 바람직하게는, 이러한 시스템 및 방법은, 높은 쓰루풋을 유지하면서, 기판이 고온의 가열노로부터 꺼내질 수 있게 한다.

발명의 상세한 설명

본 발명의 제 1 양상은 플라스틱 변형의 가능성을 감소시키는 반도체 기판을 열처리하기 위한 개선된 시스템 및 방법을 제공한다. 일 실시예에서, 반도체 기판은 열처리를 위해 가열 캐비티(heated cavity) 내에 삽입된다. 처리 이후, 반도체 기판은 가열 캐비티로부터 신속히 인출된다. 고속의 삽입 및 인출 속도를 이용하여, 가열 처리 환경에 들어가고 나올 때 기판 상의 온도차를 감소시킴으로써, 그렇지 않으면 일어날 수 있는 플라스틱 변형의 하나의 원인을 감소시키거나 또는 없앤다. 예를 들어, 예시적인 실시예에서, 기판 인출 속도는 약 0.3 내지 2.5m/s 또는 그 이상의 범위, 또는 그 내에 포함되는 임의의 범위가 될 수 있다. 바람직한 속도는 특히, 기판 온도, 기판의 직경 및 두께, 요구되는 로봇의 비용 및 복잡성, 결함의 허용 가능한 레벨 및 길이에 기초하여 선택될 수 있다. 예를 들어, 높은 온도(예를 들어, 1,000°C 이상)에서 보다 큰 기판(예를 들어, 300mm 또는 그 이상)을 실질적으로 결함없이 처리하기 위해서는, 높은 속도가 선택될 수 있다. 본 발명의 상기 및 기타 양상들의 장점은, 반도체 기판들이 높은 쓰루풋을 가지고 높은 온도에서 처리될 수 있다는 것이다.

본 발명의 다른 양상은, 기판의 에지에서 짧은 포인트형 결함들이 허용될 수 있는 응용들에 대해 이용되는 중간의 삽입 및 인출 속도를 제공한다. 본 발명의 이러한 그리고 다른 양상의 장점은, 허용할 수 없는 큰 결함이 삽입 및 인출의 과도하게 높은 속도를 요구하지 않으면서 회피될 수 있다는 것이다. 보다 큰 웨이퍼들에 대한 어떠한 고속의 실시예들에서 보다 단순한 웨이퍼 이송 시스템이 이용될 수 있는데, 이는 웨이퍼들이 보다 복잡한 홀더를 요구하지 않고 마찰에 의해 적소에 유지될 수 있기 때문이다.

본 발명의 다른 양상은, 가열 캐비티로부터 기판을 꺼내기 위해, 천이 열 구역 또는 냉각 구역과 함께 이용되는 고속의 인출을 제공한다. 통상의 인출 속도 보다 높은 인출 속도를 이용함으로써, 천이 열 구역의 크기 그리고/또는 냉각 정도는, 그렇지 않으면 플라스틱 변형을 감소 또는 방지하기 위해 요구되는 것과 비교하여 감소될 수 있다.

본 발명의 다른 양상은 반도체 기판을 열처리하는 개선된 노를 제공한다. 예시적인 일 실시예는 (현대의 많은 마이크로 일렉트로닉스 회로 설계에 의해 요구되는 작은 피쳐 사이즈를 생성하는 데에 필요한) 급속 열 처리기의 것과 유사한 감소된 온도 대비 시간 및 처리 속도 뿐 아니라, 전형적인 배치 노의 것과 유사한 온도 균일성 및 온도 안정을 모두 제공한다. 이러한 실시예에서, 반도체 기판은 비교적 일정하고 실질적으로 균일한 온도로 유지되는 가열 캐비티로부터 신속히 삽입 및 인출된다. 웨이퍼의 신속한 삽입 및 처리의 마지막에서의 신속한 인출은, 기판이 노에 들어가고 나올 때 그 기판의 선두 에지와 후미 에지 간의 온도차를 최소로 하여, 열 스트레스를 최소로 하고, 플라스틱 변형(즉, 만곡, 휘어짐 및 슬립)의 발생을 감소시키거나 방지한다. 본 발명의 이러한 양상은 전체의 온도 대비 시간을 감소시키면서, 스트레스 손상을 감소 또는 방지한다. 이것은, 과다한 방사 온도차를 막기 위해 낮은 삽입 및 인출 속도가 이용되는 종래의 배치 노와 대조적이다. 또한, 냉각 벽들 또는 온도 구역을 이용하는 단일 웨이퍼 RTP 시스템과 대조적으로, 실질적으로 등온의 노를 이용하는 본 발명의 실시예들은 높은 레벨의 균일성을 가지며 비교적 단순한 온도 제어를 제공한다.

본 발명의 부가적인 양상들은, 가열 후 반도체 기판의 주변부로부터의 열 손실을 줄이고, 기판이 높은 온도의 노로부터 신속히 꺼내질 수 있게 하는 기판 캐리어를 제공한다. 반도체 기판을 가열 캐비티에 삽입하고 그로부터 인출하는 동안 선두 에지와 후미 에지 간의 온도차로부터 야기되는 열 스트레스에 부가하여, 반도체 기판의 주변부에서의 선택적인 가열 또는 냉각이 또한 열 스트레스의 중요한 원인이 될 수 있다. 본 발명의 예시적인 실시예에서는, 기판 캐리어, 슬립 릴 또는 다른 열 차폐물이 기판의 주변부를 과도한 방사 열 전달로부터 보호하는 데에 이용될 수 있다. 이러한 열 차폐물은 고속의 삽입 및 인출을 위한 기판 캐리어의 일부로서 제공될 수 있다. 본 발명의 이러한 그리고 다른 양상의 장점은, 반도체 기판의 주변부에서의 선택적인 가열 및 냉각 양쪽 모두로부터의 열 스트레스 및 가열 캐비티에 반도체 기판을 삽입하고 그로부터 인출하는 것에 의한 열 스트레스를 제어하여, 플라스틱 변형을 줄이거나 없앨 수 있다는 것이다.

실시예

본 발명의 특징은 반도체 기판의 급속 열처리 방법 및 장치를 제공한다. 제 1의 예시적인 실시예에서, 실리콘 기판 등의 반도체 기판은 가열 캐비티에 신속히 삽입 및 이로부터 신속히 인출된다. 가열 캐비티는 실질적으로 일정한 처리 온도로 유지되는 실질적으로 등온의 캐비티가 될 수 있다. 다른 실시예들에서, 가열 캐비티는 절연벽들 내에 둘러싸인 가열판(heated plate)으로부터 형성될 수 있다. 기판은 처리를 위해 가열판 쪽으로 이동하며, 인출 전에 그 가열판으로부터 빠져나온다. 또한, 천이 온도 구역 및 냉각 메커니즘을 구비하는 것들을 포함하는 부가적인 열처리 구성이 다른 실시예들에서

이용될 수 있다. 기판이 가열 캐비티로부터 제거될 때, 기판은 온도차에 노출되는 바, 이것은 특히 보다 큰 기판(예를 들어, 300mm 이상의 실리콘 웨이퍼)에 대해, 열 스트레스를 야기하여 플라스틱 변형을 일으킬 수 있다. 하지만, 본 발명의 제 1 실시예에 따르면, 반도체 기판의 삽입 속도 및 인출 속도가 충분히 커서, 기판의 플라스틱 변형을 실질적으로 줄이거나 방지한다. 결과적으로, 제 1 실시예는 한번에 단일 웨이퍼(또는 대안적인 실시예들에서는, 2개의 웨이퍼)을 급속하게 가열하고 급속하게 냉각함으로써, 웨이퍼들의 플라스틱 변형, 과도한 도편트 확산을 야기하는 과도한 온도 대비 시간, 웨이퍼 간의 온도 비균일성 및 웨이퍼 상의 온도 비균일성 등의 문제를 실질적으로 감소시키거나 없앤다.

제 1 실시예에 따른 장치 및 방법은 노를 포함하는 공정 챔버를 이용하는바, 여기서 노의 바닥, 측벽들 및 꼭대기가 캐비티를 정의하고, 이 캐비티는 반도체 웨이퍼와 헐더 또는 웨이퍼 지지대를 포함하기에 충분한 폭 및 깊이를 갖는다. 캐비티의 온도는, 히터들에 부착된 PID 컨트롤러를 이용하고 입력들로서 벽의 온도 측정치들을 이용하는 마이크로프로세서-기반 시스템에 의해 제어될 수 있다. 제 1 실시예에서, 캐비티의 온도는 노의 벽들에 부착 또는 인접하는 저항 히터 등의 히터들에 의해 올라간다. 히터들을 분할하여, 캐비티 전체에 있어서 그리고 반도체 웨이퍼의 표면 상에 실질적으로 균일하고 일정한 온도를 제공할 수 있다. 또한, 제 1 실시예의 장치 및 방법은 반도체 웨이퍼를 신속히 삽입하고 인출하는 로봇 또는 다른 메커니즘을 제공하는 바, 여기에서의 삽입 속도와 인출 속도는 열 변화로 인한 웨이퍼의 플라스틱 변형을 실질적으로 줄이거나 막을 정도로 충분히 빠르다.

실리콘 웨이퍼 상에서 상당한 온도차가 있는 경우, 웨이퍼의 플라스틱 변형이 일어난다는 것은 알려져 있다. 따라서, 반도체 웨이퍼가 고온(예를 들어, 900°C 이상)의 캐비티로 천천히 삽입되고 이로부터 인출되는 경우, 그 선두 에지(leading edge)에서의 온도와 후미 에지(trailing edge)에서의 온도는 캐비티 바깥의 웨이퍼 부분의 방사에 의한 급속한 냉각으로 인해 상당히 다를 수 있다. 이는 웨이퍼의 플라스틱 변형을 일으킬 수 있다. 하지만, 반도체 웨이퍼가 고속으로 삽입 및 인출되는 경우에는, 고온(예를 들어, 1000°C 이상) 처리에 대해서도, 플라스틱 변형은 상당히 감소되거나 없어질 수 있다는 것을 발견하였다. 예를 들어, 300mm의 실리콘 웨이퍼가 0.15m/s의 속도로 1,100°C에서 노로부터 제거된다면, 전형적으로는 플라스틱 변형이 야기될 것이다. 하지만, 웨이퍼 속도가 증가할수록, 결함들의 수 및 심함을 감소한다. 바람직한 임계 속도 또는 그 근처에서, 삽입/인출 온도차로 인한 결함들은 실질적으로 방지된다. 반도체 기판의 에지에서의 선택적인 가열 또는 냉각으로부터 결함들이 여전히 야기될 수 있다는 것이 이해될 것이다. 하지만, 여기에서 설명되는 바와 같이, 웨이퍼 캐리어, 슬립 링 또는 다른 열 차폐물을 이용하여 열 에지 스트레스를 줄일 수 있다.

또한, 캐비티로부터의 반도체 웨이퍼의 인출 임계 속도는 동등한 조건하에서 동일한 온도에서 캐비티내로의 삽입 임계 속도 보다 크다는 것을 발견하였다. 이는, 반도체 웨이퍼, 특히 실리콘의 항복 강도(yield strength)가 온도 증가에 따라 떨어지기 때문이다. 따라서, 반도체 웨이퍼의 선두 에지와 후미 에지 간의 온도차는, 웨이퍼가 여전히 뜨겁고 그에 따라 삽입 직후 보다 훨씬 약한 인출 직후 일어나는 경우, 플라스틱 변형을 야기할 가능성이 커진다.

제 1 실시예에서 반도체 웨이퍼의 플라스틱 변형을 막기 위해서는, 웨이퍼의 전면이 동일한 열적 환경에서 거의 동시에 노출되는 것이 바람직하다. 이것은 여기에서 설명되는 제 1 실시예의 노 설계에 의해 달성될 수 있는 바, 여기에서는 가열 캐비티 내에 웨이퍼 및 캐리어를 신속히 삽입하고 처리 종료시 반도체 웨이퍼 및 캐리어를 신속히 인출함으로써, 캐리어 상에 지지되는 반도체 웨이퍼를 가열한다.

제 1 실시예에서, 내부 노의 벽들에 의해 정의되는 캐비티는 실질적으로 일정한 처리 온도로 유지된다. 웨이퍼 및 캐리어의 신속한 삽입 및 신속한 인출은 웨이퍼가 노에 삽입되고 노로부터 빠져나올 때 웨이퍼의 선두 에지와 후미 에지 간의 온도차를 감소시키고, 그에 의해 열 스트레스를 감소시키고, 이러한 온도차로 인한 만곡, 휘어짐 및 슬립의 발생을 실질적으로 막는다. 따라서, 제 1 실시예는 전체적인 온도 대비 시간을 줄이면서 스트레스 손상을 실질적으로 막는다. 이것은, 과도한 방사적인 온도차를 피하기 위해 낮은 속도의 삽입 및 인출을 이용하는(이는 열 처리가 일어나는 동안 온도 대비 시간도 증가시킨다) 종래의 배치 노와 대조된다.

제 1 실시예에서는, 예를 들어 노의 벽들 근처의 또는 그에 부착되는 저항 히터들에 의해, 웨이퍼를 수용하는 캐비티를 실질적으로 등온으로 유지시킴으로써, 종래의 냉각 벽, 램프 기반의 RTP 시스템과 비교하여 온도 측정이 단순해질 수 있다. 반도체 웨이퍼를 수용하는 캐비티는 실질적으로 등온의 조건으로 유지되기 때문에, 노의 캐비티 벽들의 온도(이는 노의 벽들에 내장된 열전대(thermocouple)를 이용하여 측정될 수 있다)를 이용하여 웨이퍼의 온도를 평형에 가깝게 균접시킬 수 있다. 제 1 실시예에서는 복수의 열전대들 및 복수의 분할된 저항 히터들을 이용함으로써, 웨이퍼의 온도 뿐 아니라 캐비티의 온도를 바람직한 처리 온도 및 균일한 레벨을 달성하도록 제어할 수 있다.

또한, 제 1 실시예의 노는 캐비티 온도의 큰 천이 편위(transient excursion)에 대해 대비함으로써, 노의 캐비티 온도 (및 웨이퍼 온도)를 제어하는 단순한 제어 알고리즘의 이용을 허용한다. 또한, 이해될 사항으로서, 제 1 실시예에서 노의 캐비티는 실질적으로 일정한 온도로 유지되기 때문에, 그리고 반도체 웨이퍼 및 관련된 웨이퍼 캐리어에 대한 노의 큰 열 용량 때문에, 각 웨이퍼에 대해 가열 및 냉각되는 종래의 RTP 시스템들에 비해 최고 전력 요구가 상당히 감소된다.

도 1은 본 발명의 제 1 예시적인 실시예에 따른, 일반적으로 100으로 표시된 급속 삽입 급속 열 처리기(RIRTP)를 예시한다. 도 1을 참조하여, RIRTP는 실질적으로 일정하고 등온의 처리 온도로 유지되는 캐비티(120)를 구비하는 노(110)를 포함한다. 등온 캐비티(120)는 노(110)의 베이스(121), 측벽(122) 및 꼭대기(123)에 의해 정의되어, 반도체 웨이퍼(135)를 지지하는 반도체 웨이퍼 캐리어(130)를 수용한다. 노(110)의 베이스(121), 측벽들(122) 및 꼭대기(123)에는 각각 가열 저항 히터 등의 히터들(140)(전체 미도시)이 구비되어, 등온 캐비티(120)를 실질적으로 일정한 처리 온도로 가열한다. 히터들(140)은 분할될 수 있으며, 분할된 구획(segment)들은 개별적으로 제어되어, 캐비티(120)의 온도를 보다 잘 제어하고, 반도체 웨이퍼 캐리어(130) 및 반도체 웨이퍼(135)가 캐비티(120) 내로 삽입된 후 반도체 웨이퍼(135)의 표면에 균일한 온도를 제공한다. 노(110)의 베이스(121), 측벽들(122) 및 꼭대기(123)에는 또한 복수의 열전대들(145)(모두 미도시)이 구비되는데, 이들은 등온 캐비티(120)의 온도를 측정 및 제어하고, 캐비티(120) 내에 있는 반도체 웨이퍼(135)의 온도가 실질적으로 균일하도록 보장하는 데에 유용하다. 웨이퍼 처리 동안 종종 겪게 되는 고온(>1,000°C)을 견딜 수 있도록, 노(110)의 베이스(121), 측벽들(122) 및 꼭대기(123)는 금속, 세라믹, 유리 또는 내화성 화합물(refractory compound) 등의 다양한 고온 물질들로 형성될 수 있지만, 오직 이것들로만 한정되지 않는다.

도 2A는 제 1 실시예에 대해 계산된 임계 속도들을 보여주는 그래프로서, 웨이퍼를 캐비티(120)에 삽입하고 이후 인출하는 동안 제 1 실시예에서 비교적 고강도의 200mm 실리콘 웨이퍼의 플라스틱 변형을 실질적으로 막는 것으로 기대된다. 특히, 도 2A는 제 1 실시예에서 캐비티 온도의 함수로서 반도체 웨이퍼의 인출에 대한 바람직한 임계 속도(220A) 및 삽입에 대한 바람직한 임계 속도(210A)에 관련된 2개의 곡선들을 보여준다. 이 곡선들은 대략적인 플라스틱 변형 경계들을 나타낸다. 즉, 이들 곡선들에 의해 정의되는 경계들 윗쪽의 삽입 및 인출 속도들에서, 반도체 웨이퍼는 삽입과 인출의 온도차로 인해 플라스틱 변형을 경험할 것으로 기대되지 않는다. 따라서, 급속 열 처리기로부터의 전형적인 최고 동작 범위인, 약 1,100°C 내지 1,200°C의 캐비티 온도에 대해, 임계 삽입 속도는 약 0.13에서 약 0.18m/s로 증가하고, 임계 인출 속도는 약 0.72에서 약 1.16m/s로 증가한다. 삽입 속도와 인출 속도가 증가함에 따라, 웨이퍼가 가열 캐비티 내부의 환경과 캐비티 외부의 환경 간의 온도차에 노출되는 시간이 감소된다. 하기의 표 1은 다양한 온도에서의 비교적 고강도의 실리콘 웨이퍼에 대한 삽입과 인출의 임계 속도들을 요약하고, 웨이퍼가 온도차에 노출되는 대응 시간을 나타낸다.

[표 1]

삽입			인출	
온도 [°C]	속도 [m/s]	시간 [s]	속도 [m/s]	시간 [s]
600	0.01	20.00	0.02	10.00
700	0.02	10.00	0.05	4.00
800	0.04	5.00	0.12	1.67
900	0.06	3.33	0.24	0.83
1000	0.09	2.22	0.43	0.46
1100	0.13	1.54	0.72	0.28
1200	0.18	1.11	1.16	0.17

도 2B는 제 1 실시예에 대해 계산된 임계 속도들을 보여주는 그래프로서, 웨이퍼를 캐비티(120)에 삽입하고 이후 인출하는 동안, 제 1 실시예에서 비교적 저강도의 200mm 실리콘 웨이퍼의 플라스틱 변형을 실질적으로 막을 것으로 기대된다. 특히, 도 2B는 제 1 실시예에서 캐비티 온도의 함수로서 반도체 웨이퍼의 인출에 대한 바람직한 임계 속도(220B) 및 삽입에 대한 바람직한 임계 속도(210B)에 관련된 2개의 곡선들을 보여준다. 하기의 표 2는 다양한 온도에서의 비교적 저강도의 실리콘 웨이퍼에 대한 삽입 및 인출의 임계 속도들을 요약하며, 웨이퍼가 온도차에 노출되는 대응 시간을 나타낸다.

[표 2]

삽입			인출	
온도 [°C]	속도 [m/s]	시간 [s]	속도 [m/s]	시간 [s]
600	0.02	10.00	0.04	5.00
700	0.04	5.00	0.10	2.00
800	0.08	2.50	0.21	0.95
900	0.14	1.43	0.42	0.48
1000	0.25	0.80	0.75	0.27
1100	0.42	0.48	1.26	0.16
1200	0.69	0.29	1.99	0.10

상기 각 경우에 있어서, 임계 인출 속도가 임계 삽입 속도 보다 큰데, 이는 반도체 웨이퍼들, 특히 실리콘의 항복 강도가 온도 증가에 따라 감소하기 때문이다. 따라서, 선두 에지와 후미 에지 간에 현저한 온도차를 설정하게 되면, 웨이퍼 온도가 낮을 때의 삽입 동안 보다 웨이퍼 온도가 높을 때의 인출 동안에 플라스틱 변형을 야기할 가능성이 더 크다.

삽입 및 인출의 바람직한 웨이퍼 속도는 캐비티 또는 웨이퍼 온도에 강하게 의존할 뿐 아니라, 이러한 바람직한 속도는 (예를 들어, 150mm, 200mm, 300mm 또는 400mm 또는 그 이상이 될 수 있는) 웨이퍼의 직경에 의존한다. 웨이퍼의 크기가 증가함에 따라, 속도가 일정하게 유지되는 경우, 웨이퍼의 선두 부분과 후미 부분의 차별적인 가열/냉각에 이용할 수 있는 시간이 증가한다. 이는 웨이퍼의 선두 에지와 후미 에지 간의 온도차의 크기를 증가시키고, 최대 열 스트레스를 대응하게 증가시킨다. 따라서, 보다 큰 웨이퍼에 대해 동등한 스트레스를 유지하기 위해서는, 삽입 속도와 인출 속도가 웨이퍼 크기의 증가에 따라 증가되어, 실질적으로 결함이 없는 조건을 유지(또한, 얼마간의 결함이 허용가능한 적용들에서는, 얼마의 바람직한 크기 그리고/또는 수적 한계치 미만으로 유지)해야 한다. 도 4는 본 발명의 제 1 실시예에서 플라스틱 변형을 실질적으로 막기 위해 200mm 및 300mm 실리콘 웨이퍼들에 대한 바람직한 임계 인출 속도들을 비교한 그래프이다. 하기의 표 3은 다양한 온도들에서의 이들 웨이퍼들의 임계 인출 속도들을 요약하며, 웨이퍼가 온도차에 노출되는 대응 시간을 나타낸다.

[표 3]

200mm			300mm	
온도 [°C]	속도 [m/s]	시간 [s]	속도 [m/s]	시간 [s]
600	0.02	10.00	0.03	10.00
700	0.05	4.00	0.08	4.00
800	0.12	1.67	0.18	1.67
900	0.24	0.83	0.36	0.83
1000	0.43	0.46	0.65	0.46
1100	0.72	0.28	1.09	0.28
1200	1.16	0.17	1.74	0.17

양쪽 모두의 경우, 중력 스트레스(하기에서 더 설명된다)가 작아지도록 웨이퍼가 잘 지지되는 것으로 가정하고, 웨이퍼의 에지는 에지 스트레스가 마찬가지로 작아지도록 과도한 방사 냉각으로부터 보호되는 것으로 가정한다. 이러한 조건들 하에서, 도 4는 바람직한 임계 속도가 웨이퍼의 직경에 대해 거의 선형적으로 증가하고 있음을 나타낸다.

한층 더 큰 웨이퍼에 대해, 또는 중력 스트레스가 무시할 수 없도록 웨이퍼가 지지되는 경우에 대해, 바람직한 속도는 크기에 비례하는 것 보다 급속하게 증가할 것이다. 이는, 하기에서 설명되는 바와 같이, 중력 스트레스가 웨이퍼 직경의 제곱으로서 정해지기 때문이다. 따라서, 결합된 열 및 중력 스트레스가 일정하게 유지되기 위해서는, 웨이퍼 속도들이 직경의 증가 보다 급속하게 증가해야 한다. 한편, 에지 스트레스는 웨이퍼 크기에 전혀 의존하지 않고, 웨이퍼의 속도에도 거의 의존하지 않으며, 이에 따라 웨이퍼 크기가 증가할 때 에지 스트레스는 바람직한 웨이퍼의 속도에 실질적으로 영향을 주지 않는 것으로 여겨진다.

급속 삽입 급속 열 처리기(RIRTP)(100)는 웨이퍼 캐리어(130)에 부착된 로봇 또는 다른 메커니즘(미도시)을 더 포함하는 바, 이는 반도체 웨이퍼 캐리어(130) 및 그 위에 지지되는 반도체 웨이퍼(135)를 캐비티(120) 내에 삽입하고, 이후 반도체 웨이퍼 캐리어(130) 및 그 위에 지지되는 반도체 웨이퍼를 인출한다. 제 1 실시예에서, 이러한 로봇 또는 다른 메커니즘은, 도 2 및 4에서 나타낸 바와 같이, 웨이퍼(135)의 플라스틱 변형을 실질적으로 막을 정도로 충분히 큰 속도에서 동작하도록 구성될 수 있다.

제 1 실시예에서 반도체 웨이퍼를 캐비티 내에 고속으로 이송하는 데에 적절한 삽입 및 인출 메커니즘은, 공기식 구동장치(pneumatic drive), 고속의 볼 스크류 구동장치, 벨트 구동장치, 로드리스 액츄에이터(rodless actuator), 선형 서보 및 스템퍼 모터를 포함할 수 있지만, 오직 이것들로만 한정되지 않는다. 이러한 메커니즘은 전형적으로 반도체 웨이퍼 캐리어를 캐비티 내에 1mm 보다 작은 공차로 반복적으로 배치할 수 있다.

도 3에 나타낸 바와 같이, 만일 제 1 실시예에 대해 반도체 웨이퍼의 삽입 및 인출이 (예를 들어, 도 2A 및 2B에 도시된 곡선들에 의해 정해지는) 바람직한 임계 속도 보다 큰 속도로 일어나는 경우, 웨이퍼의 선두 에지와 후미 에지 간의 온도차가 충분히 작아지게 되어, 웨이퍼의 플라스틱 변형이 실질적으로 방지될 것으로 기대된다. 곡선(310)은 반도체 웨이퍼(135)의 온도 이력을 나타내는 바, 이는 약 20°C의 초기 온도를 갖고, 1.3m/s의 속도로 등온 캐비티(120) 내에 삽입되며, 약 1,100°C의 일정한 온도로 유지된다. 20초 미만 내에서, 반도체 웨이퍼(135)는 거의 균일하고 일정한 1,100°C의 온도를 달성한다(곡선 310 참조). 곡선(320)은 반도체 웨이퍼(135)의 선두 에지와 후미 에지 간의 최대 온도차가 약 22°C임을 보여준다. 약 45초 후, 반도체 웨이퍼(135)는 등온 캐비티(120)로부터 인출된다. 곡선(320)은 반도체 웨이퍼(135)의 선두 에지와 후미 에지 간의 최대 온도차가 22°C임을 다시 보여준다.

제 1 실시예에서, 전형적인 온도 대비 시간은 1000°C 내지 1200°C의 캐비티 온도와 20°C의 초기 반도체 웨이퍼 온도에 대해 30초 내지 16초의 범위를 갖는 바, 이는 약 30°C 내지 75°C/s의 온도 램프 속도에 대응한다. 제 1 실시예에 의해 처리되는 반도체 웨이퍼들에 대한 냉각률은 전형적인 RTP들에 의해 처리되는 웨이퍼들에 대한 것 보다 훨씬 클 수 있다. 제 1 실시예에서, 웨이퍼는 처리 온도에서 주위(ambient)로 인출될 수 있으며, 이에 따라 주위로 강하게 방사함으로써, 온도 대비 시간을 최소화한다. 따라서, 제 1 실시예에 있어서 캐비티 내에서의 총 시간이 작아지게 되는데, 이는 노 캐비티로부터 웨이퍼를 인출하기 전에 어떠한 웨이퍼 냉각도 필요하지 않기 때문이다. 물론, 어떠한 실시예들에서는, 천이 가열 구역 또는 냉각이 상승한 인출 속도와 함께 이용될 수 있다.

제 1 실시예의 RIRTP는, 캐비티 온도가 1100°C이고 캐비티 내에서의 총 시간이 단지 65초인 상태로 0.25 마이크론의 보론 드라이브인을 수행할 수 있는 것으로 여겨진다. 1050°C 및 1150°C의 캐비티 온도에서, 본 공정에 대한 캐비티 내에서의 총 시간은 각각 160초 및 30초이다. 또한, 반도체 웨이퍼의 선두 에지와 후미 에지 간의 드라이브인 균일성은 제 1 실시예에서의 3개의 모든 캐비티 온도들에서 1% 보다 우수한 것으로 기대된다.

도 5는 일반적으로 나타낸 열 처리기의 측면도로서, 이는 본 발명의 제 2 예시적인 실시예에서 이용될 수 있다. 본 발명의 변형 실시예들과 함께 이용될 수 있는 유사한 열 처리기의 동작은, 1995년 7월 10일 크리스티안 이. 존슨가드(Kristian E. Johnsgard), 브래드 에스. 매트손(Brad S. Mattson), 제임스 맥디아미드(James McDiarmid) 및 블래디미드 제이. 제이트린(Vladimir J. Zeitlin)에 의해 출원되었으며 그 명칭이 "반도체 기판의 열처리 시스템 및 방법(System and Method for Thermal Processing of a Semiconductor Substrate)"인 미국 특허 출원 제08/499,986호에 개시되어 있으며, 그 전체 개시 내용은 본원의 참조("986 출원)로서 인용된다.

본 발명의 예시적인 실시예에 따라 반도체 기판들의 신속한 삽입/및 인출에 관련하여 이용될 수 있는 부가적인 열 처리기 구성들 및 특징들은, 1997년 6월 16일 크리스티안 이. 존슨가드, 브래드 에스. 매트손, 제임스 맥디아미드 및 블래디미드 제이. 제이트린에 출원되었으며 그 명칭이 "반도체 기판의 열처리 시스템 및 방법(System and Method for Thermal Processing of a Semiconductor Substrate)"인 미국 특허 출원 제08/876,788호("788 출원")와; 1997년 9월 4일 스테판 이. 사바스(Stephen E. Savas)에 의해 출원되었으며 그 명칭이 "급속 열처리 시스템 및 방법(System and Method for Rapid Thermal Processing)"인 미국 특허 출원 제08/923,661호("661 출원")와; 1997년 11월 28일 프레드 타브리지(Fred Tabrizi), 베리 키타즈미(Barry Kitazumi), 데이비드 에이. 바커(David A. Barker), 데이비드 에이. 세顿(David A. Setton), 레스제프 니우미에르지키(Leszek Niewmierzycki) 및 미겔 제이 쿨만(Michael J. Kuhlman)에 의해 출원되었으며 그 명칭이 "진공 처리를 위해 워크피스들의 저오염 고 쓰루풋 처리를 위한 시스템 및 방법(System and Method for Low Contamination High Throughput Handling of Workpieces for Vacuum Processing)"인 미국 가 특허 출원 제60/067,299호("299 출원")와; 1998년 7월 13일 스테판 이. 사바스, 마틴 엘. 해몬드(Martin L. Hamond), 로버트 뮀러(Robert Mueller) 및 진-프랑세즈 다비에트(Jean-Francois Daviet)에 의해 출원되었으며 그 명칭이 반도체 제조를 위한 열처리 시스템에서 웨이퍼 온도 제어를 위한 모델 기반 방법(A Model Based Method for Wafer Temperature Control in a Thermal Processing for Semiconductor Manufacturing)"인 미국 가 특허 출원 제60/092,563호("563 출원")와; 그

리고 1998년 7월 13일 스템판 이. 사바스, 마틴 앤 해몬드 및 진 프랑세즈 다비에트에 의해 출원되었으며 그 명칭이 "급속 열처리 시스템을 위한 세정 공정(Cleaning process for Rapid Processing System)"인 미국 가 특허 출원 제60/092,759 호("759 출원")에 개시되어 있으며, 상기 모든 출원들은 본원의 참조로서 인용된다.

도 5를 참조하면, 반도체 기판을 열처리하기 위한 가열 캐비티(502)가 형성된다. 가열 블록(504)은 캐비티 내의 기판을 열처리하기 위한 가열 표면(506)을 제공한다. 제 2 실시예에서, 가열 블록(504)은 실리콘 카바이드 코팅된 그래파이트(silicon carbide coated graphite)를 포함할 수 있다. 가열 블록(504)은, 각각 실리콘 카바이드 코팅된 그래파이트로 형성될 수 있는 하부 저항 히터(508) 및 측면 저항 히터(510)에 의해 가열된다. 측면 저항 히터(510)는 가열 블럭의 측면들 주위에 감겨져, 블록의 에지 손실 및 온도 변화를 감소시킨다. 가열 캐비티는 가열 차폐물의 역할을 하는 내부 절연 벽들(512) 및 외부 절연 벽들(514) 내에 둘러싸인다. 제 2 실시예에서, 내부 절연 벽들(512)은 실리콘 카바이드 코팅된 그래파이트를 포함하고, 외부 절연 벽들(514)은 불투명한 석영을 포함한다. 반도체 기판은 열처리를 위해 포트(516)를 통하여 삽입 및 인출될 수 있다. 기판은, '986 출원에 개시된 바와 같이 올려지고 낮춰질 수 있는 핀들(미도시) 상에 놓여진다. 기판은 처리를 위해 가열 표면(506)에 인접하게 그 위로 낮춰질 수 있다. 처리가 완료되면, 핀들은 올려지고, 기판은 포트(516)을 통해 제거된다. '986 출원에 개시된 바와 같이, 이러한 가열 캐비티는 차가운 외부 챔버 내에 둘러싸일 수 있다. 가열 캐비티 및 외부 챔버 내에는 진공 압력이 유지되어, 대류성 및 전도성 열 손실을 줄임으로써, 처리 균일성을 높인다.

'986 출원의 열 처리기와 비교하여, 도 5의 열 처리기는 열 차폐물, 및 가열 블록의 측면에 인접하는 부가적인 저항 히터(510)를 이용한다. 결과적으로, 도 5의 열 처리기는 반도체 기판들을 1200°C 이상의 고온에서 높은 레벨의 균일성으로 처리할 수 있다. 또한, 어떠한 램프 기반 시스템들과 대조적으로, 도 5에 나타낸 열 처리기의 설계는 300mm 이상의 기판을 수용하도록 용이하게 확장될 수 있다.

제 2 실시예의 열 처리기에 있어서, 가열 캐비티로부터의 반도체 기판들의 신속한 삽입 및 인출은 플라스틱 변형을 줄이거나 없애는 데에 이용될 수 있다. 이를 테면, 약 900°C 내지 1200°C의 처리 온도에 대해, 기판 인출 속도는 약 0.3 내지 2.5 또는 그 이상의 m/s가 되거나, 또는 그 내에 포함되는 임의의 속도 또는 범위가 될 수 있다. 어떠한 실시예들에서, 인출 속도는 200mm 실리콘 웨이퍼에 대해서는 약 0.5 내지 1.5 m/s이고, 300mm 실리콘 웨이퍼에 대해서는 약 0.7 내지 2.0 m/s이다. 웨이퍼 삽입 및 인출 속도가 증가할수록, 플라스틱 변형 결함들이 실질적으로 방지되는 임계치에 이를 때 까지 이러한 결함들의 크기 및 발생률은 감소된다.

가열 표면을 이용하는 가열 캐비티에 있어서, 가열 표면과 캐비티의 꼭대기(예를 들어, 내부 절연 벽들(512)의 꼭대기) 간에는 상당한 온도차가 있을 수 있는데, 이는 처리 온도 및 구성에 따라, 예를 들어 25°C 내지 150°C가 될 수 있다. 결과적으로, 제거를 위해 기판을 가열 표면으로부터 이동시킬 때, 기판 온도는 냉각될 수 있다. 이를 테면, 기판은, (바람직한 공정에 따라 400°C 내지 1200°C 또는 그 이상이 될 수 있는) 가열 표면의 온도 미만인 20°C 내지 100°C가 될 수 있다. 올려질 때 기판 뒤의 가열 표면을 통해 셔터를 닫고, 천이 가열 구역을 제공하는, 캐비티의 꼭대기의 제거하는 부가적인 기술, 또는 '661 출원 및 '788 출원에서 개시된 다른 기술들을 이용하여, 기판 온도를 더 줄일 수 있다. 소정의 결함 레벨을 유지하는 데에 필요한 인출 속도를 유지하기 위해서는, 인출 이전에 기판을 냉각하는 것을 이용할 수 있다.

하지만, 다른 실시예들에서, 캐비티는 더욱 등온이 되도록 만들어질 수 있다. 부가적인 히터들이 가열 캐비티의 꼭대기 및 측면(절연 벽들 중 하나 또는 양쪽의 내부 또는 외부)을 따라 제공될 수 있다. 이러한 실시예들에서, (적어도 반도체 기판에 방사열을 전달하는 표면들에 대해) 캐비티에 걸친 온도차는 약 10°C 내지 25°C 미만으로 감소될 수 있다. 온도차가 감소할 수록, 열 처리기는 제 1 실시예의 실질적으로 등온의 RIRTP에 더욱 가깝게 되며, 바람직한 평형 처리 온도를 달성하기 위해 기판을 반드시 임의의 특정 가열 표면쪽으로 이동시킬 필요가 없다.

상기 설명된 열 처리기의 구성들에 있어서, 가열 캐비티는, 가열 캐비티로부터 인출하기 전에 기판을 높은 온도로 가열하는 열적 환경을 형성한다. 기판 온도가 인출 이전에 실질적으로 처리 온도 미만으로 감소될 수 있기는 하지만, 이는 여전히 높다. 프로세서의 구성 및 처리 온도에 따라, 인출 이전의 기판의 온도는, 예를 들어 400°C 내지 1200°C, 또는 그 내에 포함되는 임의의 온도 또는 범위가 될 수 있다. 외부 챔버 또는 다른 주위 환경은 훨씬 더 낮은 온도, 예를 들어 25°C 내지 100°C가 될 수 있다. 결과적으로, 기판의 선두 예지는 후미 예지가 노출되는 열적 환경의 온도 보다 약 300°C 내지 1100°C(또는 이 내에 포함되는 임의의 범위) 또는 그 이상 낮은 열적 환경에 노출될 수 있다. 이러한 차이는 열 스트레스를 야기시키며, 플라스틱 변형을 일으킬 수 있다.

예시적인 실시예들에서는, 기판이 꺼내지는 환경의 온도 그리고/또는 반사 특성들을 조정하여 열 스트레스를 줄일 수 있다. 도 2 및 4와 관련하여 상기 설명된 인출 속도들은, 실리콘 웨이퍼가 웨이퍼로부터 열 방사를 흡수하는 약 20°C의 냉각

환경으로 인출되는 것으로 가정한다. 하지만, 이러한 환경이 상당히 반사적이거나 또는 높은 온도 자체에 있는 경우, 냉각률 및 열 스트레스 레벨은 감소될 수 있다. 이는, 기판을 바람직한 특성들을 갖는 결방(antechamber)으로 인출함으로써 달성될 수 있다. 이러한 실시예에서는, 웨이퍼의 제거에 관련된 웨이퍼 스트레스가 감소된다.

이러한 일 실시예에서, 결방은 웨이퍼의 꼭대기 및 바닥 표면으로부터 별로 떨어지지 않은(예를 들어, 웨이퍼의 반경 미만) 웨이퍼의 이동 평면의 위 아래에 매우 반사적인 벽들을 갖는다. 이 경우, 웨이퍼의 열 방사는 그 후방에 반사되어, 웨이퍼의 냉각률이 감소된다. 이러한 반사 벽들은 석영으로 둘러싸인 반사 금속 요소들로 이루어질 수 있다. '788 출원을 참조하라. 이것은 반사 금속 물질에 의한 잠정적인 오염을 없앨 뿐 아니라, 공정 챔버 또는 웨이퍼로부터의 가스 요소들에 의한 반사 표면에 대한 손상 가능성을 줄인다. 결과적으로, 결합들이 감소 또는 회피되는 정도를 유지하면서, 웨이퍼 제거 속도가 웨이퍼 냉각률의 감소에 비례하여 감소될 수 있다.

대안적인 설계는, 가열 캐비티 보다 약간 낮은 온도에 있는 공정 챔버의 바로 바깥 영역에 있는 가열 요소들을 이용한다. 저항성 가열 요소들 또는 적외선 가열 램프들이 이러한 목적을 위해 이용될 수 있다. 이러한 요소들로부터의 방사는 웨이퍼가 가열 캐비티를 빠져나올 때 그 웨이퍼에 열을 제공함으로써, 냉각률을 감소시킨다. 만일 가열 요소들(이것들의 크기는 웨이퍼 자체와 거의 같을 수 있다)의 온도가, 예를 들어 공정 온도의 약 80% 내지 90%와 같은 경우, 냉각률은 상당한 비율로 감소된다. 이러한 비율은 4승(fourth power)의 온도율(켈빈 온도)의 차이에 의해 대략적으로 주어진다. 따라서, 만일 벽들이 공정 온도의 90%인 경우, 냉각률은 그 냉각 벽 값의 단지 ~34%가 된다. 이러한 값들은 대략적인 것인데, 이는 웨이퍼에 방사를 전달하는 일부 표면이 이러한 정도까지 가열되지 않을 수 있기 때문이다. 그럼에도 불구하고, 결방의 부분적인 가열(예를 들어, 공정 온도의 약 70% 내지 90%)을 이용하여, 냉각률을 줄이고, 소정의 결합 레벨에 대해 웨이퍼들이 가열 캐비티로부터 꺼내지는 속도를 감소시킬 수 있다.

상기 설명한 바와 같이, 신속한 삽입 및 인출 속도가 이러한 열 처리기들과 관련하여 이용되어, 플라스틱 변형을 실질적으로 감소시키거나 막을 수 있다. 하나의 예시적인 실시예에서, 기판 인출 속도들은, 기판의 임의의 2개의 부분들(전형적으로 기판의 선두 에지 및 후미 에지)이 소정 크기의 온도차에 노출되는 시간량이 하기의 표 4에 나타낸 바와 같이 제한되도록 선택된다. 시간 범위는 소정의 차이에 대한 노출 제한들에 대해 주어진다. 범위 내의 임의의 시간 제한은 기판 특성들 및 바람직한 또는 허용가능한 결합 레벨에 따라 선택될 수 있다. 범위 중 하단부는 범위 중 상단부에 비해 결합들을 감소시킬 것으로 기대된다.

[표 4]

환경들의 온도차	노출 시간
500°C	약 1-2초 미만
600°C	약 1-2초 미만
700°C	약 1-2초 미만
800°C	약 1-2초 미만
900°C	약 0.8-1.2초 미만
1000°C	약 0.4-0.6초 미만
1100°C	약 0.2-0.4초 미만
1200°C	약 0.1-0.3초 미만

다른 예시적인 실시예들에서, 반도체 기판은 상기 테이블에 기재되어 있는 임의의 온도차에 노출될 수 있다. 하지만, 인출 속도는 인출로 인해 기판의 임의의 2개의 부분들 간에 실제로 나타나는 온도차가 10°C 내지 20°C를 초과하지 않도록 선택될 수 있다. 다른 실시예들에서, 이러한 온도차에 대한 한계는 기판의 특성들 및 바람직한 또는 허용가능한 결합 레벨에 따라 30°C, 40°C, 50°C, 75°C, 100°C 또는 그 이상으로 설정될 수 있다. 상기의 표 4에 기재된 기준들은 본 발명의 특정의 예시적인 실시예들에서 이용될 수 있는 대략적인 한계치들이지만, 웨이퍼의 특성들 및 다른 요인들에 의존하는 특정의 결합 임계치들을 반영하는 것으로 의도되지 않는다. 그렇다기 보다는, 열 스트레스 및 플라스틱 변형에 대한 임계치를 보다 정확하게 예측하는 특정의 방정식들 및 관계들이 하기에서 설명된다. 그럼에도 불구하고, 상기 한계들은 특정의 예시적인 실시예들을 설명하는 데에 유용하고, 기판이 200mm, 300mm, 또는 400mm 이든, 그리고 기판이 인출 이전에 처리 온도 이하로 냉각되든 되지 않든 간에 적용될 수 있다.

상기 설명한 바와 같이 웨이퍼 인출 속도를 증가시킴으로써, 플라스틱 변형이 실질적으로 감소되거나 없어질 수 있다. 예를 들어, 소정의 노구성, 처리 온도 및 웨이퍼 크기에 대해, 0.1, 0.2 또는 0.3 m/s에서의 웨이퍼의 인출은 (단일 공정 사이클이든, 아니면 다중 공정 사이클이든 간에) 플라스틱 변형을 야기할 수 있다. 낮은 속도에서는, 3mm 이상의 길이를 갖는 복수의 슬립 라인(slip line)이 형성될 수 있다. 하지만, 인출 속도가 2배 또는 3배가 되면, 결함들의 수 및 심함은 실질적으로 감소되거나 없어질 수 있다. 동일한 조건들 하에서 아마도 약 0.4, 0.5, 0.7 또는 1.0m/s의 속도에서, 3mm 이상의 길이를 갖는 슬립 라인들은 제거될 수 있다. 물론, 결함들이 형성되고 제거되는 특정한 속도들은 (하기에 더 설명되는 바와 같이) 다양한 조건들에 따라 달라진다.

어떠한 실시예들에서는, 통상의 시스템 보다는 높지만, 플라스틱 변형이 실질적으로 제거되는 임계치 레벨 보다는 낮은 웨이퍼 속도를 이용하는 것이 바람직하다. 인출 속도가 증가함에 따라, 결함들의 크기 및 타입은 달라진다. 어떠한 중간 속도에서는, 단지 (100 마이크론 보다 훨씬 작은 길이를 갖는) 포인트형 결함(point-like defect)들만이 형성된다. 이러한 결함들은 어떠한 적용들에서는 허용될 수 있으며, 속도는 플라스틱 변형을 막는 데에 필요한 것 보다 실질적으로 작을 수 있다. 약 1200°C에서의 200mm 실리콘 웨이퍼에 있어서, 이러한 범위는 플라스틱 변형을 실질적으로 막는 데에 필요한 1.1~1.3m/s에 대조적으로 약 0.4~0.5m/s의 인출 속도에서 시작될 것으로 기대된다. 따라서, 중간 속도 범위에서 동작하게 되면, 여전히 상업적으로 실행가능한 결과들을 제공하면서, 이용되는 웨이퍼 이송 기구들을 단순화할 수 있다.

예시적인 실시예들에서는, 증가된 인출 속도를 갖는 웨이퍼 이송 로봇을 이용하여 가열 캐비티로부터 웨이퍼를 인출할 수 있다. 예시적인 웨이퍼 이송 로봇은 '299 출원에 개시되어 있다. 하지만, 하기에서 설명되는 바와 같이, 웨이퍼 에지에서의 선택적인 가열 또는 냉각으로 인한 열 스트레스가 상당할 수 있다. 결과적으로, 에지 스트레스를 줄이기 위해서는 웨이퍼 캐리어, 슬립 링 또는 다른 차폐물이 요구되며, 예시적인 실시예들에 있어서, '299 출원에서 개시된 로봇의 엔드 이펙터(end effector)는 웨이퍼 캐리어 또는 슬립 링을 수용하도록 변경될 수 있다.

슬립 링의 이용은 가열 캐비티로부터 웨이퍼를 꺼낼 때 웨이퍼 에지에서의 온도 변화를 줄이는 데에 중요하다. 링은 웨이퍼의 에지를 둘러싸고, 열 차폐물의 역할을 하며, 또한 웨이퍼가 웨이퍼 이송 로봇의 "엔드 이펙터" 상의 위치로부터 미끄러지는 것을 방지하면서, 고속(예를 들어, >0.5m/s 또는 그 이상)으로 가열 캐비티로부터 웨이퍼를 인출하기 위해 높은 가속도가 웨이퍼에 분배될 수 있게 하는 웨이퍼 캐리어 메커니즘의 하나의 구성 요소가 될 수 있다. 따라서, 슬립 링들은 웨이퍼를 위한 안정한 홀더를 제공하는 것과 웨이퍼 에지의 지나친 금속 냉각을 방지하는 것의 이중 목적을 제공할 수 있다. 실리콘 웨이퍼들을 오염시키지 않기 위해, 이러한 링들은 표면 상의 임의의 금속 요소의 농도가 매우 낮은($<10^{10}$ atoms/cm²) 석영, 실리콘 카바이드, 실리콘 또는 그래파이트(일반적으로 실리콘 카바이드 코팅됨) 등의 완전 무균의 고온 친화성 물질(compatible material)로 제조된다.

제 1의 예시적인 웨이퍼 캐리어는 도 1에서 130으로 나타나 있다. 본 발명의 예시적인 실시예들에서, 웨이퍼 캐리어(130)는 3개의 중요한 목적을 제공한다. 첫 번째로, 웨이퍼 주변을 완전히 지지하여, 웨이퍼 내에서의 중력 스트레스를 크게 감소시킨다. 이러한 주변 지지는, 웨이퍼에 있어서의 최대 중력 스트레스(이것은 지지 포인트들이 웨이퍼 반경의 약 60%에 위치되는 종래의 3-포인트 지지에 대한 것 보다 약 2의 인수(factor) 작다)를 발생시키는 것으로 기대되고, 그리고 지지 포인트들이 웨이퍼 에지에 위치되는 종래의 3-포인트 지지 보다 5의 인수 이상 작게 이러한 스트레스를 감소시킬 것으로 기대된다. 또한, 웨이퍼 캐리어에 의해 제공되는 완전한 에지 지지는 지지 위치들에서 보다 오히려 웨이퍼 중심에 위치하는 최대 중력 스트레스를 발생시킨다. 이것은, 불균일한 웨이퍼 온도로 인한 최대의 열 스트레스는 전형적으로 웨이퍼 에지 근처에서 발생하기 때문에 유의하다. 따라서, 최대의 결합된 열 및 중력 스트레스는, 최대의 열 스트레스 및 최대 중력 스트레스를 웨이퍼 상의 서로 다른 물리적 위치들에 둘으로써 웨이퍼 캐리어의 완전한 에지 지지에 의해 더욱 감소된다.

웨이퍼 캐리어(130)의 제 2의 중요한 역할은 웨이퍼 에지에 대한 방사 차폐(radiation shield)를 제공하는 것이다. 웨이퍼 에지와 관련된 부가적인 표면 영역 때문에, 보호되지 않은 에지 근처의 실리콘은, 웨이퍼가 가열 캐비티 내에 신속히 삽입되거나 또는 그로부터 인출될 때 웨이퍼의 나머지 부분 보다 신속하게 가열 또는 냉각된다. 웨이퍼 에지 근처에서의 결과적인 온도 변화는 에지 근처에서 열 스트레스를 일으키며, 그리고 이러한 스트레스는 전체 웨이퍼 스트레스의 원인이 된다. 만일 전체 스트레스가 실리콘의 온도-의존성 항복 스트레스를 초과하면, 실리콘 내에 결함들이 생성될 것이다. 또한, 항복 스트레스를 넘는 총 스트레스가 커질수록, 결함 크기의 성장률이 더 커진다. 따라서, 이러한 강화된 가열 또는 냉각으로부터 웨이퍼 에지를 보호하고, 이로써 에지 스트레스를 감소시키는 것은, 결함이 없고 결함이 제한되는 웨이퍼 처리 모두에 있어서 중요하다.

웨이퍼 캐리어의 제 3의 기능은 가열 캐비티의 내부에 대한 공간적으로 보다 균일한 열 부하를 주는 것이다. 웨이퍼를 가열하는 데에 필요한 많은 에너지는, 웨이퍼가 캐비티 내에 삽입될 때 가열 캐비티 또는 캐비티 벽들의 열 용량으로부터 얻어진다. 결과적으로, 웨이퍼에 인접하는 캐비티 벽들은 약간 냉각될 수 있다. 만일 단지 하나의 웨이퍼가 캐비티 내에 삽입

된다면, 이는 캐비티 벽들의 꼭대기 및 바닥에 웨이퍼의 형상과 일치하는 냉각 지점을 형성할 것이다. 이 지점 바깥의 캐비티 벽들은 보다 높은 온도로 유지될 것이며, 이에 따라 웨이퍼 에지 근처에 약간 더 높은 웨이퍼 온도를 발생시킬 것이다. 웨이퍼의 처리를 위해서는 매우 균일한 웨이퍼 온도가 최적이기 때문에, 이러한 상황은 바람직하지 않다. 캐비티 벽들이 이렇게 국부적으로 냉각되는 것을 피하기 위해, 웨이퍼 캐리어의 형상은 캐비티의 평면 형상과 같게 만들어지고, 캐리어의 면적 열용량(두께 × 비열)과 방사율은 웨이퍼의 것들과 일치하도록 선택된다. 예를 들어, 웨이퍼 캐리어는 웨이퍼 캐리어는 웨이퍼의 4의 인수 이내의 두께를 갖는 평탄한 시트가 될 수 있다. 이 시트는 중심에 작은 구멍을 가질 수 있는데, 여기에서 웨이퍼는 작은 평거들 또는 다른 에지 서포트에 유지된다. 웨이퍼 캐리어는 웨이퍼 에지를 넘어 적어도 캐비티 높이의 1/2과 같은 거리를 확장할 수 있다(즉, 웨이퍼를 갖는 웨이퍼 캐리어의 직경은 적어도 웨이퍼의 직경과 캐비티의 높이를 더한 것과 같다). 이러한 방법으로, 캐리어에 인접하는 캐비티 벽들은 웨이퍼에 인접하는 것들과 동일한 온도 강하를 겪으며, 그리고 웨이퍼와 캐리어가 캐비티 내에 삽입될 때 캐비티 벽들과 웨이퍼 양쪽 모두의 온도는 보다 균일하게 유지된다.

도 6A 및 6B는 예시적인 슬립 링을 나타낸다. 도 6A는 제 2 실시예에 따라 열 처리기에서 본 발명의 특징들을 테스트하는데에 이용되었던 간단한 슬립 링(602)의 하부도이며, 도 6B는 (A-A를 따라 자른) 부분적인 측단면도이다. 이러한 링은 불투명한 석영으로 제조되었으며 매우 얇고 용량이 작다. 링(602)은 웨이퍼(604)가 공정 챔버 내에 삽입되기 전에 그 웨이퍼(604)의 꼭대기에 놓여지며, 웨이퍼가 가열되는 동안 공정 챔버 내에 남겨진다. 처리 후, 그 꼭대기 에지에 둘러싸고 유지되는 링(602)을 갖는 웨이퍼(604)는 맷선 테크놀러지 인코포레이티드로부터 제조되는 Aspen II 웨이퍼 이송 로봇을 이용하여 챔버로부터 꺼내어진다. 슬립 링이 존재하기 때문에, 웨이퍼의 에지는 웨이퍼의 내부와 거의 동일한 비율로 냉각된다. 이러한 구성에 의해 수행된 테스트 결과에 대해서는 하기에서 더 설명된다.

도 7A 및 도 7B는 다른 예시적인 슬립 링을 도시한다. 도 7A는 본 발명의 예시적인 실시예들에서 웨이퍼 캐리어의 일부로서 이용될 수 있는 슬립 링(702)의 평면도이며, 도 7B는 부분적인 측단면도이다. 슬립 링(702)은 웨이퍼 이송 로봇의 엔드 이펙터와 연결하는 브래킷(bracket)(704)을 포함하여, 웨이퍼(706)가 챔버로 삽입되고 인출되기 전에 그 에지에 단단하게 고정될 수 있게 한다. 이에 의해, 웨이퍼는 삽입 그리고/또는 제거를 위해 고속으로 신속히 가속될 수 있다. 링(702)은 웨이퍼(706)에 부착되며, 웨이퍼가 챔버에 삽입되기 전에, 링의 2개의 반의 단부에서의 브래킷들(704)은 고정된다. 고정될 때 웨이퍼의 크기 및 형상은 (처리 챔버 내에서 고온에 이르렀을 때) 웨이퍼의 팽창을 위한 약간의 여지(room)를 남기도록 이루어짐으로써, 링의 안쪽을 채우고 웨이퍼가 링에 대해 팽창될 때 링 내에 타이트하게 유지될 수 있도록 된다. 도 7A에 도시된 바와 같이, 웨이퍼는 단지 몇 개의 포인트들(예를 들어, 712는 아니고, 708 및 710)에서 슬립 링과 컨택한다. 도 7B는 웨이퍼(706)와 컨택하는 포인트에서의 링(702)의 단면도를 도시한다. 도 7A 및 7B에서 714로 나타낸 바와 같이, 슬립 링의 내부 에지는 웨이퍼의 바깥쪽 에지를 넘어 연장된다. 따라서, 이 링은 높은 온도에서 웨이퍼 에지와 우수하게 주위에 순응하게 되며, 이에 따라 제거할 때가, 높은 가속이 필요한 때이다. 따라서, 링은 고온일 때 및 그에 따라 높은 가속도가 요구되는 인출시에, 웨이퍼의 에지와 주변에 있어서 딱 일치하게 된다.

공정의 완료시 웨이퍼를 꺼내기 위해, 로봇의 엔드 이펙터는 공정 챔버 내로 이동하고, 링의 소정의 쥐는 지점(grasping point)들은 지점은 엔드 이펙터에 대한 쥐는 부착물에 의해 래치된다.

도 8A는 본 발명의 예시적인 실시예에 따른 일반적으로 800으로 나타낸 기판 캐리어의 평면도이며, 도 8B는 부분적인 측단면도이다. 제 2 실시예에서 웨이퍼 캐리어는 웨이퍼 이송 로봇의 엔드 이펙터를 형성하는 데에 이용될 수 있다. 기판 캐리어는 슬립 링(702) 및 웨이퍼를 지지하기 위한 지지 암들(802 및 804)을 갖는다. 설명의 용이를 위해, 지지 암들(802, 804 및 806)과 컨택하는 슬립 링(702)의 부분 단면 만을 나타내었다. 지지 암들(802 및 804)의 단부들은 수신 브래킷들(704)을 확실하게 수용하도록 각각 808 및 810에서 노취(notch)된다. 또한, 구조(812)는 브래킷들(704)에 단단히 조이는 것을 돋고, 삽입 그리고/또는 인출을 위해 높은 가속도를 가능하게 한다. 기판 캐리어는 또한 엔드 이펙터(816)의 베이스를 위한 지지 샤프트(814), 및 구조(812)를 상승, 강하 및 고정시킬 수 있는 구조(812)를 위한 지지 샤프트(818)를 구비한다.

도 8B는 구조(812) 및 지지 암(804)의 부분적인 측단면도로서, 브래킷(704)에 단단히 조이기 위한 메커니즘을 나타낸다. 도 8B에 나타낸 바와 같이, 노취(820)가 지지 암(804) 내에 형성된다. 대칭적인 노취(822)는 구조(812) 내에 형성된다. 구조(812)가 브래킷(704) 상에 배치될 때, 2개의 노취들(820 및 822)은 슬립 링 및 웨이퍼의 삽입 그리고/또는 인출을 위해 브래킷(704)를 효과적으로 고정시킨다.

일단 쥐어지게 되면, 웨이퍼는 슬립 링에 의해 중력에 대해 횡방향 및 수직 방향 모두에 대해 단단히 지지되고, 공정 챔버의 슬릿 도어 개구(slit door opening)를 통해 그 표면에 평행하게 급속히 가속될 수 있다. 웨이퍼가 꺼내지면, 웨이퍼와 링은 거의 같은 비율로 냉각되며, 이에 따라 웨이퍼는 링에 의해 제공되는 열 차폐물에 의해 그 에지에서 과도한 냉각을 받는 것이 억제된다. 링의 내부 에지의 완전한 원형의 결여에 의해 복수의 개별적인 지점들을 제외하고 에지를 접촉하지 않으면

서, 링은 웨이퍼의 에지를 위한 열 차폐물을 제공한다(단면을 위한 도 7B 참조). 실리콘의 열 팽창 계수가 석영, 실리콘 카바이드 또는 그래파이트 보다 크기 때문에, 이러한 원형의 결여 및 링을 갖는 웨이퍼의 컨택 포인트들의 제한된 수는, 냉각될 때 조차도, 웨이퍼를 단단하게 고정시키는 수단이 된다. 링은 또한 실리콘으로 제조될 수 있지만, 이는 컨택 포인트들에서 슬립 링과 웨이퍼를 컨택 웰딩(contact welding)시키는 문제를 일으킬 수 있다. 웨이퍼가 공정 영역으로부터 제거되면, 이는 냉각되고 수축되는 바, 이러한 수축은 슬립 링으로부터 그 주위의 대부분을 따라 수축되게 한다. 하지만, 슬립 링의 약간의 휘어짐 및 원형의 결여는, 컨택 포인트들에서 웨이퍼의 에지와의 확실히 접촉을 계속 유지하면서, 링이 (원형이 아닌) 그 초기 형상 쪽으로 "다시 휘어지게 한다(spring back)". 일단 웨이퍼가 공정 챔버로부터 완전하게 빠져나오고 약간 냉각되면, 웨이퍼는 링에 대해 약 1mm 정도 수축되며, 슬립 링의 두 개 (또는 그 이상의) 부분들을 단단히 조이지 않기 위해, 요구되는 힘이 감소된다. 링은 고정이 풀리고 웨이퍼로부터 분리되어, 후속 웨이퍼에 대해 재이용될 수 있다. 이러한 링(들)은 매우 청정한 환경의 공정 시스템의 웨이퍼 취급 영역에 유지되어, 오염 물질 및 미립자가 없는 상태를 유지한다.

도 9A는 다른 예시적인 실시예에 따른, 일반적으로 900으로 나타낸 기판 캐리어의 측단면도이며, 도 9B는 평면도이다. 기판 캐리어는 노취된 단부(904)를 갖는 2개(또는 아마도 그 이상)의 좁은 라드들(902)을 이용하여, 로드 록으로부터 가장 멀리 있는 웨이퍼(910)의 에지를 잡는다. 이 라드들은 석영, 실리콘 카바이드 또는 다른 비오염성의 고온 물질을 포함한다. 기판 캐리어는 또한 웨이퍼(910)의 반대쪽 에지를 잡기 위한 노취(906)를 갖는다. 라드들은 (수인치 떨어져 있는 것과 같이) 몇인치 떨어져 있고, 그들이 엔드 이펙터의 베이스로부터 웨이퍼의 아래로 통과하는 길이를 갖고, 이들이 웨이퍼를 잡을 수 있도록 노취되는 웨이퍼의 원단측(far side)에 이르게 된다. 이러한 라드들은 단지 그 에지 상의 한 포인트에서만 웨이퍼를 잡을 수 있도록 수축되어, 물체들 간의 할伟大复兴(scraping) 또는 문지름(rubbing) 컨택에 의해 야기되는 미립자 발생을 최소화한다. 최소의(~1mm) 두께 및 높이가 약 6mm 또는 그 보다 약간 큰 원형 밴드의 다른 독립적인 부재(908)이 있는 바, 이는 둑글고, 웨이퍼 보다 약간 큰 직경을 가지며, 웨이퍼의 에지의 바로 바깥쪽에 위치하며, 이에 의해 방사 차폐물 또는 "슬립 링"의 역할을 한다. 이것은, 웨이퍼 에지에 결정학적 슬립을 야기시킬 수도 있는, 웨이퍼의 에지에서의 과도한 급속 방사 냉각을 방지한다. 웨이퍼 캐리어는 또한 라드들 및 엔드 이펙터를 위한 베이스 플레이트(914)의 이동을 제어하기 위한 액츄에이터 플레이트(912)를 갖는다.

상기의 설명은 본 발명의 몇 개의 가능한 예시적인 실시예들을 예시한 것이다. 하지만, 본 발명은 상기 설명된 특정한 프로세서 설계들 및 동작 파라미터에 한정되지 않는다.

오히려, 본원에서 설명되는 일반적인 원리들은 모든 다양한 프로세서 구성 및 공정에 적용될 수 있다. 하기에서는, 플라스틱 변형을 예측 및 제어하는 데에 이용될 수 있는 일반적인 원리 및 관계가 설명된다. 특히, 반도체 기판에 대한 삽입 및 인출 속도는 하기에 설명되는 방정식들에 따라 선택되어, 다양한 공정과 기판 타들 및 크기에 대해, 광범위한 프로세서 구성에 있어서의 플라스틱 변형 결합들을 제한 또는 방지할 수 있다.

소정 온도에서의 웨이퍼의 전체 스트레스가 그 온도에서의 항복 스트레스를 초과할 때 마다, 실리콘 웨이퍼 내에 결함들이 생성된다. 따라서, 결함이 없는 웨이퍼 처리를 위해서는, 순간의 전체 스트레스가 온도 의존성의 항복 스트레스를 결코 초과해서는 안된다. 결함 발생을 제한하기 위해, 최종 결함 크기는 항복 스트레스를 넘는 전체 스트레스의 초과량에 비례하고, 항복 스트레스가 초과되는 시간에 비례하여 성장한다. 따라서, 웨이퍼 처리의 결함을 제한하기 위해, 항복 스트레스가 초과될 수 있지만, 초과 스트레스의 존속기간 및 크기는 수용 가능한 길이의 결합들 만이 생성될 수 있도록 충분히 작아야 한다.

실리콘의 항복 스트레스는 인터스티셜(interstitial) 및 응결(precipitated) 산소의 농도 뿐 아니라 온도에 강하게 의존한다. 도 10에 나타낸 바와 같이, 온도가 600°C 부터 1200°C까지 증가할 때, 임계 전단 스트레스는 약 2의 인수의 크기 만큼 감소된다. 5개의 실선은 2로부터 20ppm까지의 응결 산소의 농도 증가가 항복 스트레스를 1의 인수의 크기 만큼 감소시킬 수 있음을 나타낸다. 도 10에 나타내 바와 같이, 온도 의존성 항복 스트레스는 하기의 방정식 1에 의해 근사될 수 있다:

$$\sigma_y = \frac{516}{1 + 12 \left[\frac{O}{p} \right]} e^{-T/100}$$

여기서 항복 스트레스는 GPa로 주어지고, 온도는 켈빈 온도이며, 그리고 응결 산소의 농도 [Qp]는 ppm이다.

실리콘 웨이퍼 내에서의 전체 스트레스는 다음과 같은 2개의 주요한 원인에 의해 발생한다:

(1) 웨이퍼 중량 및 지지 기하 구조에 의한 중력 스트레스; 및

(2) 웨이퍼를 상에서의 온도 변화에 의한 열 스트레스.

이러한 스트레스들은, 원하는 삽입 속도와 인출 속도를 인출 결정하기 위해, 광범위한 노의 온도, 삽입 속도 및 인출 속도, 웨이퍼 직경 다른 동작 파라미터를 위한 차분수 방법(finite difference numerical method)을 이용하여 계산된다. 하기의 근사는 다양한 예시적인 실시예들에 대한 원하는 속도를 결정하는 데에 유익한 스케일링 가이드라인(scaling guideline)의 비교적 간단한 세트를 제공한다.

중력 스트레스는 웨이퍼 직경의 제곱에 비례하여 성장하며, 웨이퍼 두께에는 반비례한다. 이러한 스트레스는 또한 웨이퍼 지지의 기하 구조에 의존하지만, 웨이퍼의 온도와는 무관하다. 웨이퍼 상의 임의의 지점에서의 최대 중력 스트레스는 하기의 방정식 2에 나타낸 바와 같이 표현된다:

$$\sigma_e = \sigma \cdot \frac{d^2 \rho g}{t}$$

여기서, d는 웨이퍼의 직경이며, ρ 는 실리콘의 밀도이고, g는 중력 상수이며, t는 웨이퍼의 두께이고, σ^* 는 웨이퍼 지지 기하구조의 세부사항에 의존하는 1차수의 상수이다. 본원의 참조로서 인용되는, 1998년 스테와트 케이. 그리프스와 로버트 에이치. 널슨에 의해 발표된 '얇은 고체 필름들(Thin Solid Films)', 315,286을 참조하라. 웨이퍼 두께는 웨이퍼 직경의 증가에 따라 단지 약간 증가하기 때문에, 중력 스트레스는 웨이퍼 크기의 증가에 따라 급속하게 증가한다. 중력 스트레스는, 150mm 웨이퍼에 대해서는 일반적으로 무시해도 좋을 정도로 작고; 200mm 웨이퍼에 대해서는 일반적으로 작지만, 무시 할 수 있을 정도의 열 스트레스는 아니며; 그리고 300mm 및 그 이상의 웨이퍼에 대해서는 열 스트레스와 같거나 심지어는 초과한다.

예시적인 실시예들에서 열 스트레스는 다음과 같은 2개의 원인들로부터 발생하는 것으로 분류될 수 있다: (1) 웨이퍼가 캐비티 내에 삽입되거나 그로부터 인출될 때 웨이퍼의 선두 에지와 후미 에지 간의 온도차; 및 (2) 열 전달에 이용가능한 영역의 증가에 기인하는 웨이퍼 에지의 선택적인 가열 또는 냉각으로 인한 온도차. 이러한 두 가지의 분류에 있어서, 웨이퍼로부터 또는 웨이퍼로의 열 전달은 캐비티 또는 주위의 환경과의 방사 교환에 의해 지배되며, 이에 따라 웨이퍼 상의 온도 차는 웨이퍼 또는 캐비티의 온도에 매우 강한 의존성을 나타낸다.

웨이퍼 에지 및 관련 에지 스트레스의 선택적인 가열 또는 냉각은 일반적으로 삽입 속도와 인출 속도, 그리고 캐비티 및 그 입구의 세부적인 기하 구조에 의존한다. 하지만, 일단 속도가 수십 m/s를 넘으면, 에지 스트레스는 최대값에 이르게 되며, 이후 웨이퍼 속도 및 캐비티의 기하 구조에 의존하지 않게 된다. 이러한 제한에 있어서, 에지 냉각으로 인한 최대 스트레스는 하기의 방정식 3의 관계에 의해 근사화될 수 있다:

$$\sigma_e = \frac{\alpha E}{12} \frac{[\varepsilon \gamma T^{\delta} t]}{[2k]}^{1/2}$$

$$E = \frac{1}{0.0077 + 1.49 \times 10^{-6} E^{7/136}} \quad k = \frac{88700}{T^{1.15}}$$

여기서 α 는 실리콘의 열 팽창 계수이며, E(GPa)는 온도-의존성 탄성적인 영률이고, ε 은 웨이퍼의 방사율이며, γ 는 스텐판-볼쓰만 상수이고, k (W/mK)는 실리콘의 온도-의존성 열 전도도이며, 그리고 T는 노(웨이퍼)의 (켈빈) 온도이다. 도 11은 도 10으로부터의 항복 스트레스와 함께 계산된 에지 스트레스의 플롯을 나타낸다. 도 11에 나타낸 바와 같이, 에지의 냉각으로 인한 스트레스는 약 800°C의 캐비티 온도에서 상당해진다. 900°C를 훨씬 넘는 캐비티 온도에서는, 오로지 에지의 냉각에 의한 스트레스가 항복 스트레스를 초과함으로써, 웨이퍼에 결함을 생성한다. 따라서, 결함이 없는 처리의 경우, 에지의 냉각으로부터 비롯되는 스트레스는, 바람직한 웨이퍼 처리 온도가 높을 때 에지의 냉각 및 가열을 완화시키는 어떠한 수단에 의해 감소되어야 한다. 이 때문에, 본 발명의 예시적인 실시예들은 주변 링(circumferential ring) 또는 웨이퍼 캐리어를 이용하여, 웨이퍼 단부를 과도한 방사열 전달로부터 보호한다.

웨이퍼의 선두 에지와 후미 에지 간의 온도차는, 웨이퍼가 삽입 및 인출되는 동안, 표면들이 높은 챔버 온도와 그 주변의 보다 주변 온도에 모두 노출된다는 사실로부터 야기된다. 이는 웨이퍼의 선두 에지와 후미 에지 간에 비선형적인 온도차를 일으킴으로써, 일반적으로 웨이퍼가 캐비티 내로 또는 캐비티로부터 거의 중간에 있을 때 최대 스트레스를 발생시킨다. 이러한 최대 스트레스의 위치는 웨이퍼의 에지를 근처에 있을 것으로 그리고 웨이퍼 이동축으로부터 45도 벗어날 것으로 기대된다. 피크 스트레스의 크기는 하기의 방정식 4에 의해 근사될 수 있다:

$$\sigma_{rw} \approx \frac{\alpha E}{8} \frac{\varepsilon \gamma T^4}{\rho c t} \frac{d}{U}$$

여기서 U는 삽입 또는 인출 속도이다. 이러한 관계로부터, 삽입 및 인출 속도를 증가시키는 것이 최대 열 스트레스를 감소시키며, 그에 따라 결함을 제한한 처리가 선호될 때, 결함이 없는 웨이퍼 처리 또는 결함의 밀도 및 길이를 제어하는 것이 유익하다는 것이 분명하다.

결함이 없는 웨이퍼 처리에 있어서, 중력과 열 스트레스의 합은, 웨이퍼가 삽입 또는 인출될 때, 웨이퍼의 온도 이력 전체를 통해 실리콘의 항복 스트레스 보다 작아야 한다. 하지만, 실리콘의 항복 스트레스는 높은 온도에서는 심하게 감소되기 때문에, 결함들은 항상 웨이퍼가 캐비티로부터 인출될 때 최초로 발생되며, 다른 모든 것은 동일하다. 따라서, 만일 결함이 없는 처리를 위한 바람직한 온도가 인출 속도에 기초하는 경우, 이러한 속도는 또한 삽입 시에 결함 발생을 피하는 데에도 충분할 것이다. 따라서, 결함이 없는 처리에 있어서, 바람직한 삽입 및 인출 속도는 하기의 방정식 5에서 나타낸 바와 같이 상기 관계의 결합에 의해 근사화될 수 있다:

$$U = \frac{\frac{\alpha E}{8} \frac{\varepsilon \gamma T^4}{\rho c t} d}{\frac{516 \times 10^9}{1 + 1.2 \left[O_p \right]} e^{-T/111} - \frac{\alpha E}{12} \frac{\left[\varepsilon \gamma T^5 t \right]^{1/2}}{\left[2k \right]} - \sigma^* \frac{d^2 \rho g}{t}}$$

이러한 관계로부터, 결함이 없는 웨이퍼 처리를 위한 바람직한 삽입 및 인출 속도는 노의 온도, 웨이퍼 직경 및 두께, 실리콘의 강도 및 다른 특성, 중력 상수 및 웨이퍼 표면의 방사율에 의존한다는 것을 알 수 있다.

웨이퍼가 잘 지지됨과 동시에 웨이퍼 에지들이 선택적인 가열 및 냉각으로부터 보호되는 경우, 바람직한 삽입 속도는 웨이퍼의 직경에 비례하여 증가하며, 웨이퍼의 두께에는 반비례한다. 또한, 바람직한 속도는 캐비티 온도의 증가에 따라 매우 급속하게 증가한다. 고온에서, 이는 하기의 방정식 6에 의해 근사화될 수 있다:

$$U \alpha \frac{d}{t} T^4 e^{T/604}$$

비록 이러한 관계는 웨이퍼 속도를 한층 더 증가시킴으로써 보다 높은 캐비티 온도 또는 보다 많은 웨이퍼가 항상 결함이 없는 방식으로 처리될 수 있음을 나타내기는 하지만, 이것은 실제로는 그렇지 않다. 에지 냉각 스트레스 및 중력 스트레스는 항상 어느 정도 존재하며, 이것들은 결국 바람직한 웨이퍼 속도의 무한값을 야기한다. 이 점에 있어서, 결합된 에지와 중력 만이 실리콘의 항복 스트레스의 평형을 유지하고 있을 때, 바람직한 속도는 제한없이 증가한다. 이것은 도 12에 나타나 있는 바, 여기에서 결함이 없는 처리에 대해 계산된 근사치의 바람직한 인출 속도가 캐비티 온도의 함수로서 나타나 있다. 한 경우에 있어서 웨이퍼 에지로부터의 방사 손실을 없애기 위해 에지 스트레스가 캐리어 또는 렉에 의해 억제된다는 것을 제외하고, 여기에 나타낸 2개의 곡선들은 동일한 조건들에 대한 것이다. 하기의 표 5는 다양한 온도에서 에지가 보호되거나 또는 보호되지 않는 인출 임계 속도들을 요약하고, 웨이퍼가 온도차에 노출되는 대응 시간을 나타낸다.

[표 5]

에지가 보호되는 경우			에지가 보호되지 않는 경우	
온도 [°C]	속도 [m/s]	시간 [s]	속도 [m/s]	시간 [s]
600	0.02	10.00	0.02	10.00
700	0.05	4.00	0.06	3.33
800	0.12	1.67	0.14	1.43
900	0.24	0.83	0.36	0.56
1000	0.43	0.46	1.09	0.18
1100	0.72	0.28	---	---
1200	1.16	0.17	---	---

에지 보호는 1050°C의 캐비티 (웨이퍼) 온도에서 결함이 없는 처리를 위한 바람직한 속도를 약 3의 인수 만큼 줄인다.

도 12에 나타낸 심볼들은, 공정 챔버를 2-3 통과하는 200mm 웨이퍼들을 이용하여 몇 개의 테스트가 수행되는 조건들을 나타낸다. (#1 및 #2로서 나타낸) 2개의 웨이퍼들에 대한 이러한 테스트의 결과는 도 13A 및 13B에 나타내었다. 도 13A는 낮은 온도에서의 인출 이후 2개의 웨이퍼에 대한 결함 프로파일을 나타낸다. 도 13B는 보다 높은 온도에서의 인출 이후 2개의 웨이퍼에 대한 결함 프로파일을 나타낸다. 이러한 테스트 동안, 웨이퍼들의 주변은 슬립 링 또는 다른 열 차폐물에 의해 보호되지 않았다. 이러한 테스트의 결과는 낮은 속도(0.2m/s)에서의 인출이 3mm 이상의 길이까지 연장되는 많은 수의 라인 결함들을 야기시킴을 나타낸다. 속도가 약 0.3m/s 이상으로 증가하면, 이러한 긴 결함들은 사라진다. 이러한 긴 결함들은 웨이퍼의 선두 에지와 후미 에지 간의 온도차에 의해 야기되는 열 스트레스로부터 야기되기 때문에, 웨이퍼 속도가 증가함에 따라 덜 우세해진다. 이러한 테스트 결과의 해석은, 이러한 라인 결함들의 위치가 웨이퍼 이동축을 따른 온도 차에 의해, 계산된 최대 스트레스의 위치와 일치한다는 관찰에 의해 지지된다. 이러한 테스트들은 어떠한 에지 보호도 포함하지 않기 때문에, 에지 스트레스가 웨이퍼 주변 근처의 매우 작은 영역들로 한정된다는 예상에 기대에 모순되지 않게, 웨이퍼 속도를 증가시키게 되면 웨이퍼 에지를 따라 포인트 결함들의 발생을 약간 증가시킨다.

이러한 테스트들은 또한 도 6A 및 6B에 나타낸 슬립 링을 이용하여 행해진다. 슬립 링은 웨이퍼의 주변을 웨이퍼의 안쪽과 거의 동일한 비율로 냉각시키며, 이에 따라 관찰되는 슬립 링은 (가열 캐비티를 먼저 빠져나오고, 그에 따라 더 차가운) 웨이퍼의 선두 에지와 그의 후미 에지로부터의 온도차에 의해 생기는 스트레스에 전적으로 기인하는 것이었다.

이러한 구성을 가지고, 약 1100°C의 제거 이전의 온도를 갖는 200mm의 웨이퍼를 이용하여, 맷선 테크놀러지 인코포레이티드로부터 상업적으로 입수할 수 있는 ASPEN RTP 시스템에서 테스트를 행하였다. 도 5에 나타낸 것과 거의 동일한 노 구성을 이용하였다. ASPEN RTP 시스템과 이용되는 로봇의 통상의 속도는 약 0.2m/s이다. 가열 캐비티로부터의 웨이퍼 제거 속도가 통상 속도의 1½ 내지 통상 속도의 ¼인 양질의 실리콘을 이용하여, 3개의 연속적인 테스트를 행하였다.

약 0.1m/s 내지 약 0.3m/s의 웨이퍼 제거 속도에 대해, 웨이퍼들은 에지에서만, 그리고 이들이 RTP 챔버를 두 번 또는 그 이상 순환할 때에만 슬립 라인들을 나타내었다. 웨이퍼들은 매우 낮은 응결 산소 농도를 갖는 고품질이었다. 보다 응결된 산소를 갖는 웨이퍼들이 보다 많은 슬립을 나타낼 것이다. 이러한 속도들에서의 단일 가열 처리에 있어서, 웨이퍼들은 전형적으로 단지 웨이퍼의 최단부(very edge)에서만 포인트형 변위를 보였다. 이러한 포인트형 결함들은 단지 x-레지 회절로만 볼 수 있으며, 현미경으로는 볼 수 없다. 약간 더 낮은 웨이퍼 제거 속도(약 0.03m/s)에 대해, 웨이퍼 에지에서의 슬립 라인들은 현미경으로 볼 수 있었고, 웨이퍼가 RTP 챔버를 통해 한번 통과하는 것에 대해서 조차도 상당한 길이(>1cm)를 가졌으며 100의 인수의 크기인 것으로 발견되었다.

웨이퍼 에지 근처의 포인트 결함들은 웨이퍼로부터의 디바이스 수율(device yield)에 악영향을 주기 않기 때문에, 그리고 결함이 없는 처리가 항상 가장 실용적인 시도는 아니기 때문에, 제한된 결함들을 발생시키는 웨이퍼 삽입 속도와 인출 속도가 바람직하다. 이러한 시도에 있어서, 바람직한 웨이퍼 속도는 결함이 없는 처리에 대한 속도 보다 낮을 수 있으며, 결합된 중력 스트레스와 열 스트레스는 적어도 얼마의 시간 주기 동안 실리콘 항복 스트레스를 넘도록 허용된다. 이러한 조건들 하에서, 결함 길이의 성장률은 하기에 설명되는 바와 같이 추정될 수 있다.

웨이퍼가 매우 급속하게 냉각되고 결함 성장을 위한 뚜렷한 활성화 에너지가 매우 크기 때문에, 결함 성장에 이용가능한 시간은 거의 인출 시간이다. 이와 같이, 궁극적인 결함 길이는 하기의 방정식 7에 의해 근사될 수 있다:

$$l = \frac{bd}{U} (\sigma - \sigma_y) e^{-2666/T}$$

여기서, σ 는 결합된 열 및 중력 스트레스이고, $b=0.005\text{m/s/Pa}$ 는 관찰된 테스트 결과들에 대한 적당한 근사값을 제공한다. 따라서, 결합된 스트레스가 항복 스트레스를 꼭 넘었을 때, 기대되는 최대 결함 길이는 웨이퍼의 직경에 비례하고 웨이퍼의 인출 속도에는 반비례해야 한다. 결합된 스트레스가 항복 스트레스를 상당히 넘었을 때, 결함 길이는 하기의 방정식 8로 나타낸 바와 같이 변해야 한다:

$$l = \frac{\alpha E}{8} \frac{\varepsilon \gamma T^4}{\rho c t} \left(\frac{d}{U} \right)^2 b e^{-2666/T}$$

이러한 제한에 있어서, 결합 길이는 웨이퍼 직경의 제곱에는 비례하여 증가하고, 웨이퍼 속도의 제곱에는 반비례해야 한다. 따라서, 허용가능한 결합 길이의 소정의 선택에 대해, 이러한 관계(또는 상기 관계)는 대응하는 바람직한 웨이퍼 속도의 추정치를 얻을 수 있도록 반전될 수 있다.

도 14에서는, 3개의 공정 사이클을 겪는 200mm의 웨이퍼에 대해 계산된 결합 길이들을 캐비티의 온도 범위에 대한 웨이퍼 인출 속도의 함수로서 나타낸다. 웨이퍼 속도가 결합이 없는 처리에 대한 값 아래로 감소되면, 결합 길이들은 상당히 증가한다. 온도를 증가시키는 것 역시 결합 길이들을 급속히 증가시키는 바, 그 이유는 온도를 증가시키면, 항복 스트레스를 감소시키고, 변위의 확대를 위한 활성 에너지에 대해 분자 에너지를 증가시키기 때문이다. 하기의 표 6은 인출 속도와, 온도차에 노출되는 시간과, 그리고 1100°C, 1140°C 및 1180°C에서의 웨이퍼들에 대한 결합 길이들을 요약한다.

[표 6]

속도[m/s]	시간[s]	결합 길이[mm]		
		1100°C	1140°C	1180°C
0.2	1.00	0.40	0.87	1.65
0.4	0.50	0.06	0.14	0.32
0.6	0.33	0.01	0.02	0.10
0.8	0.25	—0—	0.01	0.03
1.0	0.20	—0—	—0—	0.01

도 14에 나타낸 심볼들은, 제 2 실시예에 있어서, 0.2 및 0.3m/s의 인출 속도 및 약 1100°C의 웨이퍼 온도에 대한 측정된 결합 길이들을 나타낸다.

상기의 설명으로부터, 당업자라면 본 발명의 본질적인 특성을 쉽게 이해할 수 있을 것이다. 상기 설명은 단지 본 발명을 예시한 것으로서, 본 발명을 한정 또는 제한하고자 한 것이 아니며, 본 발명의 범위는 하기의 청구항에 의해 규정된다.

도면의 간단한 설명

도 1은 본 발명의 제 1 예시적인 실시예를 나타낸 도면이다.

도 2A는 실리콘 웨이퍼의 플라스틱 변형을 실질적으로 막기 위해 제 1 실시예에 대해 비교적 높은 강도의 실리콘 웨이퍼의 삽입 및 인출에 대한 대략의 바람직한 임계 속도들을 나타낸 그래프이다.

도 2B는 실리콘 웨이퍼의 플라스틱 변형을 실질적으로 막기 위해 제 1 실시예에 대해 비교적 낮은 강도의 실리콘 웨이퍼의 삽입 및 인출에 대한 대략의 바람직한 임계 속도들을 나타낸 그래프이다.

도 3은 본 발명의 제 1 실시예에 대해, 전형적인 처리 주기 동안 반도체 웨이퍼의 계산된 온도 및 온도차를 나타낸다.

도 4는 제 1 실시예에 따라 노내에서의 플라스틱 변형을 실질적으로 막기 위해 200mm 및 300mm의 실리콘 웨이퍼들에 대한 바람직한 인출 임계 속도들을 비교한 그래프이다.

도 5는 본 발명의 제 2 실시예에서 이용될 수 있는 열 처리기의 측 단면도를 나타낸 도면이다.

도 6A 및 6B는 본 발명의 예시적인 실시예들과 함께 이용될 수 있는 슬립 링의 하부도 및 측단면도이다.

도 7A 및 7B는 본 발명의 예시적인 실시예들에 따라 기판 캐리어의 일부로서 이용될 수 있는 슬립 링의 평면도 및 부분적인 측단면도이다.

도 8A 및 8B는 도 7A 및 7B의 슬립 링과 관련하여 이용될 수 있는 본 발명의 예시적인 실시예에 따른 기판 캐리어의 평면도 및 부분적인 측단면도이다.

도 9A 및 9B는 본 발명의 예시적인 실시예에 따른 대안적인 기판 캐리어 및 슬립 링의 측단면도 및 평면도이다.

도 10은 응결 산소의 다양한 온도 및 레벨에서의 임계 전단 스트레스를 나타내는 종래 기술의 그래프이다.

도 11은 다양한 온도에서의 계산된 에지 스트레스들의 부가적인 플롯을 갖는, 도 10의 종래 기술의 그래프를 나타낸 도면이다.

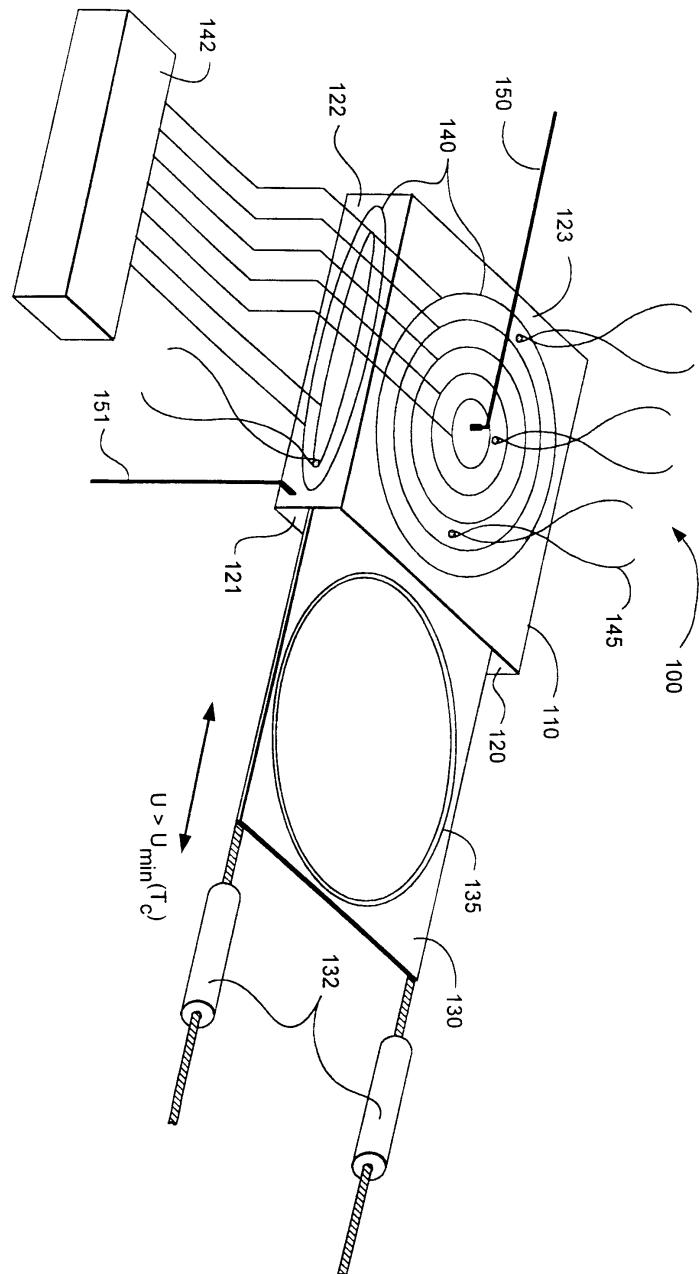
도 12는 에지 스트레스를 줄이기 위한 기판 캐리어 또는 슬립 링을 갖는 경우와 갖지 않는 경우 모두에 대해, 본 발명의 예시적인 실시예에서의 플라스틱 변형을 실질적으로 막기 위해 실리콘 웨이퍼에 대한 바람직한 인출 속도들을 비교하는 그래프이다.

도 13A 및 13B는 본 발명의 예시적인 실시예에서 에지 보호가 되지 않는 실리콘 웨이퍼의 다른 인출 속도들에 대해 관찰된 슬립 라인들의 수 및 길이를 나타낸 그래프이다.

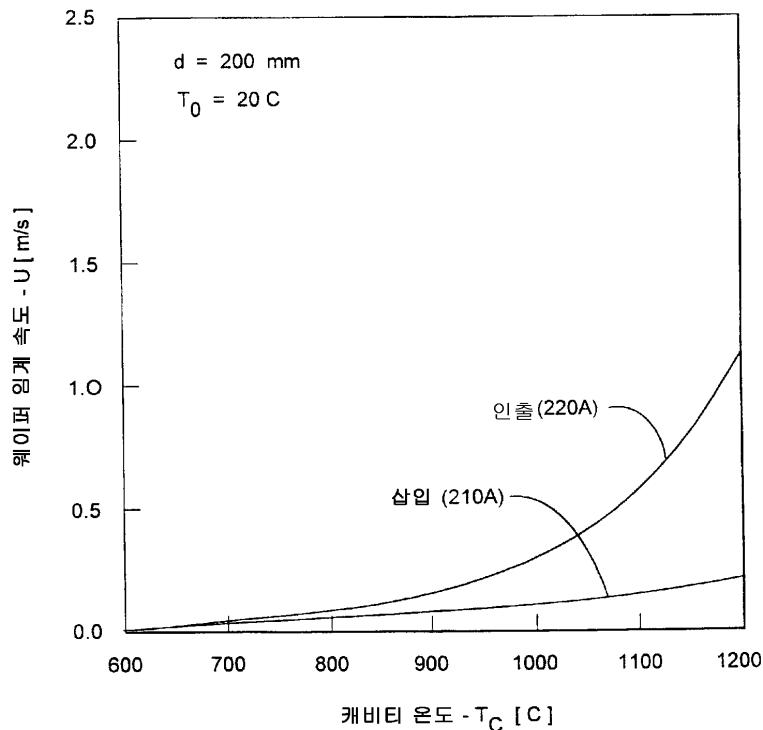
도 14는 본 발명의 예시적인 실시예에서 캐비티 온도들의 범위에 대한 인출 속도의 함수로서 3개의 처리 주기를 겪는 200mm 실리콘 웨이퍼에 대한 계산된 결합 길이들을 나타낸 도면이다.

도면

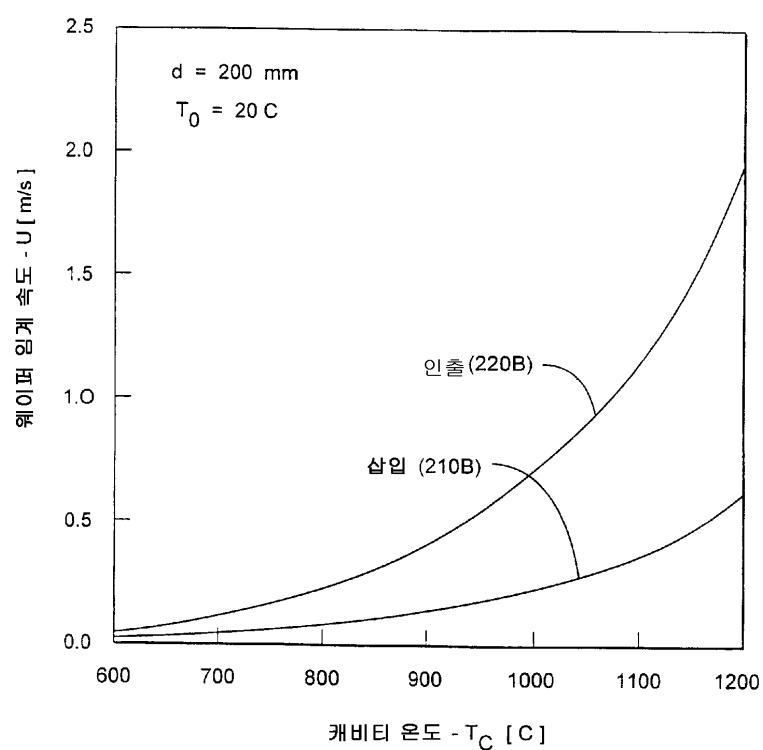
도면1



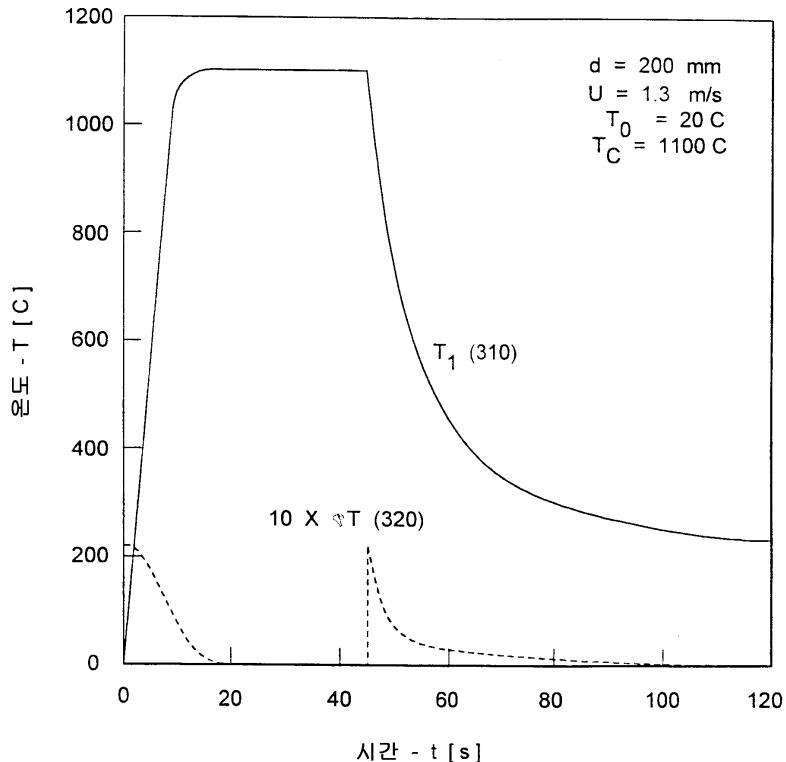
도면2a



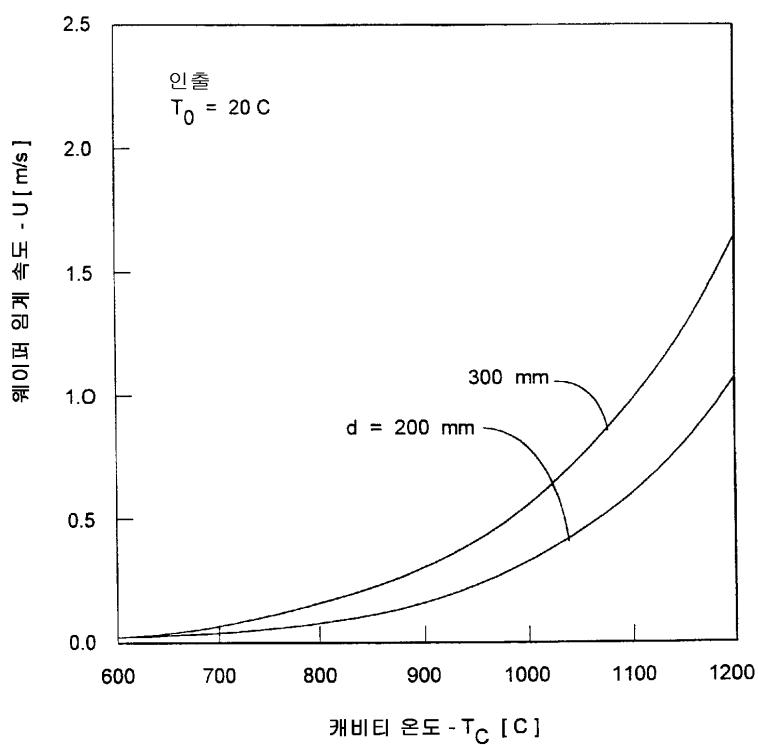
도면2b



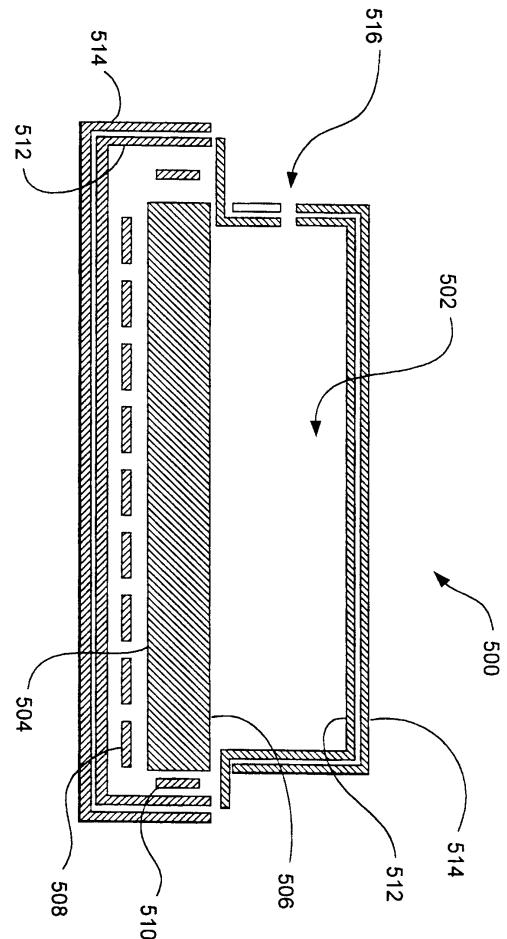
도면3



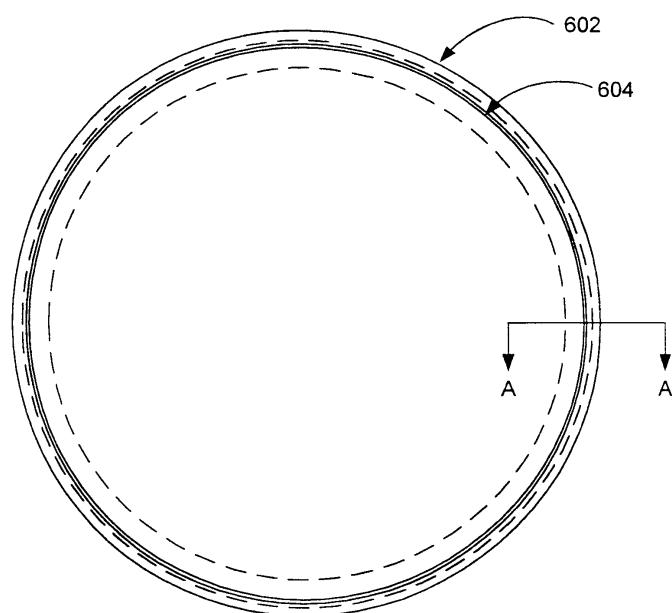
도면4



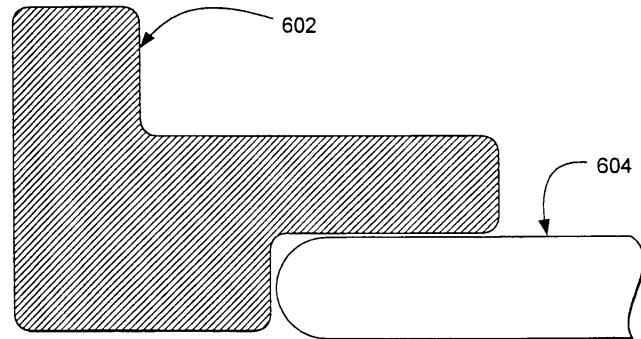
도면5



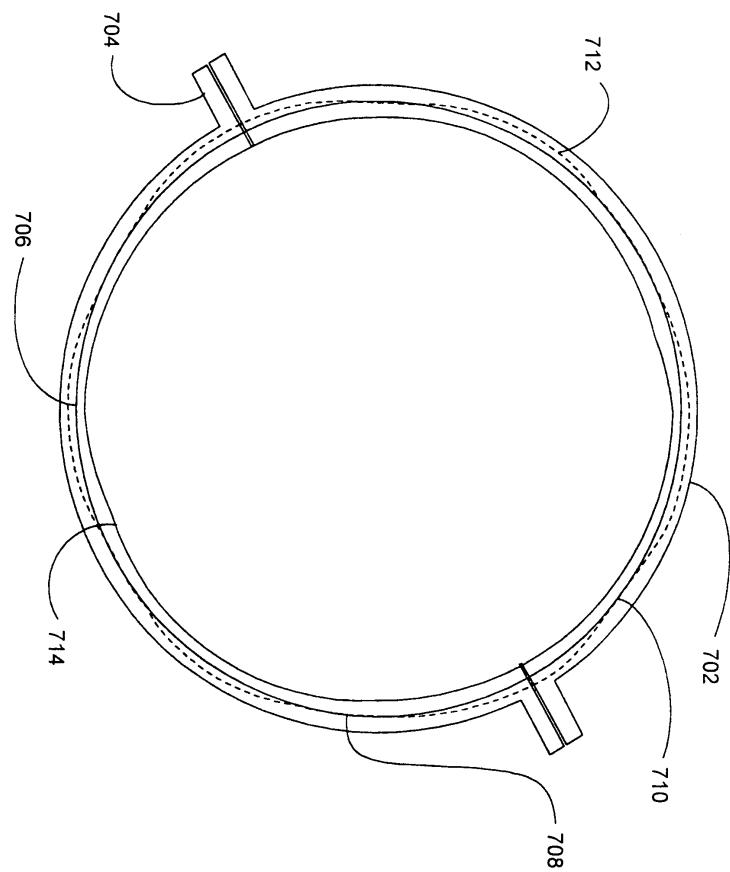
도면6a



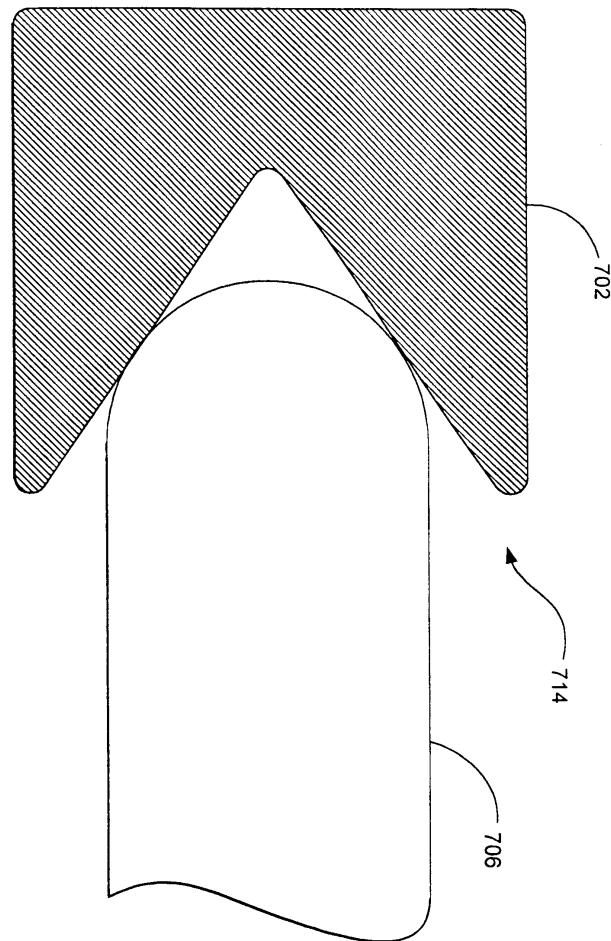
도면6b



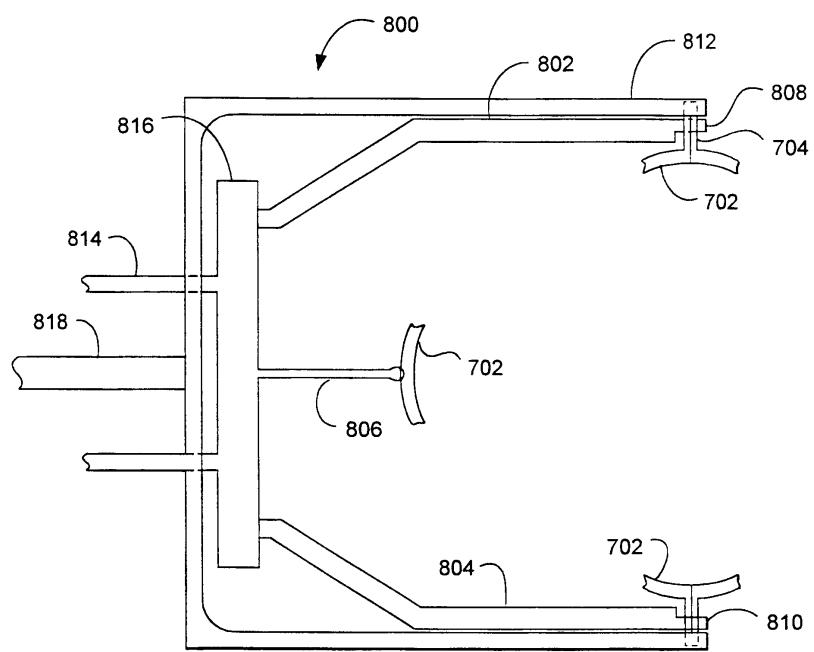
도면7a



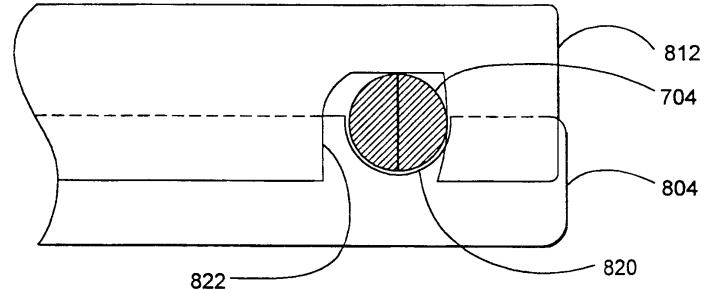
도면7b



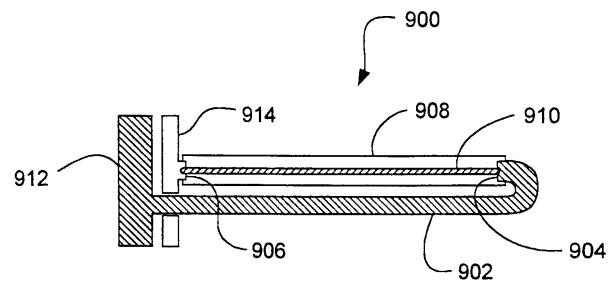
도면8a



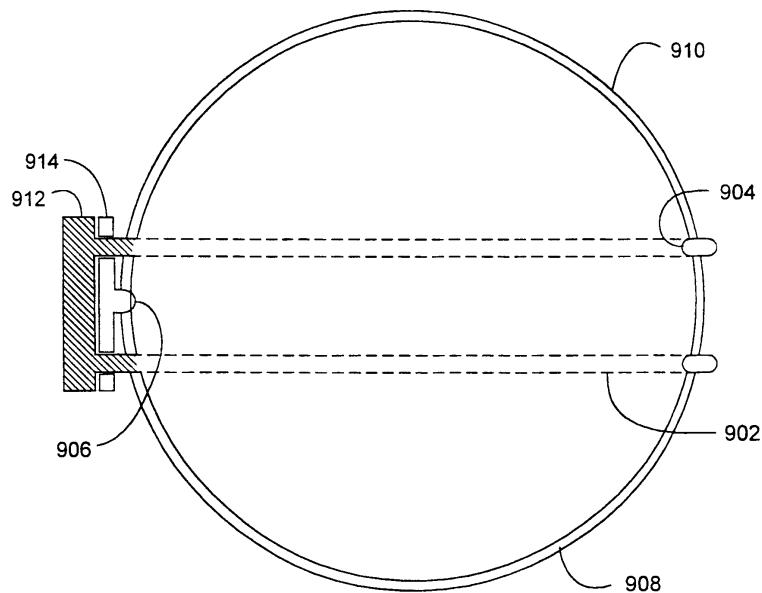
도면8b



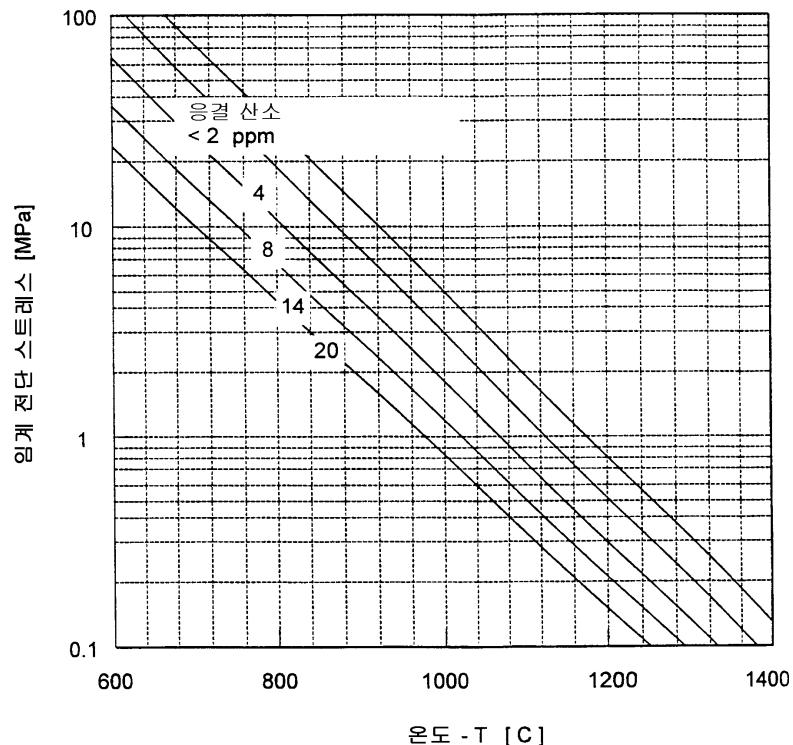
도면9a



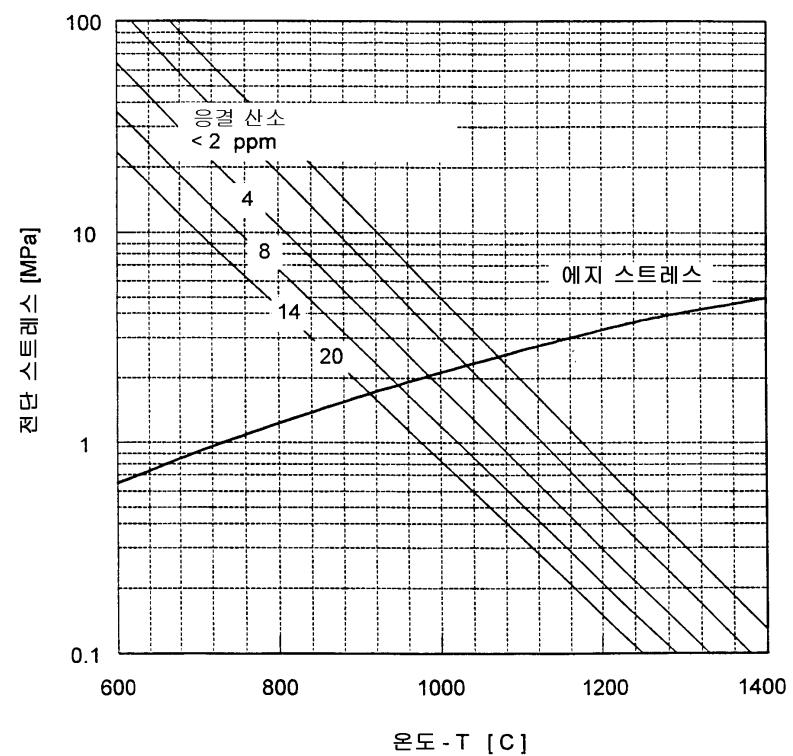
도면9b



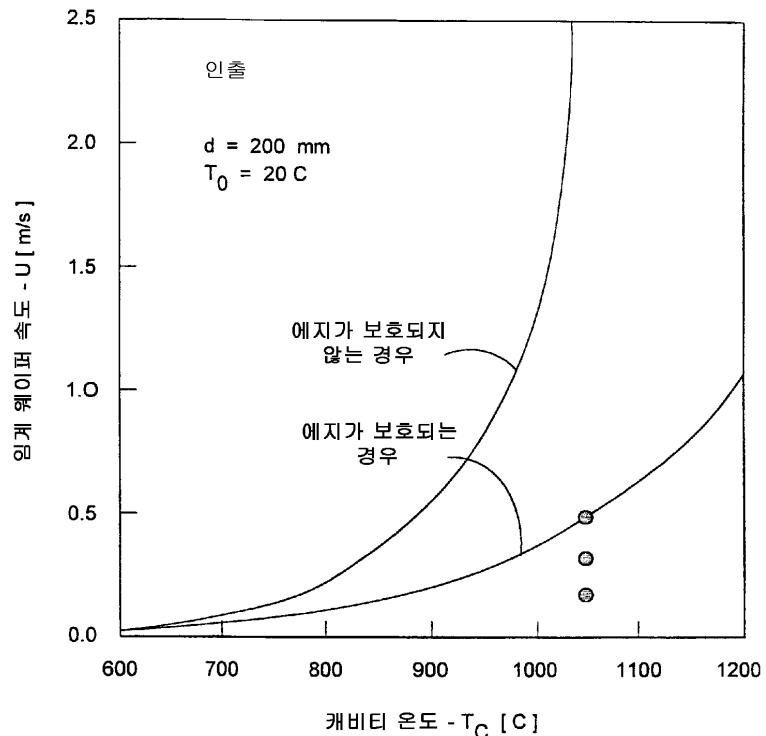
도면10



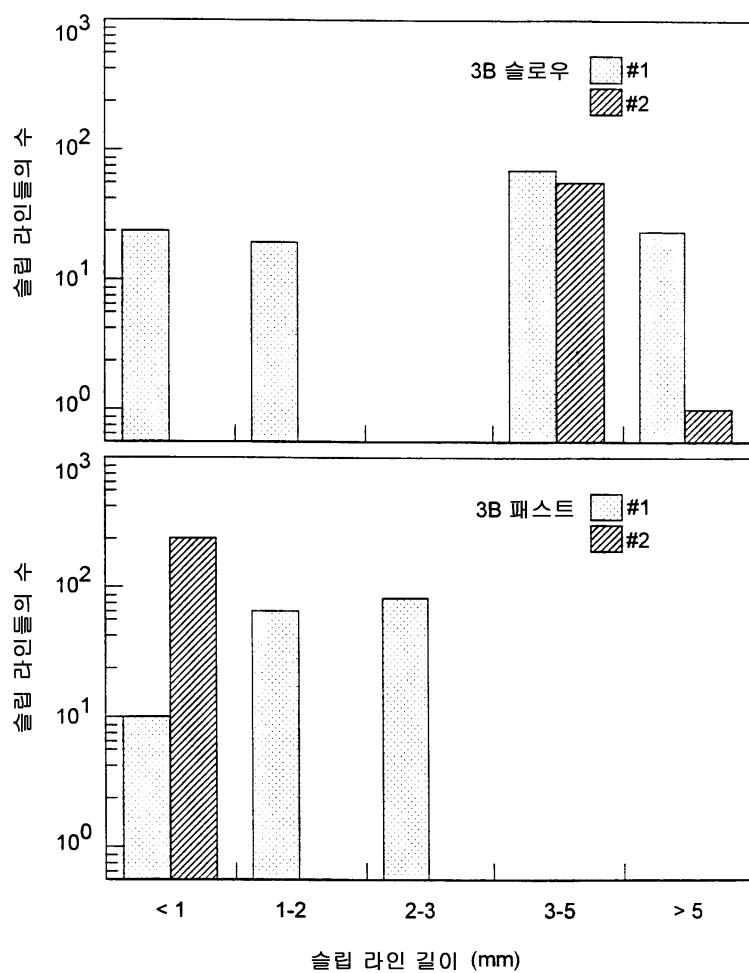
도면11



도면12



도면13a



도면14

