

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-65532  
(P2015-65532A)

(43) 公開日 平成27年4月9日(2015.4.9)

(51) Int.Cl.			F I			テーマコード (参考)
HO4N	5/378	(2011.01)	HO4N	5/335	780	2G188
HO3M	1/12	(2006.01)	HO3M	1/12	A	5C024
GO1T	1/17	(2006.01)	GO1T	1/17	G	5J022
HO4N	5/32	(2006.01)	HO4N	5/32		

審査請求 未請求 請求項の数 6 O L (全 25 頁)

(21) 出願番号 特願2013-197356 (P2013-197356)  
(22) 出願日 平成25年9月24日 (2013.9.24)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100089118  
弁理士 酒井 宏明  
(74) 代理人 100112656  
弁理士 宮田 英毅  
(72) 発明者 木村 俊介  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72) 発明者 舟木 英之  
東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

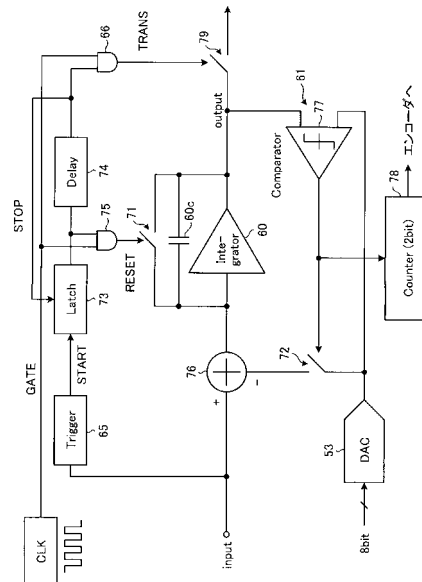
(54) 【発明の名称】 信号処理装置および信号処理方法

(57) 【要約】

【課題】 高計数率かつ高分解能な信号処理装置を提供する。

【解決手段】 電磁波に対応する電荷を蓄電する積分コンデンサと、積分コンデンサを放電する放電回路とを備え、電磁波に対応する電荷を積分処理する積分器に対して、積分期間設定部が、電荷を積分処理する積分期間を設定する。また、積分出力と所定の閾値とを比較する比較器と、積分出力の値が所定の閾値以上となった回数を、電荷のデジタルデータとして出力するカウンタとを備えたアナログ - デジタル変換器が、積分期間中において、積分出力の値が所定の閾値以上となっている間の、比較器の比較出力を放電回路に供給して、積分コンデンサを放電する。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

電磁波に対応する電荷を蓄電する積分コンデンサと、前記積分コンデンサを放電する放電回路とを備え、前記電磁波に対応する電荷を積分処理する積分器と、

前記積分器に対して、前記電荷を積分処理する積分期間を設定する積分期間設定部と、

積分出力と所定の閾値とを比較する比較器と、前記積分出力の値が前記所定の閾値以上となった回数を、前記電荷のデジタルデータとして出力するカウンタとを備え、前記積分期間中において、前記積分出力の値が前記所定の閾値以上となっている間の、前記比較器の比較出力を、前記放電回路に供給して、前記積分コンデンサを放電するアナログ - デジタル変換器と

を有する信号処理装置。

10

**【請求項 2】**

前記アナログ - デジタル変換器は、前記電荷のデジタルデータを生成するアナログ - デジタル変換処理を、前記積分器の積分処理と並行して行うこと

を特徴とする信号処理装置。

**【請求項 3】**

前記積分器は、前記電荷を蓄電する少なくとも 2 つの積分コンデンサと、前記各積分コンデンサの蓄電および放電を行う少なくとも 2 つの放電回路とを備え、

前記積分期間中において、前記比較器の比較出力が前記所定の閾値以上となる毎に、蓄電状態の積分コンデンサを放電状態に、放電状態の積分コンデンサを蓄電状態とするように前記各放電回路を制御することで、前記比較器の比較出力が前記所定の閾値以上となる毎に、前記放電状態の積分コンデンサを前記積分器に接続する放電制御回路を有することを特徴とする請求項 1 または請求項 2 に記載の信号処理装置。

20

**【請求項 4】**

前記積分器は、正の電荷を蓄電する積分コンデンサおよび負の電荷を蓄電する積分コンデンサを備え、

前記電磁波に対応する電荷から互いに極性が異なる正の電荷および負の電荷を生成して前記積分器に供給する差動変換部と、

前記各積分コンデンサと略同容量であり、正の電荷および負の電荷を蓄電するコンデンサと、

30

前記積分期間中において、前記比較器の比較出力が前記所定の閾値以上となる毎に、前記差動変換部から前記積分器に対して正の電荷を供給しているラインに対して、前記コンデンサに蓄電されている前記負の電荷を供給すると共に、前記差動変換部から前記積分器に対して負の電荷を供給しているラインに対して、前記コンデンサに蓄電されている前記正の電荷を供給することで、前記積分器に供給される電荷を相殺する電荷相殺回路と

を有することを特徴とする請求項 1 または請求項 2 に記載の信号処理装置。

**【請求項 5】**

前記比較器には、それぞれ値の異なる少なくとも第 1 の閾値および第 2 の閾値が設定されており、前記第 1 の閾値と前記積分出力とを比較し、前記積分出力の値が前記第 1 の閾値以上の値となった後に、前記第 2 の閾値と前記積分出力とを比較する比較処理を行うこと

40

を特徴とする請求項 1 から請求項 4 のうち、いずれか一項に記載の信号処理装置。

**【請求項 6】**

電磁波に対応する電荷を蓄電する積分コンデンサと、前記積分コンデンサを放電する放電回路とを備え、前記電磁波に対応する電荷を積分処理する積分器に対して、積分期間設定部が、前記電荷を積分処理する積分期間を設定する第 1 ステップと、

積分出力と所定の閾値とを比較する比較器と、前記積分出力の値が前記所定の閾値以上となった回数を、前記電荷のデジタルデータとして出力するカウンタとを備えたアナログ - デジタル変換器が、前記積分期間中において、前記積分出力の値が前記所定の閾値以上となっている間の、前記比較器の比較出力を、前記放電回路に供給して、前記積分コンデ

50

ンサを放電する第2ステップと  
を有する信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、信号処理装置および信号処理方法に関する。

【背景技術】

【0002】

今日において、フォトンカウンティング (Photon Counting) 方式の検出器を用いたフォトンカウンティングCT装置 (CT: Computed Tomography) が知られている。フォトンカウンティング方式の検出器は、積分型の検出器と異なり、被検体を透過したX線光子を個々に計数可能な信号を出力する。従って、フォトンカウンティングCT装置は、SN比 (signal to noise ratio) の高いX線CT画像の再構成が可能となる。

10

【0003】

また、フォトンカウンティング方式の検出器が出力した信号は、X線光子のエネルギーの計測 (弁別) に用いることができる。従って、フォトンカウンティングCT装置では、1種類の管電圧のX線を曝射することで収集された投影データを、複数のエネルギー成分に分けて画像化することができる。

【0004】

フォトンカウンティング方式の検出器としては、入射したX線光子をシンチレータにより、一旦、可視光 (シンチレータ光) に変換し、シンチレータ光を光電子増倍管等の光センサで電気信号 (電荷) に変換する「間接変換型の検出器」が知られている。光センサは、シンチレータにより放射線から変換されたシンチレーション光子を一つ一つ検出し、シンチレータに入射した放射線の検出およびその放射線のエネルギーの測定を行う。

20

【0005】

ここで、放射線光子のエネルギーを正確に求めるには、放射線光子の入射に伴って検出器内部に発生する電荷量を高速かつ広ダイナミックレンジで分析する必要がある。従来は、積分回路、サンプルホールド回路およびAD変換器を用いて、積分回路が出力する電荷量に比例した波高のパルスをサンプルホールドし、AD変換器でAD変換する手法が用いられている。

30

【0006】

しかし、従来手法では、積分回路内の電荷積分用のキャパシタが積分可能な電荷量の上限を決めるため、広ダイナミックレンジ化が困難となる問題があった。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-112077号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明が解決しようとする課題は、高計数率かつ高分解能な信号処理装置および信号処理方法を提供することである。

40

【課題を解決するための手段】

【0009】

実施形態によれば、電磁波に対応する電荷を蓄電する積分コンデンサと、積分コンデンサを放電する放電回路とを備え、電磁波に対応する電荷を積分処理する積分器に対して、積分期間設定部が、電荷を積分処理する積分期間を設定する。また、積分出力と所定の閾値とを比較する比較器と、積分出力の値が所定の閾値以上となった回数を、電荷のデジタルデータとして出力するカウンタとを備えたアナログ-デジタル変換器が、積分期間中において、積分出力の値が所定の閾値以上となっている間の、比較器の比較出力を放電回路

50

に供給して、積分コンデンサを放電する。

【図面の簡単な説明】

【0010】

【図1】図1は、第1の実施形態のフォトンカウンティングCT装置の構成を示す図である。

【図2】図2は、第1の実施形態のフォトンカウンティングCT装置に設けられている検出器の平面図である。

【図3】図3は、第1の実施形態のフォトンカウンティングCT装置の検出器に設けられているアナログフロントエンドのブロック図である。

【図4】図4は、第1の実施形態のフォトンカウンティングCT装置のアナログフロント

10

エンドの各コアの積分器および第1ADC周辺の詳細なブロック図である。

【図5】図5は、各コアの積分器および第1AD変換器周辺の各部の動作を説明するためのタイミングチャートである。

【図6】図6は、第1の実施形態のフォトンカウンティングCT装置のアナログフロント

エンドの各コアに設けられている第2AD変換器のブロック図である。

【図7】図7は、第1の実施形態のフォトンカウンティングCT装置において、各コアに

前段および後段の2段構成でAD変換器を設けることで向上する分解能を説明するための

20

図である。

【図8】図8は、第1の実施形態のフォトンカウンティングCT装置の各コアに設けられ

ているカウンタで生成されるヒストグラムの一例を示す図である。

【図9】図9は、第2の実施形態のフォトンカウンティングCT装置の各コアに設けられ

ている積分器および第1AD変換器周辺の詳細なブロック図である。

30

【図10】図10は、第2の実施の形態における、各コアの積分器および第1AD変換器

周辺の各部の動作を説明するためのタイミングチャートである。

【図11】図11は、第3の実施形態のフォトンカウンティングCT装置の各コアに設け

られている積分器および第1AD変換器周辺の詳細なブロック図である。

【図12】図12は、第3の実施の形態における、各コアの積分器および第1AD変換器

周辺の各部の動作を説明するためのタイミングチャートである。

40

【図13】図13は、第4の実施形態のフォトンカウンティングCT装置の各コアに設け

られている積分器および第1AD変換器周辺の詳細なブロック図である。

【図14】図14は、第4の実施の形態における、各コアの積分器および第1AD変換器

周辺の各部の動作を説明するためのタイミングチャートである。

50

【図15】図15は、第4の実施形態のフォトンカウンティングCT装置において、各コ

アのAD変換器を前段および後段の2段構成とすると共に、前段のAD変換器に2種類の

閾値を設定することで向上する分解能を説明するための図である。

【発明を実施するための形態】

【0011】

以下、信号処理装置および信号処理方法を適用した実施形態を、図面を参照して詳細に

説明する。信号処理装置および信号処理方法は、電磁波を電荷に変換する変換部に適用し

て好適である。また、電磁波の周期が短く、高い計数率となる機器に適用して好適である

。以下、一例として、信号処理装置および信号処理方法を、X線光子に対応するシンチレ

ータ光を電荷に変換する「間接変換型の検出器」が設けられたフォトンカウンティングC

T装置を、図面を参照して詳細に説明する。

【0012】

なお、信号処理装置および信号処理方法は、入射された電磁波を直接、電荷に変換する

「直接変換型の検出器」が設けられた機器に適用してもよい。この場合でも、後述と同じ

効果が得られる。詳しくは、以下の説明を参照されたい。

【0013】

(第1の実施の形態)

フォトンカウンティングCT装置は、被検体を透過したX線に由来する光子(X線光子

)を、フォトンカウンティング方式の検出器を用いて計数することで、SN比の高いX線CT画像データを再構成する。個々の光子は、異なるエネルギーを有する。フォトンカウンティングCT装置は、光子のエネルギー値の計測を行うことで、X線のエネルギー成分の情報を得る。フォトンカウンティングCT装置は、1種類の管電圧でX線管を駆動して収集された投影データを複数のエネルギー成分に分けて画像化する。

【0014】

図1に、実施形態のフォトンカウンティングCT装置の構成を示す。図1に示すように、フォトンカウンティングCT装置は、架台装置10と、寝台装置20と、コンソール装置30とを有する。

【0015】

架台装置10は、照射制御部11と、X線発生装置12と、検出器13と、収集部(DAS: data acquisition system)14と、回転フレーム15と、駆動部16とを有する。架台装置10は、被検体PにX線を曝射し、被検体Pを透過したX線を計数する。

【0016】

回転フレーム15は、X線発生装置12と検出器13とを被検体Pを挟んで対向するように支持している。回転フレーム15は、後述する駆動部16によって、被検体Pを中心とした円軌道にて高速に回転する円環状のフレームである。

【0017】

X線発生装置12は、X線管12aと、ウェッジ12bと、コリメータ12cとを有する。X線発生装置12は、X線を発生して被検体Pへ曝射する装置である。X線管12aは、後述するX線発生装置12から供給される高電圧により、被検体PにX線を曝射する真空管である。X線管12aは、回転フレーム15の回転に従って回転しながら、被検体Pに対してX線ビームを曝射する。X線管12aは、ファン角およびコーン角を持って広がるX線ビームを発生する。

【0018】

ウェッジ12bは、X線管12aから曝射されたX線のX線量を調節するためのX線フィルタである。具体的には、ウェッジ12bは、X線管12aから被検体Pへ曝射されるX線が、予め定められた分布になるように、X線管12aから曝射されたX線を透過して減衰するフィルタである。

【0019】

例えば、ウェッジ12bは、所定のターゲット角度や所定の厚みとなるようにアルミニウムを加工したフィルタである。なお、ウェッジは、ウェッジフィルター(wedge filter)、または、ボウタイフィルター(bow-tie filter)とも呼ばれる。コリメータ12cは、後述する照射制御部11の制御により、ウェッジ12bによってX線量が調節されたX線の曝射範囲を絞り込むためのスリットである。

【0020】

照射制御部11は、高電圧発生部として、X線管12aに高電圧を供給する装置であり、X線管12aは、照射制御部11から供給される高電圧を用いてX線を発生する。照射制御部11は、X線管12aに供給する管電圧や管電流を調整することで、被検体Pに対して曝射されるX線量を調整する。また、照射制御部11は、コリメータ12cの開口度を調整することにより、X線の曝射範囲(ファン角やコーン角)を調整する。

【0021】

駆動部16は、回転フレーム15を回転駆動させることによって、被検体Pを中心とした円軌道上でX線発生装置12と検出器13とを旋回させる。検出器13は、X線光子が入射する毎に、当該X線光子のエネルギー値を計測可能な信号を出力する。X線光子は、例えばX線管12aから曝射され被検体Pを透過したX線光子である。検出器13は、X線光子が入射する毎に、1パルスの電気信号(アナログ信号)を出力する複数の検出素子を有する。

【0022】

電気信号(パルス)の数を計数することで、各検出素子に入射したX線光子の数を計数

10

20

30

40

50

することができる。また、この信号に対して、処理の演算処理を行うことで、当該信号の出力を引き起こしたX線光子のエネルギー値を計測することができる。

#### 【0023】

検出器13の検出素子は、シンチレータおよび光電子増倍管等の光センサにより構成されている。検出器13は、いわゆる「間接変換型の検出器」となっている。検出器13は、入射したX線光子をシンチレータにより、一旦、可視光（シンチレータ光）に変換し、シンチレータ光を光電子増倍管等の光センサで電気信号に変換する。

#### 【0024】

図2に、検出器13の一例を示す。検出器13は、シンチレータと光電子増倍管等の光センサにより構成される検出素子40が、チャンネル方向（図1中のY軸方向）にN列、体軸方向（図1中のZ軸方向）にM列配置された面検出器となっている。検出素子40は、光子が入射すると、1パルスの電気信号を出力する。検出素子40が出力した個々のパルスを弁別することで、検出素子40に入射したX線光子の数を計測することができる。また、パルスの強度に基づく演算処理を行うことで、計測したX線光子のエネルギー値を計測することができる。

10

#### 【0025】

なお、検出器13の後段には、各検出素子40から出力された電荷を積分処理し、デジタル化して図1に示す収集部14に供給する、アナログフロントエンドと呼ばれる回路が設けられている。詳しくは、後述する。

#### 【0026】

収集部14は、検出器13の出力信号を用いた計数処理の結果である計数情報を収集する。すなわち、収集部14は、検出器13から出力される個々の信号を弁別して、計数情報を収集する。計数情報は、X線管12aから曝射され被検体Pを透過したX線光子が入射する毎に検出器13（複数の検出素子40）が出力した個々の信号から収集される情報である。具体的には、計数情報は、検出器13（複数の検出素子40）に入射したX線光子の計数値とエネルギー値とが対応付けられた情報である。収集部14は、収集した計数情報を、コンソール装置30に送信する。

20

#### 【0027】

すなわち、収集部14は、検出素子40が出力した各パルスを弁別して計数したX線光子の入射位置（検出位置）と、当該X線光子のエネルギー値とを計数情報として、X線管12aの位相（管球位相）ごとに収集する。収集部14は、例えば、計数に用いたパルス（電気信号）を出力した検出素子40の位置を、入射位置とする。また、収集部14は、電気信号に対して、所定の演算処理を行うことで、X線光子のエネルギー値を計測する。

30

#### 【0028】

次に、図1に示す寝台装置20は、被検体Pを載せる装置であり、天板22と、寝台駆動装置21とを有する。天板22は、被検体Pを載置する板であり、寝台駆動装置21は、天板22をZ軸方向へ移動して、被検体Pを回転フレーム15内に移動させる。

#### 【0029】

なお、架台装置10は、例えば、天板22を移動させながら回転フレーム15を回転させて被検体Pを螺旋状にスキャンするヘリカルスキャンを実行する。または、架台装置10は、天板22を移動させた後に、被検体Pの位置を固定したままで回転フレーム15を回転させて被検体Pを円軌道にてスキャンするコンベンショナルスキャンを実行する。または、架台装置10は、天板22の位置を一定間隔で移動させてコンベンショナルスキャンを複数のスキャンエリアで行うステップアンドシュート方式でコンベンショナルスキャンを実行する。

40

#### 【0030】

次に、コンソール装置30は、入力部31と、表示部32と、スキャン制御部33と、前処理部34と、第1記憶部35と、再構成部36と、第2記憶部37と、制御部38とを有する。コンソール装置30は、操作者によるフォトンカウンティングCT装置の操作を受け付けると共に、架台装置10によって収集された計数情報を用いてX線CT画像を

50

再構成する。

【 0 0 3 1 】

入力部 3 1 は、フォトンカウンティング C T 装置の操作者が各種指示や各種設定の入力に用いるマウスやキーボード等を有し、操作者から受け付けた指示や設定の情報を、制御部 3 8 に転送する。例えば、入力部 3 1 は、操作者から、X 線 C T 画像データの撮影条件や、X 線 C T 画像データを再構成する際の再構成条件および X 線 C T 画像データに対する画像処理条件等を受け付ける。

【 0 0 3 2 】

表示部 3 2 は、操作者によって参照されるモニタ装置であり、制御部 3 8 による制御のもと、X 線 C T 画像データを表示し、また、入力部 3 1 を介して操作者から各種指示および各種設定等を受け付けるための G U I ( Graphical User Interface ) を表示する。

10

【 0 0 3 3 】

スキャン制御部 3 3 は、制御部 3 8 の制御のもと、照射制御部 1 1、駆動部 1 6、収集部 1 4 および寝台駆動装置 2 1 の動作を制御することで、架台装置 1 0 における計数情報の収集処理を制御する。

【 0 0 3 4 】

前処理部 3 4 は、収集部 1 4 から送信された計数情報に対して、対数変換処理、オフセット補正、感度補正、ビームハードニング補正等の補正処理を行うことで、投影データを生成する。

【 0 0 3 5 】

第 1 記憶部 3 5 は、前処理部 3 4 により生成された投影データを記憶する。すなわち、第 1 記憶部 3 5 は、X 線 C T 画像データを再構成するための投影データ ( 補正済み計数情報 ) を記憶する。

20

【 0 0 3 6 】

再構成部 3 6 は、第 1 記憶部 3 5 が記憶する投影データを用いて X 線 C T 画像データを再構成する。再構成方法としては、種々の方法があり、例えば、逆投影処理が挙げられる。また、逆投影処理としては、例えば、F B P ( Filtered Back Projection ) 法による逆投影処理が挙げられる。また、再構成部 3 6 は、X 線 C T 画像データに対して各種画像処理を行うことで、画像データを生成する。再構成部 3 6 は、再構成した X 線 C T 画像データや、各種画像処理により生成した画像データを第 2 記憶部 3 7 に格納する。

30

【 0 0 3 7 】

ここで、フォトンカウンティング C T 装置で得られる計数情報から生成された投影データには、被検体 P を透過することで減弱された X 線のエネルギー情報が含まれている。このため、再構成部 3 6 は、例えば、特定のエネルギー成分の X 線 C T 画像データを再構成することができる。また、再構成部 3 6 は、例えば、複数のエネルギー成分それぞれの X 線 C T 画像データを再構成することができる。

【 0 0 3 8 】

また、再構成部 3 6 は、例えば、各エネルギー成分の X 線 C T 画像データの各画素にエネルギー成分に応じた色調を割り当て、エネルギー成分に応じて色分けされた複数の X 線 C T 画像データを生成することができ、更に、これら複数の X 線 C T 画像データを重畳した画像データを生成することができる。

40

【 0 0 3 9 】

制御部 3 8 は、架台装置 1 0、寝台装置 2 0 およびコンソール装置 3 0 の動作を制御することによって、フォトンカウンティング C T 装置の全体制御を行う。具体的には、制御部 3 8 は、スキャン制御部 3 3 を制御することで、架台装置 1 0 で行われる C T スキャンを制御する。また、制御部 3 8 は、前処理部 3 4 や、再構成部 3 6 を制御することで、コンソール装置 3 0 における画像再構成処理や画像生成処理を制御する。また、制御部 3 8 は、第 2 記憶部 3 7 が記憶する各種画像データを表示部 3 2 に表示制御する。

【 0 0 4 0 】

次に、図 3 に、検出器 1 3 の後段に設けられているアナログフロントエンド 5 0 のプロ

50

ック図を示す。この例の場合、アナログフロントエンド50は、集積回路(A S I C : application specific integrated circuit)となっている。アナログフロントエンド50は、デジタル-デジタル変換器(D C / D C ) 49と、複数のコア51(第1コア~第nコア(nは、2以上の自然数))と、タイミングジェネレータ52と、デジタル-アナログ変換器(D A C ) 53とを有している。また、アナログフロントエンド50は、レジスタ54と、マルチプレクサ(M U X ) 55と、L V D S (Low voltage differential signaling) 56と、電源供給部57とを有している。

#### 【0041】

各コア51には、入射されたX線の線量に対応する電荷が、シンチレータ58および光電子増倍器(S i P M ) 59を介して、それぞれ供給される。M U X 55は、各コア51によりヒストグラム化されたX線のエネルギー分布を、所定のタイミングで切り替え、短距離通信インタフェースとなっているL V D S 56を介してD A S 14に供給する。

10

#### 【0042】

各コア51は、積分器60、第1アナログ-デジタル変換器(第1A D C ) 61、第2A D C 62、エンコーダ63、カウンタ64、トリガ回路65、および出力制御回路66を有している。エンコーダ63およびカウンタ64は、ヒストグラム作成部の一例である。

#### 【0043】

積分器60は、所定時間、X線量に対応する電荷を積分処理する。前段のアナログ-デジタル変換器となっている第1A D C 61は、積分器60からの積分出力を、粗い分解能でA D変換処理する。後段のアナログ-デジタル変換器となっている第2A D C 62は、第1A D C 61でA D変換処理されなかった残りの積分出力をA D変換処理する。

20

#### 【0044】

具体的な一例として、各コアは、最終的に8ビットのA D変換出力をM U X 55に供給するようになっている。前段のアナログ-デジタル変換器となっている第1A D C 61は、例えばサイクリック型またはフォールディング型のA D変換器となっている。第1A D C 61をサイクリック型またはフォールディング型とすることで、積分器60の積分処理と並行して、入力された電荷のA D変換処理を実行可能となる。

#### 【0045】

第1A D C 61は、積分出力を粗くA D変換処理することで、2ビットのA D変換出力を生成する。後段のアナログ-デジタル変換器となっている第2A D C 62は、例えば逐次比較型(S A R )のA D変換器となっている。第2A D C 62は、第1A D C 61でA D変換処理されなかった残りの積分出力をA D変換処理して、6ビットのA D変換出力を生成する。

30

#### 【0046】

エンコーダ63は、第1および第2の各A D C 61, 62で生成された2ビットおよび6ビットのA D変換出力から計8ビットのA D変換出力を生成し、カウンタ64に供給する。カウンタ64は、8ビットのA D変換出力から、X線のエネルギー分布をヒストグラム化して出力する。

#### 【0047】

次に、図4に、各コア51の積分器60および第1A D C 61周辺の詳細なブロック図を示す。図4に示すように各コア51は、積分コンデンサ60cに蓄電された電荷を放電するための第1放電スイッチ71および第2放電スイッチ72を有している。また、各コア51は、トリガ回路65、ラッチ回路73、ディレイ回路74、第1スイッチ制御回路75、および出力制御回路66を有している。また、各コア51は、加算器76、比較器77、カウンタ78、および出力制御スイッチ79を有している。なお、トリガ回路65、ラッチ回路73、ディレイ回路74、および第1スイッチ制御回路75は、積分期間設定部の一例である。

40

#### 【0048】

トリガ回路65は、シンチレータ光子に対応する電荷の入力が開始された際に、スター

50



トパルス生成する。ラッチ回路 7 3 は、所定の積分期間の間、スタートパルスをラッチする。ディレイ回路 7 4 は、スタートパルスのラッチ出力を所定時間、遅延させてストップパルス生成する。ストップパルスは、ラッチ回路 7 3 および出力制御回路 6 6 に供給される。すなわち、ラッチ回路 7 3 は、ディレイ回路 7 4 からストップパルスが供給されるまでの間、スタートパルスをラッチする。このスタートパルスのラッチ期間 (= ディレイ回路 7 4 の遅延時間) が、入力された電荷の積分期間となる。

【 0 0 4 9 】

第 1 スイッチ制御回路 7 5 は、積分期間以外は、積分コンデンサ 6 0 c に蓄電された電荷を定期的に放電 (オン制御 = リセット) するように第 1 放電スイッチ 7 1 を制御する。また、第 1 スイッチ制御回路 7 5 は、積分期間中は、第 1 放電スイッチ 7 1 をオフ制御する。

10

【 0 0 5 0 】

第 2 放電スイッチ 7 2 は、電荷の積分期間中において、比較器 7 7 からの比較出力に応じて、積分出力が所定の閾値となる毎に、積分コンデンサ 6 0 c に蓄電された電荷を放電するように動作する。D A 変換器 5 3 は、比較器 7 7 に対して所定の閾値  $V_{th}$  を設定する。比較器 7 7 は、積分器 6 0 からの積分出力と閾値  $V_{th}$  とを比較し、積分出力の値が閾値  $V_{th}$  以上となっている間、ハイレベルの比較出力を出力する。第 2 放電スイッチ 7 2 は、ハイレベルの比較出力でオン制御される。

【 0 0 5 1 】

これにより、電荷の積分期間中において、積分コンデンサ 6 0 c に蓄電された電荷は、積分出力の値が閾値  $V_{th}$  以上となる毎に、グラウンドに接地され放電される。または、電荷の積分期間中において、積分出力の値が閾値  $V_{th}$  以上となる毎に、D A 変換器 5 3 で設定される閾値  $V_{th}$  が加算器 7 6 に反転入力される。これにより、積分コンデンサ 6 0 c に蓄電された電荷のうち、D A 変換器 5 3 で設定される閾値  $V_{th}$  に相当する分の電荷を放電する。

20

【 0 0 5 2 】

図 5 は、このような各部の動作を説明するためのタイミングチャートである。図 5 の ( a ) の符号を付した図のクロックは、図 3 に示すレジスタ 5 4 からタイミングジェネレータ 5 2 に供給されるクロック (CLK) である。図 5 の ( b ) の符号を付した図のクロックは、タイミングジェネレータ 5 2 により位相が反転された反転クロック (/CLK) である。図 5 の ( c ) の符号を付した図の信号は、光電子増倍器 (SiPM) 5 9 からの電荷の波形である。シンチレータ 5 8 に X 線が入射されると、シンチレータ 5 8 内で発光してシンチレータ光が発生する。シンチレータ光は、時間と共に減衰する。このため、図 5 の ( c ) の符号を付した図の電荷の波形は、短時間で立ち上がり、徐々に減衰する波形となる。

30

【 0 0 5 3 】

図 5 の ( d ) の符号を付した信号および図 5 の ( e ) の符号を付したパルスは、トリガ回路 6 5 で生成されるスタートパルスである。トリガ回路 6 5 は、電荷が入力された際に、図 5 の ( d ) の符号を付した図のように、所定時間、立ち上がる信号を生成する。そして、トリガ回路 6 5 は、生成した信号を波形整形し、図 5 の ( e ) の符号を付した図に示すスタートパルスを生成し、ラッチ回路 7 3 に供給する。ラッチ回路 7 3 は、図 5 の ( g ) の符号を付した図に示すように、所定時間、スタートパルスをラッチする。

40

【 0 0 5 4 】

ラッチ回路 7 3 からのラッチ出力は、第 1 スイッチ制御回路 7 5、およびディレイ回路 7 4 に供給される。ディレイ回路 7 4 は、ラッチ出力を所定時間遅延させることで、図 5 の ( f ) の符号を付した図に示すストップパルス生成する。ストップパルスは、ラッチ回路 7 3 および出力制御回路 6 6 に供給される。ラッチ回路 7 3 は、図 5 の ( g ) の符号を付した図に示すように、ストップパルスが供給されたタイミングで、ラッチを終了する。すなわち、図 5 の ( g ) の符号を付した図に示すように、ラッチ回路 7 3 にスタートパルスが供給されてから、ストップパルスが供給されるまでの間が、電荷の積分期間となる

50

。

## 【 0 0 5 5 】

一方、第 1 スイッチ制御回路 7 5 および出力制御回路 6 6 には、タイミングジェネレータ 5 2 からの反転クロック ( / C L K ) に、例えば分周処理等を施すことで生成された、図 5 の ( h ) の符号を付した図に示すゲートパルスが供給される。第 1 スイッチ制御回路 7 5 は、ゲートパルスが供給されるタイミングで、図 5 の ( i ) の符号を付した図に示すリセットパルスを生成し、第 1 放電スイッチ 7 1 に供給する。これにより、リセットパルスが供給される毎に、第 1 放電スイッチ 7 1 がオン制御され、積分コンデンサ 6 0 c に蓄電された電荷が、リセットパルスのタイミングで放電され、積分コンデンサ 6 0 c がリセットされる。

10

## 【 0 0 5 6 】

ここで、第 1 スイッチ制御回路 7 5 は、図 5 の ( g ) の符号を付した図に示すラッチ期間 (= 積分期間) は、図 5 の ( i ) の符号を付した図に示すように、第 1 放電スイッチ 7 1 に対するリセットパルスの供給を停止制御する。図 5 の ( j ) の符号を付した図は、積分器 6 0 からの積分出力を示している。積分期間中に第 1 放電スイッチ 7 1 に対するリセットパルスの供給を停止制御すると、積分出力の値は点線の波形で示すように徐々に上昇する。しかし、積分出力が供給される比較器 7 7 には、D A 変換器 5 3 により、図 5 の ( j ) の符号を付した図に示す閾値  $V_{th}$  が設定されている。このため、積分期間中、比較器 7 7 からは、積分出力の値が閾値  $V_{th}$  以上となる毎に、ハイレベルの比較出力が第 2 放電スイッチ 7 2、およびカウンタ 7 8 に供給される。

20

## 【 0 0 5 7 】

第 2 放電スイッチ 7 2 は、ハイレベルの比較出力が供給されている間、オン動作し、D A 変換器 5 3 からの閾値  $V_{th}$  を、電荷が供給されている加算器 7 6 に反転入力する。これにより、電荷の積分期間中において、積分出力の値が閾値  $V_{th}$  以上となる毎に、積分コンデンサ 6 0 c に蓄電された電荷は、D A 変換器 5 3 で設定される任意の電位とされ、放電される。なお、電荷の積分期間中において、積分出力の値が閾値  $V_{th}$  以上となる毎に、積分コンデンサ 6 0 c をグランドに接地して放電してもよい。積分コンデンサ 6 0 c は、電荷を放電すると、再度、電荷の充電を開始する。これにより、積分器 6 0 からの積分出力の値は、徐々に上昇する。このように電荷の積分期間中においては、閾値  $V_{th}$  を基準として、電荷の放電および電荷の充電を繰り返し行うように、積分コンデンサ 6 0 c が制御される。

30

## 【 0 0 5 8 】

カウンタ 7 8 は、積分期間中に供給されるハイレベルの比較出力の数をカウントする。これにより、図 5 の符号 ( k ) を付した図に示すように、電荷の積分期間中において、積分コンデンサ 6 0 c の電荷が放電される毎に、カウンタ 7 8 が一つずつカウント値をインクリメントする。この図 5 の符号 ( k ) を付した図に示す例は、積分期間中において、比較出力が、「2 回」、ハイレベルとなったことを示している。この場合のカウンタ 7 8 のカウント値は、「2」である。カウンタ 7 8 は、このカウント値を、第 1 A D C 6 1 の A D 変換値として、例えば 2 ビットのデータ形態で図 3 に示すエンコーダ 6 3 に供給する。

40

## 【 0 0 5 9 】

このように第 1 の実施の形態のフォトンカウンティング C T 装置は、第 1 A D C 6 1 において、積分出力を粗く A D 変換処理することで、2 ビットの A D 変換出力を生成する。出力制御回路 6 6 は、積分期間中は、出力制御スイッチ 7 9 をオフ制御する。また、出力制御回路 6 6 は、積分期間が終了した際に、ストップパルスおよびゲートパルスの各タイミングで、図 5 の ( l : エル) の符号を付した図に示す出力制御パルスで出力制御スイッチ 7 9 をオン制御する。これにより、積分期間中において、カウンタ 7 8 で最後にカウントされた積分出力以降の、残りの積分出力が後段の第 2 A D C 6 2 に供給される。すなわち、図 5 の ( j ) の符号を付した図の例の場合、積分期間において、2 カウント目以降の、閾値  $V_{th}$  未満の積分出力が、後段の第 2 A D C 6 2 に供給される。

## 【 0 0 6 0 】

50

なお、この実施の形態においては、第1ADC61で粗くAD変換処理を行い、残りの積分出力を、第2ADC62で詳細にAD変換処理する。このため、積分期間中において、カウンタ78で最後にカウントされた積分出力以降の、残りの積分出力を後段の第2ADC62に供給した。しかし、粗いAD変換値のみを用いる機器の場合は、第2ADC62を省略して、第1ADC61からのAD変換のみを用いる構成としてもよい。この場合、上述の最後にカウントされた積分出力以降の、残りの積分出力は、破棄される。

#### 【0061】

次に、図6に、後段の第2ADC62のブロック図を示す。後段の第2ADC62は、例えば逐次比較型(SAR)のAD変換器となっている。第2ADC62は、第1ADC61でAD変換処理されなかった、上述の残りの積分出力をAD変換処理して、6ビットのAD変換出力を生成する。

10

#### 【0062】

具体的には、第2ADC62は、サンプルホールド増幅回路(SHA: sample hold amplifier)81、比較器82、およびnビット(nは自然数)のDA変換器83を有する。また、第2ADC62は、逐次比較レジスタ(SAR: Successive Approximation Register)84、およびタイミング制御回路85を有する。

#### 【0063】

第2ADC62は、まず、DA変換器83のMSB(最上位ビット)だけを「1(残りは0)」とし、比較器82において入力信号と比較する。比較の結果、入力信号の方が大きい場合、MSB=1と決定する。また、比較の結果、入力信号の方が小さい場合、MSB=0と決定する。

20

#### 【0064】

次に、DA変換器83のMSBより一つ小さい位のビットに「1」を設定し、比較器82において入力信号と比較する。比較の結果、入力信号の方が大きい場合、そのビットを「1」とする。また、比較の結果、入力信号の方が小さい場合、そのビットを「0」とする。このような各ビットの設定動作を、nビット回(例えば6ビット回)繰り返し、最後にLSBを決定する。LSB決定により、AD変換処理は終了となる。AD変換終了時のDA変換器83のデジタルデータがAD変換結果となり、図3に示すエンコーダ63に供給される。

#### 【0065】

このように、第1の実施の形態のフotonカウンティングCT装置は、図7に示すように第1ADC61において、積分出力を粗くAD変換処理する。そして、第2ADC62において、第1ADC61でAD変換処理されなかった残りの積分出力を細かくAD変換処理する。

30

#### 【0066】

換言すると、第1の実施の形態のフotonカウンティングCT装置の場合、前段は、サイクリック型(またはフォールディング型)のAD変換器が設けられる。サイクリック型のAD変換器の場合、積分期間中もAD変換処理を行うことができる。このため、積分期間を利用して、前段の第1ADC61で粗くAD変換処理を行い、後段の第2ADC62として精度の良いSAR型のAD変換器を設け、詳細にAD変換処理を行う。このように第1ADC61および第2ADC62で、時分割的にAD変換処理を行うことで、前段および後段を合わせた全体のAD変換処理における、見かけ上の分解能を向上させることができる。

40

#### 【0067】

次に、エンコーダ63は、第1ADC61から供給される2ビットの粗いAD変換値と、第2ADC62から供給される6ビットの細かなAD変換値とをエンコード処理することで、8ビットのAD変換値を生成し、カウンタ64に供給する。カウンタ64は、エンコーダからの8ビットのAD変換値から、例えば図8に示すような各波高値のカウント数を示すヒストグラムを生成し、これをマルチプレクサ55に供給する。マルチプレクサ55は、各コア51からのヒストグラムを、所定のタイミングで切り替え、LVDS56を

50

介してD A S 1 4 に供給する。

【 0 0 6 8 】

以上の説明から明らかなように、第1の実施の形態のフォトンカウンティングC T装置は、前段は、サイクリック型（またはフォールディング型）のA D変換器が設けられる。サイクリック型のA D変換器の場合、積分期間中もA D変換処理を行うことができる。このため、積分期間を利用して、前段の第1 A D C 6 1で粗くA D変換処理を行い、後段の第2 A D C 6 2として精度の良いS A R型のA D変換器を設け、詳細にA D変換処理を行う。このように第1 A D C 6 1および第2 A D C 6 2で、時分割的にA D変換処理を行うことで、高速かつ高エネルギーのデータを、数百チャンネルで同時に高分解能で計測可能とすることができる。従って、高計数率かつ高分解能なフォトンカウンティングC T装置を実現できる。

10

【 0 0 6 9 】

なお、この実施の形態においては、第1 A D C 6 1で粗くA D変換処理を行い、残りの積分出力を、第2 A D C 6 2で詳細にA D変換処理する。このため、積分期間中において、カウンタ7 8で最後にカウントされた積分出力以降の、残りの積分出力を後段の第2 A D C 6 2に供給した。しかし、粗いA D変換値のみを用いる機器の場合は、第2 A D C 6 2を省略して、第1 A D C 6 1からのA D変換のみを用いる構成としてもよいことは、上述のとおりである。

【 0 0 7 0 】

（第2の実施の形態）

20

次に、第2の実施の形態のフォトンカウンティングC T装置の説明をする。第2の実施の形態のフォトンカウンティングC T装置は、第1 A D C 6 1側において、積分器6 0に対して2つの積分コンデンサを設け、比較出力が閾値V t h以上となったタイミングで、積分器6 0に対して放電済みの積分コンデンサを接続する。これにより、積分コンデンサの放電時間を不要としたものである。なお、上述の第1の実施の形態と、以下に説明する第2の実施の形態とでは、この点のみが異なる。このため、以下、両者の差異の説明のみを行い、重複説明は省略する。また、第2の実施の形態の説明で用いる図面において、第1の実施の形態と同じ動作を示す箇所には、同じ符号を付し、その詳細な説明は省略する。

【 0 0 7 1 】

図9に、第2の実施の形態のフォトンカウンティングC T装置に設けられている各コア5 1の積分器6 0および第1 A D C 6 1周辺の詳細なブロック図を示す。第2の実施の形態のフォトンカウンティングC T装置の場合、図9に示すように各コア5 1は、積分器6 0に対して、第1放電回路9 1および第2放電回路9 2が接続されている。

30

【 0 0 7 2 】

第1放電回路9 1は、第1積分コンデンサ6 0 c 1を有している。第1放電回路9 1は、非積分期間において、上述のリセットパルスにより、第1積分コンデンサ6 0 c 1を周期的に放電するための放電スイッチ1 4 0を有している。また、第1放電回路9 1は、積分期間において、第1積分コンデンサ6 0 c 1をチャージするためのチャージスイッチ1 4 1 a、1 4 1 bを有している。また、第1放電回路9 1は、積分期間において、第1積分コンデンサ6 0 c 1に蓄電された電荷を放電するための放電スイッチ1 4 2 a、1 4 2 bを有している。

40

【 0 0 7 3 】

同様に、第2放電回路9 2は、第2積分コンデンサ6 0 c 2を有している。第2放電回路9 2は、非積分期間において、上述のリセットパルスにより、第2積分コンデンサ6 0 c 2を周期的に放電するための放電スイッチ1 4 3を有している。また、第2放電回路9 2は、積分期間において、第2積分コンデンサ6 0 c 2をチャージするためのチャージスイッチ1 4 4 a、1 4 4 bを有している。また、第2放電回路9 2は、積分期間において、第2積分コンデンサ6 0 c 2に蓄電された電荷を放電するための放電スイッチ1 4 5 a、1 4 5 bを有している。

【 0 0 7 4 】

50

また、第2の実施の形態のフotonカウンティングCT装置の場合、比較器77の比較出力がスイッチ制御回路93に供給される。スイッチ制御回路93は、積分期間中において、比較出力が閾値 $V_{th}$ 以上となったタイミングで、積分器60に対して放電済みの第1積分コンデンサ60c1または第2積分コンデンサ60c2を接続するように、各スイッチ141a, 141b, 142a, 142b, 144a, 144b, 145a, 145bを切り替え制御する。

【0075】

図10は、このような各部の動作を説明するためのタイミングチャートである。図10の(a)の符号を付した図のクロックは、図3に示すレジスタ54からタイミングジェネレータ52に供給されるクロック(CLK)である。図10の(b)の符号を付した図のクロックは、タイミングジェネレータ52により位相が反転された反転クロック(/CLK)である。図10の(c)の符号を付した図の信号は、光電子増倍器(SiPM)59からの電荷の波形である。図10の(d)の符号を付した信号および図10の(e)の符号を付したパルスは、トリガ回路65で生成されるスタートパルスである。

10

【0076】

図10の(g)の符号を付したパルスは、ラッチ回路73により、所定時間、スタートパルスをラッチすることで生成されたラッチ出力の波形である。図10の(f)の符号を付したパルスは、ラッチ回路73のラッチ動作を停止させるためのストップパルスである。図10の(h)の符号を付したパルスは、第1スイッチ制御回路75でリセットパルスを生成するためのゲートパルスである。図10の(i)の符号を付したパルスは、第1スイッチ制御回路75で生成されるリセットパルスである。

20

【0077】

第2の実施の形態のフotonカウンティングCT装置の場合、非積分期間中においては、スイッチ制御回路93が、図10の(l(エル))の符号を付した第1制御パルスで、第1放電回路91の第1積分コンデンサ60c1をチャージするためのチャージスイッチ141a、141b、および第2放電回路92の第2積分コンデンサ60c2を放電するための放電スイッチ145a、145bをオン制御する。これにより、第1放電回路91の第1積分コンデンサ60c1はチャージされ、第2放電回路92の第2積分コンデンサ60c2に蓄電された電荷は、接地され放電される。

【0078】

また、非積分期間中においては、第1スイッチ制御回路75から第1放電回路91の放電スイッチ140に、図10の(i)の符号を付した図に示したリセットパルスが供給される。これにより、非積分期間中において、第1放電回路91の第1積分コンデンサ60c1に充電された電荷は、リセットパルスのタイミングで定期的に放電される。

30

【0079】

一方、図10の(g)の符号を付した図に示すラッチ出力がハイレベルとなる期間である積分期間中においては、図10の(i)の符号を付した図に示すリセットパルスの放電スイッチ140に対する供給が停止される。これにより、第1積分コンデンサ60c1の定期的な放電が停止されるため、図10の(n)の符号を付した図に示すように、積分器60の積分出力の値は徐々に上昇する。第1ADC61の比較器77は、図10の(n)の符号を付した図に示す閾値 $V_{th}$ と、積分出力の値とを比較する。そして、比較器77は、積分出力の値が閾値 $V_{th}$ 以上の値となっている間、ハイレベルの比較出力をスイッチ制御回路93に供給する。

40

【0080】

スイッチ制御回路93は、ハイレベルの比較出力が供給されている間、図10の(l(エル))の符号を付した図に示す第1制御パルス(1)をローレベルとする。また、スイッチ制御回路93は、ハイレベルの比較出力が供給されている間、図10の(m)の符号を付した図に示す第2制御パルス(2)をハイレベルとする。

【0081】

これにより、第1放電回路91においては、第1制御パルスでチャージスイッチ141

50

a、141bがオフ制御され、第2制御パルスで放電スイッチ142a、142bがオン制御され、第1積分コンデンサ60c1に蓄電された電荷が放電される。従って、図10の(j)の符号を付した図に示すように、第1積分コンデンサ60c1に蓄電されている電荷量を示す波形は、第1制御パルスがローレベルで、第2制御パルスがハイレベルとなったタイミングで急峻に立ち下がる(=放電により、電荷量が減少する)。

【0082】

これに対して、第2放電回路92においては、第2制御パルス(2)でチャージスイッチ144a、144bがオン制御され、第1制御パルスで放電スイッチ145a、145bがオフ制御され、第2積分コンデンサ60c2に対する蓄電が開始される。従って、図10の(k)の符号を付した図に示すように、第2積分コンデンサ60c2に蓄電される電荷量を示す波形は、第1制御パルスがローレベルで、第2制御パルスがハイレベルとなったタイミングで徐々に立ち上がる(=徐々に電荷量が上昇する)。

10

【0083】

すなわち、第2の実施の形態のフォトンカウンティングCT装置の場合、積分期間が開始され、最初に積分出力の値が閾値 $V_{th}$ 以上となった際に、積分器60に接続する積分コンデンサを、第1積分コンデンサ60c1から、放電済みの第2積分コンデンサ60c2に切り替えている。

【0084】

次に、第2放電回路92の第2積分コンデンサ60c2に電荷の蓄電が開始されることで電荷量が徐々に上昇すると、図10の(n)の符号を付した図のように、積分出力の値が、再度、閾値 $V_{th}$ 以上の値となる。このため、比較器77からスイッチ制御回路93に対して、再度、ハイレベルの比較出力が供給される。

20

【0085】

スイッチ制御回路93は、再度、ハイレベルの比較出力が供給されると、図10の(l)(エル)の符号を付した図に示す第1制御パルス(1)をハイレベルとする。また、スイッチ制御回路93は、図10の(m)の符号を付した図に示す第2制御パルス(2)をローレベルとする。

【0086】

これにより、第1放電回路91においては、第1制御パルスでチャージスイッチ141a、141bがオン制御され、第2制御パルスで放電スイッチ142a、142bがオフ制御され、第1積分コンデンサ60c1に蓄電が開始される。従って、図10の(j)の符号を付した図に示すように、第1積分コンデンサ60c1に蓄電されている電荷量を示す波形は、第1制御パルスがハイレベルで、第2制御パルスがローレベルとなったタイミングで徐々に立ち上がる(=蓄電により、電荷量が上昇する)。

30

【0087】

これに対して、第2放電回路92においては、第2制御パルス(2)でチャージスイッチ144a、144bがオフ制御され、第1制御パルスで放電スイッチ145a、145bがオン制御され、第2積分コンデンサ60c2に蓄電された電荷が放電される。従って、図10の(k)の符号を付した図に示すように、第2積分コンデンサ60c2に蓄電される電荷量を示す波形は、第1制御パルスがハイレベルで、第2制御パルスがローレベルとなったタイミングで急峻に立ち下がる(=放電により、電荷量が減少する)。

40

【0088】

すなわち、第2の実施の形態のフォトンカウンティングCT装置の場合、積分出力の値が、再度、閾値 $V_{th}$ 以上となった際に、積分器60に接続する積分コンデンサを、第2積分コンデンサ60c2から、放電済みの第1積分コンデンサ60c1に切り替えている。第2の実施の形態のフォトンカウンティングCT装置は、積分期間中、積分出力が閾値 $V_{th}$ 以上となる毎に、積分器60に接続する積分コンデンサを、第1および第2積分コンデンサ60c1、60c2の間で切り替える動作を行う。

【0089】

これにより、積分期間中、積分出力が閾値 $V_{th}$ 以上となる毎に、積分器60に対して

50

放電済みの積分コンデンサを接続することができ、積分コンデンサの放電時間を不要とすることができる他、上述の第1の実施の形態と同じ効果を得ることができる。

【0090】

なお、カウンタ78は、図10の符号(o)を付した図に示すように、積分出力の値が閾値 $V_{th}$ 以上となった回数をカウントし、このカウント値を、第1のADC61のAD変換出力として、エンコーダ63等に供給することは、上述の第1の実施の形態で説明したとおりである。また、カウンタ78で最後にカウントされた積分出力以降の、残りの積分出力は、図10の符号(p)を付した図に示す出力制御パルスのタイミングで、後段の第2ADC62に供給され、あるいは破棄されることも、上述の第1の実施の形態で説明したとおりである。

10

【0091】

(第3の実施の形態)

次に、第3の実施の形態のフォトンカウンティングCT装置の説明をする。なお、以下、上述の各実施の形態との差異の説明のみを行い、重複説明は省略する。また、第3の実施の形態の説明で用いる図面において、上述の各実施の形態と同じ動作を示す箇所には、同じ符号を付し、その詳細な説明は省略する。

【0092】

図11に、第3の実施の形態のフォトンカウンティングCT装置に設けられている各コア51の積分器および第1ADC周辺の詳細なブロック図を示す。第3の実施の形態のフォトンカウンティングCT装置の場合、図11に示すように各コア51は、SiPM59からの電荷である単相の入力から、互いに逆相となる2つの信号(差動出力)を生成する差動変換部95を備えている。また、各コア51は、差動アンプ96と、第1および第2積分コンデンサ97c1, 97c2とを備えた積分器を有している。第1積分コンデンサ97c1には、正の電荷(+Q)が蓄電され、第2積分コンデンサ97c2には、負の電荷(-Q)が蓄電される。

20

【0093】

また、各コア51は、第1積分コンデンサ97c1に蓄電された正の電荷を定期的に放電するための第1放電スイッチ98と、第2積分コンデンサ97c2に蓄電された電荷を定期的に放電するための第2放電スイッチ99とを有している。また、各コア51は、差動アンプ96からの正の積分出力を出力するための第1出力制御スイッチ100と、差動アンプ96からの負の積分出力を出力するための第2出力制御スイッチ101とを有している。

30

【0094】

また、各コア51は、正の閾値 $+V_{th}$ および負の閾値 $-V_{th}$ を設定するDA変換器104と、差動アンプ96からの正および負の各積分出力と、DA変換器104で設定された正の閾値 $+V_{th}$ および負の閾値 $-V_{th}$ とを比較する比較器103とを有している。また、コア51は、放電時における各積分コンデンサ97c1, 97c2に蓄電された電荷を、任意の電位に設定するためのDA変換器105を有している。また、コア51は、比較器103からの比較出力に応じて、差動変換部95からの正の差動出力に対して負の電荷を付加し、負の差動出力に対して正の電荷を付加する電荷相殺回路102を有している。

40

【0095】

電荷相殺回路102は、正および負の電荷(+Q, -Q)をチャージするコンデンサ102cと、差動変換部95からの各差動出力を、DA変換器105で設定された電位とするためのスイッチ147a(/), 147b(/), 148a( ), 148b( )を有している。また、コア51は、比較器103からの比較出力に応じて、電荷相殺回路102の各スイッチ147a, 147b, 148a, 148bを切り替え制御するスイッチ制御回路106を有している。

【0096】

図12は、このような各部の動作を説明するためのタイミングチャートである。図12

50

の ( a ) の符号を付した図のクロックは、図 3 に示すレジスタ 5 4 からタイミングジェネレータ 5 2 に供給されるクロック ( C L K ) である。図 1 2 の ( b ) の符号を付した図のクロックは、タイミングジェネレータ 5 2 により位相が反転された反転クロック ( / C L K ) である。図 1 2 の ( c ) の符号を付した図の信号は、光電子増倍器 ( S i P M ) 5 9 からの電荷の波形である。図 1 2 の ( d ) の符号を付した図の信号および図 1 2 の ( e ) の符号を付した図のパルスは、トリガ回路 6 5 で生成されるスタートパルスである。

【 0 0 9 7 】

図 1 2 の ( g ) の符号を付した図のパルスは、ラッチ回路 7 3 により、所定時間、スタートパルスをラッチすることで生成されたラッチ出力の波形である。図 1 2 の ( f ) の符号を付した図のパルスは、ラッチ回路 7 3 のラッチ動作を停止させるためのストップパルスである。図 1 2 の ( h ) の符号を付した図のパルスは、第 1 スイッチ制御回路 7 5 でリセットパルスを生成するためのゲートパルスである。図 1 2 の ( i ) の符号を付した図のパルスは、第 1 スイッチ制御回路 7 5 で生成されるリセットパルスである。

10

【 0 0 9 8 】

このような第 2 の実施の形態のフォトンカウンティング C T 装置において、差動変換部 9 5 は、S i P M 5 9 からの電荷である単相の入力から、互いに逆相となる 2 つの信号 ( 差動出力 ) を生成して差動アンプ 9 6 に供給する。これにより、第 1 積分コンデンサ 9 7 c 1 には正の電荷 ( + Q ) が蓄電され、第 2 積分コンデンサ 9 7 c 2 には負の電荷 ( - Q ) が蓄電される。非積分期間中においては、第 1 スイッチ制御回路 7 5 から各放電スイッチ 9 8 , 9 9 に、図 1 2 の ( i ) の符号を付した図に示したリセットパルスが供給される。これにより、非積分期間中において、各積分コンデンサ 9 7 c 1 , 9 7 c 2 に充電された電荷は、リセットパルスのタイミングで定期的に放電される。

20

【 0 0 9 9 】

また、非積分期間中においては、スイッチ制御回路 1 0 6 には、比較器 1 0 3 からローレベルの比較出力が供給される。スイッチ制御回路 1 0 6 は、ローレベルの比較出力が供給されると、スイッチ 1 4 8 a およびスイッチ 1 4 8 b をオン制御する。これにより、非積分期間中においては、コンデンサ 1 0 2 c に、D A 変換器 1 0 5 で設定される電荷が蓄電される。コンデンサ 1 0 2 c の蓄電容量は、第 1 積分コンデンサ 9 7 c 1 および第 2 積分コンデンサ 9 7 c 2 の各蓄電容量と略々同じとなっている。コンデンサ 1 0 2 c は、第 1 積分コンデンサ 9 7 c 1 に蓄電される正の電荷 ( + Q ) と略々同量の正の電荷 ( + Q ) を蓄積する。また、コンデンサ 1 0 2 c は、第 2 積分コンデンサ 9 7 c 2 に蓄電される負の電荷 ( - Q ) と略々同量の負の電荷 ( - Q ) を蓄積する。

30

【 0 1 0 0 】

一方、図 1 2 の ( g ) の符号を付した図に示すラッチ出力がハイレベルとなる期間である積分期間中においては、図 1 2 の ( i ) の符号を付した図に示すリセットパルスの各放電スイッチ 9 8 , 9 9 に対する供給が停止される。これにより、第 1 および第 2 積分コンデンサ 9 7 c 1 , 9 7 c 2 に対する定期的な放電が停止されるため、図 1 2 の ( m ) の符号を付した図に示すように、差動アンプ 9 6 からの正の積分出力の値は徐々に大きくなる。また、図 1 2 の ( n ) の符号を付した図に示すように、差動アンプ 9 6 からの負の積分出力の値は徐々に小さくなる。

40

【 0 1 0 1 】

比較器 1 0 3 は、正の積分出力と、D A 変換器 1 0 4 により設定された、図 1 2 の ( m ) の符号を付した図に示す正の閾値 + V t h とを比較し、正の比較出力をスイッチ制御回路 1 0 6 に供給する。また、比較器 1 0 3 は、負の積分出力と、D A 変換器 1 0 4 により設定された、図 1 2 の ( n ) の符号を付した図に示す負の閾値 - V t h とを比較し、負の比較出力をスイッチ制御回路 1 0 6 に供給する。

【 0 1 0 2 】

各積分出力の値が各閾値 + V t h , - V t h を越えるまでの間は、スイッチ制御回路 1 0 6 は、図 1 2 の ( k ) の符号を付した図に示すハイレベルの第 1 切り替え信号 ( ) により、電荷相殺回路 1 0 2 のスイッチ 1 4 7 a およびスイッチ 1 4 7 b をオフ制御する。

50



また、スイッチ制御回路106は、図12の(1(エル))の符号を付した図に示すローレベルの第2切り替え信号(/)により、電荷相殺回路102のスイッチ147aおよびスイッチ147bをオフ制御する。これにより、コンデンサ102cは、図12の(j)の符号を付した図に示すように、各比較出力の値が各閾値 $+V_{th}$ 、 $-V_{th}$ を越えるまでの間、充電され、コンデンサ102cには、負の電荷(-Q)および正の電荷(+Q)が蓄電される。

#### 【0103】

次に、図12の符号(m)を付した図のように、正の積分出力の値が正の閾値 $+V_{th}$ 以上の値となる。また、図12の符号(n)を付した図のように、負の積分出力の値が負の閾値 $-V_{th}$ 以下の値となる。これを示す比較出力が、比較器103からスイッチ制御回路106に供給されると、スイッチ制御回路106は、図12の(k)の符号を付した図に示すローレベルの第1切り替え信号( )により、電荷相殺回路102のスイッチ148aおよびスイッチ148bをオフ制御する。これにより、コンデンサ102cに対する充電が停止する。

10

#### 【0104】

また、スイッチ制御回路106は、各比較出力の値が各閾値 $+V_{th}$ 、 $-V_{th}$ を越えている間、図12の(1(エル))の符号を付した図に示すハイレベルの第2切り替え信号(/)により、電荷相殺回路102のスイッチ147aおよびスイッチ147bをオン制御する。これにより、各比較出力の値が各閾値 $+V_{th}$ 、 $-V_{th}$ を越えている間、コンデンサ102cに蓄電されていた負の電荷(-Q)が正の差動出力に付加され、コンデンサ102cに蓄電されていた正の電荷(+Q)が負の差動出力に付加される。

20

#### 【0105】

コンデンサ102cの蓄電容量は、第1および第2積分コンデンサ97c1、97c2と略同容量となっている。そして、コンデンサ102cの正の電荷の電荷量は、第1積分コンデンサ97c1の正の電荷の電荷量に等しく、また、コンデンサ102cの負の電荷の電荷量は、第2積分コンデンサ97c2の負の電荷の電荷量に等しくなっている。このため、差動変換部95から差動アンプ96に供給される正の差動出力を負の電荷(-Q)で相殺し、負の差動出力を正の電荷(+Q)で相殺することができる。そして、図12の(m)の符号および(n)の符号を付した図に示すように、差動アンプ96からの正の積分出力および負の積分出力の各電位を、第1および第2積分コンデンサ97c1、97c2の放電時と同じ電位とすることができる。

30

#### 【0106】

スイッチ制御回路106は、積分期間中において、比較器103から、正の積分出力の値が正の閾値 $+V_{th}$ 以上の値となり、負の積分出力の値が負の閾値 $-V_{th}$ 以下の値となったことを示す比較出力が供給される毎に、各差動出力に逆極性の電荷を付加するように、電荷相殺回路102のスイッチ147a、147b、148a、148bを切り替え制御する。これにより、各積分出力が各閾値 $+V_{th}$ 、 $-V_{th}$ を超える毎に、積分出力の電位を上述の放電時と同じ電位にリセットすることができ、上述の第1の実施の形態と同じ効果を得ることができる。

40

#### 【0107】

なお、カウンタ78は、図12の符号(o)を付した図に示すように、正の積分出力の値が正の閾値 $+V_{th}$ 以上となり、また、負の積分出力の値が負の閾値 $-V_{th}$ 以下となった回数をカウントする。そして、このカウント値を、第1のADC61のAD変換出力として、エンコーダ63等に供給することは、上述の第1の実施の形態で説明したとおりである。また、カウンタ78で最後にカウントされた積分出力以降の、正および負の残りの積分出力は、図12の符号(p)を付した図に示す出力制御パルスのタイミングで、第1または第2出力制御スイッチ100、101を介して、後段の第2ADC62に供給され、あるいは破棄されることも、上述の第1の実施の形態で説明したとおりである。

#### 【0108】

(第4の実施の形態)

50

次に、第4の実施の形態の光子カウンティングCT装置の説明をする。上述の各実施の形態の説明では、比較器77に対して一つの閾値 $V_{th}$ を設定した。なお、第3の実施の形態の場合は、正の積分出力に対して一つの正の閾値 $+V_{th}$ を設定し、負の積分出力に対して一つの負の閾値 $-V_{th}$ を設定した。これに対して、以下に説明する第4の実施の形態は、積分出力に対して、それぞれ異なるレベルの複数の閾値を設定したものである。なお、上述の各実施の形態と、以下に説明する第4の実施の形態とは、この点のみが異なる。このため、以下、両者の差異の説明のみを行い、重複説明は省略する。また、第4の実施の形態の説明で用いる図面において、上述の各実施の形態と同じ動作を示す箇所には、同じ符号を付し、その詳細な説明は省略する。

#### 【0109】

図13に、第4の実施の形態の光子カウンティングCT装置に設けられている各コア51の積分器60および第1ADC61周辺の詳細なブロック図を示す。この図13に示す第4の実施の形態の光子カウンティングCT装置の場合、積分出力が供給される比較器77に対して、DA変換器150が、第1の閾値 $V_{th1}$ および第1の閾値 $V_{th1}$ よりも高い値の第2の閾値 $V_{th2}$ を設定するようになっている。

#### 【0110】

図14は、このような各部の動作を説明するためのタイミングチャートである。図14の(a)の符号を付した図のクロックは、図3に示すレジスタ54からタイミングジェネレータ52に供給されるクロック(CLK)である。図14の(b)の符号を付した図のクロックは、タイミングジェネレータ52により位相が反転された反転クロック(/CLK)である。図14の(c)の符号を付した図の信号は、光電子増倍器(SiPM)59からの電荷の波形である。図14の(d)の符号を付した図の信号および図14の(e)の符号を付した図のパルスは、トリガ回路65で生成されるスタートパルスである。

#### 【0111】

図14の(g)の符号を付した図のパルスは、ラッチ回路73により、所定時間、スタートパルスをラッチすることで生成されたラッチ出力の波形である。図14の(f)の符号を付したパルスは、ラッチ回路73のラッチ動作を停止させるためのストップパルスである。図14の(h)の符号を付した図のパルスは、第1スイッチ制御回路75でリセットパルスを生成するためのゲートパルスである。図14の(i)の符号を付したパルスは、第1スイッチ制御回路75で生成されるリセットパルスである。

#### 【0112】

このような第2の実施の形態の光子カウンティングCT装置において、DA変換器150は、図14の(j)の符号を付した図に示すように、最初に第1の閾値 $V_{th1}$ を比較器77に設定する。次に、上述の積分期間中において、積分出力が第1の閾値 $V_{th1}$ 以上となったことを示す比較出力が供給されたタイミングで、第1の閾値 $V_{th1}$ よりも高い値の第2の閾値 $V_{th2}$ を比較器77に設定する。比較器77は、以後、積分期間中において、積分出力と第2の閾値 $V_{th2}$ との比較を行う。このような段階的な比較処理を行うことで、図15に示すように、指定したAD変換領域に対して、見かけ上、分解能を向上させることができる他、上述の各実施の形態と同じ効果を得ることができる。

#### 【0113】

なお、カウンタ78は、図14の符号(k)を付した図に示すように、積分出力の値が第1の閾値 $V_{th1}$ 以上となった回数、および積分出力の値が第2の閾値 $V_{th2}$ 以上となった回数の合計の回数をカウントする。そして、このカウント値を、第1のADC61のAD変換出力として、エンコーダ63等に供給することは、上述の第1の実施の形態で説明したとおりである。また、カウンタ78で最後にカウントされた積分出力以降の残りの積分出力は、図14の符号(l(エル))を付した図に示す出力制御パルスのタイミングで、出力制御スイッチ79を介して、後段の第2ADC62に供給され、あるいは破棄されることも、上述の第1の実施の形態で説明したとおりである。

#### 【0114】

また、この例では、2種類の閾値 $V_{th1}$ 、 $V_{th2}$ を設定することとしたが、それぞ

10

20

30

40

50

れ値が異なる3種類以上の閾値を設定してもよい。また、図13に示す例は、第1の実施の形態の回路構成に、第4の実施の形態を適用した例であったが、この第4の実施の形態は、第2の実施の形態および第3の実施の形態にも適用できる。第3の実施の形態に第4の実施の形態を適用する場合には、それぞれ値が異なる複数の正の閾値 + V<sub>th</sub> を設けると共に、それぞれ値が異なる複数の負の閾値 - V<sub>th</sub> を設けることとなる。いずれの場合も、上述と同じ効果を得ることができる。

【0115】

本発明の実施形態を説明したが、各実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。各実施形態およびその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

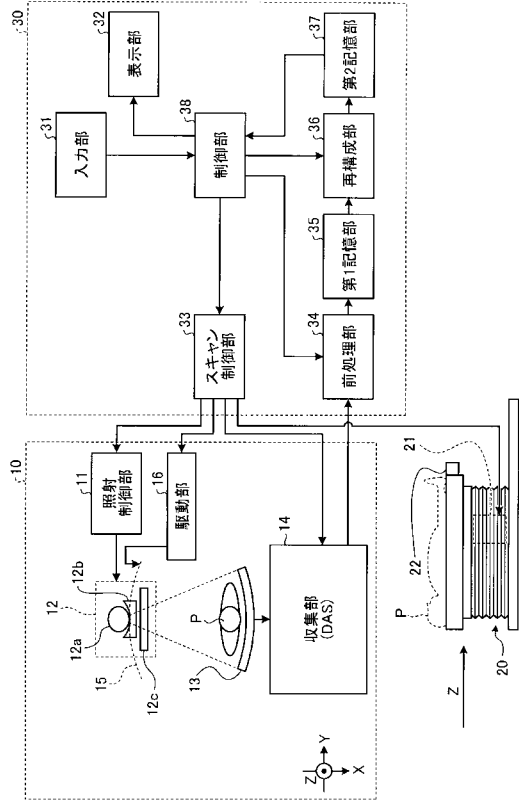
【符号の説明】

【0116】

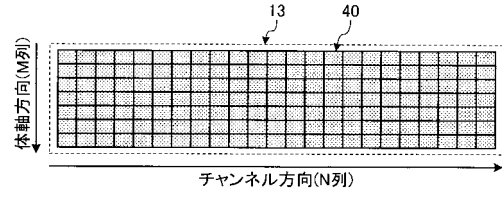
10	架台装置	
11	照射制御部	
12	X線発生装置	
13	検出器	
14	収集部	
15	回転フレーム	20
16	駆動部	
20	寝台装置	
21	寝台駆動装置	
22	天板	
30	コンソール装置	
31	入力部	
32	表示部	
33	スキャン制御部	
34	前処理部	
35	第1記憶部	30
36	再構成部	
37	第2記憶部	
38	制御部	
40	検出素子	
50	アナログフロントエンド	
51	コア	
52	タイミングジェネレータ	
53	デジタル - アナログ変換器	
54	レジスタ	
55	マルチプレクサ	40
57	電源供給部	
58	シンチレータ	
60	積分器	
60c	積分コンデンサ	
60c1	第1積分コンデンサ	
60c2	第2積分コンデンサ	
61	第1ADC	
62	第2ADC	
63	エンコーダ	
64	カウンタ	50

6 5	トリガ回路	
6 6	出力制御回路	
7 1	第 1 放電スイッチ	
7 2	第 2 放電スイッチ	
7 3	ラッチ回路	
7 4	ディレイ回路	
7 5	スイッチ制御回路	
7 6	加算器	
7 7	比較器	
7 8	カウンタ	10
7 9	出力制御スイッチ	
8 2	比較器	
8 3	D A 変換器	
8 4	逐次比較レジスタ	
8 5	タイミング制御回路	
9 1	第 1 放電回路	
9 2	第 2 放電回路	
9 3	スイッチ制御回路	
9 5	差動変換部	
9 6	差動アンプ	20
9 7 c 1	第 1 積分コンデンサ	
9 7 c 2	第 2 積分コンデンサ	
9 8	第 1 放電スイッチ	
9 9	第 2 放電スイッチ	
1 0 0	第 1 出力制御スイッチ	
1 0 1	第 2 出力制御スイッチ	
1 0 2 c	コンデンサ	
1 0 2	電荷相殺回路	
1 0 3	比較器	
1 0 4	D A 変換器	30
1 0 5	D A 変換器	
1 0 6	スイッチ制御回路	
1 4 0	放電スイッチ	
1 4 1 a	チャージスイッチ	
1 4 1 b	チャージスイッチ	
1 4 2 a	放電スイッチ	
1 4 2 b	放電スイッチ	
1 4 4 a	チャージスイッチ	
1 4 4 b	チャージスイッチ	
1 4 5 a	放電スイッチ	40
1 4 5 b	放電スイッチ	
1 4 7 a	スイッチ	
1 4 7 b	スイッチ	
1 4 8 a	スイッチ	
1 4 8 b	スイッチ	
1 5 0	D A 変換器	

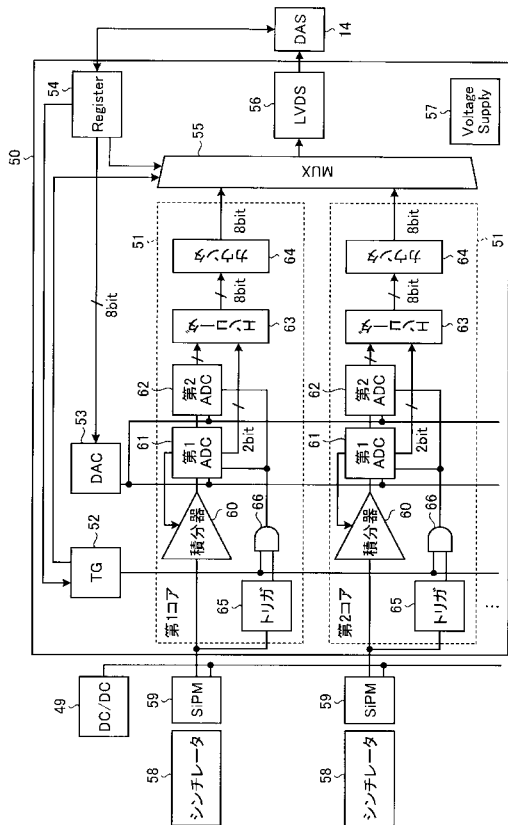
【図1】



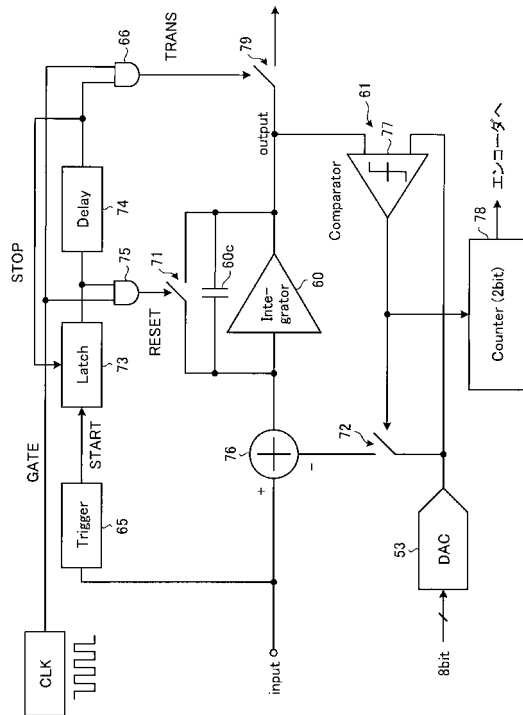
【図2】



【図3】

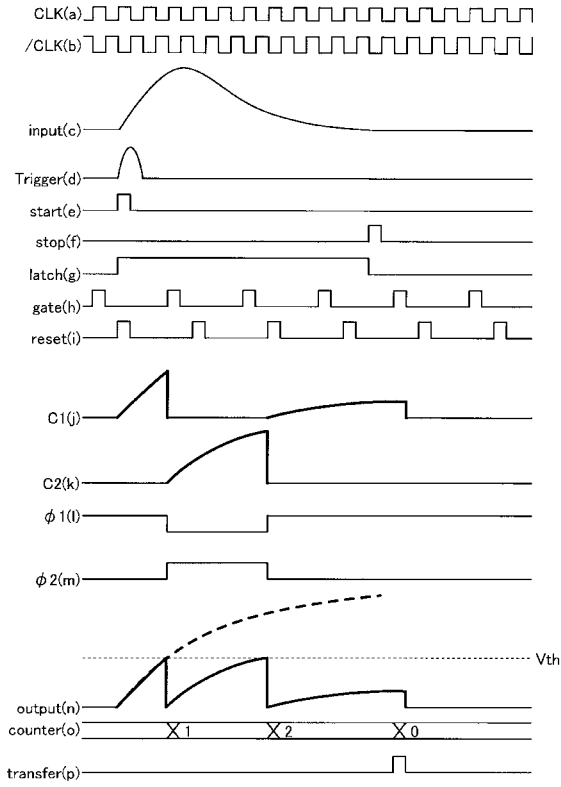


【図4】

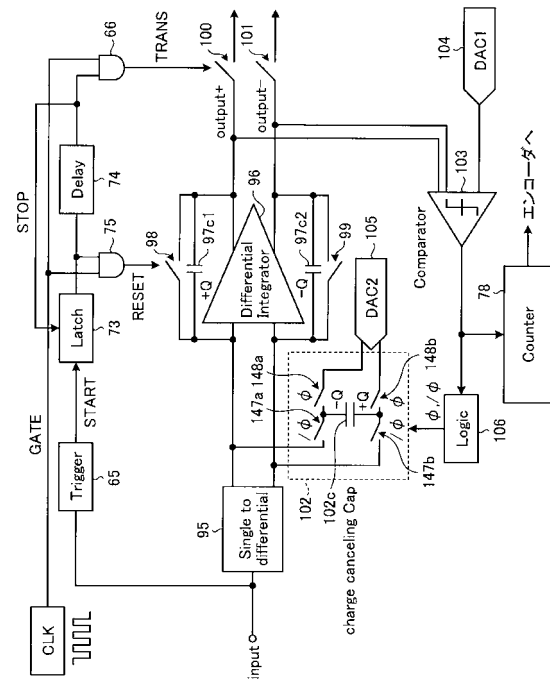




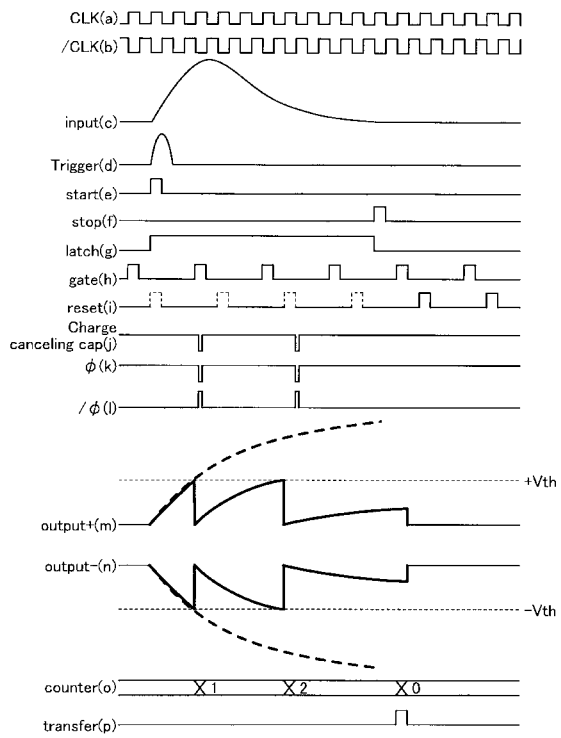
【図 10】



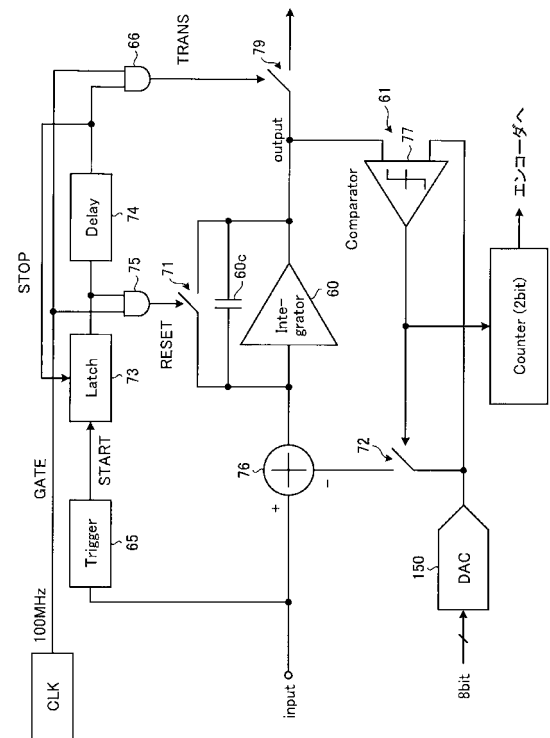
【図 11】



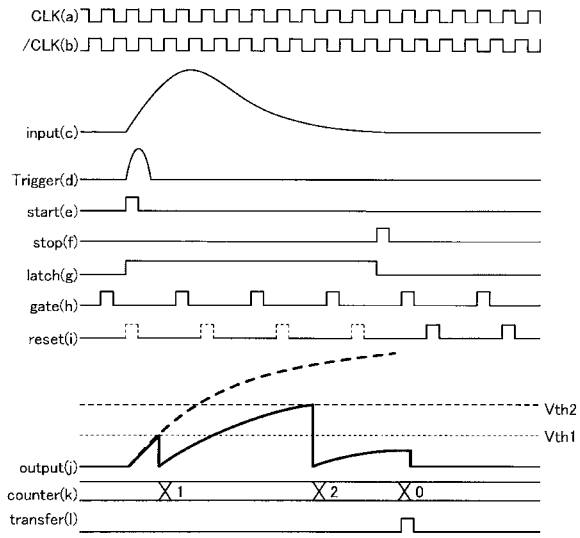
【図 12】



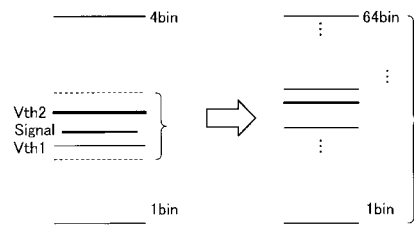
【図 13】



【 図 1 4 】



【 図 1 5 】





---

フロントページの続き

(72)発明者 河田 剛  
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 板倉 哲朗  
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 古田 雅則  
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 2G188 AA02 BB02 BB15 CC21 CC28 DD05 EE06 EE07 EE12 EE36  
GG04  
5C024 AX11 CX03 GX01 HX23 HX31 HX32  
5J022 BA01 BA07 CB01 CE05 CF01 CF03 CF10