

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 7 月 30 日(30.07.2015)

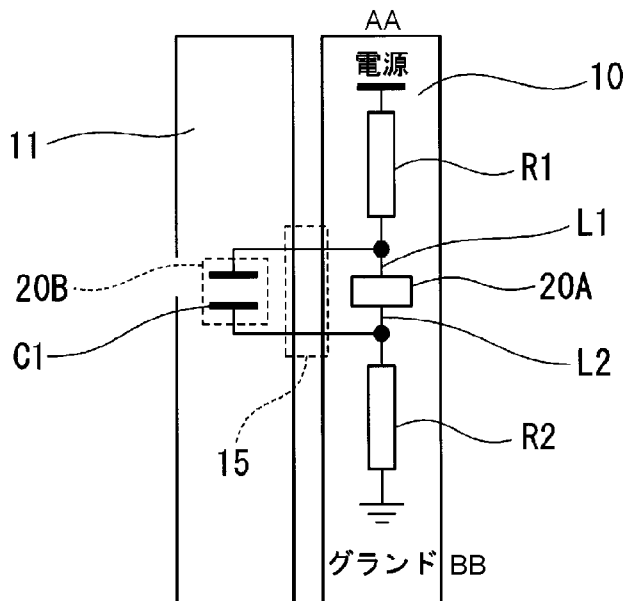


(10) 国際公開番号
WO 2015/111460 A1

- (51) 国際特許分類:
H04N 5/357 (2011.01) *H04N 5/374* (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2015/050606
- (22) 国際出願日: 2015 年 1 月 13 日(13.01.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-011618 2014 年 1 月 24 日(24.01.2014) JP
- (71) 出願人: オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 Tokyo (JP).
- (72) 発明者: 小林 賢司(KOBAYASHI Kenji); 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外(TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SOLID-STATE IMAGE CAPTURING DEVICE AND IMAGE CAPTURING APPARATUS

(54) 発明の名称: 固体撮像装置および撮像装置



AA Power supply
BB Ground

(57) Abstract: This solid-state image capturing device has a plurality of substrates overlapping each other, and the plurality of substrates are electrically connected by a connection part, the solid-state image capturing device being provided with: a pixel circuit in which photoelectric conversion parts each for converting incident light into a signal are arranged in a matrix; a first readout circuit which reads a signal from the photoelectric conversion part; a signal processing circuit which performs signal processing on the signal read out from the photoelectric conversion part; an output circuit which outputs the signal processed by the signal processing circuit to the outside; first wiring which is provided to correspond to each of four circuits of the pixel circuit, the first readout circuit, the signal processing circuit, and the output circuit, and supplies a first voltage to each of the circuits; second wiring which is provided to correspond to each of the four circuits and supplies a second voltage different from the first voltage to each of the circuits; and a capacitor which is electrically connected to the first wiring and the second wiring that correspond to at least any circuit of the four circuits, and has a first end electrically connected to the first wiring, and a second end electrically connected to the second wiring. In a substrate different from a substrate on which the corresponding circuit among the four circuits is disposed, the capacitor is disposed in a region facing the corresponding circuit.

(57) 要約:

[続葉有]



本固体撮像装置は、重なった複数の基板を有し、前記複数の基板が接続部によって電氣的に接続された固体撮像装置であって、入射した光を信号に変換する光電変換部が行列状に配置された画素回路と、前記光電変換部から信号を読み出す第1の読み出し回路と、前記光電変換部から読み出された信号に対し信号処理を行う信号処理回路と、前記信号処理回路によって処理された信号を外部に出力する出力回路と、前記画素回路と前記第1の読み出し回路と前記信号処理回路と前記出力回路との4つの回路のそれぞれに対応して設けられ、それぞれの回路に第1の電圧を供給する第1の配線と、前記4つの回路のそれぞれに対応して設けられ、それぞれの回路に、前記第1の電圧と異なる第2の電圧を供給する第2の配線と、前記4つの回路の少なくともいずれかの回路に対応する前記第1の配線と前記第2の配線とに電氣的に接続されたコンデンサであって、第1端が前記第1の配線に電氣的に接続され、第2端が前記第2の配線に電氣的に接続されたコンデンサと、を備える。前記コンデンサは、前記4つの回路のうち対応する回路が配置された基板と異なる基板において、前記対応する回路と対面する領域に配置されている。

明 細 書

発明の名称： 固体撮像装置および撮像装置

技術分野

[0001] 本発明は、光電変換部が行列状に配置された固体撮像装置、およびこの固体撮像装置を有する撮像装置に関する。

本願は、2014年1月24日に、日本国に出願された特願2014-011618号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 固体撮像装置（イメージャ）を小型化するために、複数の基板が重ねられ（積層され）、それらの基板が電氣的に接続された固体撮像装置がある（例えば、特許文献1参照）。近年、電子機器の小型化の要請のため、固体撮像装置の更なる小型化が要求されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2009-177207号公報

発明の概要

発明が解決しようとする課題

[0004] 固体撮像装置の更なる小型化を実現するためには、電源電圧を供給する電源ラインや、参照電圧（グランド電圧）を供給する参照電圧ラインの幅を狭くする必要がある。電源ラインや参照電圧ラインの幅が狭くなると、配線のインピーダンスが増加して、ノイズが大きくなる。

[0005] 本発明は、配線のインピーダンスの影響によるノイズを低減することができる技術を提供する。

課題を解決するための手段

[0006] 本発明の第1の態様によれば、固体撮像装置は、重なった複数の基板を有し、前記複数の基板が接続部によって電氣的に接続された固体撮像装置であって、入射した光を信号に変換する光電変換部が行列状に配置された画素回

路と、前記光電変換部から信号を読み出す第1の読み出し回路と、前記光電変換部から読み出された信号に対して信号処理を行う信号処理回路と、前記信号処理回路によって処理された信号を外部に出力する出力回路と、前記画素回路と前記第1の読み出し回路と前記信号処理回路と前記出力回路との4つの回路のそれぞれに対応して設けられ、それぞれの回路に第1の電圧を供給する第1の配線と、前記4つの回路のそれぞれに対応して設けられ、それぞれの回路に、前記第1の電圧と異なる第2の電圧を供給する第2の配線と、前記4つの回路の少なくともいずれかの回路に対応する前記第1の配線と前記第2の配線とに電氣的に接続されたコンデンサであって、第1端が前記第1の配線に電氣的に接続され、第2端が前記第2の配線に電氣的に接続されたコンデンサと、を備える。前記コンデンサは、前記4つの回路のうち対応する回路が配置された基板と異なる基板において、前記対応する回路と対面する領域に配置されている。

[0007] 本発明の第2の態様によれば、上記第1の態様に係る固体撮像装置において、前記コンデンサは、前記接続部を介して、前記第1の配線と前記第2の配線とに電氣的に接続されていてもよい。

[0008] 本発明の第3の態様によれば、上記第1の態様に係る固体撮像装置において、前記第1の配線と前記第2の配線とは、前記4つの回路のうち対応する回路が配置された基板と同一の基板と、この基板に隣接する基板とにまたがって配置され、前記コンデンサは、前記隣接する基板において、前記第1の配線と前記第2の配線とに電氣的に接続されていてもよい。

[0009] 本発明の第4の態様によれば、上記第1の態様に係る固体撮像装置において、前記コンデンサは、前記第1の読み出し回路に対応する前記第1の配線と前記第2の配線とに電氣的に接続された第1のコンデンサと、前記信号処理回路または前記出力回路に対応する前記第1の配線と前記第2の配線とに電氣的に接続された第2のコンデンサと、を有し、前記第1のコンデンサの容量値が、前記第2のコンデンサの容量値よりも大きくてもよい。

[0010] 本発明の第5の態様によれば、上記第1の態様に係る固体撮像装置において

、前記コンデンサは、前記第 1 の読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 1 のコンデンサと、前記信号処理回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 2 のコンデンサと、前記出力回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 3 のコンデンサと、を有し、前記第 1 のコンデンサの容量値が、前記第 2 のコンデンサの容量値および前記第 3 のコンデンサの容量値よりも大きくてもよい。

[0011] 本発明の第 6 の態様によれば、上記第 1 の態様に係る固体撮像装置において、前記光電変換部から読み出された信号を保持するメモリ部と、前記メモリ部に保持された信号を読み出し、読み出された信号を前記信号処理回路に入力させる第 2 の読み出し回路と、前記第 2 の読み出し回路に前記第 1 の電圧を供給する第 3 の配線と、前記第 2 の読み出し回路に前記第 2 の電圧を供給する第 4 の配線と、前記第 3 の配線に第 1 端が接続され、前記第 4 の配線に第 2 端が接続される第 2 の読み出し回路コンデンサと、を備えてもよい。

[0012] 本発明の第 7 の態様によれば、上記第 1 の態様に係る固体撮像装置において、前記第 1 の読み出し回路は、第 1 の行の前記光電変換部から信号を読み出す第 1 の行読み出し回路と、前記第 1 の行と異なる第 2 の行の前記光電変換部から信号を読み出す第 2 の行読み出し回路と、を有し、前記第 1 の配線および前記第 2 の配線は、前記第 1 の行読み出し回路と前記第 2 の行読み出し回路とのそれぞれに対応して設けられ、前記コンデンサは、前記第 1 の行読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 1 のコンデンサと、前記第 2 の行読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 2 のコンデンサと、を有してもよい。

[0013] 本発明の第 8 の態様によれば、上記第 1 の態様に係る固体撮像装置において

、前記信号処理回路は、第 1 の列の前記光電変換部から読み出された信号に対して信号処理を行う第 1 の列信号処理回路と、前記第 1 の列と異なる第 2 の列の前記光電変換部から読み出された信号に対して信号処理を行う第 2 の列信号処理回路と、を有し、前記第 1 の配線および前記第 2 の配線は、前記第 1 の列信号処理回路と前記第 2 の列信号処理回路とのそれぞれに対応して設けられ、前記コンデンサは、前記第 1 の列信号処理回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 1 のコンデンサと、前記第 2 の列信号処理回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 2 のコンデンサと、を有してもよい。

[0014] 本発明の第 9 の態様によれば、上記第 7 の態様または第 8 の態様のいずれかの一態様に係る固体撮像装置において、前記第 1 のコンデンサの容量値と、前記第 2 のコンデンサの容量値とは、前記第 1 の電圧を供給する電圧源からの距離に応じた容量値であってもよい。

[0015] 本発明の第 10 の態様によれば、上記第 8 の態様に係る固体撮像装置において、前記第 1 のコンデンサの容量値と、前記第 2 のコンデンサの容量値とは、前記第 2 の電圧を供給する電圧源からの距離に応じた容量値であってもよい。

[0016] 本発明の第 11 の態様によれば、撮像装置は、上記第 1 の態様に係る固体撮像装置を備える撮像装置である。

発明の効果

[0017] 本発明によれば、画素回路と読み出し回路と信号処理回路と出力回路との 4 つの回路の少なくともいずれかの回路に対応する第 1 の配線と第 2 の配線とに電氣的に接続されたコンデンサを配置することによって、配線のインピーダンスの影響によるノイズを低減することができる。

図面の簡単な説明

[0018] [図1]本発明の第1の実施形態によるデジタルカメラの構成例を示すブロック図である。

[図2]本発明の第1の実施形態による固体撮像装置の構成例を示すブロック図である。

[図3]本発明の第1の実施形態による固体撮像装置の構造例を示す断面図である。

[図4]本発明の第1の実施形態による固体撮像装置を構成する第1の基板の構成例を示すブロック図である。

[図5]本発明の第1の実施形態による固体撮像装置を構成する第2の基板の構成例を示すブロック図である。

[図6]本発明の第1の実施形態による固体撮像装置が有する第1の読み出し回路と第1の読み出し回路容量部との周辺の構成例を示す回路図である。

[図7]本発明の第1の実施形態による固体撮像装置の動作を示すタイミングチャートである。

[図8]本発明の第1の実施形態の変形例による固体撮像装置を構成する第1の基板の構成例を示すブロック図である。

[図9]本発明の第1の実施形態の変形例による固体撮像装置を構成する第2の基板の構成例を示すブロック図である。

[図10]本発明の第1の実施形態の変形例による固体撮像装置の動作を示すタイミングチャートである。

[図11]本発明の第2の実施形態による固体撮像装置が有する第1の読み出し回路と第1の読み出し回路容量部との周辺の構成例を示す回路図である。

[図12]本発明の第3の実施形態による固体撮像装置が有する第1の読み出し回路と第1の読み出し回路容量部との周辺の構成例を示す回路図である。

[図13]本発明の第3の実施形態による固体撮像装置が有する第1の読み出し回路と第1の読み出し回路容量部との周辺の他の構成例を示す回路図である。

[図14]本発明の第3の実施形態による固体撮像装置が有する信号処理回路の

構成例を示すブロック図である。

[図15]本発明の第4の実施形態による固体撮像装置を構成する第1の基板の構成例を示すブロック図である。

[図16]本発明の第4の実施形態による固体撮像装置を構成する第2の基板の構成例を示すブロック図である。

[図17]本発明の第4の実施形態による固体撮像装置を構成する第3の基板の構成例を示すブロック図である。

[図18]本発明の第5の実施形態による固体撮像装置を構成する第1の基板の構成例を示すブロック図である。

[図19]本発明の第5の実施形態による固体撮像装置を構成する第2の基板の構成例を示すブロック図である。

発明を実施するための形態

[0019] 以下、図面を参照し、本発明の実施形態を説明する。

[0020] (第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態による撮像装置の一例であるデジタルカメラの構成例を示している。図1に示すように、デジタルカメラ7は、固体撮像装置1と、レンズユニット部2と、画像処理装置3と、記録装置4と、カメラ制御装置5と、表示装置6とを有する。

[0021] レンズユニット部2は、レンズ等の光学系を有し、被写体からの光が形成する被写体像を固体撮像装置1に結像させる。レンズユニット部2のズーム、フォーカス、絞りなどの駆動はカメラ制御装置5によって制御される。固体撮像装置1は、レンズユニット部2を介してデジタルカメラ7内に入射した被写体の光を画像信号に変換するMOS型撮像装置である。固体撮像装置1の駆動はカメラ制御装置5によって制御される。この固体撮像装置1に関する詳細な説明については、後述する。

[0022] 画像処理装置3は固体撮像装置1から出力された画像信号に対して信号の増幅や画像データへの変換などの処理を行い、変換された画像データに対し

て各種の補正や圧縮などの処理を行う。記録装置４は、半導体メモリなどの着脱可能な記録媒体であり、画像データの記録および読み出しを行う。表示装置６は、固体撮像装置１から出力された画像信号に基づく画像データ、または記録装置４から読み出された画像データに基づく画像を表示する液晶などの表示装置である。

[0023] 図２は、固体撮像装置１の構成例を示している。図２に示すように、固体撮像装置１は、第１の読み出し部２０と、第２の読み出し部２１と、水平読み出し部３０と、画素部４０と、信号処理部６０と、出力部８０とを有する。

[0024] 画素部４０は、複数の画素５０を有する。画素５０は、入射した光を信号に変換する光電変換部と、光電変換部から読み出された信号を保持するメモリ部とを含む。図２では複数の画素５０が配置されているが、代表として１つの画素５０の符号が示されている。複数の画素５０は行列状に配置されている。それぞれの画素５０は垂直信号線９０に接続されており、光電変換部が生成した信号を垂直信号線９０に出力する。複数の垂直信号線９０が配置されており、それぞれの垂直信号線９０は画素５０の配列の列毎に配置されている。

[0025] 第１の読み出し部２０は、複数の画素５０内の光電変換部から信号を読み出す。より具体的には、第１の読み出し部２０は、制御信号を画素５０の配列の行毎に出力する。この制御信号は、複数の画素５０内の光電変換部からの信号の読み出しを制御するための信号である。この制御信号によって、画素５０の配列における同一の行に配置された複数の画素５０内の光電変換部から同時に信号が読み出される。複数の画素５０内の光電変換部から読み出された信号は、複数の画素５０内のメモリ部に保持される。

[0026] 第２の読み出し部２１は、複数の画素５０内の光電変換部から読み出されて複数の画素５０内のメモリ部に保持された信号を読み出す。第２の読み出し部２１は、読み出された信号を信号処理部６０に入力させる。より具体的には、第２の読み出し部２１は、制御信号を画素５０の配列の行毎に出力す

る。この制御信号は、複数の画素50内のメモリ部からの信号の読み出しを制御するための信号である。この制御信号によって、画素50の配列における同一の行に配置された複数の画素50内のメモリ部から同時に信号が読み出される。複数の画素50内のメモリ部から読み出された信号は垂直信号線90に出力される。

[0027] 信号処理部60は、複数の画素50から読み出された信号に対して信号処理を行う。より具体的には、信号処理部60は、複数の列信号処理部を有する。それぞれの列信号処理部は、画素50の配列の列毎に配置され、各列の垂直信号線90に接続されている。それぞれの列信号処理部は、各列の画素50から垂直信号線90に出力された信号に対して、CDS (Correlated Double Sampling: 相関二重サンプリング) によるノイズ抑圧などの処理を行う。

[0028] 水平読み出し部30は、信号処理部60によって処理された信号を水平信号線70に読み出す。より具体的には、水平読み出し部30は、信号処理部60内の複数の列信号処理部のそれぞれから出力される信号を水平信号線70に順次読み出す。

[0029] 出力部80は、信号処理部60によって処理された信号を外部に出力する。より具体的には、出力部80は、信号処理部60によって処理されて水平信号線70に読み出された信号に対して、適宜、増幅処理などの処理を行う。出力部80は、処理後の信号を外部に出力する。

[0030] 図3は、固体撮像装置1の構造例を示している。図3では、固体撮像装置1の断面が示されている。図3に示すように、固体撮像装置1は、第1の基板10と、第2の基板11と、接続部15とを有する。

[0031] 第1の基板10と第2の基板11とは、それぞれの主面（基板の表面を構成する複数の面のうち最も広い面）が向かい合った状態で重なっている。第1の基板10と第2の基板11との間に接続部15が配置されている。接続部15は、バンプまたは貫通電極などで構成され、第1の基板10と第2の基板11とを電氣的に接続する。接続部15は、第1の基板10に形成され

た第1の電極と、第2の基板11に形成され、バンプを介さずに第1の電極と接続された第2の電極とで構成されてもよい。

[0032] 本実施形態では、2枚の基板を有する固体撮像装置の例を説明する。本実施形態で説明する技術は、重なった複数の基板を有し、複数の基板が接続部によって電氣的に接続された固体撮像装置に対して適用可能である。

[0033] 図4は、第1の基板10の構成例を示している。図4に示すように、第1の基板10は、第1の読み出し回路20Aと、第2の読み出し回路容量部21Bと、水平読み出し回路容量部30Bと、画素回路41Aと、信号処理回路容量部60Bと、出力回路容量部80Bとを有する。

[0034] 画素回路41Aは、画素部40を構成する回路のうち第1の基板10に配置された回路である。画素回路41Aは、入射した光を信号に変換する複数の光電変換部51Aを有する。図4では複数の光電変換部51Aが配置されているが、代表として1つの光電変換部51Aの符号が示されている。複数の光電変換部51Aは行列状に配置されている。

[0035] 第1の読み出し回路20Aは、第1の読み出し部20を構成する回路のうち第1の基板10に配置された回路である。第1の読み出し回路20Aは、複数の光電変換部51Aから信号を読み出す。より具体的には、第1の読み出し回路20Aは、制御信号を光電変換部51Aの配列の行毎に出力する。この制御信号は、複数の光電変換部51Aからの信号の読み出しを制御するための信号である。この制御信号によって、光電変換部51Aの配列における同一の行に配置された光電変換部51Aから同時に信号が読み出される。光電変換部51Aから読み出された信号は、接続部15を介して第2の基板11に転送される。

[0036] 第2の読み出し回路容量部21Bは、第2の読み出し部21を構成する回路のうち第1の基板10に配置された回路である。水平読み出し回路容量部30Bは、水平読み出し部30を構成する回路のうち第1の基板10に配置された回路である。信号処理回路容量部60Bは、信号処理部60を構成する回路のうち第1の基板10に配置された回路である。出力回路容量部80

Bは、出力部80を構成する回路のうち第1の基板10に配置された回路である。第2の読み出し回路容量部21Bと、水平読み出し回路容量部30Bと、信号処理回路容量部60Bと、出力回路容量部80Bとについては後述する。

[0037] 図5は、第2の基板11の構成例を示している。図5に示すように、第2の基板11は、第1の読み出し回路容量部20Bと、第2の読み出し回路21Aと、水平読み出し回路30Aと、メモリ回路42Aと、信号処理回路60Aと、出力回路80Aとを有する。

[0038] メモリ回路42Aは、画素部40を構成する回路のうち第2の基板11に配置された回路である。第1の基板10において画素回路41Aが配置されている領域と、第2の基板11においてメモリ回路42Aが配置されている領域とは、互いに対面する領域である。メモリ回路42Aは、複数のメモリ部52Aを有する。メモリ部52Aは、光電変換部51Aから読み出されて第2の基板11に転送された信号を保持する。図5では複数のメモリ部52Aが配置されているが、代表として1つのメモリ部52Aの符号が示されている。複数のメモリ部52Aは行列状に配置されている。

[0039] 第2の読み出し回路21Aは、第1の読み出し部20を構成する回路のうち第2の基板11に配置された回路である。第1の基板10に配置されている第2の読み出し回路容量部21Bと、第2の基板11に配置されている第2の読み出し回路21Aとは、互いに対面するように配置されている。第2の読み出し回路21Aは、複数のメモリ部52Aに保持された信号を読み出し、読み出された信号を信号処理回路60Aに入力させる。より具体的には、第2の読み出し回路21Aは、制御信号をメモリ部52Aの配列の行毎に出力する。この制御信号は、複数のメモリ部52Aからの信号の読み出しを制御するための信号である。この制御信号によって、メモリ部52Aの配列における同一の行に配置されたメモリ部52Aから同時に信号が読み出される。複数のメモリ部52Aから読み出された信号は垂直信号線90に出力される。

[0040] 信号処理回路60Aは、信号処理部60を構成する回路のうち第2の基板11に配置された回路である。第1の基板10に配置されている信号処理回路容量部60Bと、第2の基板11に配置されている信号処理回路60Aとは、互いに対面するように配置されている。信号処理回路60Aは、複数のメモリ部52Aから読み出された信号に対して信号処理を行う。より具体的には、信号処理回路60Aは、複数の列信号処理回路を有する。それぞれの列信号処理回路は、メモリ部52Aの配列の列毎に配置され、各列の垂直信号線90に接続されている。それぞれの列信号処理回路は、各列のメモリ部52Aから垂直信号線90に出力された信号に対して、CDSによるノイズ抑圧などの処理を行う。

[0041] 水平読み出し回路30Aは、水平読み出し部30を構成する回路のうち第2の基板11に配置された回路である。第1の基板10に配置されている水平読み出し回路容量部30Bと、第2の基板11に配置されている水平読み出し回路30Aとは、互いに対面するように配置されている。水平読み出し回路30Aは、信号処理回路60Aによって処理された信号を水平信号線70に読み出す。より具体的には、水平読み出し回路30Aは、信号処理回路60A内の複数の列信号処理回路のそれぞれから出力される信号を水平信号線70に順次読み出す。

[0042] 出力回路80Aは、出力部80を構成する回路のうち第2の基板11に配置された回路である。第1の基板10に配置されている出力回路容量部80Bと、第2の基板11に配置されている出力回路80Aとは、互いに対面するように配置されている。出力回路80Aは、信号処理回路60Aによって処理された信号を外部に出力する。より具体的には、出力回路80Aは、信号処理回路60Aによって処理されて水平信号線70に読み出された信号に対して、適宜、増幅処理などの処理を行い、処理後の信号を外部に出力する。

[0043] 図6は、第1の読み出し回路20Aと第1の読み出し回路容量部20Bとの周辺の構成例を示している。第1の読み出し回路20Aに対応して第1の

配線L 1と第2の配線L 2とが設けられている。第1の読み出し回路20Aは、第1の配線L 1と第2の配線L 2とに接続されている。

[0044] 第1の配線L 1は電源に接続されている。第1の配線L 1は、第1の読み出し回路20Aに対して、第1の電圧である電源電圧を供給する。第1の配線L 1には、抵抗やインダクタンスなどに起因する第1のインピーダンスR 1が存在する。

[0045] 第2の配線L 2はグラウンドに接続されている。第2の配線L 2は、第1の読み出し回路20Aに対して、第1の電圧と異なる第2の電圧であるグラウンド電圧（参照電圧）を供給する。第2の配線L 2には、抵抗やインダクタンスなどに起因する第2のインピーダンスR 2が存在する。第1の電圧がグラウンド電圧、第2の電圧が電源電圧などであってもよい。

[0046] 第1の読み出し回路容量部20Bは、いわゆるバイパスコンデンサとして機能するコンデンサC 1を有する。コンデンサC 1は、第1の読み出し回路20Aが配置された第1の基板10と異なる第2の基板11（第1の基板10と隣接する第2の基板11）において、第1の読み出し回路20Aと対面する領域に配置されている。コンデンサC 1の第1端は、接続部15を介して第1の配線L 1に電氣的に接続されている。コンデンサC 1の第2端は、接続部15を介して第2の配線L 2に電氣的に接続されている。つまり、コンデンサC 1は、接続部15を介して、第1の配線L 1と第2の配線L 2とに電氣的に接続されている。

[0047] コンデンサC 1を設けることによって、第1の読み出し回路20Aの駆動時に第1の配線L 1と第2の配線L 2とに瞬間的に流れる電流（瞬間的に変化する電流）を抑圧することができる。第1の配線L 1と第2の配線L 2とに瞬間的に流れる電流を抑圧することによって、第1のインピーダンスR 1と第2のインピーダンスR 2とに起因する電圧降下を低減することができる。したがって、第1の読み出し回路20Aに供給されるアナログ信号のノイズを低減し、第1の読み出し回路20Aの誤動作を防止することができる。

[0048] 第1の基板10にはコンデンサC 1を配置する領域が必要ない。第2の基

板 1 1 において、第 1 の読み出し回路 2 0 A と対面する領域にコンデンサ C 1 を配置することで、第 1 の読み出し回路 2 0 A とコンデンサ C 1 とが非常に近くなるように配置される。第 1 の読み出し回路 2 0 A とコンデンサ C 1 とが近くに配置されることで、第 1 の読み出し回路 2 0 A とコンデンサ C 1 との間の配線の抵抗やインダクタンスなどに起因する電圧降下が低減される。このため、第 1 の読み出し回路 2 0 A に供給されるアナログ信号のノイズをより低減することができる。

[0049] 第 2 の読み出し回路容量部 2 1 B と第 2 の読み出し回路 2 1 A との周辺の構成は、図 6 に示す構成と同様である。つまり、第 2 の読み出し回路 2 1 A に対応して第 1 の配線（第 3 の配線）と第 2 の配線（第 4 の配線）とが設けられ、第 2 の読み出し回路 2 1 A は第 1 の配線と第 2 の配線とに接続されている。第 1 の配線は、第 2 の読み出し回路 2 1 A に対して、第 1 の電圧を供給する。第 2 の配線は、第 2 の読み出し回路 2 1 A に対して、第 1 の電圧と異なる第 2 の電圧を供給する。

[0050] 第 2 の読み出し回路容量部 2 1 B は、コンデンサ（読み出し回路コンデンサ）を有する。コンデンサは、第 2 の読み出し回路 2 1 A が配置された第 2 の基板 1 1 と異なる第 1 の基板 1 0 （第 2 の基板 1 1 と隣接する第 1 の基板 1 0 ）において、第 2 の読み出し回路 2 1 A と対面する領域に配置されている。コンデンサの第 1 端は、接続部 1 5 を介して第 1 の配線に電氣的に接続されている。コンデンサの第 2 端は、接続部 1 5 を介して第 2 の配線に電氣的に接続されている。つまり、コンデンサは、接続部 1 5 を介して、第 1 の配線と第 2 の配線とに電氣的に接続されている。

[0051] 水平読み出し回路容量部 3 0 B と水平読み出し回路 3 0 A との周辺の構成は、図 6 に示す構成と同様である。つまり、水平読み出し回路 3 0 A に対応して第 1 の配線と第 2 の配線とが設けられ、水平読み出し回路 3 0 A は第 1 の配線と第 2 の配線とに接続されている。第 1 の配線は、水平読み出し回路 3 0 A に対して、第 1 の電圧を供給する。第 2 の配線は、水平読み出し回路 3 0 A に対して、第 1 の電圧と異なる第 2 の電圧を供給する。

- [0052] 水平読み出し回路容量部30Bは、コンデンサを有する。コンデンサは、水平読み出し回路30Aが配置された第2の基板11と異なる第1の基板10（第2の基板11と隣接する第1の基板10）において、水平読み出し回路30Aと対面する領域に配置されている。コンデンサの第1端は、接続部15を介して第1の配線に電氣的に接続されている。コンデンサの第2端は、接続部15を介して第2の配線に電氣的に接続されている。つまり、コンデンサは、接続部15を介して、第1の配線と第2の配線とに電氣的に接続されている。
- [0053] 信号処理回路容量部60Bと信号処理回路60Aとの周辺の構成は、図6に示す構成と同様である。つまり、信号処理回路60Aに対応して第1の配線と第2の配線とが設けられ、信号処理回路60Aは第1の配線と第2の配線とに接続されている。第1の配線は、信号処理回路60Aに対して、第1の電圧を供給する。第2の配線は、信号処理回路60Aに対して、第1の電圧と異なる第2の電圧を供給する。
- [0054] 信号処理回路容量部60Bは、コンデンサを有する。コンデンサは、信号処理回路60Aが配置された第2の基板11と異なる第1の基板10（第2の基板11と隣接する第1の基板10）において、信号処理回路60Aと対面する領域に配置されている。コンデンサの第1端は、接続部15を介して第1の配線に電氣的に接続されている。コンデンサの第2端は、接続部15を介して第2の配線に電氣的に接続されている。つまり、コンデンサは、接続部15を介して、第1の配線と第2の配線とに電氣的に接続されている。
- [0055] 出力回路容量部80Bと出力回路80Aとの周辺の構成は、図6に示す構成と同様である。つまり、出力回路80Aに対応して第1の配線と第2の配線とが設けられ、出力回路80Aは第1の配線と第2の配線とに接続されている。第1の配線は、出力回路80Aに対して、第1の電圧を供給する。第2の配線は、出力回路80Aに対して、第1の電圧と異なる第2の電圧を供給する。
- [0056] 出力回路容量部80Bは、コンデンサを有する。コンデンサは、出力回路

80Aが配置された第2の基板11と異なる第1の基板10（第2の基板11と隣接する第1の基板10）において、出力回路80Aと対面する領域に配置されている。コンデンサの第1端は、接続部15を介して第1の配線に電氣的に接続されている。コンデンサの第2端は、接続部15を介して第2の配線に電氣的に接続されている。つまり、コンデンサは、接続部15を介して、第1の配線と第2の配線とに電氣的に接続されている。

[0057] 上記のように、第1の読み出し回路容量部20Bと、第2の読み出し回路容量部21Bと、水平読み出し回路容量部30Bと、信号処理回路容量部60Bと、出力回路容量部80Bとのそれぞれがコンデンサを有する。これらのコンデンサの容量値は、それぞれのコンデンサと対面する領域に配置された回路に対応して異なる値であってもよい。

[0058] 図7は、固体撮像装置1の動作を示している。図7に示される垂直位置（ $V_1, V_2, \dots, V_n$ ）が画素50の配列における垂直位置（行位置）を示し、図7に示される水平位置が時間位置を示している。

[0059] 固体撮像装置1の動作は、リセット期間と、信号転送期間と、読み出し期間とのそれぞれにおける動作で構成される。リセット期間は、全ての行の画素50で共通である。リセット期間では、全ての行の画素50で同時に光電変換部51Aがリセットされ、露光が開始される。

[0060] リセット期間の動作に続いて、信号転送期間の動作が行われる。信号転送期間は、全ての行の画素50で共通である。信号転送期間では、全ての行の画素50で同時に光電変換部51Aから信号が読み出され、メモリ部52Aに信号が転送される。これによって、露光が終了する。上記の動作では、全ての画素50で露光の同時性を実現することができる。

[0061] 信号転送期間の動作に続いて、読み出し期間の動作が行われる。読み出し期間の開始タイミングと終了タイミングとは画素50の配列の行毎に異なる。読み出し期間では、各行の画素50でメモリ部52Aから信号が読み出される。

[0062] 次に、本実施形態の変形例を説明する。図8は、本変形例における第1の

基板 10 の構成例を示している。図 8 に示すように、第 1 の基板 10 は、第 1 の読み出し回路 20 A と、水平読み出し回路容量部 30 B と、画素回路 41 A と、信号処理回路容量部 60 B と、出力回路容量部 80 B とを有する。図 8 における第 1 の基板 10 では、図 4 における第 1 の基板 10 に配置されている第 2 の読み出し回路容量部 21 B が配置されていない。図 8 における第 1 の基板 10 の他の構成については、既に説明したので説明を省略する。

[0063] 図 9 は、本変形例における第 2 の基板 11 の構成例を示している。図 9 に示すように、第 2 の基板 11 は、第 1 の読み出し回路容量部 20 B と、水平読み出し回路 30 A と、画素回路容量部 41 B と、信号処理回路 60 A と、出力回路 80 A とを有する。図 9 における第 2 の基板 11 では、図 5 における第 2 の基板 11 に配置されている第 2 の読み出し回路 21 A が配置されていない。図 9 における第 2 の基板 11 では、図 5 における第 2 の基板 11 に配置されているメモリ回路 42 A に代わって画素回路容量部 41 B が配置されている。

[0064] 画素回路容量部 41 B は、画素部 40 を構成する回路のうち第 2 の基板 11 に配置された回路である。第 1 の基板 10 に配置されている画素回路 41 A と、第 2 の基板 11 に配置されている画素回路容量部 41 B とは、互いに対面するように配置されている。画素回路容量部 41 B は、複数の光電変換容量部 51 B を有する。図 9 では複数の光電変換容量部 51 B が配置されているが、代表として 1 つの光電変換容量部 51 B の符号が示されている。複数の光電変換容量部 51 B は行列状に配置されている。

[0065] 画素回路 41 A から読み出された信号は、接続部 15 を介して第 2 の基板 11 に転送される。第 2 の基板 11 に転送された信号は、メモリ部に保持されることなく垂直信号線 90 に出力される。

[0066] 光電変換部 51 A と光電変換容量部 51 B との周辺の構成は、図 6 に示す構成と同様である。つまり、光電変換部 51 A に対応して第 1 の配線と第 2 の配線とが設けられ、光電変換部 51 A は第 1 の配線と第 2 の配線とに接続されている。第 1 の配線は、光電変換部 51 A に対して、第 1 の電圧を供給

する。第2の配線は、光電変換部51Aに対して、第1の電圧と異なる第2の電圧を供給する。

[0067] 光電変換容量部51Bは、コンデンサを有する。コンデンサは、光電変換部51Aが配置された第1の基板10と異なる第2の基板11（第1の基板10と隣接する第2の基板11）において、光電変換部51Aと対面する領域に配置されている。コンデンサの第1端は、接続部15を介して第1の配線に電氣的に接続されている。コンデンサの第2端は、接続部15を介して第2の配線に電氣的に接続されている。

[0068] 図10は、本変形例における固体撮像装置1の動作を示している。図10の垂直位置（V1，V2，・・・，Vn）が画素50の配列における垂直位置（行位置）を示し、図10の水平位置が時間位置を示している。

[0069] 固体撮像装置1の動作は、リセット期間と、信号転送期間・読み出し期間とのそれぞれにおける動作で構成される。各行の画素50において、リセット期間と信号転送期間・読み出し期間とが連続している。リセット期間の開始タイミングと終了タイミングとは画素50の配列の行毎に異なる。また、信号転送期間・読み出し期間の開始タイミングと終了タイミングとは画素50の配列の行毎に異なる。

[0070] リセット期間では、同一行の画素50で同時に光電変換部51Aがリセットされ、露光が開始される。リセット期間の動作に続いて、信号転送・読み出し期間の動作が行われる。信号転送・読み出し期間では、同一行の画素50で同時に光電変換部51Aから信号が読み出され、第2の基板11に信号が転送される。また、信号転送・読み出し期間では、第2の基板11に転送された信号が垂直信号線90に出力される。

[0071] 本変形例では垂直信号線90が第2の基板11に配置されているが、垂直信号線90が第1の基板10に配置されていてもよい。垂直信号線90が第1の基板10に配置されている場合、光電変換部51Aから垂直信号線90に信号が出力される。垂直信号線90に出力された信号は、接続部15を介して第2の基板11に転送される。第2の基板11に転送された信号は信号

処理回路 60A に入力される。

[0072] 本実施形態で説明する技術が適用される固体撮像装置は、第1の読み出し回路容量部20Bと、画素回路容量部41Bと、信号処理回路容量部60Bと、出力回路容量部80Bとの4つの容量部の少なくとも1つの容量部を有していればよい。本実施形態で説明する技術が適用される固体撮像装置は、第2の読み出し回路容量部21Bと、水平読み出し回路容量部30Bとの少なくとも1つを有していなくてもよい。

[0073] 図8と図9とに示すように、第2の読み出し回路容量部21Bと第2の読み出し回路21Aとは、本実施形態で説明する技術が適用される固体撮像装置に必須の構成ではない。また、水平読み出し回路容量部30Bと水平読み出し回路30Aとに関係なく、第1の読み出し回路容量部20Bと、画素回路容量部41Bと、信号処理回路容量部60Bと、出力回路容量部80Bとの少なくともいずれかによって、ノイズを低減することができる。このため、水平読み出し回路容量部30Bと水平読み出し回路30Aとは、本実施形態による固体撮像装置の特徴的な効果を得るために必須の構成ではない。

[0074] 本実施形態で説明する技術が適用される固体撮像装置が、第1のコンデンサと、第2のコンデンサとを有する場合、第1のコンデンサの容量値が第2のコンデンサの容量値よりも大きいてもよい。第1のコンデンサは、第1の読み出し回路20Aに対応する第1の配線と第2の配線とに電氣的に接続されている。第2のコンデンサは、信号処理回路60Aまたは出力回路80Aに対応する第1の配線と第2の配線とに電氣的に接続されている。

[0075] あるいは、本実施形態で説明する技術が適用される固体撮像装置が、第1のコンデンサと、第2のコンデンサと、第3のコンデンサとを有する場合、第1のコンデンサの容量値が、第2のコンデンサの容量値および第3のコンデンサの容量値よりも大きいてもよい。第1のコンデンサは、第1の読み出し回路20Aに対応する第1の配線と第2の配線とに電氣的に接続されている。第2のコンデンサは、信号処理回路60Aに対応する第1の配線と第2の配線とに電氣的に接続されている。第3のコンデンサは、出力回路80A

に対応する第1の配線と第2の配線とに電氣的に接続されている。

[0076] 図7に示す固体撮像装置の動作では、全ての画素50が同時に動作するタイミングがある。このため、全ての画素50に制御信号を供給する第1の読み出し回路20Aの消費電流が、信号処理回路60Aの消費電流および出力回路80Aの消費電流よりも大きいことがある。上記のように、第1のコンデンサの容量値を第2のコンデンサの容量値よりも大きく設定する、または第1のコンデンサの容量値を第2のコンデンサの容量値および第3のコンデンサの容量値よりも大きく設定することによって、第1の読み出し回路20Aに供給されるアナログ信号のノイズをより低減することができる。

[0077] 本実施形態によれば、重なった複数の基板（第1の基板10、第2の基板11）を有し、複数の基板が接続部15によって電氣的に接続された固体撮像装置1であって、入射した光を信号に変換する光電変換部51Aが行列状に配置された画素回路41Aと、光電変換部51Aから信号を読み出す第1の読み出し回路20Aと、光電変換部51Aから読み出された信号に対して信号処理を行う信号処理回路60Aと、信号処理回路60Aによって処理された信号を外部に出力する出力回路80Aと、画素回路41Aと第1の読み出し回路20Aと信号処理回路60Aと出力回路80Aとの4つの回路のそれぞれに対応して設けられ、それぞれの回路に第1の電圧を供給する第1の配線L1と、4つの回路のそれぞれに対応して設けられ、それぞれの回路に、第1の電圧と異なる第2の電圧を供給する第2の配線L2と、4つの回路の少なくともいずれかの回路に対応する第1の配線L1と第2の配線L2とに電氣的に接続されたコンデンサC1であって、第1端が第1の配線L1に電氣的に接続され、第2端が第2の配線L2に電氣的に接続されたコンデンサC1と、を備え、コンデンサC1は、4つの回路のうち対応する回路が配置された基板と異なる基板において、対応する回路と対面する領域に配置されていることを特徴とする固体撮像装置が構成される。

[0078] 本実施形態では、画素回路41Aと第1の読み出し回路20Aと信号処理回路60Aと出力回路80Aとの4つの回路の少なくともいずれかの回路に

対応する第１の配線と第２の配線とに電氣的に接続されたコンデンサＣ１を配置することによって、配線のインピーダンスの影響によるノイズを低減することができる。したがって、ノイズによる回路の誤動作を抑制することができる。

[0079] （第２の実施形態）

次に、本発明の第２の実施形態を説明する。図１～図５、および図７～図１０は、本実施形態にも適用される。これらの図については既に説明したので、説明を省略する。

[0080] 図１１は、第１の読み出し回路２０Ａと第１の読み出し回路容量部２０Ｂとの周辺の構成例を示している。第１の読み出し回路２０Ａに対応して第１の配線Ｌ１と第２の配線Ｌ２とが設けられている。第１の読み出し回路２０Ａは、第１の配線Ｌ１と第２の配線Ｌ２とに接続されている。

[0081] 本実施形態では、第１の配線Ｌ１は、第１の基板１０と第２の基板１１との両方にまたがって配置されている。同様に、本実施形態では、第２の配線Ｌ２は、第１の基板１０と第２の基板１１との両方にまたがって配置されている。

[0082] 第１の配線Ｌ１は、第２の基板１１において電源に接続されている。第１の配線Ｌ１は、第１の読み出し回路２０Ａに対して、第１の電圧である電源電圧を供給する。第１の配線Ｌ１には、抵抗やインダクタンスなどに起因する第１のインピーダンスＲ１が存在する。

[0083] 第２の配線Ｌ２は、第２の基板１１においてグラウンドに接続されている。第２の配線Ｌ２は、第１の読み出し回路２０Ａに対して、第１の電圧と異なる第２の電圧であるグラウンド電圧（参照電圧）を供給する。第２の配線Ｌ２には、抵抗やインダクタンスなどに起因する第２のインピーダンスＲ２が存在する。第１の電圧がグラウンド電圧、第２の電圧が電源電圧などであってもよい。

[0084] 第１の読み出し回路容量部２０Ｂは、いわゆるバイパスコンデンサとして機能するコンデンサＣ１を有する。コンデンサＣ１は、第１の読み出し回路

20Aが配置された第1の基板10と異なる第2の基板11（第1の基板10と隣接する第2の基板11）において、第1の読み出し回路20Aと対面する領域に配置されている。コンデンサC1の第1端は第1の配線L1に電氣的に接続されている。コンデンサC1の第2端は第2の配線L2に電氣的に接続されている。つまり、コンデンサC1は、第1の配線L1と第2の配線L2とに電氣的に接続されている。

[0085] 第2の読み出し回路容量部21Bと第2の読み出し回路21Aとの周辺の構成は、図11に示す構成と同様である。水平読み出し回路容量部30Bと水平読み出し回路30Aとの周辺の構成は、図11に示す構成と同様である。画素回路41Aと画素回路容量部41Bとの周辺の構成は、図11に示す構成と同様である。信号処理回路容量部60Bと信号処理回路60Aとの周辺の構成は、図11に示す構成と同様である。出力回路容量部80Bと出力回路80Aとの周辺の構成は、図11に示す構成と同様である。

[0086] 本実施形態で説明する技術が適用される固体撮像装置では、第1の電圧を供給する第1の配線と、第2の電圧を供給する第2の配線とは、第1の読み出し回路などが配置された基板と同一の基板と、この基板に隣接する基板とにまたがって配置されている。それぞれの回路に対応するコンデンサは、上記隣接する基板において、接続部を介さずに、第1の配線と第2の配線とに電氣的に接続されていればよい。

[0087] 本実施形態では、電源から供給される電流は、第1の配線L1を通過して、第1の読み出し回路容量部20BのコンデンサC1に流れ込んだ後、第1の読み出し回路20Aに供給される。電源の電圧変動と、第1の読み出し回路20Aのスイッチングによる電流変動との両方が、コンデンサC1によって補われる。このように、電源と第1の読み出し回路20AとをコンデンサC1によって効率よく分離することが可能である。このため、第1の実施形態よりも、配線のインピーダンスの影響によるノイズをさらに低減することができる。したがって、ノイズによる回路の誤動作をさらに抑制することができる。

[0088] (第3の実施形態)

次に、本発明の第3の実施形態を説明する。図1～図5、および図7～図10は、本実施形態にも適用される。これらの図については既に説明したので、説明を省略する。

[0089] 図12は、第1の読み出し回路20Aと第1の読み出し回路容量部20Bとの周辺の構成例を示している。第1の読み出し回路20Aは、第1の行読み出し回路20A1と、第2の行読み出し回路20A2と、第3の行読み出し回路20A3とを有する。第1の行読み出し回路20A1は、光電変換部51Aの配列における第1の行の光電変換部51Aから信号を読み出す。第2の行読み出し回路20A2は、光電変換部51Aの配列における第1の行と異なる第2の行の光電変換部51Aから信号を読み出す。第3の行読み出し回路20A3は、光電変換部51Aの配列における第1の行および第2の行と異なる第3の行の光電変換部51Aから信号を読み出す。

[0090] 第1の行読み出し回路20A1に対応して第1の配線L1と第2の配線L2とが設けられている。第1の配線L1は、第1の基板10と第2の基板11との両方にまたがって配置されている。同様に、第2の配線L2は、第1の基板10と第2の基板11との両方にまたがって配置されている。第1の行読み出し回路20A1は、第1の配線L1と第2の配線L2とに接続されている。第1の配線L1は電源に接続されている。第1の配線L1は、第1の行読み出し回路20A1に対して、第1の電圧である電源電圧を供給する。第2の配線L2はグラウンドに接続されている。第2の配線L2は、第1の行読み出し回路20A1に対して、第1の電圧と異なる第2の電圧であるグラウンド電圧（参照電圧）を供給する。第1の電圧がグラウンド電圧、第2の電圧が電源電圧などであってもよい。

[0091] 第2の行読み出し回路20A2に対応して第3の配線L3と第4の配線L4とが設けられている。第3の配線L3は、第1の基板10と第2の基板11との両方にまたがって配置されている。同様に、第4の配線L4は、第1の基板10と第2の基板11との両方にまたがって配置されている。第2の

行読み出し回路 20A2 は、第3の配線 L3 と第4の配線 L4 とに接続されている。第3の配線 L3 は第1の配線 L1 に接続されている。つまり、第3の配線 L3 は、第1の配線 L1 を介して電源に接続されている。第3の配線 L3 は、第2の行読み出し回路 20A2 に対して、電源電圧を供給する。第4の配線 L4 は第2の配線 L2 に接続されている。つまり、第4の配線 L4 は、第2の配線 L2 を介してグラウンドに接続されている。第4の配線 L4 は、第2の行読み出し回路 20A2 に対して、グラウンド電圧を供給する。

[0092] 第3の行読み出し回路 20A3 に対応して第5の配線 L5 と第6の配線 L6 とが設けられている。第5の配線 L5 は、第1の基板 10 と第2の基板 11 との両方にまたがって配置されている。同様に、第6の配線 L6 は、第1の基板 10 と第2の基板 11 との両方にまたがって配置されている。第3の行読み出し回路 20A3 は、第5の配線 L5 と第6の配線 L6 とに接続されている。第5の配線 L5 は第1の配線 L1 に接続されている。つまり、第5の配線 L5 は、第1の配線 L1 を介して電源に接続されている。第5の配線 L5 は、第3の行読み出し回路 20A3 に対して、電源電圧を供給する。第6の配線 L6 は第2の配線 L2 に接続されている。つまり、第6の配線 L6 は、第2の配線 L2 を介してグラウンドに接続されている。第6の配線 L6 は、第3の行読み出し回路 20A3 に対して、グラウンド電圧を供給する。

[0093] 第1の読み出し回路容量部 20B は、いわゆるバイパスコンデンサとして機能する第1のコンデンサ C11 と、第2のコンデンサ C12 と、第3のコンデンサ C13 とを有する。第1のコンデンサ C11 と、第2のコンデンサ C12 と、第3のコンデンサ C13 とは、第1の読み出し回路 20A が配置された第1の基板 10 と異なる第2の基板 11（第1の基板 10 と隣接する第2の基板 11）において、第1の読み出し回路 20A と対面する領域に配置されている。第1のコンデンサ C11 が第1の行読み出し回路 20A1 と対面し、第2のコンデンサ C12 が第2の行読み出し回路 20A2 と対面し、第3のコンデンサ C13 が第3の行読み出し回路 20A3 と対面しているように配置されている。

- [0094] 第1のコンデンサC11の第1端は、第1の配線L1に電氣的に接続されている。第1のコンデンサC11の第2端は、第2の配線L2に電氣的に接続されている。つまり、第1のコンデンサC11は、第1の配線L1と第2の配線L2とに電氣的に接続されている。
- [0095] 第2のコンデンサC12の第1端は、第3の配線L3に電氣的に接続されている。第2のコンデンサC12の第2端は、第4の配線L4に電氣的に接続されている。つまり、第2のコンデンサC12は、第3の配線L3と第4の配線L4とに電氣的に接続されている。
- [0096] 第3のコンデンサC13の第1端は、第5の配線L5に電氣的に接続されている。第3のコンデンサC13の第2端は、第6の配線L6に電氣的に接続されている。つまり、第3のコンデンサC13は、第5の配線L5と第6の配線L6とに電氣的に接続されている。
- [0097] 上記のように、第1の読み出し回路20Aは3つの行読み出し回路に分割されている。上記の例に限らず、第1の読み出し回路20Aは複数の行読み出し回路に分割されていけばよい。第1の読み出し回路20Aは、光電変換部51Aの駆動のタイミングに応じた単位で分割されている。本実施形態では、光電変換部51Aは行単位で駆動されるので、第1の読み出し回路20Aは行単位で分割されている。
- [0098] 上記の構成によって、ある行読み出し回路の駆動時に発生するノイズは、その行読み出し回路に対応するコンデンサによって低減される。このため、そのノイズが他の行読み出し回路に伝搬されることを抑制することができる。つまり、第1の読み出し回路20Aを構成する複数の行読み出し回路の間でのノイズの伝搬による誤動作を抑制することができる。
- [0099] 第1のコンデンサC11の容量値は、電源から、第1の行読み出し回路20A1までの配線の長さに応じた容量値であってもよい。第2のコンデンサC12の容量値は、電源から、第2の行読み出し回路20A2までの配線の長さに応じた容量値であってもよい。第3のコンデンサC13の容量値は、電源から、第3の行読み出し回路20A3までの配線の長さに応じた容量値

であってもよい。つまり、第1のコンデンサC11と、第2のコンデンサC12と、第3のコンデンサC13との容量値は、第1の電圧を供給する電圧源からの距離に応じた容量値であってもよい。

[0100] 電源からの距離が大きくなるほど、配線のインピーダンスが大きくなり、ノイズが大きくなりやすい。このため、例えば電源からの距離が大きくなるほどコンデンサの容量値を大きくすることによって、ノイズをより低減することができる。

[0101] 第1のコンデンサC11の容量値は、グラウンドから、第1の行読み出し回路20A1までの配線の長さに応じた容量値であってもよい。第2のコンデンサC12の容量値は、グラウンドから、第2の行読み出し回路20A2までの配線の長さに応じた容量値であってもよい。第3のコンデンサC13の容量値は、グラウンドから、第3の行読み出し回路20A3までの配線の長さに応じた容量値であってもよい。つまり、第1のコンデンサC11と、第2のコンデンサC12と、第3のコンデンサC13との容量値は、第2の電圧を供給する電圧源からの距離に応じた容量値であってもよい。

[0102] 図12に示す構成例では、電源からそれぞれの行読み出し回路までの配線の長さと、グラウンドからそれぞれの行読み出し回路までの配線の長さがほぼ同一である。したがって、図12に示す構成例では、グラウンドからの距離が大きくなるほど、電源からの距離が大きくなると共に、配線のインピーダンスによるノイズが大きくなりやすい。このため、例えばグラウンドからの距離が大きくなるほどコンデンサの容量値を大きくすることによって、ノイズをより低減することができる。

[0103] 図13は、第1の読み出し回路20Aと第1の読み出し回路容量部20Bとの周辺の他の構成例を示している。第1の読み出し回路20Aは、第1の行読み出し回路20A1と、第2の行読み出し回路20A2と、第3の行読み出し回路20A3とを有する。これらの行読み出し回路については既に説明したので、説明を省略する。

[0104] 図12と同様に、第1の行読み出し回路20A1に対応して第1の配線L

1と第2の配線L2とが設けられ、第2の行読み出し回路20A2に対応して第3の配線L3と第4の配線L4とが設けられ、第3の行読み出し回路20A3に対応して第5の配線L5と第6の配線L6とが設けられている。これらの配線の接続関係は、図12における配線の接続関係と同様である。

[0105] 第1の読み出し回路容量部20Bは、第1のコンデンサC11と、第2のコンデンサC12と、第3のコンデンサC13とを有する。これらのコンデンサについては既に説明したので、説明を省略する。

[0106] 図13に示す構成例では、電源からそれぞれの行読み出し回路までの配線の長さと、グランドからそれぞれの行読み出し回路までの配線の長さとが異なる。この場合、回路の駆動を考慮することによって、それぞれのコンデンサの容量値を決定すればよい。例えば、第1の行読み出し回路20A1と、第2の行読み出し回路20A2と、第3の行読み出し回路20A3とが、パルスを出力する回路を含み、その回路において、信号の立ち上がりの遅延を少なくすることが信号の立ち下がりの遅延を少なくすることよりも優先される場合、電源からの距離が大きくなるほどコンデンサの容量値が大きくなるように、コンデンサの容量値が決定される。

[0107] 第1の読み出し回路20Aと同様に、信号処理回路60Aは複数の信号処理回路に分割されている。例えば、信号処理回路60Aは、第1の列信号処理回路と、第2の列信号処理回路とを含む複数の列信号処理回路を有する。第1の列信号処理回路は、光電変換部51Aの配列における第1の列の光電変換部51Aから読み出された信号に対して信号処理を行う。第2の列信号処理回路は、光電変換部51Aの配列における第1の列とは異なる第2の列の光電変換部51Aから読み出された信号に対して信号処理を行う。

[0108] 例えば、信号処理回路容量部60Bは、第1のコンデンサと、第2のコンデンサとを含み、それぞれの列信号処理回路に対応する複数のコンデンサを有する。第1のコンデンサは、第1の列信号処理回路に対応する第1の配線と第2の配線とに電氣的に接続されたコンデンサであって、第1端が第1の配線に電氣的に接続され、第2端が第2の配線に電氣的に接続されている。

第2のコンデンサは、第2の列信号処理回路に対応する第1の配線と第2の配線とに電氣的に接続されたコンデンサであって、第1端が第1の配線に電氣的に接続され、第2端が第2の配線に電氣的に接続されている。

[0109] 信号処理回路60Aは、処理対象の信号に応じた単位で分割されている。本実施形態では、1行分の光電変換部51Aから同時に読み出された信号が列単位で処理されるので、信号処理回路60Aは列単位で分割されている。

[0110] 第1のコンデンサの容量値と、第2のコンデンサの容量値とは、第1の電圧を供給する電圧源（例えば、所定電圧を供給する電源）からの距離に応じた容量値である。また、第1のコンデンサの容量値と、第2のコンデンサの容量値とは、第2の電圧を供給する電圧源（例えば、グランド電圧を供給するグランド）からの距離に応じた容量値であってもよい。

[0111] 信号処理回路60Aは、処理対象の信号に応じた単位であって、上記と異なる単位で分割されていてもよい。以下、信号処理回路60Aを分割する他の例を説明する。

[0112] 図14は、信号処理回路60Aの構成例を示している。図14に示すように、信号処理回路60Aは、ランプ波生成回路601と、クロック生成回路602と、比較器603と、カウンタ604とを有する。

[0113] ランプ波生成回路601は、時間的にほぼ一定の割合で電圧が上昇または下降するランプ波を生成する。クロック生成回路602は、所定の周波数のクロックを生成する。比較器603は、入力信号 V_{in} の電圧と、ランプ波生成回路601によって生成されたランプ波の電圧とを比較し、これらの電圧の大小関係が切り替わったときに、出力を反転させる。図14では複数の比較器603が配置されているが、代表として1つの比較器603の符号が示されている。カウンタ604は、クロック生成回路602によって生成されたクロックをカウントし、比較器603の出力が反転したタイミングでカウントを停止する。図14では複数のカウンタ604が配置されているが、代表として1つのカウンタ604の符号が示されている。

[0114] 比較器603に入力される入力信号 V_{in} は、画素50から出力された信

号である。カウンタ 604 がカウントを停止した時点のカウント値が、アナログ信号である入力信号 V_{in} に基づくデジタル信号 D_{out} として出力される。

[0115] 信号処理回路 60A は、アナログ回路とデジタル回路とに分割されている。つまり、信号処理回路 60A は、アナログ回路であるランプ波生成回路 601、比較器 603 と、デジタル回路であるクロック生成回路 602、カウンタ 604 とに分割されている。例えば、信号処理回路容量部 60B は、アナログ回路用の第 1 のコンデンサと、デジタル回路用の第 2 のコンデンサとを有する。アナログ回路用の第 1 のコンデンサは、ランプ波生成回路 601 に対応するコンデンサと、比較器 603 に対応するコンデンサとに分割されていてもよい。また、デジタル回路用の第 2 のコンデンサは、クロック生成回路 602 に対応するコンデンサと、カウンタ 604 に対応するコンデンサとに分割されていてもよい。

[0116] 第 1 の読み出し回路 20A と同様に、第 2 の読み出し回路 21A が複数に分割されていてもよい。例えば、第 2 の読み出し回路 21A が、第 1 の行読み出し回路と、第 2 の行読み出し回路と、第 3 の行読み出し回路とを有していてもよい。第 1 の行読み出し回路は、メモリ部 52A の配列における第 1 の行のメモリ部 52A に保持された信号を読み出し、読み出された信号を信号処理回路 60A に入力させる。第 2 の行読み出し回路は、メモリ部 52A の配列における第 1 の行と異なる第 2 の行のメモリ部 52A に保持された信号を読み出し、読み出された信号を信号処理回路 60A に入力させる。第 3 の行読み出し回路は、メモリ部 52A の配列における第 1 の行および第 2 の行と異なる第 3 の行のメモリ部 52A に保持された信号を読み出し、読み出された信号を信号処理回路 60A に入力させる。

[0117] 第 2 の読み出し回路 21A と第 2 の読み出し回路容量部 21B との周辺の構成は、図 12 または図 13 に示す構成と同様であってもよい。

[0118] 本実施形態では、回路の駆動に係る単位で回路を複数に分割すると共に、分割された複数の回路に対応して複数のコンデンサを配置することによって

、分割された複数の回路の間でのノイズの伝搬による誤動作を抑制することができる。

[0119] また、分割された複数の回路に対応する複数のコンデンサの容量値を、第1の電圧または第2の電圧を供給する電圧源からの距離に応じた容量値にすることによって、ノイズをより低減することができる。

[0120] (第4の実施形態)

次に、本発明の第4の実施形態を説明する。図1、図2、図10は、本実施形態にも適用される。これらの図については既に説明したので、説明を省略する。ただし、本実施形態では、固体撮像装置1は、3枚の基板(第1の基板10、第2の基板11、第3の基板12)を有する。隣接する2枚の基板は接続部15で電氣的に接続されている。

[0121] 図15は、第1の基板10の構成例を示している。図15に示すように、第1の基板10は、第1の読み出し回路20Aと、画素回路41Aと、第1の出力回路容量部80B1とを有する。

[0122] 第1の読み出し回路20Aと、画素回路41Aとについては既に説明したので、説明を省略する。第1の出力回路容量部80B1は、出力部80を構成する回路のうち第1の基板10に配置された回路である。第1の出力回路容量部80B1は、図4の出力回路容量部80Bと同様に、ノイズを低減するためのコンデンサを有する。

[0123] 図16は、第2の基板11の構成例を示している。図16に示すように、第2の基板11は、第1の読み出し回路容量部20Bと、水平読み出し回路30Aと、信号処理回路60Aと、出力回路80Aとを有する。第1の読み出し回路容量部20Bと、水平読み出し回路30Aと、出力回路80Aとについては既に説明したので、説明を省略する。

[0124] 信号処理回路60Aは、第2の基板11において、画素回路41Aと対面する領域に配置されている。垂直信号線90は、信号処理回路60A内に配置されている。また、垂直信号線90は信号処理回路60Aのそれぞれの列信号処理回路の入力端子に接続されている。画素回路41Aから読み出され

た信号は、接続部 15 を介して第 2 の基板 11 に転送される。第 2 の基板 11 に転送された信号は、垂直信号線 90 を介して信号処理回路 60A に入力される。

[0125] 図 17 は、第 3 の基板 12 の構成例を示している。図 17 に示すように、第 3 の基板 12 は、水平読み出し回路容量部 30B と、信号処理回路容量部 60B と、第 2 の出力回路容量部 80B2 とを有する。水平読み出し回路容量部 30B については既に説明したので、説明を省略する。

[0126] 信号処理回路容量部 60B は、第 3 の基板 12 において、信号処理回路 60A と対面する領域に配置されている。言い換えると、第 1 の基板 10 において、信号処理回路 60A と対面する領域に信号処理回路容量部 60B を配置できない場合に、信号処理回路容量部 60B は、第 3 の基板 12 において、信号処理回路 60A と対面する領域に配置されている。このとき、第 1 の基板 10 は、信号処理回路 60A が配置されている第 2 の基板 11 と隣接する一方の基板であり、第 3 の基板 12 は、第 2 の基板 11 と隣接する他方の基板である。

[0127] 第 2 の出力回路容量部 80B2 は、出力部 80 を構成する回路のうち第 2 の基板 11 に配置された回路である。第 2 の出力回路容量部 80B2 は、図 4 の出力回路容量部 80B と同様に、ノイズを低減するためのコンデンサを有する。

[0128] 本実施形態では、消費電流の多い出力回路 80A に対応して、第 1 の出力回路容量部 80B1 と第 2 の出力回路容量部 80B2 とが配置されている。第 1 の出力回路容量部 80B1 は、第 1 の基板 10 において、出力回路 80A と対面する領域に配置されている。また、第 2 の出力回路容量部 80B2 は、第 3 の基板 12 において、出力回路 80A と対面する領域に配置されている。

[0129] 本実施形態では、固体撮像装置 1 に第 3 の基板 12 が追加され、第 2 の基板 11 に配置されているそれぞれの回路に対応する容量部が第 3 の基板 12 に配置されている。したがって、第 1 の基板 10 と第 2 の基板 11 とのそれ

それぞれの対面する領域に、能動素子を有する回路（画素回路 4 1 A、信号処理回路 6 0 A）が配置されている場合でも、第 3 の基板 1 2 に容量部を配置することができる。

[0130] （第 5 の実施形態）

次に、本発明の第 5 の実施形態を説明する。図 1 ～図 3、図 1 0 は、本実施形態にも適用される。これらの図については既に説明したので、説明を省略する。

[0131] 図 1 8 は、第 1 の基板 1 0 の構成例を示している。図 1 8 に示すように、第 1 の基板 1 0 は、第 1 の読み出し回路 2 0 A と、水平読み出し回路容量部 3 0 B と、画素回路 4 1 A と、信号処理回路容量部 6 0 B と、出力回路容量部 8 0 B とを有する。

[0132] 第 1 の読み出し回路 2 0 A と、画素回路 4 1 A とについては既に説明したので、説明を省略する。本実施形態では、第 4 の実施形態における第 3 の基板 1 2 に配置されている水平読み出し回路容量部 3 0 B と信号処理回路容量部 6 0 B とが第 1 の基板 1 0 に配置されている。また、第 4 の実施形態における第 1 の基板 1 0 に配置されている第 1 の出力回路容量部 8 0 B 1 と、第 3 の基板 1 2 に配置されている第 2 の出力回路容量部 8 0 B 2 とを統合した出力回路容量部 8 0 B が第 1 の基板 1 0 に配置されている。

[0133] 図 1 9 は、第 2 の基板 1 1 の構成例を示している。図 1 9 に示すように、第 2 の基板 1 1 は、第 1 の読み出し回路容量部 2 0 B と、水平読み出し回路 3 0 A と、信号処理回路 6 0 A と、出力回路 8 0 A とを有する。第 1 の読み出し回路容量部 2 0 B と、水平読み出し回路 3 0 A と、出力回路 8 0 A とについては既に説明したので、説明を省略する。

[0134] 信号処理回路 6 0 A は、第 2 の基板 1 1 において、画素回路 4 1 A と対面する領域と、その下側に位置する領域とに配置されている。信号処理回路 6 0 A は、信号処理回路 6 0 A が配置されている領域を除いて、図 1 6 における信号処理回路 6 0 A と同様である。

[0135] 信号処理回路容量部 6 0 B は、第 1 の基板 1 0 において、信号処理回路 6

0 Aと対面する領域の一部（信号処理回路6 0 Aと対面する領域のうち、画素回路4 1 Aが配置されている領域を除く領域）に配置されている。また、信号処理回路容量部6 0 Bは、画素回路4 1 Aと水平読み出し回路容量部3 0 Bとの間の領域に配置されている。

[0136] 本実施形態では、第1の基板1 0と第2の基板1 1とのそれぞれの対面する領域に、能動素子を有する回路（画素回路4 1 A、信号処理回路6 0 A）が配置されている。このような場合でも、容量部に対応する回路と対面する領域の一部に容量部を配置することによって、基板の枚数を増やさずに、ノイズを低減することができる。

[0137] 以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。本発明は前述した説明に限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0138] 上記各実施形態は、画素回路と読み出し回路と信号処理回路と出力回路との4つの回路の少なくともいずれかの回路に対応する第1の配線と第2の配線とに電氣的に接続されたコンデンサを配置することによって、配線のインピーダンスの影響によるノイズを低減することができる固体撮像装置および撮像装置を提供できる。

符号の説明

- [0139]
- 1 固体撮像装置
 - 2 レンズユニット部
 - 3 画像処理装置
 - 4 記録装置
 - 5 カメラ制御装置
 - 6 表示装置
 - 7 デジタルカメラ
 - 1 0 第1の基板

- 1 1 第2の基板
- 1 2 第3の基板
- 1 5 接続部
- 2 0 第1の読み出し部
 - 2 0 A 第1の読み出し回路
 - 2 0 A 1 第1の行読み出し回路
 - 2 0 A 2 第2の行読み出し回路
 - 2 0 A 3 第3の行読み出し回路
 - 2 0 B 第1の読み出し回路容量部
- 2 1 第2の読み出し部
 - 2 1 A 第2の読み出し回路
 - 2 1 B 第2の読み出し回路容量部
- 3 0 水平読み出し部
 - 3 0 A 水平読み出し回路
 - 3 0 B 水平読み出し回路容量部
- 4 0 画素部
 - 4 1 A 画素回路
 - 4 1 B 画素回路容量部
 - 4 2 A メモリ回路
- 5 0 画素
 - 5 1 A 光電変換部
 - 5 1 B 光電変換容量部
 - 5 2 A メモリ部
- 6 0 信号処理部
 - 6 0 A 信号処理回路
 - 6 0 B 信号処理回路容量部
- 8 0 出力部
 - 8 0 A 出力回路

8 0 B 出力回路容量部

8 0 B 1 第 1 の出力回路容量部

8 0 B 2 第 2 の出力回路容量部

6 0 1 ランプ波生成回路

6 0 2 クロック生成回路

6 0 3 比較器

6 0 4 カウンタ

請求の範囲

- [請求項1] 重なった複数の基板を有し、前記複数の基板が接続部によって電氣的に接続された固体撮像装置であって、
- 入射した光を信号に変換する光電変換部が行列状に配置された画素回路と、
- 前記光電変換部から信号を読み出す第1の読み出し回路と、
- 前記光電変換部から読み出された信号に対して信号処理を行う信号処理回路と、
- 前記信号処理回路によって処理された信号を外部に出力する出力回路と、
- 前記画素回路と前記第1の読み出し回路と前記信号処理回路と前記出力回路との4つの回路のそれぞれに対応して設けられ、それぞれの回路に第1の電圧を供給する第1の配線と、
- 前記4つの回路のそれぞれに対応して設けられ、それぞれの回路に、前記第1の電圧と異なる第2の電圧を供給する第2の配線と、
- 前記4つの回路の少なくともいずれかの回路に対応する前記第1の配線と前記第2の配線とに電氣的に接続されたコンデンサであって、第1端が前記第1の配線に電氣的に接続され、第2端が前記第2の配線に電氣的に接続されたコンデンサと、
- を備え、
- 前記コンデンサは、前記4つの回路のうち対応する回路が配置された基板と異なる基板において、前記対応する回路と対面する領域に配置されている固体撮像装置。
- [請求項2] 前記コンデンサは、前記接続部を介して、前記第1の配線と前記第2の配線とに電氣的に接続されている請求項1に記載の固体撮像装置。
- [請求項3] 前記第1の配線と前記第2の配線とは、前記4つの回路のうち対応する回路が配置された基板と同一の基板と、この基板に隣接する基板

とにまたがって配置され、

前記コンデンサは、前記隣接する基板において、前記第 1 の配線と前記第 2 の配線とに電氣的に接続されている請求項 1 に記載の固体撮像装置。

[請求項4]

前記コンデンサは、

前記第 1 の読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 1 のコンデンサと、

前記信号処理回路または前記出力回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 2 のコンデンサと、

を有し、

前記第 1 のコンデンサの容量値が、前記第 2 のコンデンサの容量値よりも大きい請求項 1 に記載の固体撮像装置。

[請求項5]

前記コンデンサは、

前記第 1 の読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 1 のコンデンサと、

前記信号処理回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 2 のコンデンサと、

前記出力回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続された第 3 のコンデンサと、

を有し、

前記第 1 のコンデンサの容量値が、前記第 2 のコンデンサの容量値および前記第 3 のコンデンサの容量値よりも大きい請求項 1 に記載の固体撮像装置。

[請求項6]

前記光電変換部から読み出された信号を保持するメモリ部と、

前記メモリ部に保持された信号を読み出し、読み出された信号を前記信号処理回路に入力させる第 2 の読み出し回路と、

前記第 2 の読み出し回路に前記第 1 の電圧を供給する第 3 の配線と

、

前記第 2 の読み出し回路に前記第 2 の電圧を供給する第 4 の配線と、

前記第 3 の配線に第 1 端が接続され、前記第 4 の配線に第 2 端が接続される第 2 の読み出し回路コンデンサと、
を備える請求項 1 に記載の固体撮像装置。

[請求項 7]

前記第 1 の読み出し回路は、

第 1 の行の前記光電変換部から信号を読み出す第 1 の行読み出し回路と、

前記第 1 の行と異なる第 2 の行の前記光電変換部から信号を読み出す第 2 の行読み出し回路と、

を有し、

前記第 1 の配線および前記第 2 の配線は、前記第 1 の行読み出し回路と前記第 2 の行読み出し回路とのそれぞれに対応して設けられ、

前記コンデンサは、

前記第 1 の行読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 1 のコンデンサと、

前記第 2 の行読み出し回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 2 のコンデンサと、

を有する請求項 1 に記載の固体撮像装置。

[請求項 8]

前記信号処理回路は、

第 1 の列の前記光電変換部から読み出された信号に対して信号処理を行う第 1 の列信号処理回路と、

前記第 1 の列と異なる第 2 の列の前記光電変換部から読み出された信号に対して信号処理を行う第 2 の列信号処理回路と、

を有し、

前記第 1 の配線および前記第 2 の配線は、前記第 1 の列信号処理回路と前記第 2 の列信号処理回路とのそれぞれに対応して設けられ、

前記コンデンサは、

前記第 1 の列信号処理回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 1 のコンデンサと、

前記第 2 の列信号処理回路に対応する前記第 1 の配線と前記第 2 の配線とに電氣的に接続されたコンデンサであって、第 1 端が前記第 1 の配線に電氣的に接続され、第 2 端が前記第 2 の配線に電氣的に接続された第 2 のコンデンサと、

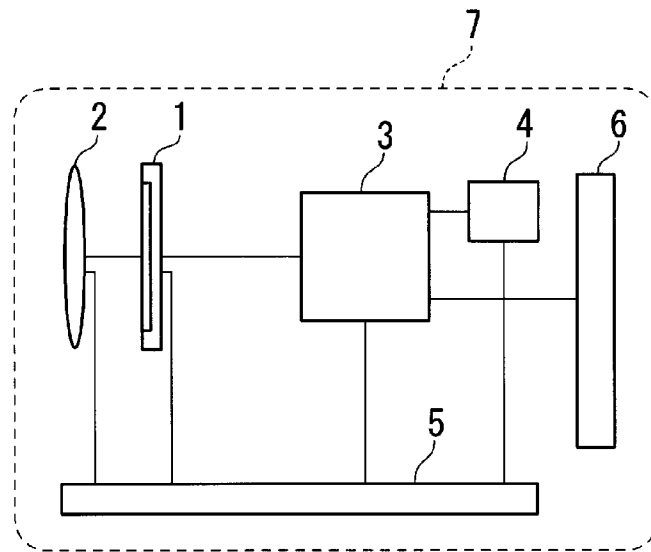
を有する請求項 1 に記載の固体撮像装置。

[請求項 9] 前記第 1 のコンデンサの容量値と、前記第 2 のコンデンサの容量値とは、前記第 1 の電圧を供給する電圧源からの距離に応じた容量値である請求項 7 または請求項 8 に記載の固体撮像装置。

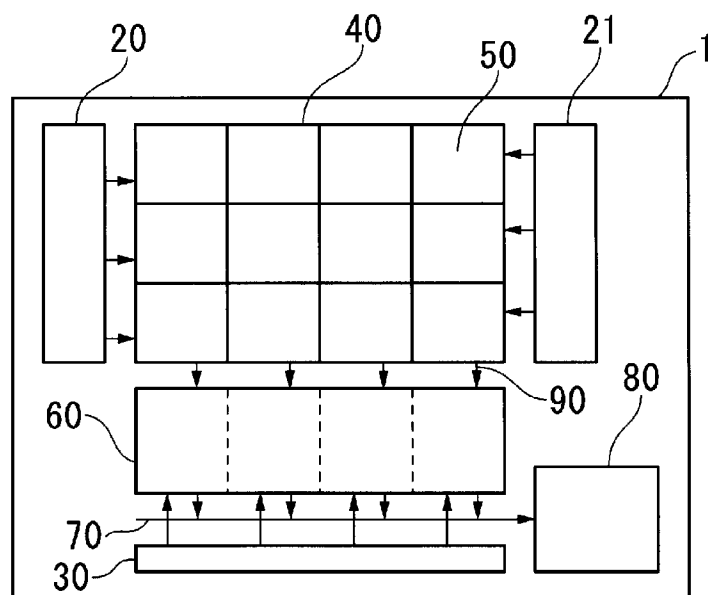
[請求項 10] 前記第 1 のコンデンサの容量値と、前記第 2 のコンデンサの容量値とは、前記第 2 の電圧を供給する電圧源からの距離に応じた容量値である請求項 7 または請求項 8 に記載の固体撮像装置。

[請求項 11] 請求項 1 に記載の固体撮像装置を備える撮像装置。

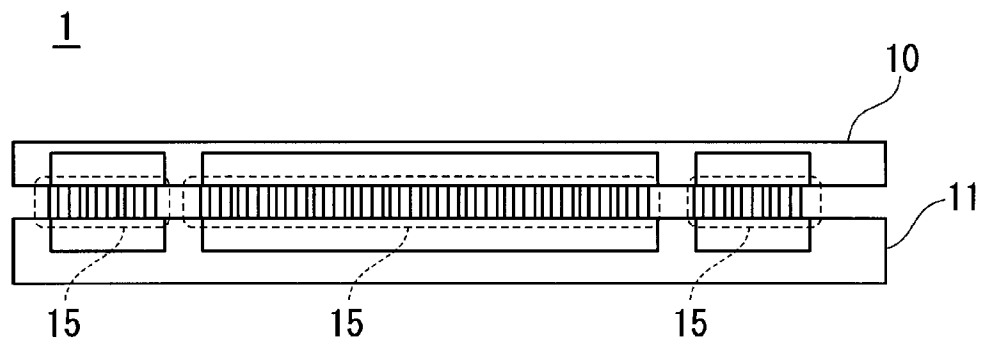
[図1]



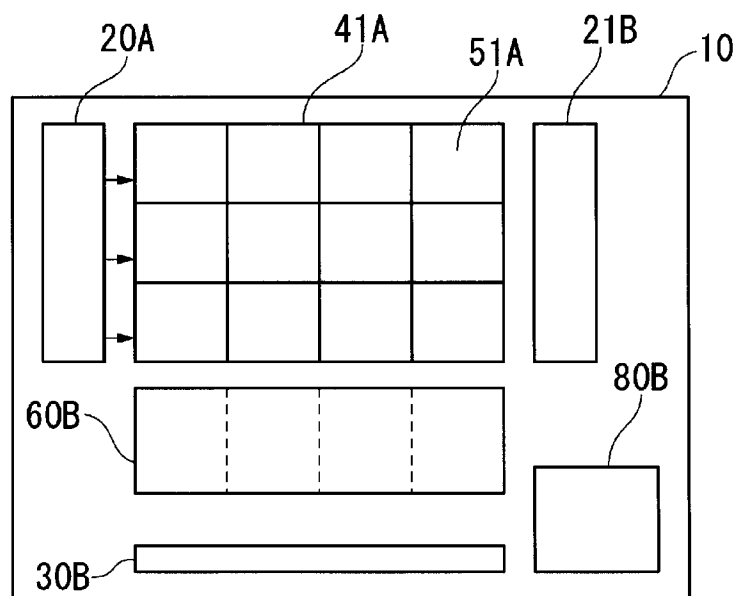
[図2]

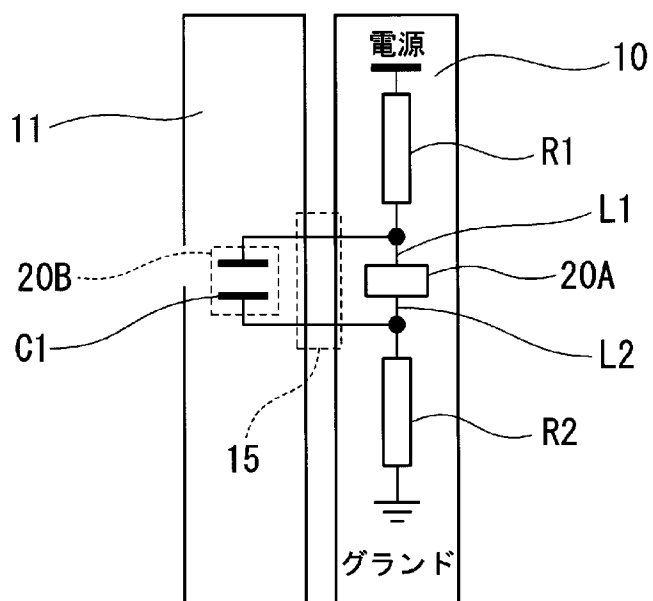
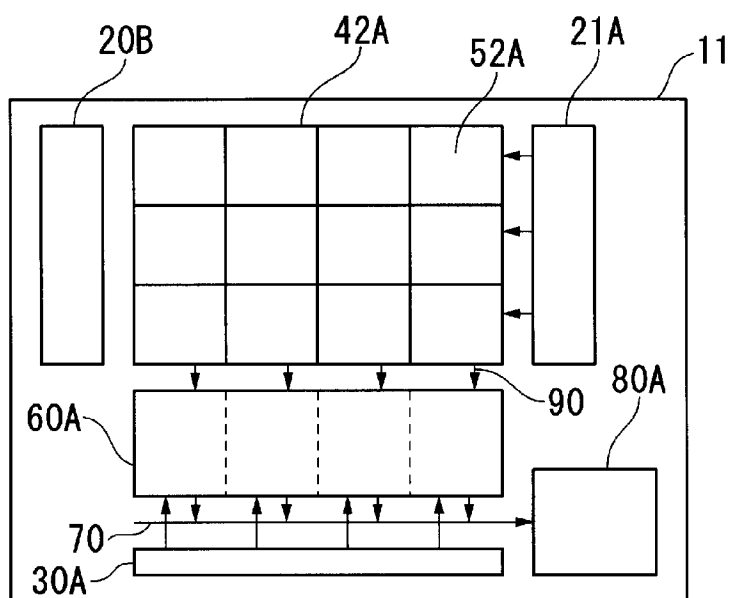


[図3]

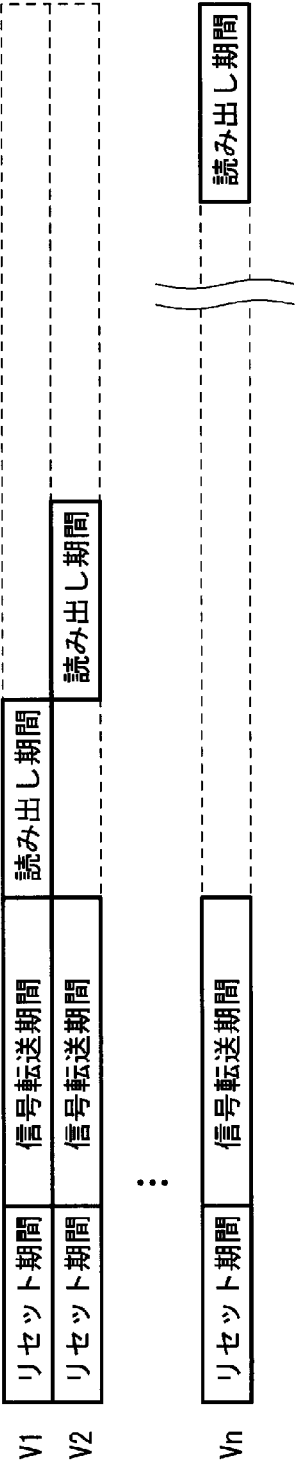


[図4]

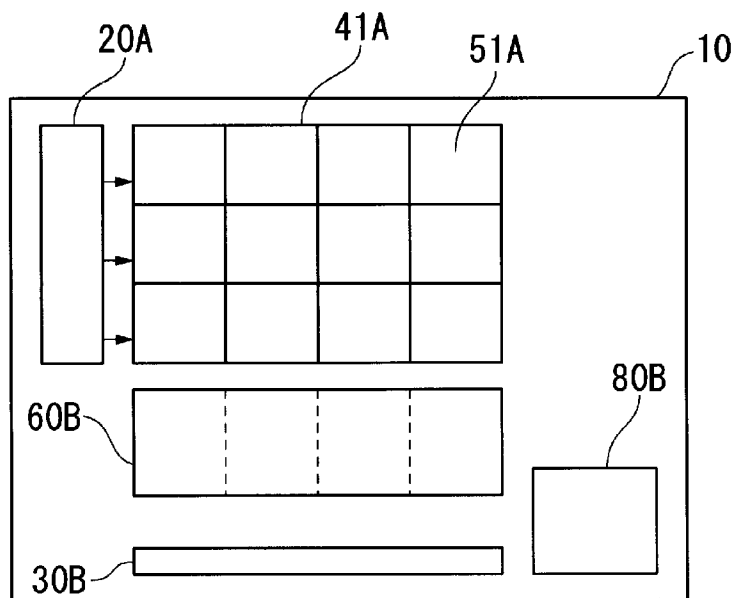




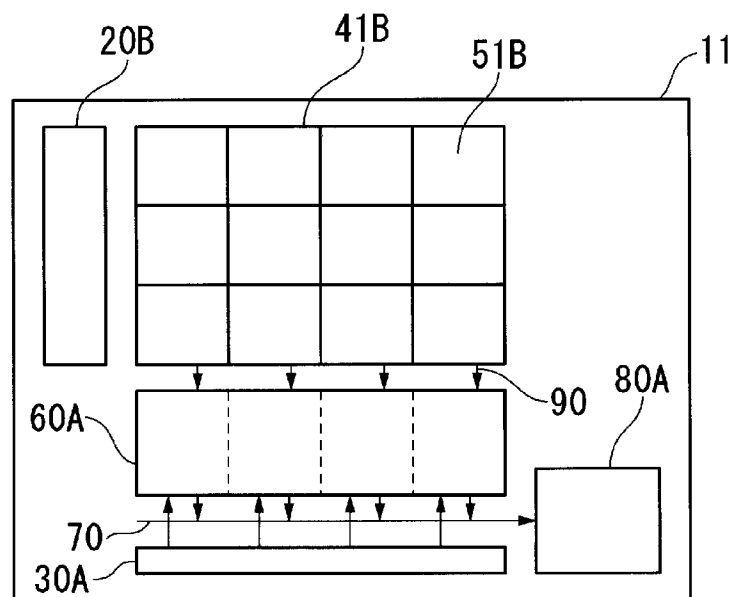
[図7]



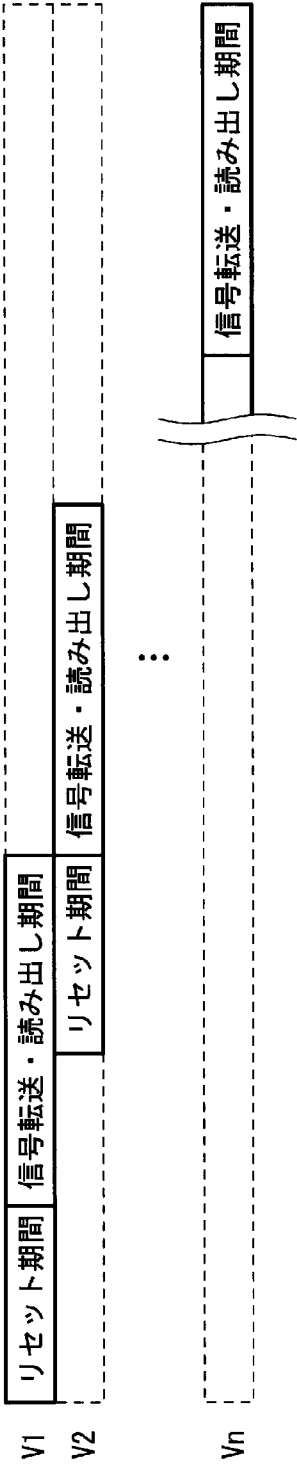
[図8]



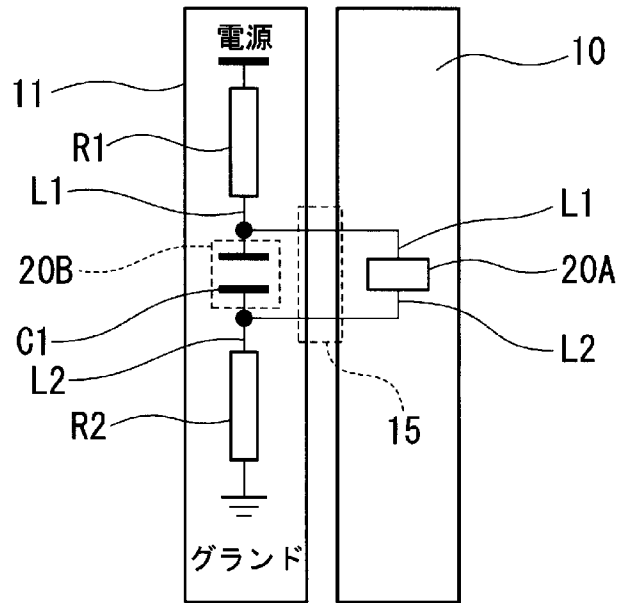
[図9]



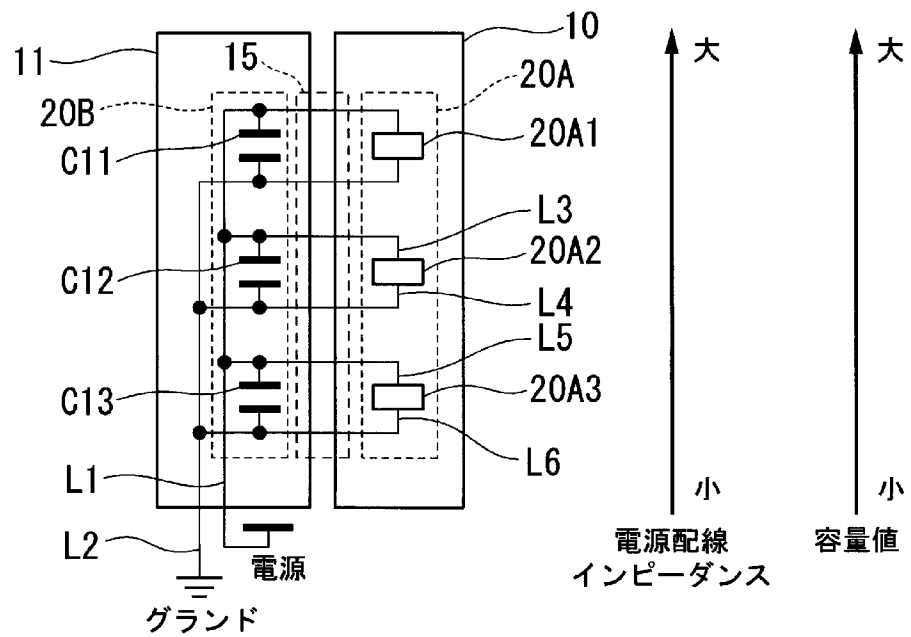
[図10]



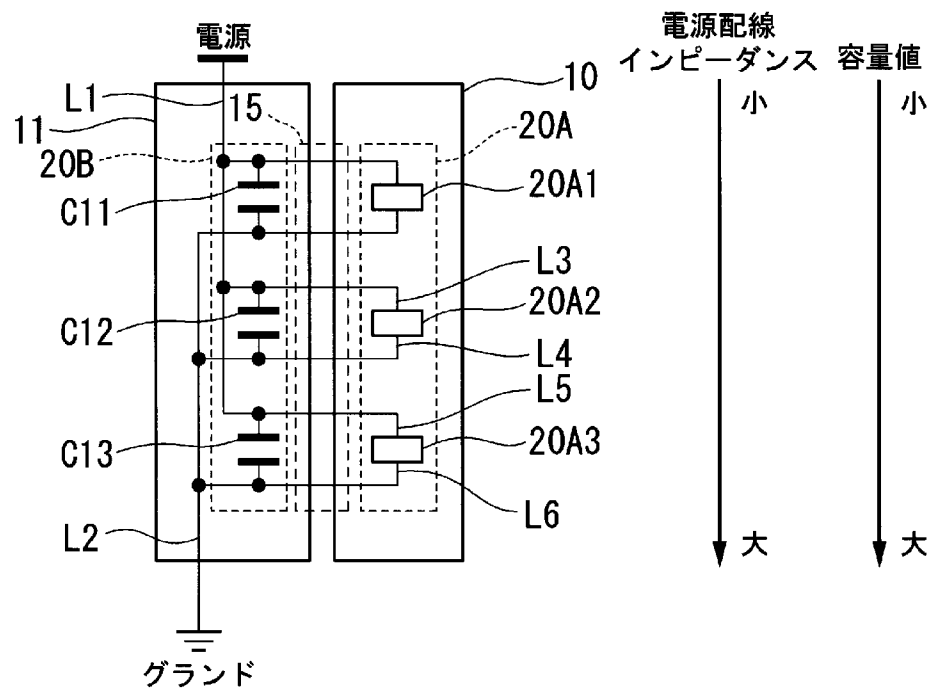
[図11]



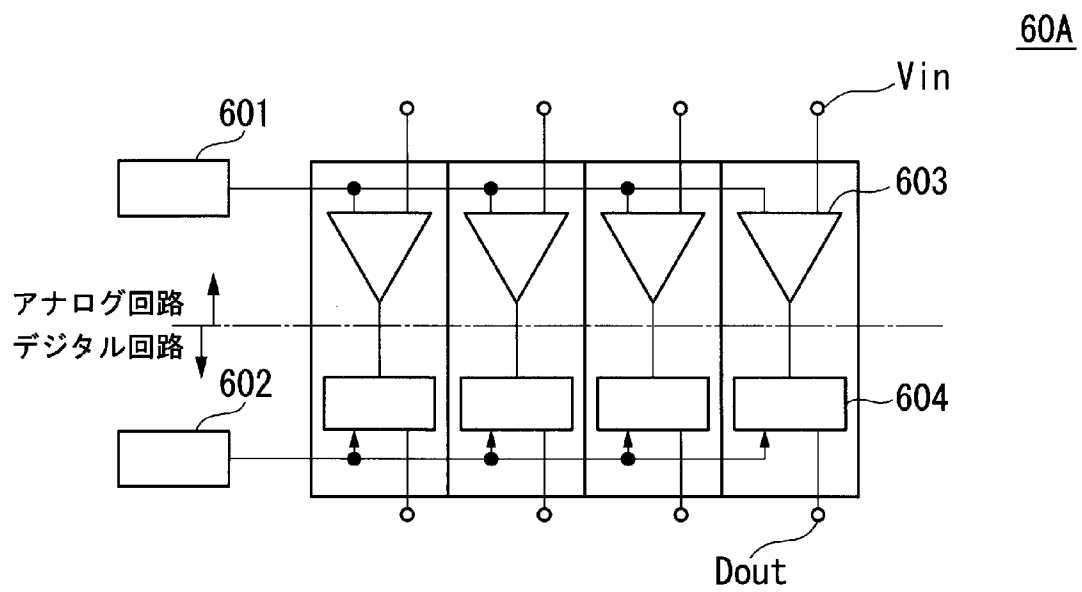
[図12]



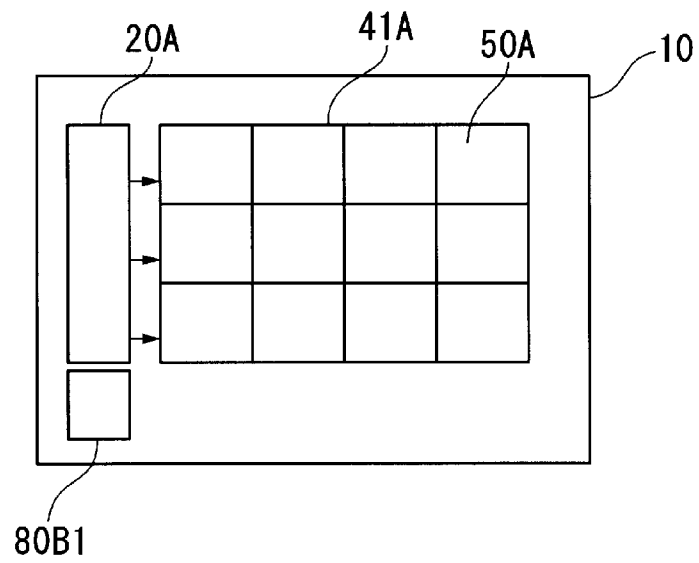
[図13]



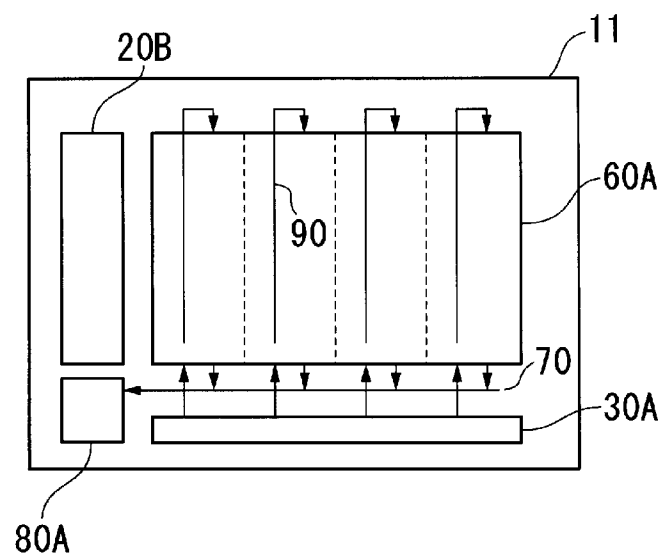
[図14]



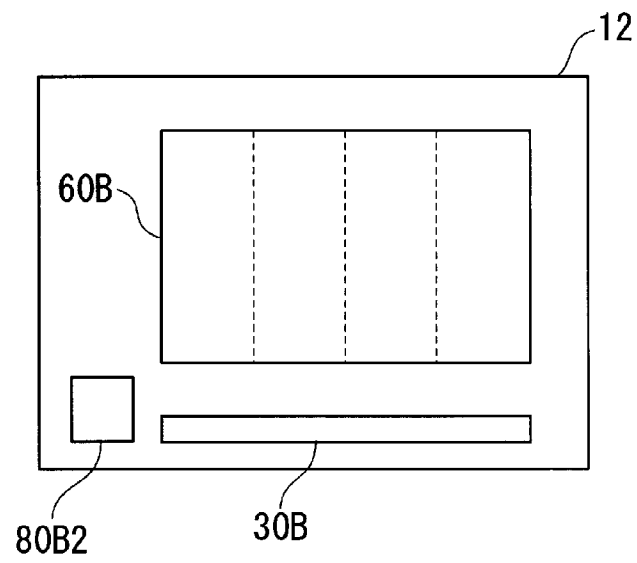
[図15]



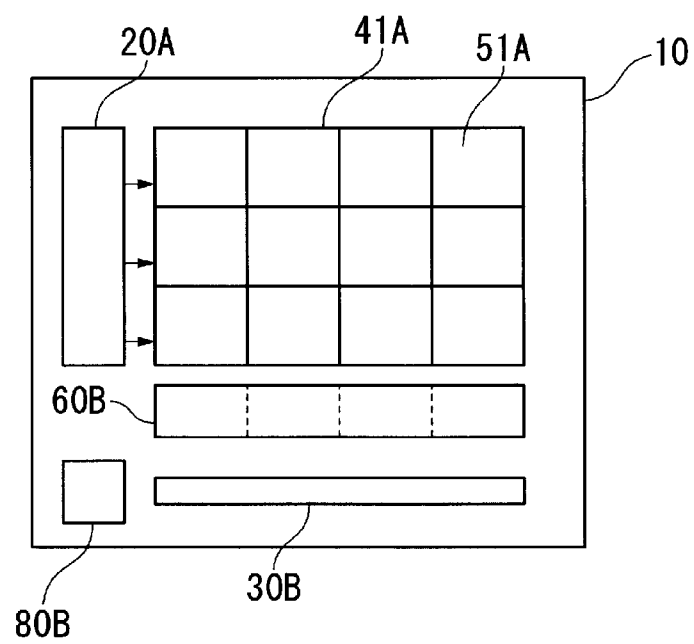
[図16]



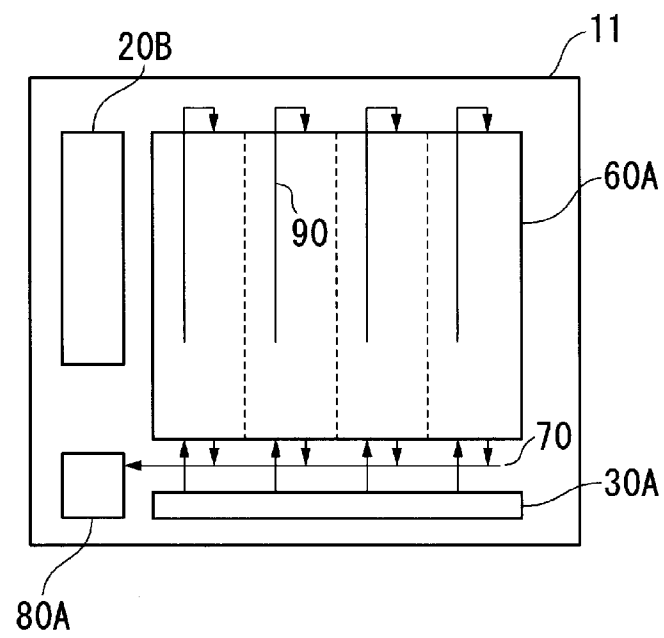
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/050606

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/357(2011.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/357, H01L27/146, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-274420 A (Sharp Corp.), 05 October 2001 (05.10.2001), paragraphs [0052] to [0072]; fig. 6 (Family: none)	1-11
A	JP 2001-203300 A (Matsushita Electric Industrial Co., Ltd.), 27 July 2001 (27.07.2001), paragraphs [0022] to [0048] (Family: none)	1-11
A	JP 2012-129443 A (Canon Inc.), 05 July 2012 (05.07.2012), paragraphs [0021] to [0024] & EP 2466999 A1	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
02 March 2015 (02.03.15)

Date of mailing of the international search report
10 March 2015 (10.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/050606

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-323698 A (Sharp Corp.), 24 November 2000 (24.11.2000), paragraphs [0151] to [0173] & EP 1037095 A2	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/357(2011.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/357, H01L27/146, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-274420 A（シャープ株式会社）2001.10.05, 段落【0052】 - 【0072】、図6（ファミリーなし）	1 - 1 1
A	JP 2001-203300 A（松下電器産業株式会社）2001.07.27, 段落【0022】 - 【0048】（ファミリーなし）	1 - 1 1
A	JP 2012-129443 A（キヤノン株式会社）2012.07.05, 段落【0021】 - 【0024】 & EP 2466999 A1	1 - 1 1

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 3 . 2 0 1 5

国際調査報告の発送日

1 0 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4 2 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-323698 A (シャープ株式会社) 2000. 11. 24, 段落【0151】 - 【0173】 & EP 1037095 A2	1 - 1 1