

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月18日(18.01.2018)



(10) 国際公開番号

WO 2018/012122 A1

(51) 国際特許分類:

H02M 1/34 (2007.01) *H02M 1/00* (2007.01)
H01L 25/07 (2006.01) *H02M 7/48* (2007.01)
H01L 25/18 (2006.01) *H03K 17/16* (2006.01)

(21) 国際出願番号: PCT/JP2017/019365

(22) 国際出願日: 2017年5月24日(24.05.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-136827 2016年7月11日(11.07.2016) JP

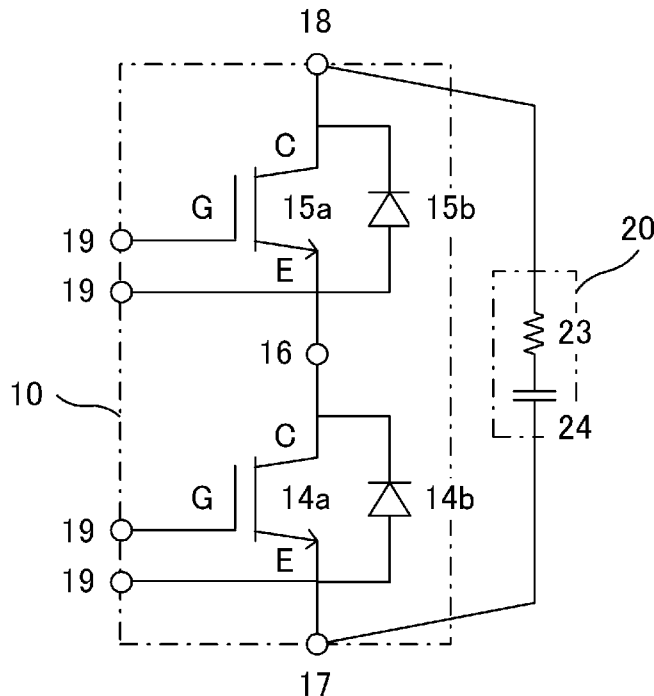
(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 松田 尚孝 (MATSUDA Naotaka); 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 五十嵐 征輝 (IGARASHI Seiki); 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 柿木 秀昭 (KAKIKI Hideaki); 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 岩本 進 (IWAMOTO Susumu); 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE AND VIBRATION SUPPRESSING DEVICE

(54) 発明の名称: 半導体装置及び振動抑制装置

100



(57) **Abstract:** The present invention suppresses a high frequency noise that is generated in a semiconductor device wherein a SiC element is mounted. A semiconductor device 100 is provided with: semiconductor elements 14a and 15a, which are connected in series; a SiC diode element 14b connected in parallel to the semiconductor element 14a; and a vibration suppressing circuit 20, which is connected in parallel to the semiconductor element 14a and the SiC diode element 14b, and which suppresses voltage fluctuation that occurs in the SiC diode element 14b corresponding to turning-on of



(74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲 (条約第19条(1))

the semiconductor element 15a. The voltage fluctuation that occurs in the SiC diode element 14b corresponding to the turning-on of the semiconductor element 15a is suppressed by means of the vibration suppressing circuit 20, and reliability of the semiconductor device 100 is improved.

(57) 要約: SiC素子を搭載した半導体装置において発生する高周波のノイズを抑制する。半導体装置 100は、直列に接続された半導体素子 14a 及び 15a、半導体素子 14a に並列に接続される SiC ダイオード素子 14b、半導体素子 14a 及び SiC ダイオード素子 14b と並列に接続され、半導体素子 15a がターンオンしたことに応じて SiC ダイオード素子 14b に生じる電圧変動を抑制する振動抑制回路 20 を備える。振動抑制回路 20 により、半導体素子 15a がターンオンしたことに応じて SiC ダイオード素子 14b に生じる電圧変動が抑制され、半導体装置 100 に対する信頼性が向上する。

明 細 書

発明の名称：半導体装置及び振動抑制装置

技術分野

[0001] 本発明は、半導体装置及び振動抑制装置に関する。

背景技術

[0002] 半導体装置の一例として、絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）、金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）等のスイッチ素子にショットキーバリアダイオード（ＳＢＤ）等の整流素子を逆並列に接続して構成されるスイッチ装置又はこれを２つ直列に接続して構成される装置が、パワーコンディショナ（ＰＣＳ）、インバータ、スマートグリッド等の電力変換システムに組み込まれる。これらのシステムにおいて、半導体装置内のスイッチ素子がターンオン若しくはターンオフする際又は整流素子における逆回復時に、急激な電流変化（ di/dt ）により装置内の配線インダクタンス（ L ）にサージ電圧（ $L di/dt$ ）が発生し、これに起因して例えば１０ｋＨｚ以下の高周波のノイズがシステム内の他の装置に漏洩することがある。

[0003] そこで、例えば特許文献１には、半導体装置内の主回路に電氣的に接続し且つ外部に露出する２つの端子の間にスナバ回路が接続された半導体装置が開示されている。スナバ回路として、抵抗素子及びコンデンサ素子を直列に接続して構成されるＲＣスナバが採用されている。ＲＣスナバにより、サージ電圧に起因する高周波のノイズが吸収されて、装置外への漏洩を防止することができる。

特許文献１ 特開２０１４－１２８０６６号公報

解決しようとする課題

[0004] 近年、シリコンカーバイド化合物半導体（ＳｉＣ）素子等の化合物半導体素子のような次世代半導体素子を搭載したパワー半導体装置（単に、半導体装置と呼ぶ）の開発が進められている。ＳｉＣ素子は、従来のシリコン半導

体（Si）素子に対して絶縁破壊電界強度が高いことから高耐圧であり、また不純物濃度をより高く、活性層をより薄くすることができることから高効率且つ高速動作が可能な小型の半導体装置を実現することができる。しかし、このような半導体素子は高速動作が可能であることから、従来のRCスナバ或いはCスナバでは解決できない（又は抑制できない）高周波のノイズが発生し得る。

一般的開示

[0005] （項目1）

半導体装置は、直列に接続された第1半導体素子および第2半導体素子を備えてよい。

半導体装置は、第1半導体素子に並列に接続される第1SiCダイオード素子を備えてよい。

半導体装置は、第1半導体素子および第1SiCダイオード素子と並列に接続され、第2半導体素子がターンオンしたことに応じて第1SiCダイオード素子に生じる電圧変動を抑制する第1振動抑制回路を備えてよい。

（項目2）

半導体装置は、第2半導体素子に並列に接続される第2SiCダイオード素子を更に備えてよい。

（項目3）

第1振動抑制回路は、直列に接続した抵抗およびキャパシタを有してよい。

（項目4）

第1振動抑制回路は、10MHz以上の電圧変動を抑制してよい。

（項目5）

第1振動抑制回路は、1MHz以上100MHz以下の電圧変動を抑制してよい。

（項目6）

キャパシタは、100nF以下の容量を有してよい。

(項目 7)

キャパシタは、 1 nF 以上 20 nF 以下の容量を有してよい。

(項目 8)

第 1 振動抑制回路が有する抵抗およびキャパシタの少なくとも一方は、弾性を有してよい。

(項目 9)

半導体装置は、第 1 半導体素子、第 2 半導体素子、第 1 SiC ダイオード素子、および第 2 SiC ダイオード素子を収容する筐体を更に備えてよい。

筐体は、第 1 半導体素子における第 2 半導体素子とは反対側に接続され、第 1 の外部端子と接続されるべき第 1 端子を収容する、筐体の本体部分から突出した第 1 端子収容部と、第 1 半導体素子および第 2 半導体素子の間、または第 2 半導体素子における第 1 半導体素子とは反対側に接続され、第 2 の外部端子と接続されるべき第 2 端子を収容する、筐体の本体部分から突出した第 2 端子収容部と、を有してよい。

(項目 10)

第 1 振動抑制回路は、第 1 端子収容部および第 2 端子収容部における、第 1 の外部端子および第 2 の外部端子が接続される面に搭載されてよい。

(項目 11)

第 1 振動抑制回路は、第 1 端子収容部内の第 1 端子に対して第 1 の外部端子と共にネジ止めされると共に、第 2 端子収容部内の第 2 端子に対して第 2 の外部端子と共にネジ止めされてよい。

(項目 12)

第 1 振動抑制回路は、第 1 端子収容部および第 2 端子収容部における、第 1 の外部端子および第 2 の外部端子が接続される面に対して側方に位置する側面に搭載されてよい。

(項目 13)

第 1 振動抑制回路は、筐体の外側から筐体に取り付けられる付加基板を有してよい。

付加基板が第1端子収容部および第2端子収容部に対して固定されてよい。

(項目14)

付加基板は、分離した第1部分基板および第2部分基板を含んでよい。

第1振動抑制回路は、直列に接続した抵抗およびキャパシタを有し、抵抗およびキャパシタの少なくとも一方は弾性を有し、第1部分基板および第2部分基板間を跨いで設けられてよい。

(項目15)

第1振動抑制回路は、第1半導体素子における第2半導体素子とは反対側に接続される第1端子と第1半導体素子および第2半導体素子の間に接続される第2端子との間に接続されてよい。

(項目16)

半導体装置は、第2半導体素子における第2端子側とは反対側に接続される第3端子と第2端子との間に設けられ、第1半導体素子がターンオンしたことに応じて第2SiCダイオード素子に生じる電圧変動を抑制する第2振動抑制回路を更に備えてよい。

(項目17)

第1振動抑制回路は、第1半導体素子における第2半導体素子とは反対側に接続される第1端子と、第2半導体素子における第1半導体素子とは反対側に接続される第2端子との間に設けられてよい。

(項目18)

半導体装置は、第1半導体素子、第1SiCダイオード素子、および第1振動抑制回路と並列に接続されたRCスナバ回路を更に備えてよい。

(項目19)

RCスナバ回路は、400nF以上10μF以下の容量を有するキャパシタを有してよい。

[0006] (項目20)

直列に接続された第1半導体素子および第2半導体素子と、第1半導体素

子に並列に接続される第1 SiCダイオード素子とを有する半導体装置に付加される振動抑制装置は、半導体装置の筐体に対して取り付けられて第1半導体素子および第1 SiCダイオード素子と並列に接続され、第2半導体素子がターンオンしたことに応じて第1 SiCダイオード素子に生じる電圧変動を抑制してよい。

(項目21)

振動抑制回路は、第1半導体素子および第1 SiCダイオード素子と並列に接続される、直列に接続した抵抗およびキャパシタを有してよい。

(項目22)

筐体は、第1半導体素子における第2半導体素子とは反対側に設けられ、第1の外部端子と接続されるべき第1端子を収容する、筐体の本体部分から突出した第1端子収容部と、第1半導体素子および第2半導体素子の間、または第2半導体素子における第1半導体素子とは反対側に設けられ、第2の外部端子と接続されるべき第2端子を収容する、筐体の本体部分から突出した第2端子収容部と、を有してよい。

当該振動抑制装置は、第1端子収容部および第2端子収容部における、第1の外部端子および第2の外部端子が接続される面、または、第1端子収容部および第2端子収容部における、第1の外部端子および第2の外部端子が接続される面に対して側方に位置する側面に搭載されてよい。

[0007] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0008] [図1A]半導体装置の構成を上面視において示す。

[図1B]半導体装置の構成を側面視において示す。

[図2]半導体装置の内部構成を示す。

[図3A]振動抑制回路の構成を示す。

[図3B]変形例に係る振動抑制回路の構成を示す。

[図4A]半導体装置の回路構成を示す。

[図4B]第1の変形例に係る半導体装置の回路構成を示す。

[図5]ターンオン時における電流及び電圧の過渡的变化を示す。

[図6A]第2の変形例に係る半導体装置の回路構成を示す。

[図6B]第3の変形例に係る半導体装置の回路構成を示す。

[図6C]第4の変形例に係る半導体装置の回路構成を示す。

発明を実施するための形態

[0009] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0010] 図1A及び図1B並びに図2は、それぞれ、本実施形態に係る半導体装置100の上面視及び側面視における構成並びに内部構成を示す。ここで、図1Aにおける上下方向及び図1B並びに図2における前奥方向を縦方向、図1A及び図1B並びに図2における左右方向を横方向、図1Aにおける前奥方向及び図1B並びに図2における上下方向を高さ方向とする。半導体装置100は、振動抑制回路を組み込むことによりスイッチ素子のターンオン時に発生し得る高周波ノイズを抑制すること、好ましくはさらに熱ストレス等のストレスに対して高い信頼性を有する振動抑制回路を構成することを目的とするものである。

[0011] 半導体装置100は、筐体10、基板13、半導体素子14a及び15a、SiCダイオード素子14b及び15b、外部端子16～18、導電部材16a～18a、外部端子19、並びに振動抑制回路20を備える。

[0012] なお、本明細書において、「接続」とは、特に断らない限り、通電可能に電氣的に接続する意味を含むものとする。

[0013] 筐体10は、半導体装置100の構成各部を内部に、ただし外部端子19の上端を突出し、基板13の下面を筐体10の底面と面一に露出して封止するとともに、外部端子16～18のそれぞれの上面を筐体10の上面上に露出して固定する部材である。筐体10は、例えばエポキシ樹脂のような熱硬

化性樹脂を用いてモールド成形することで形成される本体 1 1 及び端子収容体 1 2 を含む。

[0014] なお、筐体 1 0 は、モールド成形に限らず、内部空間にシリコンゲル等のゲル充填材を充填することで半導体装置 1 0 0 の構成各部を封止してもよい。また、基板 1 3 の下面を筐体 1 0 の底面から露出して構成各部を筐体 1 0 内に封止するに限らず、基板 1 3 を例えば銅等の金属材料からなる板状のベース部材上にはんだ等の接合材により接合し、ベース部材の周縁上に枠体を接着剤等により固定し、これを底面にベース部材を有する筐体 1 0 として、その内部に構成各部を封止することとしてもよい。それにより、後述する半導体素子により発生した熱は、基板 1 3 及びベース部材を介して半導体装置 1 0 0 が実装される部材、すなわちヒートシンクに排熱される。

[0015] 本体 1 1 は、一軸方向（すなわち、横方向）を長手とする略直方体及びこの上面中央から上方に突出する略直方体状の突出部 1 1 c を有する。本体 1 1 の上面には、上面視において突出部 1 1 c の中央から図面左方に延びる凹部 1 1 b が形成されている。凹部 1 1 b 内に、後述する端子収容体 1 2 を挿入することができる。また、本体 1 1 は、4 つの角部に上面視において略正形状の段部 1 1 a を有し、それぞれの段部 1 1 a に高さ方向に貫通する貫通孔 1 1 a₀ が形成されている。貫通孔 1 1 a₀ に上方からボルト等の固定具を差し入れることで、半導体装置 1 0 0 を外部装置等に固定することができる。

[0016] 突出部 1 1 c は、凹部 1 1 b 内に挿入される端子収容体 1 2 とともに、一軸方向に溝部を介して接続する複数の端子収容部 1 1 c₁ ~ 1 1 c₃ を構成する。突出部 1 1 c は、3 つの端子収容部 1 1 c₁ ~ 1 1 c₃ に対応する凹部 1 1 b 内の位置にそれぞれ後述する外部端子 1 6 ~ 1 8 を収容する。ただし、外部端子 1 6 ~ 1 8 は、側面視 U 字状を有し、中央に孔部 1 6₀ ~ 1 8₀ が形成されたそれらの上面を上方に向け、U 字の開口端を縦方向の一側に向け、これらの内側に端子収容体 1 2 を横方向に挿通可能に凹部 1 1 b 内に配置される。

- [0017] 端子収容体 12 は、端子 16b ～ 18b を収容するとともに外部端子 16 ～ 18 を固定する部材である。端子収容体 12 は、本体 11 の凹部 11b と同形状を有する、すなわち一軸方向を長手とする平板上に、3つの端子収容部 11c₁ ～ 11c₃ に対応して一軸方向に溝部を介して接続する3つの凸部を有する。3つの凸部のそれぞれの上面中央には、例えば上面視六角形状の穴部 12₁ ～ 12₃ が形成され、端子 16b ～ 18b の一例として同形状のナットが雌ネジを高さ方向に向けてそれぞれ収容されている。
- [0018] 複数（本実施形態では一例として3つ）の端子収容部 11c₁ ～ 11c₃ は、上述の端子収容体 12 を、本体 11 の凹部 11b 内に収容された外部端子 16 ～ 18 のそれぞれの内側を通して、凹部 11b 内を図面右方に挿入することで構成される。このとき、端子収容体 12 に収容された端子（すなわち、ナット）16b ～ 18b の雌ネジが、縦方向及び横方向に位置決めされて、外部端子 16 ～ 18 の孔部 16₀ ～ 18₀ と高さ方向に連通することとなる。それにより、固定具の一例であるボルト 17c 及び 18c を、後述する振動抑制回路 20 の付加基板 21 及び他の半導体装置等に接続するための導電板（不図示）を介し、外部端子 16 ～ 18 の孔部 16₀ ～ 18₀ を通して端子 16b ～ 18b の雌ネジに螺入することで、付加基板 21 及び導電板を外部端子 16 ～ 18 に着脱可能に接続するとともに筐体 10 に取外し可能に固定することができる。
- [0019] 基板 13 は、半導体素子等が搭載される平板上の部材であり、例えば DCB (Direct Copper Bonding) 基板、AMB (Active Metal Brazing) 基板等を採用することができる。基板 13 は、絶縁板 13a 並びに回路層 13b 及び 13c を含む。絶縁板 13a は、例えば窒化アルミニウム、窒化珪素、酸化アルミニウム等の絶縁性セラミックスから構成される板状部材である。回路層 13b 及び 13c は、例えば銅、アルミニウム等の導電性金属を用いて、それぞれ絶縁板 13a の上面及び下面に設けられている。なお、回路層 13b は、半導体素子及び／又は導電部材に接続する配線パターン 13b₁ ～ 13b₄ を含む。

- [0020] 半導体素子 14 a 及び 15 a は、それぞれ第 1 及び第 2 半導体素子の一例であり（第 2 及び第 1 半導体素子の一例でもよい）、例えば SiC 等の化合物半導体からなるスイッチング素子であり、表面及び裏面のそれぞれに電極を有する縦型の金属酸化物半導体電界効果トランジスタ（MOSFET）、絶縁ゲートバイポーラトランジスタ（IGBT）等を採用することができる。なお、半導体素子 14 a 及び 15 a は、縦型の素子に限らず、表面にのみ電極が設けられた横型の素子であってもよい。半導体素子 14 a 及び 15 a は、それぞれ、基板 13 上の配線パターン 13 b₁ 及び 13 b₃ 上に搭載される。
- [0021] 半導体素子 14 a 及び 15 a は、IGBT（又は MOSFET）の場合に、表面にエミッタ電極（ソース電極）及びゲート電極、裏面にコレクタ電極（ドレイン電極）を有する。半導体素子 14 a 及び 15 a は、はんだ等の接合材により、それぞれ、裏面を配線パターン 13 b₁ 及び 13 b₃ に接合することで基板 13 上に固定される。
- [0022] SiC ダイオード素子 14 b 及び 15 b は、それぞれ第 1 及び第 2 SiC ダイオード素子の一例であり（第 2 及び第 1 SiC ダイオード素子の一例でもよい）、SiC からなる整流素子であり、一例として、表面及び裏面のそれぞれに電極を有する縦型のショットキーバリアダイオード（SBD）を採用することができる。なお、SiC ダイオード素子 14 b 及び 15 b は、縦型の素子に限らず、表面にのみ電極が設けられた横型の素子であってもよい。SiC ダイオード素子 14 b 及び 15 b は、それぞれ、基板 13 上の配線パターン 13 b₁ 及び 13 b₃ 上に搭載される。
- [0023] SiC ダイオード素子 14 b 及び 15 b は、表面にアノード電極及び裏面にカソード電極を有する。SiC ダイオード素子 14 b 及び 15 b は、はんだ等の接合材により、それぞれ、裏面を配線パターン 13 b₁ 及び 13 b₃ に接合することで基板 13 上に固定される。それにより、SiC ダイオード素子 14 b 及び 15 b のカソード電極は、それぞれ、半導体素子 14 a 及び 15 a のコレクタ電極に接続される。

[0024] また、SiCダイオード素子14b及び15bのアノード電極は、例えば銅、アルミニウム等の導電性金属又は鉄アルミ合金等の導電性合金からなるワイヤ（不図示）を用いて、それぞれ、半導体素子14a及び15aのエミッタ電極に接続される。それにより、SiCダイオード素子14b及び15bは、それぞれ、半導体素子14a及び15aに逆並列に接続されてスイッチング装置を構成する。また、半導体素子15aのエミッタ電極は、ワイヤ（不図示）を用いて、基板13上の配線パターン13b₁に接続される。それにより、逆並列に接続された半導体素子15a及びSiCダイオード素子15bが逆並列に接続された半導体素子14a及びSiCダイオード素子14bに直列に接続される。さらに、SiCダイオード素子14bのアノード電極はワイヤ（不図示）を用いてさらに基板13上の配線パターン13b₂に接続され、半導体素子14a及び15aのゲート電極はワイヤ（不図示）を用いて基板13上の配線パターン13b₄に接続される。

[0025] 外部端子16～18は、半導体素子14a及び15aから出力される電流を導通して半導体装置100外に出力するための端子であり、例えば銅、アルミニウム等の導電性金属の板状部材を側面視U字状に変形して形成される。外部端子16～18は、先述のとおり、上面の中央にそれぞれ孔部16₀～18₀が形成され、3つの端子収容部11c₁～11c₃に対応する筐体10の凹部11b内の位置に配置される。

[0026] 導電部材16a～18aは、それぞれ、基板13上の配線パターン13b₁～13b₃と外部端子16～18との間に設けられて、それらの間で半導体素子14a及び15aから出力される電流を通電するための導電性の部材であり、一例として銅、アルミニウム等の導電性金属を用いて平板状又は円柱状に成形されている。

[0027] 導電部材16a～18aは、それぞれの下端をはんだ等の接合材により又は超音波接合により配線パターン13b₁～13b₃に接合することで基板13上に立設され、それぞれの上端をはんだ、ろう付け、又はカシメにより外部端子16～18の下面に接続される。導電部材16aにより、半導体素子

14 a のコレクタ電極、S i C ダイオード素子 14 b のカソード電極、半導体素子 15 a のエミッタ電極、及び S i C ダイオード素子 15 b のアノード電極が配線パターン 13 b₁、ワイヤ（不図示）、及び端子 16 b 介して外部端子 16 に接続され、導電部材 17 a により、半導体素子 14 a のエミッタ電極及び S i C ダイオード素子 14 b のアノード電極が配線パターン 13 b₂、ワイヤ（不図示）、及び端子 17 b 介して外部端子 17 に接続され、導電部材 18 a により、半導体素子 15 a のコレクタ電極及び S i C ダイオード素子 15 b のカソード電極が配線パターン 13 b₃ 及び端子 18 b 介して外部端子 18 に接続される。

[0028] 外部端子 19 は、半導体装置 100 外から半導体素子 14 a 及び 15 a に制御信号を入力する、また半導体素子 14 a 及び 15 a の出力信号を半導体装置 100 外に出力するための端子である。外部端子 19 は、例えば銅、アルミニウム等の導電性金属を用いて高さ方向を長手とする平板状に成形されている。外部端子 19 は、4 つの端子を含み、基板 13 の配線パターン 13 b₄ 上に立設され、筐体 10 の上面から突出する。なお、配線パターン 13 b₄ は、ワイヤ（不図示）を介して半導体素子 14 a 及び 15 a のゲート電極及びエミッタ電極に接続されている。外部端子 19 のうちの 2 つの端子は、配線パターン 13 b₄ 及びワイヤ（不図示）を介して半導体素子 14 a 及び 15 a のゲート電極に接続されて、ゲート端子として機能する。また、外部端子 19 のうちの残りの 2 つの端子は、配線パターン 13 b₄ 及びワイヤ（不図示）を介して半導体素子 14 a 及び 15 a のエミッタ電極に接続されて、エミッタ端子として機能する。

[0029] 図 3 A は、振動抑制回路 20 の構成を上面視において示す。S i C－S B D 等の S i C 素子を搭載した半導体装置 100 では、その動作が高速であることから、特にターンオン時に高周波のノイズが発生することがある。ノイズは S i C－S B D の接合容量に起因して例えば 10 M H z 以上 20 M H z 以下とより高周波であることから、装置内の寄生容量をほとんど減衰することなく通って装置外に漏洩するおそれがある。振動抑制回路 20 は、そのよ

うな高周波のノイズ、すなわち半導体素子 15 a がターンオンしたことに応じて SiC ダイオード素子 14 b に生じる電圧変動及び／又は半導体素子 14 a がターンオンしたことに応じて SiC ダイオード素子 15 b に生じる電圧変動（例えば、高周波ノイズ）を抑制する。振動抑制回路 20 は、付加基板 21、抵抗 23、及びキャパシタ 24 を有する。

[0030] 付加基板 21 は、抵抗 23 及びキャパシタ 24 を搭載して、筐体 10 の外部から振動抑制回路 20 を筐体に取り付けるための平板状の部材であり、例えば DCB (Direct Copper Bonding) 基板、AMB (Active Metal Blazing) 基板等を採用することができ、またプリント基板を採用することもできる。付加基板 21 は、例えば窒化アルミニウム、窒化珪素、酸化アルミニウム等の絶縁性セラミックスを用いて板状に成形し、その表面に例えば銅、アルミニウム等の導電性金属を用いて互いに離間する 3 つの配線パターン 22 a ~ 22 c を設けることで構成される。付加基板 21 は、図面左右側のそれぞれに、固定具の一例であるボルト 17 c 及び 18 c を通すための貫通孔（不図示）が形成されている。

[0031] 抵抗 23 は、半導体装置 100 から出力される高周波ノイズの電力を消費するための抵抗素子である。本実施形態では、抵抗 23 は、2 つの抵抗素子 23 a 及び 23 b を並列接続して構成され、それらの両端がそれぞれ付加基板 21 の配線パターン 22 a 及び 22 b に接続される。ここで、抵抗 23、すなわち抵抗素子 23 a 及び 23 b は、弾力を有する抵抗素材を用いて少なくとも微小変形可能な形状、例えば側面視 U 字状に成形し、その両端をそれぞれ異なる配線パターンに接続することとしてもよい。ここで、半導体装置 100 内に大きな電流が過渡的に流れて熱ストレスが発生することで、或いは装置内の導電部材又は装置に接続される導電部材に大きな電流が過渡的に流れて磁場が発生し、その磁場により振動抑制回路 20 が接続される外部端子 16 ~ 18 にストレスが加わることがある。弾力を有する抵抗 23 により、付加基板 21 の機械的振動に対して柔軟に変形して振動を吸収することで、例えば抵抗素子 23 a 及び 23 b の付加基板 21 への良好な接合を維持し

て、機械的振動に対する振動抑制回路 20 の信頼性を向上することができる。

[0032] キャパシタ 24 は、半導体装置 100 から出力される高周波ノイズの電力を吸収するための容量素子である。キャパシタ 24 は、付加基板 21 の配線パターン 22 b 及び 22 c 間に接続され、抵抗 23 と直列に接続される。ここで、キャパシタ 24 は、フィルム、紙等の弾力を有する誘電体を用いて少なくとも微小変形可能に形成されている。それにより、付加基板 21 の機械的振動に対して柔軟に変形して振動を吸収することで、例えばキャパシタ 24 の付加基板 21 への良好な接合を維持して、機械的振動に対する振動抑制回路 20 の信頼性を向上することができる。

[0033] ここで、キャパシタ 24 は、例えば 100 nF、より好ましくは 1 nF 以上 20 nF 以下の容量を有する。抵抗 23 は、例えば 1 Ω 以上 10 Ω 以下の抵抗を有する。それにより、振動抑制回路 20 は、1 MHz 以上 100 MHz の電圧変動、好ましくは 10 MHz 以上の電圧変動、より好ましくは 10 MHz 以上 20 MHz 以下の電圧変動を抑制する。

[0034] 振動抑制回路 20 は、外部端子 17 及び 18 の上面が露出する筐体 10、すなわち端子収容部 11 c₁ 及び 11 c₂ の上面上に搭載される。ここで、振動抑制回路 20 は、先述のとおり、固定具の一例であるボルト 17 c 及び 18 c を、それぞれ、矩形状の座金 27 及び 28 を介し、さらに付加基板 21 に設けられた貫通孔（不図示）、外部端子 17 及び 18 を他の半導体装置等に接続するための導電板（不図示）、並びに外部端子 17 及び 18 の孔部 17_o 及び 18_o に通して、端子収容部 11 c₂ 及び 11 c₃ を構成する端子収容体 12 に収容された端子 17 b 及び 18 b の雌ネジに螺入してネジ止めすることで、導電板とともに外部端子 17 及び 18 の間に接続される。それにより、付加基板 21 上の配線パターン 22 a 及び 22 c がそれぞれボルト 17 c 及び 18 c により外部端子 17 及び 18 に接続されて、これらの間に抵抗 23 及びキャパシタ 24 が直列接続される。

[0035] なお、振動抑制回路 20 は、端子収容部 11 c₁ ~ 11 c₃ を構成する筐体

10の突出部11c又は端子収容体12の縦方向の一側の側面に搭載することとしてよい。係る場合、突出部11c又は端子収容体12の側面に、例えば横方向に延びる凹部を設け、その内に端子収容部11c₁～11c₃に対応して凹部11b内に收容された外部端子16～18に接続する3つの配線並びに3つの配線のうちの任意の2つの間に直列に接続する抵抗素子及び容量素子を嵌入することで、振動抑制回路20を構成してもよい。

[0036] 上述の構成の振動抑制回路20並びにこれを筐体10に固定するボルト17c及び18c等の手段により、半導体装置100の内部回路に対して適当な抵抗及び容量をそれぞれ有する振動抑制回路20を選択して、筐体10の端子収容部11c₁～11c₃上又は端子収容部11c₁～11c₃若しくは突出部11cの側面に着脱可能に固定することができる。

[0037] 図3Bは、変形例に係る振動抑制回路20'の構成を上面視において示す。振動抑制回路20'は、付加基板21(21a及び21b)、抵抗23、並びにキャパシタ24を有する。なお、先の振動抑制回路20の構成各部と同じ又は対応する部材については同じ符号を付し、その説明を省略する。

[0038] 付加基板21は、互いに分離した第1部分基板21a及び第2部分基板21bを含む。第1部分基板21aは、振動抑制回路20の付加基板21と同様に構成することができる。ただし、表面に1つの配線パターン22aが設けられる。また、固定具の一例であるボルト17cを通すための貫通孔(不図示)が形成されている。第2部分基板21aは、振動抑制回路20の付加基板21と同様に構成することができる。ただし、表面に互いに離間する2つの配線パターン22b及び22cが設けられる。また、固定具の一例であるボルト18cを通すための貫通孔(不図示)が形成されている。

[0039] 抵抗23は、本実施形態では2つの抵抗素子23a及び23bを並列に組み合わせて構成され、それらの両端がそれぞれ第1部分基板21aの配線パターン22a及び第2部分基板21bの配線パターン22bに接続される。ここで、抵抗23、すなわち抵抗素子23a及び23bは、弾力を有する抵抗素材を用いて少なくとも微小変形可能な形状、例えば側面視U字状に成形

し、第1部分基板21a及び第2部分基板21bを跨いで設けられる。それにより、付加基板21、すなわち第1部分基板21a及び第2部分基板21bの機械的振動に対して柔軟に変形して振動を吸収することで、例えば抵抗素子23a及び23bの付加基板21への良好な接合を維持して、機械的振動に対する振動抑制回路20'の信頼性を向上することができる。

[0040] キャパシタ24は、第2部分基板21bの配線パターン22b及び22c間に接続され、抵抗23と直列に接続される。ここで、キャパシタ24は、フィルム、紙等の弾力を有する誘電体を用いて少なくとも微小変形可能に形成されている。それにより、付加基板21の機械的振動に対して柔軟に変形して振動を吸収することで、例えばキャパシタ24の付加基板21への良好な接合を維持して、機械的振動に対する振動抑制回路20'の信頼性を向上することができる。

[0041] なお、抵抗23を第1部分基板21a及び第2部分基板21bの間を跨いで設けることに代えて、キャパシタ24をそれらの間を跨いで設けてもよい。振動抑制回路20'を、振動抑制回路20に代えて使用する又はこれとともに併用することもできる。

[0042] なお、付加基板21において、第1部分基板21a及び第2部分基板21bを互いに分離するに限らず、例えばスリットを間に設けて部分的に分離し、その部分的に分離した第1部分基板21a及び第2部分基板21bの間を跨いで抵抗23及び／又はキャパシタ24を設けてもよい。

[0043] 図4Aは、半導体装置100の回路構成を示す。半導体素子14a及び15aは、配線パターン13b₁～13b₃、ワイヤ（不図示）、及び導電部材17a及び18aを介して外部端子17及び18の間に直列に接続されている。SiCダイオード素子14bは、配線パターン13b₁及びワイヤ（不図示）を介して半導体素子14aに並列に接続され、SiCダイオード素子15bは、配線パターン13b₃及びワイヤ（不図示）を介して半導体素子15aに並列に接続されている。また、振動抑制回路20は、外部端子17及び18の間に、半導体素子14a及び15a（並びにSiCダイオード素子1

4 b 及び 1 5 b) と並列に接続されている。

[0044] 半導体装置 1 0 0 において、半導体素子 1 4 a 及び 1 5 a は、外部端子 1 9、配線パターン 1 3 b₄、及びワイヤ（不図示）を介して制御信号（これに含まれるスイッチング信号）がそれぞれのゲート電極に入力されることでオンオフされて、外部端子 1 8 から外部端子 1 6 又は外部端子 1 6 から外部端子 1 7 に電流を通す又は止める。また、振動抑制回路 2 0 は、半導体素子 1 5 a がターンオンしたことに応じて S i C ダイオード素子 1 4 b に生じる電圧変動及び／又は半導体素子 1 4 a がターンオンしたことに応じて S i C ダイオード素子 1 5 b に生じる電圧変動（例えば、高周波ノイズ）を抑制する。

[0045] なお、振動抑制回路 2 0 は、半導体素子 1 4 a 及び 1 5 a（並びに S i C ダイオード素子 1 4 b 及び 1 5 b）に対して共通に設けるに限らず、半導体素子 1 4 a（及び S i C ダイオード素子 1 4 b）並びに半導体素子 1 5 a（及び S i C ダイオード素子 1 5 b）のそれぞれに対して個別に設けてもよい。

[0046] 図 4 B は、第 1 の変形例に係る半導体装置 1 1 0 の回路構成を示す。半導体素子 1 4 a 及び 1 5 a 並びに S i C ダイオード素子 1 4 b 及び 1 5 b は、半導体装置 1 0 0 と同様に外部端子 1 7 及び 1 8 の間に接続されている。これに対して、2 つの振動抑制回路 2 0 の一方が、外部端子 1 6 及び 1 7 の間に半導体素子 1 4 a（及び S i C ダイオード素子 1 4 b）と並列に接続され、他方が外部端子 1 6 及び 1 8 の間に半導体素子 1 5 a（及び S i C ダイオード素子 1 5 b）と並列に接続されている。

[0047] 半導体装置 1 1 0 において、外部端子 1 6 及び 1 7 の間に接続された振動抑制回路 2 0 は、半導体素子 1 5 a がターンオンしたことに応じて S i C ダイオード素子 1 4 b に生じる電圧変動を抑制し、外部端子 1 6 及び 1 8 の間に接続された振動抑制回路 2 0 は、半導体素子 1 4 a がターンオンしたことに応じて S i C ダイオード素子 1 5 b に生じる電圧変動を抑制する。

[0048] なお、変形例に係る半導体装置 1 1 0 において、半導体素子 1 4 a（及び

S i C ダイオード素子 1 4 b) 並びに半導体素子 1 5 a (及び S i C ダイオード素子 1 5 b) のそれぞれに対して振動抑制回路 2 0 を設けるに限らず、一方にのみ設けることとしてもよい。

[0049] 図 5 は、半導体装置 1 0 0 及び 1 1 0 において、半導体装置のターンオン時における電流及び電圧の過渡応答試験の結果を示す。ここで、半導体装置 1 0 0 の振動抑制回路 2 0 において、抵抗 2 3 の抵抗 2 . 5 Ω 及びキャパシタ 2 4 の容量 1 1 n F とした。これを、実施例 1 とする。また、半導体装置 1 1 0 の振動抑制回路 2 0 において、抵抗 2 3 の抵抗 6 . 8 Ω 及びキャパシタ 2 4 の容量 5 . 2 n F とした。これを、実施例 2 とする。また、振動抑制回路 2 0 を含まない半導体装置 1 0 0 を比較例とする。過渡応答試験では、振動抑制回路 2 0 を含まない半導体装置 1 0 0 (比較例)、半導体装置 1 0 0 (実施例 1)、及び半導体装置 1 1 0 (実施例 2) のそれぞれにおいて、外部端子 1 6 及び 1 8 間に配線インダクタンス並びに外部端子 1 7 及び 1 8 間に電圧源をそれぞれ接続し、半導体素子 1 4 a をオンした際に、これを通電して外部端子 1 7 から出力される電流 I_C 並びに外部端子 1 6 及び 1 8 間に加わる電圧 V_{CE} の過渡応答特性を測定した。

[0050] 比較例において、半導体素子 1 4 a がオンすると、電流 I_C は、徐々に増加しておよそ 2 8 0 n s にてピークを呈して減少に転じ、およそ 3 3 0 n s にてディップを呈して再度増加に転じ、およそ 3 7 0 n s にて再度ピークを呈して減少に転じ、以降、8 0 n s 以上 1 0 0 n s 以下の周期で増減（すなわち、振動）を繰り返して飽和する。一方、電圧 V_{CE} は、およそ 2 8 0 n s から急激に増加して、およそ 3 2 0 n s にてピークを呈して減少に転じ、およそ 3 7 0 n s にてディップを呈して再度増加に転じ、及び 4 3 0 n s にて再度ピークを呈して減少に転じ、以降、8 0 n s 以上 1 0 0 n s 以下の周期で増減（すなわち、1 0 M H z 以上 1 2 . 5 M H z 以下で振動）を繰り返して飽和する。ここで、電流 I_C 及び電圧 V_{CE} の振動は、おおよそ 1 2 0 0 n s で減衰する。

[0051] 実施例 1 において、半導体素子 1 4 a がオンすると、電流 I_C は、徐々に増

加しておよそ280 nsにてピークを呈して減少に転じ、およそ330 nsにてディップを呈して再度増加に転じ、およそ350 nsにてほぼ一定になる。一方、電圧 V_{CE} は、およそ280 nsから急激に増加して、およそ320 nsにてピークを呈して減少に転じ、およそ380 nsにてディップを呈して再度増加に転じ、以降、徐々に増加して飽和する。ここで、電流 I_C 及び電圧 V_{CE} の振動は、比較例1に対して小さく、おおよそ100 ns程度で減衰する。

[0052] 実施例2において、半導体素子14aがオンすると、電流 I_C は、徐々に増加しておよそ260 nsにてピークを呈して減少に転じ、およそ315 nsにてディップを呈して再度増加に転じ、およそ350 nsにて再度ピークを呈して減少に転じ、以降、50 ns程度の短い周期で微小な増減（すなわち、微小振動）を繰り返して飽和する。一方、電圧 V_{CE} は、およそ280 nsから急激に増加して、およそ310 nsにてピークを呈して減少に転じ、およそ370 nsにてディップを呈して再度増加に転じ、以降、50 ns程度の短い周期で微小に増減（すなわち、微小振動）を繰り返して飽和する。ここで、電流 I_C 及び電圧 V_{CE} の振動は、比較例1に対して小さく、しかし実施例1に対して大きく、おおよそ300 nsで減衰する。

[0053] なお、実施例1及び2において、振動抑制回路20による電力損失はほとんど確認できなかった。

[0054] 上述の半導体装置100及び110における半導体装置のターンオンに対する電流及び電圧の過渡応答試験の結果より、半導体装置100及び110のいずれにおいても振動抑制回路20により、半導体素子のターンオン時における高周波の電流及び電圧変動を抑制できることが確認できた。つまり、振動抑制回路20は、従来のRCスナバと比較してより高周波（例えば10 MHz以上20 MHz以下）のノイズを抑えることができる。

[0055] なお、本実施形態の半導体装置100及び第1の変形例に係る半導体装置110において、振動抑制回路20に並列にRCスナバ回路を接続してもよい。

[0056] 図6Aは、第2の変形例に係る半導体装置120の回路構成を示す。半導体装置100と同様に、半導体素子14a及び15a並びにSiCダイオード素子14b及び15bが外部端子17及び18の間に接続され、これらに並列に振動抑制回路20が外部端子17及び18の間に接続されている。これに対して、さらに、振動抑制回路20と並列にRCスナバ回路30が接続されている。

[0057] RCスナバ回路30は、直列に接続された抵抗33及びキャパシタ34を有する。キャパシタ34は、例えば400nF以上10 μ F以下の容量を有する。抵抗33は、例えば100 Ω 以上の抵抗を有する。それにより、RCスナバ回路30は、半導体素子14a又は15aがターンオフする際の急激な電流変化(di/dt)により装置内の配線インダクタンス(L)に発生するサージ電圧($L di/dt$)を吸収する。なお、RCスナバ回路30と比較すると、先述の振動抑制回路20ではこのサージ電圧を吸収する能力は低い。

[0058] なお、直列に接続された抵抗33及びキャパシタ34を有するRCスナバ回路30に代えて、キャパシタのみを有するC一括スナバ回路を用いてもよい。

[0059] 図6Bは、第3の変形例に係る半導体装置130の回路構成を示す。半導体装置100と同様に、半導体素子14a及び15a並びにSiCダイオード素子14b及び15bが外部端子17及び18の間に接続され、これらに並列に振動抑制回路20が外部端子17及び18の間に接続されている。これに対して、さらに、振動抑制回路20と並列にC一括スナバ回路40が接続されている。

[0060] C一括スナバ回路40は、キャパシタ44を有する。キャパシタ44は、例えば400nF以上10 μ F以下の容量を有する。それにより、RCスナバ回路30と同様に、半導体素子14a又は15aがターンオフする際にこれらに加わるサージ電圧を吸収することができる。

[0061] 図6Cは、第4の変形例に係る半導体装置140の回路構成を示す。半導

体装置 110 と同様に、半導体素子 14a 及び 15a 並びに SiC ダイオード素子 14b 及び 15b が外部端子 17 及び 18 の間に接続され、2つの振動抑制回路 20 の一方が、外部端子 16 及び 17 の間に半導体素子 14a (及び SiC ダイオード素子 14b) と並列に接続され、他方が外部端子 16 及び 18 の間に半導体素子 15a (及び SiC ダイオード素子 15b) と並列に接続されている。これに対して、さらに、一方の振動抑制回路 20 と並列に 2つの RC スナバ回路 30 の一方が外部端子 16 及び 17 の間に接続され、他方の振動抑制回路 20 と並列に 2つの RC スナバ回路 30 の他方が外部端子 16 及び 18 の間に接続されている。

[0062] 2つの RC スナバ回路 30 は、半導体装置 120 における RC スナバ回路 30 と同様に構成される。半導体装置 140 において、外部端子 16 及び 17 の間に接続された RC スナバ回路 30 は、半導体素子 14a がターンオフする際にこれに加わるサージ電圧を吸収する。外部端子 16 及び 18 の間に接続された RC スナバ回路 30 は、半導体素子 15a がターンオフする際にこれに加わるサージ電圧を吸収する。

[0063] なお、第4の変形例に係る半導体装置 140 において、2つの RC スナバ回路 30 の少なくとも一方に代えて C 一括スナバ回路 40 を用いてもよい。

[0064] なお、本実施形態に係る半導体装置 100 では、振動抑制回路 20 を筐体 10 (すなわち、端子収容部 11c₁ ~ 11c₃) 上に固定することとしたが、これに代えて、半導体素子 14a 及び 15a を搭載する基板 13 上に組み込んでもよい。

[0065] なお、本実施形態に係る半導体装置 100 及び変形例に係る半導体装置 110 ~ 140 では、2つの半導体素子 14a 及び 15a を含むこととしたが、例えば、半導体素子 14a を複数直列及び／又は並列に外部端子 16 及び 17 間に接続してもよいし、半導体素子 15a を複数直列及び／又は並列に外部端子 16 及び 18 間に接続してもよい。同様に、SiC ダイオード素子 14b を複数直列及び／又は並列に外部端子 16 及び 17 間に接続してもよいし、SiC ダイオード素子 15b を複数直列及び／又は並列に外部端子 1

6 及び 18 間に接続してもよい。

[0066] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0067] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

[0068] 10…筐体、11…本体、11a…段部、11a0…貫通孔、11b…凹部、11c…突出部、11c₁～11c₃…端子収容部、12…端子収容体、12₁～12₃…穴部、13…基板、13a…絶縁板、13b…回路層、13b₁～13b₄…配線パターン、13c…回路層、14a…半導体素子、14b…SiCダイオード素子、15a…半導体素子、15b…SiCダイオード素子、16…外部端子、16₀…孔部、16a…導電部材、16b…端子、17…外部端子、17₀…孔部、17a…導電部材、17b…端子、17c…ボルト、18…外部端子、18₀…孔部、18a…導電部材、18b…端子、18c…ボルト、19…外部端子、20, 20'…振動抑制回路、21…付加基板、21a…第1部分基板、21b…第2部分基板、22a～22c…配線パターン、23…抵抗、23a, 23b…抵抗素子、24…キャパシタ、27…座金、30…RCスナバ回路、33…抵抗、34…キャパシタ、40…C一括スナバ回路、44…キャパシタ、100, 110, 120, 130, 140…半導体装置。

請求の範囲

- [請求項1] 直列に接続された第1半導体素子（14a）および第2半導体素子（15a）と、
前記第1半導体素子（14a）に並列に接続される第1SiCダイオード素子（14b）と、
前記第1半導体素子（14a）および前記第1SiCダイオード素子（14b）と並列に接続され、前記第2半導体素子（15a）がターンオンしたことに応じて前記第1SiCダイオード素子（14b）に生じる電圧変動を抑制する第1振動抑制回路（20）と、
を備える半導体装置（100）。
- [請求項2] 前記第2半導体素子（15a）に並列に接続される第2SiCダイオード素子（15b）を更に備える請求項1に記載の半導体装置（100）。
- [請求項3] 前記第1振動抑制回路（20）は、直列に接続した抵抗（23）およびキャパシタ（24）を有する請求項2に記載の半導体装置（100）。
- [請求項4] 前記第1振動抑制回路（20）は、10MHz以上の前記電圧変動を抑制する請求項3に記載の半導体装置（100）。
- [請求項5] 前記第1振動抑制回路（20）は、1MHz以上100MHz以下の前記電圧変動を抑制する請求項4に記載の半導体装置（100）。
- [請求項6] 前記キャパシタ（24）は、100nF以下の容量を有する請求項3から5のいずれか一項に記載の半導体装置（100）。
- [請求項7] 前記キャパシタ（24）は、1nF以上20nF以下の容量を有する請求項6に記載の半導体装置（100）。
- [請求項8] 前記第1振動抑制回路（20）が有する前記抵抗（23）および前記キャパシタ（24）の少なくとも一方は、弾性を有する請求項3から7のいずれか一項に記載の半導体装置（100）。
- [請求項9] 前記第1半導体素子（14a）、前記第2半導体素子（15a）、

前記第1 SiCダイオード素子(14b)、および前記第2 SiCダイオード素子(15b)を収容する筐体(11)を更に備え、

前記筐体(11)は、

前記第1半導体素子(14a)における前記第2半導体素子(15a)とは反対側に接続され、第1の外部端子(18)と接続されるべき第1端子(18b)を収容する、前記筐体(11)の本体部分から突出した第1端子収容部(11c₃)と、

前記第1半導体素子(14a)および前記第2半導体素子(15a)の間、または前記第2半導体素子(15a)における前記第1半導体素子(14a)とは反対側に接続され、第2の外部端子(17)と接続されるべき第2端子(17b)を収容する、前記筐体(11)の本体部分から突出した第2端子収容部(11c₂)と、

を有する

請求項2から7のいずれか一項に記載の半導体装置(100)。

[請求項10] 前記第1振動抑制回路(20)は、前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)における、前記第1の外部端子(18)および前記第2の外部端子(17)が接続される面に搭載される請求項9に記載の半導体装置(100)。

[請求項11] 前記第1振動抑制回路(20)は、前記第1端子収容部(11c₃)内の第1端子(18b)に対して前記第1の外部端子(18)と共にネジ止めされると共に、前記第2端子収容部(11c₂)内の第2端子(17b)に対して前記第2の外部端子(17)と共にネジ止めされる請求項10に記載の半導体装置(100)。

[請求項12] 前記第1振動抑制回路(20)は、前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)における、前記第1の外部端子(18)および前記第2の外部端子(17)が接続される面に対して側方に位置する側面に搭載される請求項9に記載の半導体装置(100)。

- [請求項13] 前記第1振動抑制回路(20)は、前記筐体(11)の外側から前記筐体(11)に取り付けられる付加基板(21)を有し、
前記付加基板(21)が前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)に対して固定される
請求項9から12のいずれか一項に記載の半導体装置(100)。
- [請求項14] 前記付加基板(21)は、分離した第1部分基板(21a)および第2部分基板(21b)を含み、
前記第1振動抑制回路(20)は、
直列に接続した抵抗(23)およびキャパシタ(24)を有し、
前記抵抗(23)および前記キャパシタ(24)の少なくとも一方は弾性を有し、前記第1部分基板(21a)および前記第2部分基板間(21b)を跨いで設けられる
請求項13に記載の半導体装置(100)。
- [請求項15] 前記第1振動抑制回路(20)は、前記第1半導体素子(14a)における前記第2半導体素子(15a)とは反対側に接続される第1端子(18b)と前記第1半導体素子(14a)および前記第2半導体素子(15a)の間に接続される第2端子(17b)との間に接続される請求項2から14のいずれか一項に記載の半導体装置(110)。
- [請求項16] 前記第2半導体素子(15a)における前記第2端子(17b)側とは反対側に接続される第3端子(16b)と前記第2端子(17b)との間に設けられ、前記第1半導体素子(14a)がターンオンしたことに応じて前記第2SiCダイオード素子(15b)に生じる電圧変動を抑制する第2振動抑制回路(20)を更に備える請求項15に記載の半導体装置(110)。
- [請求項17] 前記第1振動抑制回路(20)は、前記第1半導体素子(14a)における前記第2半導体素子(14a)とは反対側に接続される第1端子(18b)と、前記第2半導体素子(15a)における前記第1

半導体素子（１４ a）とは反対側に接続される第２端子（１７ b）との間に設けられる請求項２から１４のいずれか一項に記載の半導体装置（１００）。

[請求項18] 前記第１半導体素子（１４ a）、前記第１ＳｉＣダイオード素子（１４ b）、および前記第１振動抑制回路（２０）と並列に接続されたＲＣスナバ回路（３０）を更に備える請求項１から１７のいずれか一項に記載の半導体装置（１２０，１４０）。

[請求項19] 前記ＲＣスナバ回路（３０）は、４００ n F以上１０ μ F以下の容量を有するキャパシタ（３４）を有する請求項１８に記載の半導体装置（１２０，１４０）。

[請求項20] 直列に接続された第１半導体素子（１４ a）および第２半導体素子（１５ a）と、前記第１半導体素子（１４ a）に並列に接続される第１ＳｉＣダイオード素子（１４ b）とを有する半導体装置に付加される振動抑制装置であって、

前記半導体装置の筐体（１１）に対して取り付けられて前記第１半導体素子（１４ a）および前記第１ＳｉＣダイオード素子（１４ b）と並列に接続され、前記第２半導体素子（１５ a）がターンオンしたことに応じて前記第１ＳｉＣダイオード素子（１４ b）に生じる電圧変動を抑制する振動抑制回路（２０）

を備える振動抑制装置。

[請求項21] 前記振動抑制回路（２０）は、前記第１半導体素子（１４ a）および前記第１ＳｉＣダイオード素子（１４ b）と並列に接続される、直列に接続した抵抗（２３）およびキャパシタ（２４）を有する請求項２０に記載の振動抑制装置。

[請求項22] 前記筐体（１１）は、

前記第１半導体素子（１４ a）における前記第２半導体素子（１５ a）とは反対側に設けられ、第１の外部端子（１８）と接続されるべき第１端子（１８ b）を収容する、前記筐体（１１）の本体部分から

突出した第1端子収容部(11c₃)と、

前記第1半導体素子(14a)および前記第2半導体素子(15a)の間、または前記第2半導体素子(15a)における前記第1半導体素子(14a)とは反対側に設けられ、第2の外部端子(17)と接続されるべき第2端子(17b)を収容する、前記筐体(11)の本体部分から突出した第2端子収容部(11c₂)と、

を有し、

当該振動抑制装置は、前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)における、前記第1の外部端子(18)および前記第2の外部端子(17)が接続される面、または、前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)における、前記第1の外部端子(18)および前記第2の外部端子(17)が接続される面に対して側方に位置する側面に搭載される

請求項20または21に記載の振動抑制装置。

補正された請求の範囲
[2017年11月8日 (08.11.2017) 国際事務局受理]

- [請求項1] (補正後)
- 直列に接続された第1半導体素子 (1 4 a) および第2半導体素子 (1 5 a) と、
- 前記第1半導体素子 (1 4 a) に並列に接続される第1 S i C ダイオード素子 (1 4 b) と、
- 前記第1半導体素子 (1 4 a) および前記第1 S i C ダイオード素子 (1 4 b) と並列に接続され、前記第2半導体素子 (1 5 a) がターンオンしたことに応じて前記第1 S i C ダイオード素子 (1 4 b) に生じる電圧変動を抑制する第1振動抑制回路 (2 0) と、
- を備え、前記第1振動抑制回路 (2 0) は、直列に接続した抵抗 (2 3) およびキャパシタ (2 4) を有し、前記抵抗 (2 3) および前記キャパシタ (2 4) の少なくとも一方は、弾性を有する、半導体装置 (1 0 0) 。
- [請求項2] 前記第2半導体素子 (1 5 a) に並列に接続される第2 S i C ダイオード素子 (1 5 b) を更に備える請求項1に記載の半導体装置 (1 0 0) 。
- [請求項3] (削除)
- [請求項4] (補正後)
- 前記第1振動抑制回路 (2 0) は、1 0 M H z 以上の前記電圧変動を抑制する請求項1または2に記載の半導体装置 (1 0 0) 。
- [請求項5] 前記第1振動抑制回路 (2 0) は、1 M H z 以上1 0 0 M H z 以下の前記電圧変動を抑制する請求項4に記載の半導体装置 (1 0 0) 。
- [請求項6] (補正後)
- 前記キャパシタ (2 4) は、1 0 0 n F 以下の容量を有する請求項1から5のいずれか一項に記載の半導体装置 (1 0 0) 。

- [請求項7] 前記キャパシタ（24）は、1 n F以上20 n F以下の容量を有する請求項6に記載の半導体装置（100）。
- [請求項8] （削除）
- [請求項9] 前記第1半導体素子（14a）、前記第2半導体素子（15a）、前記第1SiCダイオード素子（14b）、および前記第2SiCダイオード素子（15b）を収容する筐体（11）を更に備え、
前記筐体（11）は、
前記第1半導体素子（14a）における前記第2半導体素子（15a）とは反対側に接続され、第1の外部端子（18）と接続されるべき第1端子（18b）を収容する、前記筐体（11）の本体部分から突出した第1端子収容部（11c₃）と、
前記第1半導体素子（14a）および前記第2半導体素子（15a）の間、または前記第2半導体素子（15a）における前記第1半導体素子（14a）とは反対側に接続され、第2の外部端子（17）と接続されるべき第2端子（17b）を収容する、前記筐体（11）の本体部分から突出した第2端子収容部（11c₂）と、
を有する
請求項2から7のいずれか一項に記載の半導体装置（100）。
- [請求項10] 前記第1振動抑制回路（20）は、前記第1端子収容部（11c₃）および前記第2端子収容部（11c₂）における、前記第1の外部端子（18）および前記第2の外部端子（17）が接続される面に搭載される請求項9に記載の半導体装置（100）。
- [請求項11] 前記第1振動抑制回路（20）は、前記第1端子収容部（11c₃）内の第1端子（18b）に対して前記第1の外部端子（18）と共にネジ止めされると共に、前記第2端子収容部（11c₂）内の第2端子（17b）に対して前記第2の外部端子（17）と共にネジ止めされる請求項10に記載の半導体装置（100）。

- [請求項12] 前記第1振動抑制回路(20)は、前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)における、前記第1の外部端子(18)および前記第2の外部端子(17)が接続される面に対して側方に位置する側面に搭載される請求項9に記載の半導体装置(100)。
- [請求項13] 前記第1振動抑制回路(20)は、前記筐体(11)の外側から前記筐体(11)に取り付けられる付加基板(21)を有し、
前記付加基板(21)が前記第1端子収容部(11c₃)および前記第2端子収容部(11c₂)に対して固定される
請求項9から12のいずれか一項に記載の半導体装置(100)。
- [請求項14] 前記付加基板(21)は、分離した第1部分基板(21a)および第2部分基板(21b)を含み、
前記第1振動抑制回路(20)は、
直列に接続した抵抗(23)およびキャパシタ(24)を有し、
前記抵抗(23)および前記キャパシタ(24)の少なくとも一方は弾性を有し、前記第1部分基板(21a)および前記第2部分基板間(21b)を跨いで設けられる
請求項13に記載の半導体装置(100)。
- [請求項15] 前記第1振動抑制回路(20)は、前記第1半導体素子(14a)における前記第2半導体素子(15a)とは反対側に接続される第1端子(18b)と前記第1半導体素子(14a)および前記第2半導体素子(15a)の間に接続される第2端子(17b)との間に接続される請求項2から14のいずれか一項に記載の半導体装置(110)。
- [請求項16] 前記第2半導体素子(15a)における前記第2端子(17b)側とは反対側に接続される第3端子(16b)と前記第2端子(17b)との間に設けられ、前記第1半導体素子(14a)がターンオンしたことに応じて前記第2SiCダイオード素子(15b)に生じる電圧

変動を抑制する第2振動抑制回路(20)を更に備える請求項15に記載の半導体装置(110)。

[請求項17] 前記第1振動抑制回路(20)は、前記第1半導体素子(14a)における前記第2半導体素子(14a)とは反対側に接続される第1端子(18b)と、前記第2半導体素子(15a)における前記第1半導体素子(14a)とは反対側に接続される第2端子(17b)との間に設けられる請求項2から14のいずれか一項に記載の半導体装置(100)。

[請求項18] 前記第1半導体素子(14a)、前記第1SiCダイオード素子(14b)、および前記第1振動抑制回路(20)と並列に接続されたRCスナバ回路(30)を更に備える請求項1から17のいずれか一項に記載の半導体装置(120, 140)。

[請求項19] 前記RCスナバ回路(30)は、400nF以上10 μ F以下の容量を有するキャパシタ(34)を有する請求項18に記載の半導体装置(120, 140)。

[請求項20] (補正後)

直列に接続された第1半導体素子(14a)および第2半導体素子(15a)と、前記第1半導体素子(14a)に並列に接続される第1SiCダイオード素子(14b)とを有する半導体装置に付加される振動抑制装置であって、

前記半導体装置の筐体(11)に対して取り付けられて前記第1半導体素子(14a)および前記第1SiCダイオード素子(14b)と並列に接続され、前記第2半導体素子(15a)がターンオンしたことに応じて前記第1SiCダイオード素子(14b)に生じる電圧変動を抑制する振動抑制回路(20)

を備え、前記振動抑制回路(20)は、直列に接続した抵抗(23)およびキャパシタ(24)を有し、前記抵抗(23)および前記キャパシタ(24)の少なくとも一方は、弾性を有する、振動抑制装置。

[請求項21] (削除)

[請求項22] (補正後)

前記筐体 (11) は、

前記第1半導体素子 (14a) における前記第2半導体素子 (15a) とは反対側に設けられ、第1の外部端子 (18) と接続されるべき第1端子 (18b) を収容する、前記筐体 (11) の本体部分から突出した第1端子収容部 (11c₃) と、

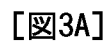
前記第1半導体素子 (14a) および前記第2半導体素子 (15a) の間、または前記第2半導体素子 (15a) における前記第1半導体素子 (14a) とは反対側に設けられ、第2の外部端子 (17) と接続されるべき第2端子 (17b) を収容する、前記筐体 (11) の本体部分から突出した第2端子収容部 (11c₂) と、

を有し、

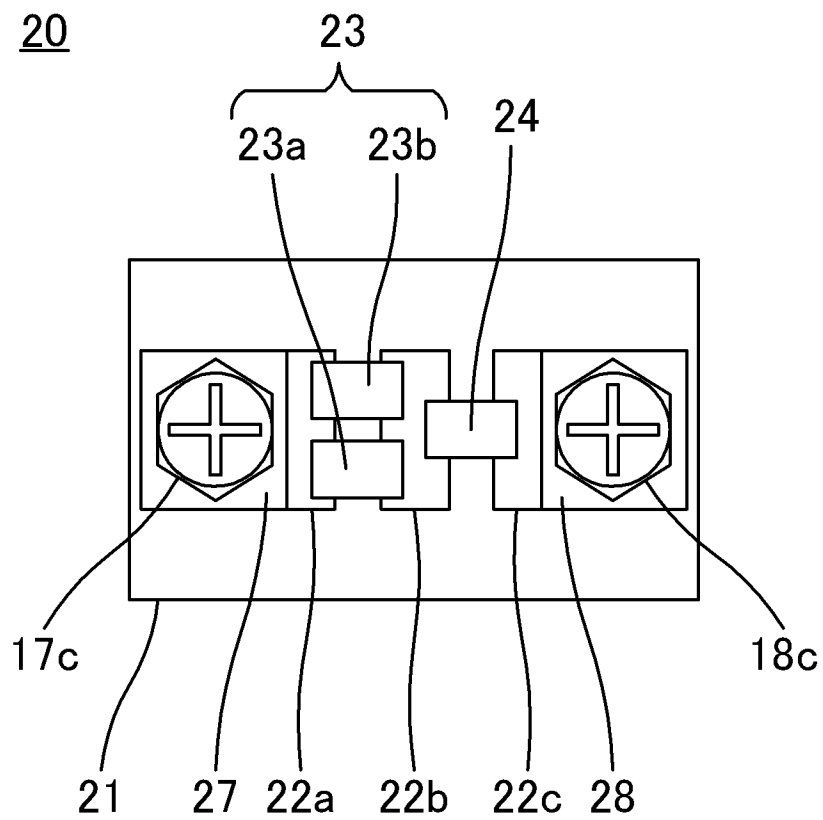
当該振動抑制装置は、前記第1端子収容部 (11c₃) および前記第2端子収容部 (11c₂) における、前記第1の外部端子 (18) および前記第2の外部端子 (17) が接続される面、または、前記第1端子収容部 (11c₃) および前記第2端子収容部 (11c₂) における、前記第1の外部端子 (18) および前記第2の外部端子 (17) が接続される面に対して側方に位置する側面に搭載される

請求項20に記載の振動抑制装置。

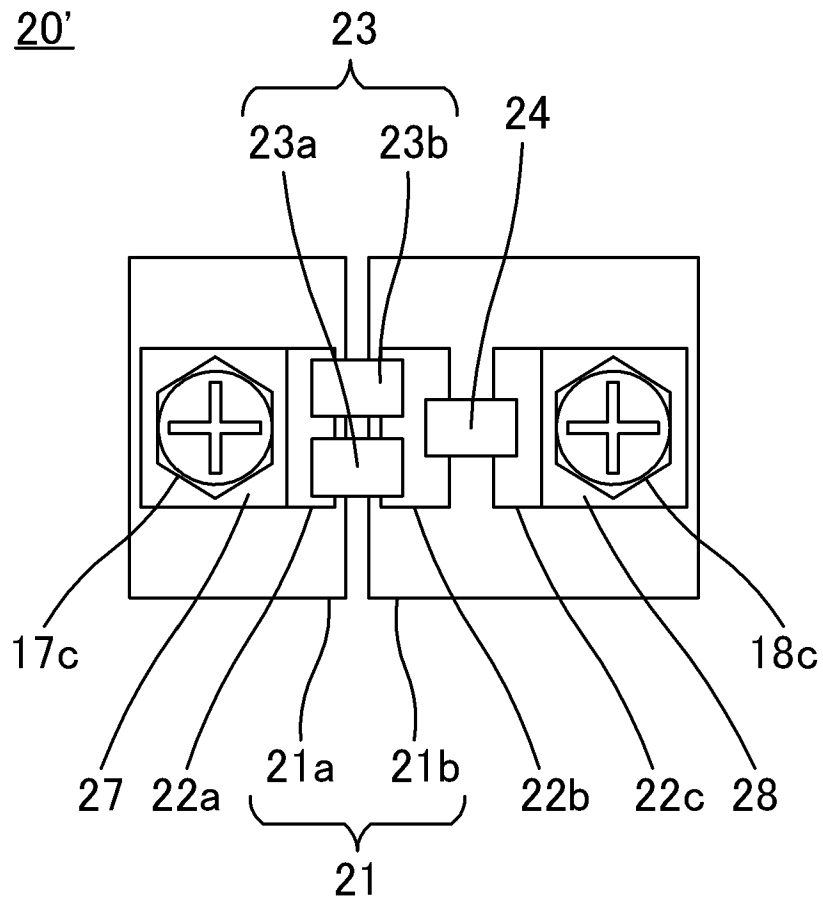
100



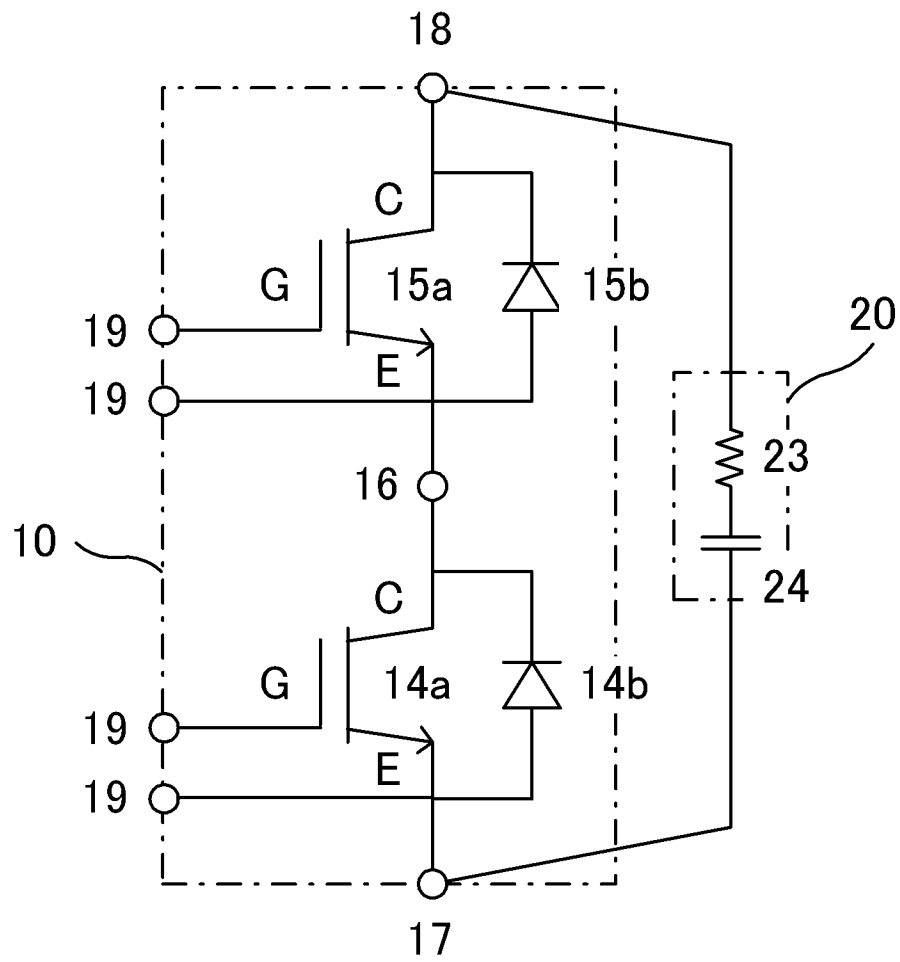
20



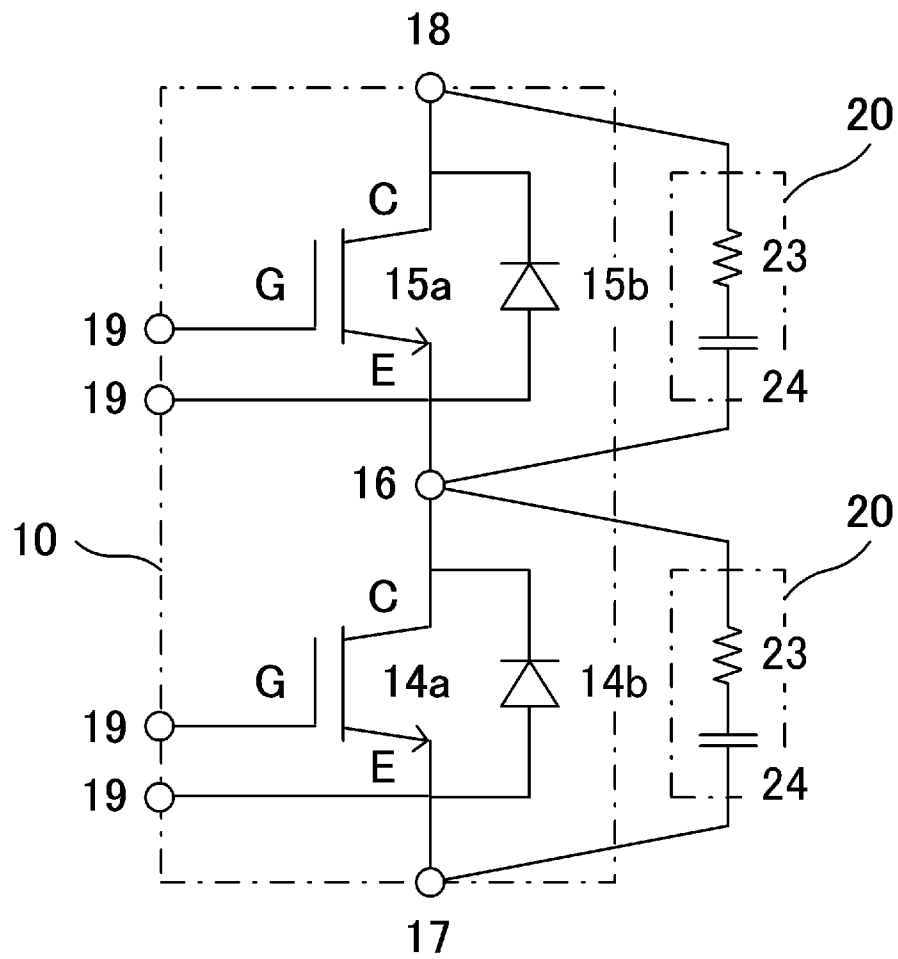
[図3B]

20'

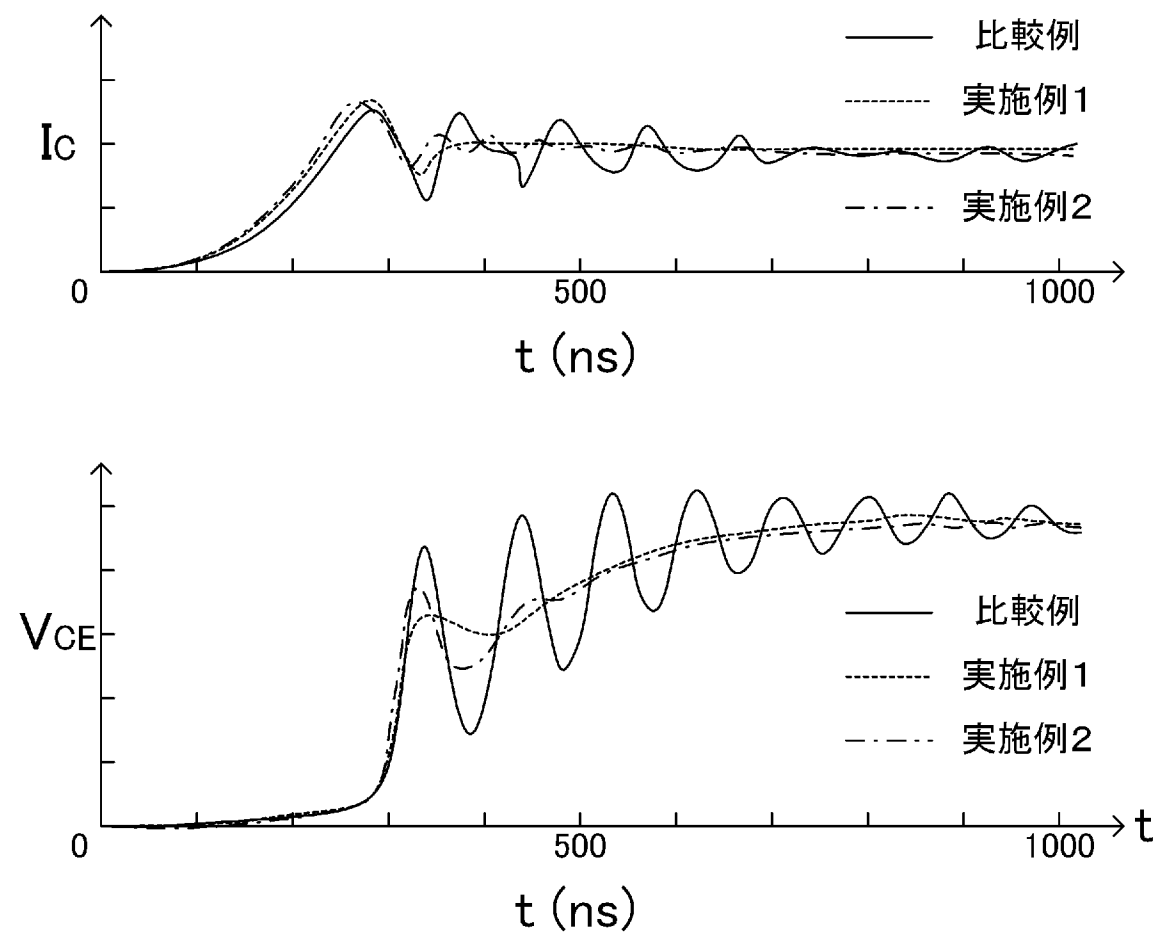
[図4A]

100

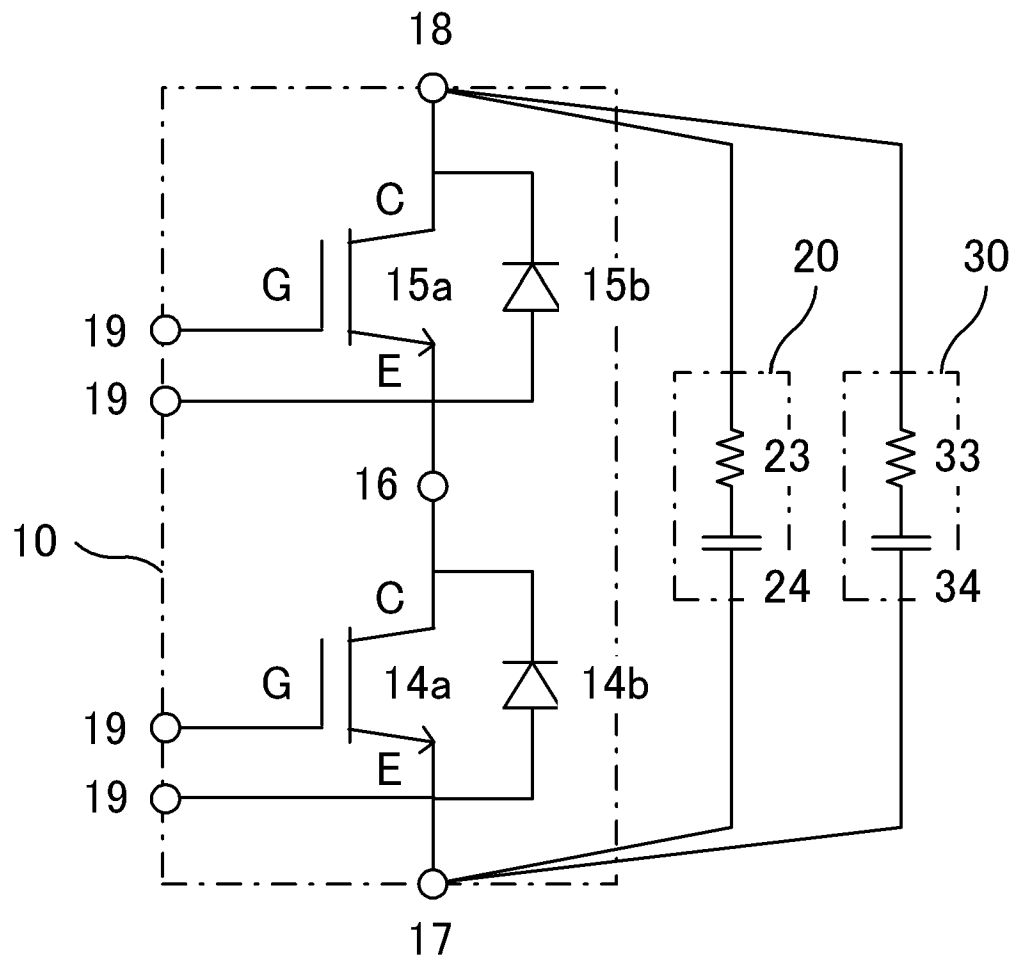
110



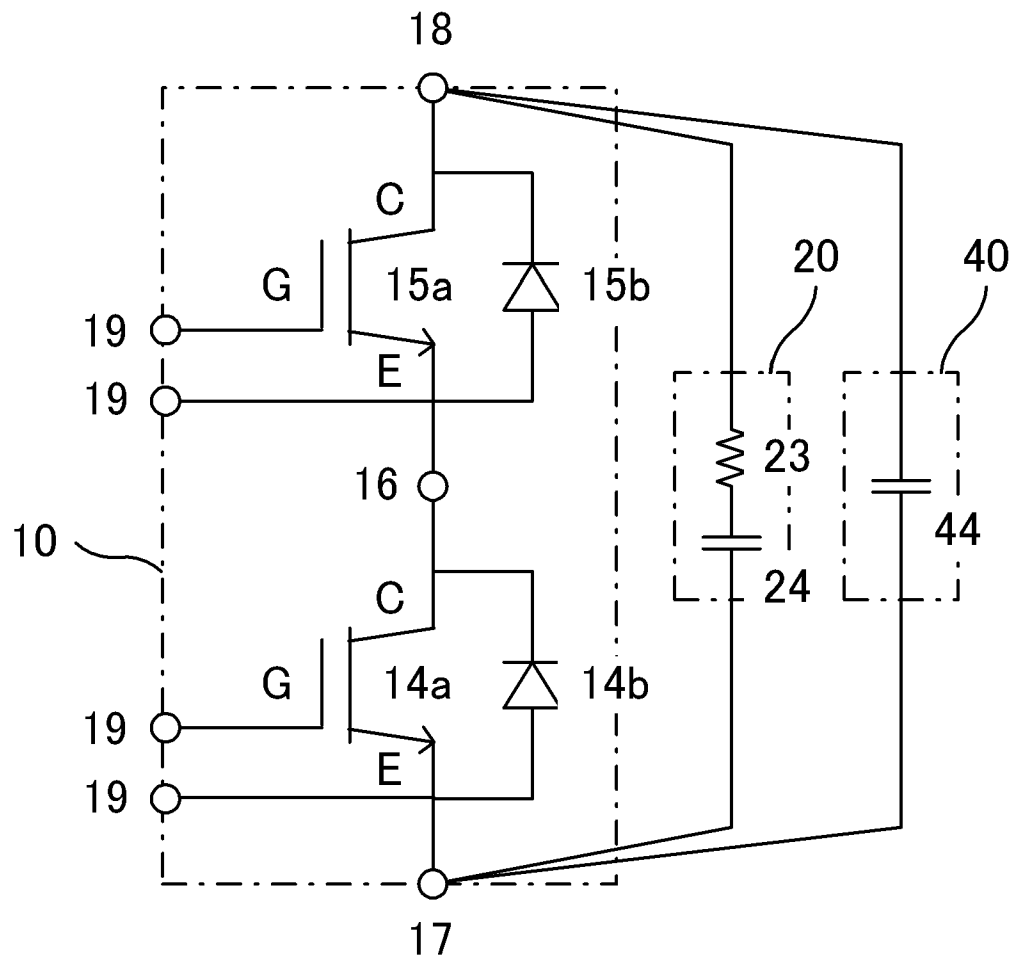
[図5]



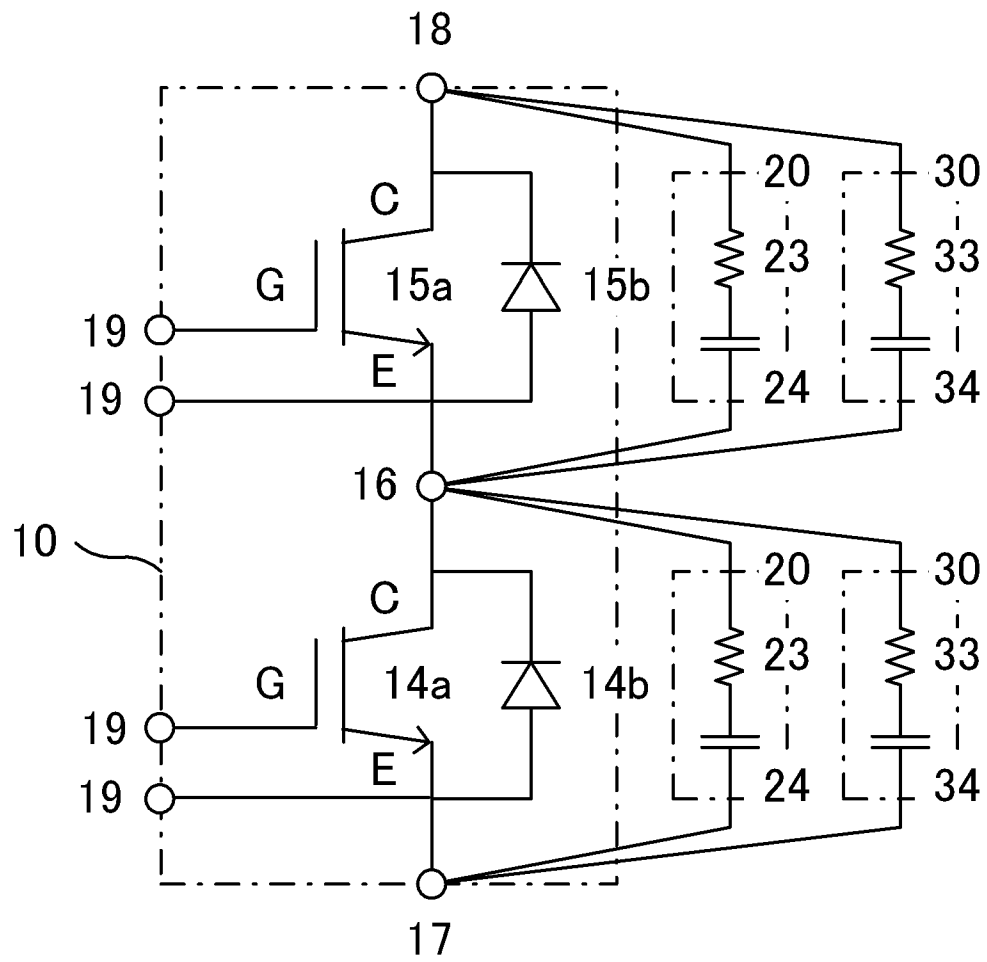
[図6A]

120

[図6B]

130

[図6C]

140

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/019365

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/34(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M1/00(2007.01)i, H02M7/48(2007.01)i, H03K17/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/34, H01L25/07, H01L25/18, H02M1/00, H02M7/48, H03K17/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-159184 A (Hitachi, Ltd.), 16 July 2009 (16.07.2009), paragraphs [0002] to [0014], [0028] to [0031], [0039], [0051] to [0065]; fig. 10 & US 2009/0168471 A1 paragraphs [0002] to [0014], [0018] to [0021], [0056], [0069] to [0086]; fig. 10 & DE 102008055052 A	1-8, 15-16, 18-19 9-14, 17, 20-22
Y	WO 2013/132827 A1 (Fuji Electric Co., Ltd.), 12 September 2013 (12.09.2013), paragraphs [0042] to [0043], [0054] to [0056]; fig. 10, 15 (Family: none)	9-14, 17, 20-22

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 July 2017 (13.07.17)

Date of mailing of the international search report
25 July 2017 (25.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/019365

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 60-091867 A (Nissan Motor Co., Ltd.), 23 May 1985 (23.05.1985), page 2, lower right column, line 16 to page 3, lower left column, line 18; fig. 2 to 4 (Family: none)	9-14, 20-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M1/34(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M1/00(2007.01)i, H02M7/48(2007.01)i, H03K17/16(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M1/34, H01L25/07, H01L25/18, H02M1/00, H02M7/48, H03K17/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-159184 A (株式会社日立製作所) 2009.07.16, 段落 [0002] - [0014], [0028] - [0031], [0039], [0051] - [0065], 図10 & US 2009/0168471 A1, 段落 [0002] - [0014], [0018] - [0021], [0056], [0069] - [0086], 図10 & DE 102008055052 A	1-8, 15-16, 18-19
Y		9-14, 17, 20-22
Y	W0 2013/132827 A1 (富士電機株式会社) 2013.09.12, 段落 [0042] - [0043], [0054] - [0056], 図10, 15 (ファミリーなし)	9-14, 17, 20-22

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.07.2017

国際調査報告の発送日

25.07.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 秀一

5G

3357

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 60-091867 A (日産自動車株式会社) 1985.05.23, 第2頁右下欄 第16行-第3頁左下欄第18行, 図2-4 (ファミリーなし)	9-14, 20-22