

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5398258号
(P5398258)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl.

F 1

H01L 21/768 (2006.01)
H01L 23/522 (2006.01)
C23C 16/30 (2006.01)
H01L 21/316 (2006.01)

H01L 21/90
C23C 16/30
H01L 21/316

J

M

請求項の数 5 (全 16 頁)

(21) 出願番号 特願2008-500925 (P2008-500925)
 (86) (22) 出願日 平成18年3月8日 (2006.3.8)
 (65) 公表番号 特表2008-537639 (P2008-537639A)
 (43) 公表日 平成20年9月18日 (2008.9.18)
 (86) 國際出願番号 PCT/US2006/008449
 (87) 國際公開番号 WO2006/096813
 (87) 國際公開日 平成18年9月14日 (2006.9.14)
 審査請求日 平成20年12月12日 (2008.12.12)
 審判番号 不服2012-22159 (P2012-22159/J1)
 審判請求日 平成24年11月8日 (2012.11.8)
 (31) 優先権主張番号 10/906,815
 (32) 優先日 平成17年3月8日 (2005.3.8)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504 ニューヨーク
州 アーモンク ニュー オーチャード
ロード
(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100108501
弁理士 上野 剛史

最終頁に続く

(54) 【発明の名称】誘電体スタック及びそれを備える相互接続構造体

(57) 【特許請求の範囲】

【請求項1】

2. 8以下の誘電率を有する三次元ネットワークで結合したSi、C、O及びH原子を含んだ無機誘電体を含む少なくとも1つの誘電体材料と、

SiCOH、SiCOHN、SiO_x、SiCO_x又はSiONからなる少なくとも1つのナノ層と、を有する半導体構造体の誘電体スタックであって、

前記少なくとも1つのナノ層が、2~10nmの厚さを有し、かつ前記少なくとも1つの誘電体材料内に各ナノ層を境にして当該誘電体材料が上下に分離されるように組み込まれることにより、当該ナノ層を有しない誘電体スタックよりも小さな亀裂速度を有する、誘電体スタック。

10

【請求項2】

前記少なくとも1つの誘電体材料は、多孔質、非多孔質又はこれらの組合せである、請求項1に記載の誘電体スタック。

【請求項3】

前記誘電体スタックは、1.2μmの厚さにおいて1×10⁻¹⁰m/sより小さな亀裂速度を有する、請求項1に記載の誘電体スタック。

【請求項4】

前記誘電体スタックは、60MPaより小さな応力、7.5GPaより大きな弾性率、及び1.0GPaより大きな硬度を有する、請求項3に記載の誘電体スタック。

【請求項5】

20

基板上に配置された相互接続構造体であって、
誘電体 STACK を備え、当該誘電体 STACK は、

2 . 8 以下の誘電率を有する、三次元ネットワークで結合した Si 、 C 、 O 及び H 原子
を含んだ無機誘電体を含む少なくとも 1 つの誘電体材料と、

SiCOH 、 SiCOHN 、 SiO₂ 、 SiCO_x 又は SiON からなる少なくとも 1
つのナノ層とを有し、さらに、

前記少なくとも 1 つのナノ層が、 2 ~ 10 nm の厚さを有し、かつ前記少なくとも 1 つの誘電体材料内に各ナノ層を境にして当該誘電体材料が上下に分離されるように組み込まれることにより、当該ナノ層を有しない誘電体 STACK よりも小さな亀裂速度を有する、
相互接続構造体。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、それそれが約 3 . 0 又はそれ以下、好ましくは約 2 . 7 又はそれ以下の程度の低い誘電率を有する 1 つ又は複数の誘電体材料を含み、 1 つ又は複数のナノ層が、少なくとも 1 つの誘電体材料内に存在する、誘電体 STACK に関する。ナノ層の存在は、 STACK 内の誘電体材料の機械的特性を改善する。本発明はまた、本発明の誘電体 STACK を含む相互接続構造体のような半導体構造体に関する。本発明はまた、本発明の誘電体 STACK を作成する方法に関する。

【背景技術】

20

【0002】

マイクロ電子デバイスの製造において、集積回路には、デバイス内の領域を相互接続するための、及び集積回路内の 1 つ又は複数のデバイスを相互接続するための多層配線構造体が用いられる。従来、相互接続構造体の形成は、下層の配線の形成から始まり、続いて層間誘電体層の堆積、次いで第 2 の層の配線が行われ、その場合第 1 及び第 2 の配線層は 1 つ又は複数の金属充填ビアによって接続することができる。

【0003】

二酸化シリコン (SiO₂) などの層間及び / 又は層内誘電体 (ILD) は、アクティブ素子及び種々の相互接続信号経路を互いに電気的に絶縁するために用いられる。異なる相互接続層間の電気的な接続は、 ILD 層内に形成されたビアを通して行われる。通常、ビアは銅、アルミニウム又はタンゲステンなどの金属で充填される。

30

【0004】

最近、相互接続構造体中の層内及び / 又は層間誘電体として、 SiO₂ を低誘電率 (「低 k 」) 材料で置き換えることに大きな興味がもたれている。「低 k 」により、二酸化シリコンより低い誘電率 (例えば、真空を基準として、約 4 . 0 未満の k) を有する誘電体材料 (有機又は無機) を意味する。低 k 材料の例には、 C 、 O 及び H 原子を含有する有機誘電体、例えば熱硬化性ポリアリーレンエーテル、及び、 Si 、 O 及び H 原子、そして随意に C 原子を含有する無機誘電体が含まれる。後者の例としては、炭素ドープ酸化物 (「 SiCOH 」とも称される) 、シリセスキオキサン、オルガノシラン、及び他の類似の Si 含有材料が挙げられる。

40

【0005】

低 k 材料は相互接続部の静電容量を減少させてるので、相互接続構造体内の絶縁体として低 k 材料を用いることが望ましい。従って、低 k 材料は信号伝播速度を増大させるとともに、相互接続構造体内のクロストーク・ノイズ及び電力損失を低減する。

【0006】

低 k 材料に関する主な問題は、それらが機械的剛性に欠け、熱及び機械的歪みを受けて容易に亀裂を生じることである。即ち、先行技術の低 k 誘電体は、高い亀裂速度 (膜厚 1 . 2 μm において約 1 × 10⁻¹⁰ m / 秒又はそれ以上の程度の) 及び応力 (約 60 MPa 又はそれ以上の程度の) を示すとともに、低い弾性率 (約 7 . 5 GPa 又はそれ以下の程度の) 及び硬度 (約 1 GPa 又はそれ以下の程度の) を示す。これらの機械的特性は、

50

材料の誘電率が減少するにつれて劣化する。例えば、多孔質の低 k 材料の亀裂速度、応力、弾性率及び硬度は、対応する非多孔質低 k 材料よりも劣る。

【0007】

低 k 誘電体の不十分な機械的特性は、長期間の間にデバイスの故障又は劣化を生じる可能性がある。例えば、高い亀裂速度を有する誘電体膜は、さらなる加工及び使用中にその膜内に亀裂を形成する傾向が高く、このことが、こうした膜を含む半導体デバイスの信頼性を大きく損なう。

【0008】

低 k 誘電体の改善された機械的特性は、先行技術においては、堆積後に膜を処理することによって達成されている。例えば、熱、UV 光、電子線照射、化学エネルギー又はこれらの組合せを用いる硬化又は処理が、低 k 誘電体材料を安定化し、その機械的特性を改善するために用いられている。こうした堆積後の処理は可能ではあるが、それらは余分な加工処理ステップを付け加えるので、誘電体膜の製造コストを増大させる。

亀裂形成に関する上記の問題は、低 k 誘電体に限らず、熱及び機械的歪みを受けるときに壊れ易くなる他の材料にも当てはまる。

【0009】

【特許文献 1】米国特許第 6,147,009 号

【特許文献 2】米国特許第 6,312,793 号

【特許文献 3】米国特許第 6,441,491 号

【特許文献 4】米国特許第 6,437,443 号

【特許文献 5】米国特許第 6,541,398 号

【特許文献 6】米国特許第 6,479,110 B2 号

【特許文献 7】米国特許第 6,497,963 号

【発明の開示】

【発明が解決しようとする課題】

【0010】

上記のことを考慮すると、誘電体スタックに何らの堆積後の処理を施す必要なしに亀裂速度、応力、弾性率及び硬度などの機械的特性が改善された誘電体スタックを提供することが必要とされている。

【課題を解決するための手段】

【0011】

本発明は、約 3.0 又はそれ以下、好ましくは約 2.7 又はそれ以下の有効誘電率 k を有する低 k 誘電体スタックを提供するが、そのスタックの機械的特性は、スタック内の膜の誘電率を著しく増大させることなく改善される。機械的特性の改善は、本発明の誘電体スタックに何らの後処理ステップを実施する必要なく達成される。

【0012】

特に、本発明は、少なくとも 1 つの低 k 誘電体材料と、この少なくとも 1 つの低 k 誘電体材料内に存在する少なくとも 1 つのナノ層とを含む低 k 誘電体スタックを提供する。用語「ナノ層」は、本発明においては、厚さがナノメートル域にある層を示すのに用いられる。

【0013】

本発明のナノ層はその場で (in situ) 形成され、典型的には、少なくとも Si 及び O 原子、並びに、隨意に C、H 及び N 原子を含む。本発明のナノ層の例証的な例としては、SiCOH、SiCOHN、SiO₂、SiCOH、SiON、SiCO_x 又はそれらの多層が挙げられるが、これらに限定はされない。

【0014】

広義には、本発明は、約 3.0 又はそれ以下の誘電率を有する少なくとも 1 つの低 k 誘電体材料と、少なくとも Si 及び O 原子を含む少なくとも 1 つのナノ層とを含む誘電体スタックを提供するが、このナノ層は少なくとも 1 つの低 k 誘電体材料内に存在するか又はそれに直接接觸する。

10

20

30

40

50

【 0 0 1 5 】

本発明はまた、層間又は層内誘電体、キャップ層、及び／又はハードマスク／研磨停止層として本発明の誘電体膜を含む相互接続構造体のような電子構造体に関する。

【 0 0 1 6 】

特に本発明の電子構造体は、絶縁材料の第1の層に埋め込まれた金属の第1の領域と、絶縁材料の第1の層に密着した絶縁材料の第2の層に埋め込まれ、金属の第1の領域に電気的に接続した導電体の第1の領域と、導電体の第1の領域に電気的に接続し、絶縁材料の第2の層に密着した絶縁材料の第3の層に埋め込まれた導電体の第2の領域とを有する前処理された半導体基板を含む。

上記構造体において、絶縁層の各々は本発明の低 k 誘電体スタックを含むことができる
10
。

【 0 0 1 7 】

電子構造体は、絶縁材料の第1の層と絶縁材料の第2の層との間に配置される誘電体キャップ層をさらに含むことができ、絶縁材料の第2の層と絶縁材料の第3の層との間に配置される誘電体キャップ層をさらに含むことができる。電子構造体は、絶縁材料の第2の層と絶縁材料の第3の層との間に第1の誘電体キャップ層、及び絶縁材料の第3の層の上に第2の誘電体キャップ層をさらに含むことができる。

幾つかの実施形態では、誘電体キャップ自体が本発明の低 k 誘電体スタックを含むことができる。
20

【 0 0 1 8 】

電子構造体は、絶縁材料の第2及び第3の層の少なくとも1つ之上に堆積させた誘電体材料の拡散バリア層をさらに含むことができる。電子構造体は、R I E ハードマスク／研磨停止層、及び誘電体 R I E ハードマスク／研磨停止層の上の誘電体拡散バリア層として用いるために、絶縁材料の第2の層の上に誘電体層をさらに含むことができる。電子構造体は、絶縁材料の第2の層の上に第1の誘電体 R I E ハードマスク／研磨停止層と、第1の誘電体研磨停止層の上に第1の誘電体 R I E 拡散バリア層と、絶縁材料の第3の層の上に第2の誘電体 R I E ハードマスク／研磨停止層と、第2の誘電体研磨停止層の上に第2の誘電体拡散バリア層とをさらに含むことができる。誘電体 R I E ハードマスク／研磨停止層は、同様に本発明の低 k 誘電体スタックを含むことができる。
30

【 0 0 1 9 】

本発明はまた、本発明の誘電体スタックを作成する方法に関する。特に、本発明の方法は、
30

基板を反応器チャンバ内に準備するステップと、

前記の基板の表面上に低 k 誘電体膜を少なくとも第1の誘電体前駆体から堆積させるステップであって、前記の堆積させるステップ中に、前記の第1の誘電体前駆体はナノ層前駆体に変化し、それによって少なくとも Si 及び O 原子を含む少なくとも1つのナノ層が低 k 誘電体膜に導入される、ステップと
を含む。

【 0 0 2 0 】

本発明はまた低 k 誘電体を含むスタックに加えて、他の材料のスタックを企図することに注意されたい。その場合、本発明は、約 1×10^{-10} m / 秒又はそれ以上の亀裂速度を有する1つ又は複数の膜と、この1つ又は複数の膜の内部にあるか又はそれらに直接接觸する少なくとも1つのナノ層とを含む材料スタックを提供するが、ここで、前記の少なくとも1つのナノ層は、前記の1つ又は複数の膜の亀裂速度を、 1×10^{-10} m / 秒未満の値に減少させる。
40

【 0 0 2 1 】

この実施形態において、スタックは、第1の誘電体前駆体を第1の材料前駆体で置き換えることを除いて、上述の方法を用いて作成される。例えば、金属酸化物の基板上に形成される金属スタックは、その金属スタックが Au 含有前駆体から堆積させた Au を含むように設けることができる。
50

【発明を実施するための最良の形態】

【0022】

本発明は、改善された機械的特性（亀裂速度、応力、引張弾性率及び硬度を含む）を有する1つ又は複数の低k誘電体材料を含む誘電体スタック、及びその製造方法を提供するものであるが、ここで、本願に添付した図面を参照してより詳細に説明される。種々の図面は例証のために与えられるので、一定の縮尺で描かれてはいない。

【0023】

以下の説明は、1つ又は複数の低k誘電体膜内に埋め込まれたナノ層を含む誘電体スタックの形成を議論するものであることに留意されたい。誘電体スタックの形成が説明され、例証されるが、非常に亀裂を生じ易い他の膜内にナノ層を組み込むことも本明細書において企図されている。その場合、以下に記述される誘電体前駆体は、金属含有前駆体などの任意の従来の材料前駆体で置き換えられる。他の材料の堆積中、材料前駆体はナノ層前駆体に変えられてナノ層を形成し、ナノ層形成後に材料前駆体（初めのものと同じか又は異なる）が再び用いられる。

10

【0024】

初めに図1を参照すると、基板10の表面上に本発明の低k（誘電率が約3.0又はそれ以下、好ましくは2.7又はそれ以下）誘電体スタック12を形成した後に与えられる構造体が示される。用語「基板」は、基板10に関連して用いられるときには、半導体材料、絶縁材料、導電材料、又は多層構造体を含んだそれらの任意の組合せを含む。従って、例えば、基板10は、Si、SiGe、SiGeC、SiC、GaAs、InAs、InP、及びその他のIII/V又はII/VI化合物半導体などの半導体材料とすることができます。半導体基板10はまた、例えばSi/SiGe、Si/SiC、シリコン・オン・インシュレータ(SOI)又はシリコン・ガリウム・オン・インシュレータ(SGOI)のような層状基板を含むことができる。

20

【0025】

基板10が絶縁材料である場合、絶縁材料は有機絶縁体、無機絶縁体又は多層を含めたそれらの組合せとすることができます。基板10が導電材料である場合、基板10は、例えばポリSi、元素金属、元素金属の合金、金属シリサイド、金属窒化物及び多層を含めたそれらの組合せを含むことができる。

30

【0026】

幾つかの実施形態では、基板10は、半導体材料と絶縁材料の組合せ、半導体材料と導電材料との組合せ、又は半導体材料、絶縁材料、及び導電材料の組合せを含む。

基板10が半導体材料を含む場合、相補型金属酸化物半導体(CMOS)デバイスのような1つ又は複数の半導体デバイスをその上に作成することができます。明瞭にするために、この1つ又は複数の半導体デバイスは、本願の図面には示されていない。

【0027】

低k誘電体スタック12は、約3.0又はそれ以下の誘電率を有する任意の誘電体材料を含むことができる。好ましくは、低k誘電体スタック12は約2.7又はそれ以下の誘電率、より好ましくは約2.5又はそれ以下の誘電率を有する誘電体材料を含む。「誘電体スタック」という用語は、こうした低いk値を有する少なくとも1つの誘電体膜（又は材料）を含む構造体を示すために用いられる。図1に示される実例では、誘電体スタック12は、6つの膜の層14を含み、ここでナノ層16は各々の膜の層を分離している。この実例は例示的なものであり、本発明の誘電体スタック内に存在できる誘電体膜又はナノ層の数を制限するものではない。膜スタック内の誘電体材料は、同じか又は異なる、好ましくは同じ低k誘電体材料を含むことができる。

40

【0028】

スタック12内に存在できる低k誘電体膜は、多孔質、非多孔質又は多孔質と非多孔質との組合せとすることができます。多孔質の誘電体膜を用いる場合、その誘電率は、非多孔質の同じ誘電体膜よりも小さい。

スタック内の低k誘電体膜（又は材料）の各々は多孔質であることが好ましい。孔は、

50

典型的には、堆積後に硬化法を用いて除去されるポロゲン (porogen) を、堆積プロセス中に導入することによって形成される。幾つかの実施形態では、用いられる前駆体の1つはポロゲン材料とすることができます。

【0029】

本発明に用いることができる誘電体膜(又は材料)の例には、C、O及びH原子を含有する有機誘電体、例えば熱硬化型ポリアリーレンエーテル、及び/又は、Si、O及びH原子、そして随意にC原子を含有する無機誘電体が含まれるが、これらに限定はされない。後者の例としては、炭素ドープ酸化物(「SiCOH」とも称される)、シリセスキオキサン、オアルガノシラン及び他の類似のSi含有材料が挙げられる。「ポリアリーレン」という用語は、本明細書では、結合、縮合環、又は不活性連結基、例えば酸素、硫黄、スルホン、スルホキシド、カルボニルなどによって互いに連結されたアリール部分又は不活性置換アリール部分を示すのに用いられる。10

【0030】

本発明のナノ層を用いずに上述のように堆積させた誘電体材料は、通常、それらに付随する不十分な機械的特性を有する。具体的には、ナノ層を用いずに上述のように堆積させた材料は、 $1.2\text{ }\mu\text{m}$ の膜厚において約 $1 \times 10^{-10}\text{ m/s}$ 又はそれ以上の亀裂速度、約 60 MPa 又はそれ以上の応力、約 7.5 GPa 又はそれ以下の弾性率、及び約 1 GPa 又はそれ以下の硬度を有する。これらの機械的特性は、材料の誘電率が低下するにつれて劣化する。例えば、多孔質低k材料の亀裂速度、応力、弾性率及び硬度は、対応する非多孔質の低k材料よりも劣る。20

【0031】

誘電体スタック12は、基板10をプラズマ強化化学気相堆積(PECVD)などの反応器チャンバ内に据え付けて堆積させる。PECVDに加えて、本発明はまた、誘電体スタック12を化学気相堆積法(CVD)、高密度プラズマ(HDP)堆積法、パルスPECVD、スピン・オン塗布、又はその他の関連する方法を利用して形成できることも企図している。上記で定義された低kを有する誘電体材料は、次いで、本明細書で以下により詳細に説明されるように堆積させる。誘電体膜14の堆積中、少なくともSi及びO原子を含む少なくとも1つのナノ層16が形成されるよう条件を変える。これは、前駆体の流れを停止し、それをナノ層前駆体の流れで置き換えることによって達成される。ナノ層を形成した後、ナノ層前駆体の流れを停止し、次いで誘電体前駆体を反応器に導入することができる。ナノ層を形成した後に誘電体前駆体を切り替えて、先に形成した誘電体層とは異なる組成物を供給することができる。30

【0032】

堆積させる誘電体スタック12の厚さは変えることができ、堆積させる低k誘電体スタック12の典型的な範囲は約 50 nm から約 $5\text{ }\mu\text{m}$ までであり、 100 nm から約 $1.5\text{ }\mu\text{m}$ までの厚さがより典型的である。

膜スタック12に導入されるナノ層16は、ナノメートル域内の厚さを有する。典型的には、ナノ層16は、約 1 nm から約 100 nm までの厚さを有し、約 2 nm から約 10 nm までの厚さがより典型的である。本発明のナノ層16は、少なくともSi及びO原子、そして随意にC、H及びN原子を含むその場の(in situ)ナノ層である。本発明のナノ層の例証的な例としては、SiCOH、SiCOHN、SiO₂、SiCO_x、SiON又はそれらの多層が挙げられる。所与の誘電体スタック12内の各ナノ層16の組成物は同じか又は異なるものとすることができます。40

【0033】

誘電体材料14と共にナノ層16を組み込んだ後、本発明のスタック12内の誘電体材料は、 $1.2\text{ }\mu\text{m}$ において $1 \times 10^{-10}\text{ m/s}$ より小さな、典型的には $1.2\text{ }\mu\text{m}$ の膜厚において約 $1 \times 10^{-8}\text{ m/s}$ から約 $1 \times 10^{-10}\text{ m/s}$ までの亀裂速度、 60 MPa より小さな、典型的には約 30 MPa から約 50 MPa までの応力、 7.5 GPa より大きな、典型的には約 8 GPa から約 13 GPa までの弾性率、及び、 1 GPa より大きな、典型的には約 1.5 GPa から約 2.0 GPa までの硬度を有する。前記の値は、本50

発明のスタックに何らかの後処理ステップを実施する前の、堆積させた状態での材料に関するものである。埋め込まれたナノ層16を含む本発明のスタック12に対するこれらの値は、埋め込まれたナノ層を含まない先行技術の堆積させた状態での誘電体膜に比べて改善されている。

【0034】

典型的には、低k誘電体材料14は、特許文献1、特許文献2、特許文献3、特許文献4、特許文献5、特許文献6、及び特許文献7に開示された加工法を用いて堆積させたSiCOH誘電体である。

【0035】

具体的には、SiCOH誘電体膜は、Si、C、O及びH原子を含む少なくとも第1の前駆体、例えば誘電体前駆体（液体、気体又は蒸気）と、He又はArなどの不活性キャリアとを、好ましくはPECVD反応器である反応器内に供給し、次いでSiCOH誘電体材料を形成するのに有効な条件を利用して、前記の第1の前駆体から誘導される膜を適切な基板上に堆積させることによって形成される。本発明はさらに、第1の前駆体にO₂、CO₂又はこれらの組合せなどの酸化剤を混合し、それによって反応器中の反応物を安定化させ、基板10上に堆積される低k誘電体材料の均一性を改善する。10

【0036】

第1の前駆体に加えて、C及びH原子、そして隋意にO、F及びN原子を含む第2の前駆体（気体、液体又は蒸気）を用いることができる。隨意に、Geを含む第3の前駆体（気体、液体又は蒸気）も用いることができる。20

第1の前駆体は、1,3,5,7-テトラメチルシクロテトラシロキサン（「TMC-TS」又は「C₄H₁₆O₄Si₄」）、オクタメチルシクロテトラシロキサン（OMCTS）、ジエトキシメチルシラン（DEMS）、ジメチルジメトキシシラン（DMDMOS）、ジエチルメトキシシラン（DEMOS）、並びに関連する環状及び非環状シラン、シロキサンなどのSiCOH構成成分を含む環構造を有する有機分子から選択されることが好ましい。

【0037】

SiCOH低k誘電体を形成するのに用いることができる第2の前駆体は、炭化水素分子である。例えばエチレンなどの任意の炭化水素分子を用いることができるが、第2の前駆体は、環構造を有する炭化水素分子から成る群から選択されることが好ましく、その場合、分子内に1つより多くの環があるか又は環に分枝鎖が付いていることが好ましい。特に有用なのは、縮合環を含有する種であり、縮合環の少なくとも1つはヘテロ原子、好ましくは酸素を含有する。これらの種のうち、最適なものは、顕著な環ひずみを与える大きさの環、即ち、3個又は4個の原子、及び/又は7個又はそれ以上の原子の環を含むものである。特に魅力的なのは、シクロペンテンオキシド（「CPO」又は「C₅H₈O」）などのオキサニ環式化合物（oxabicyclics）として知られる種類の化合物である。また、有用なものは、炭化水素環に結合した分枝三級ブチル（t-ブチル）基及びイソプロピル（i-プロピル）基を含有する分子であるが、その環は飽和又は不飽和（C=C二重結合を含有する）とすることができる。第3の前駆体は、ゲルマニウム水素化物又はGe源を含む任意の他の反応物から形成することができる。30

【0038】

本発明の好ましい実施形態において、本発明のスタック内で低k誘電体として用いられるSiCOH誘電体膜は、約85cm²と約750cm²の間の基板チャックの導電面積と、約1cmと約12cmの間の基板と上部電極の間のギャップとを有する平行板型反応器を準備するステップを含む方法を用いて堆積させることができる。約0.45MHzと約200MHzの間の周波数の高周波RF電力を電極の1つに印加する。隨意に、追加の低周波電力を電極の1つに印加することができる。40

【0039】

堆積ステップで用いられる条件は、SiCOH誘電体膜の所望の最終的な誘電率に応じて変更することができる。大まかに言えば、約2.7又はそれ以下の誘電率を有する、S50

i、C、O及びH元素を含む安定な誘電体材料をもたらすために用いられる条件は、基板の温度を約200と約425の間に設定することと、高周波RF電力密度を約0.1W/cm²と約2.5W/cm²の間に設定することと、第1の液体前駆体の流速を約100mg/分と約5000mg/分の間に設定することと、随意に第2の液体前駆体の流速を約50mg/分から約10,000mg/分までの間に設定することと、随意に第3の液体前駆体の流速を約25mg/分から約4000mg/分までの間に設定することと、随意にヘリウム(及び/又はアルゴン)などの不活性キャリアガスの流速を約50scmから約5000scmまでの間に設定することと、反応器の圧力を約1000mTorrと約7000mTorrの間の圧力に設定することと、高周波RF電力を約75Wと約1000Wの間に設定することを含む。随意に、約30Wと約400Wの間の低周波電力をプラズマに加えることができる。基板チャックの導電面積がX倍だけ変化すると、基板チャックに印加されるRF電力もまたX倍だけ変化する。
10

【0040】

本発明において酸化剤を用いるときは、それはPECVD反応器内に約10scmから約1000scmまでの間の流速で流入させる。

上記の実施例においては液体前駆体が用いられるが、オルガノシリコン気相前駆体(例えばトリメチルシラン)もまた堆積のために用いることができることは当技術分野において既知である。低k誘電体膜12の堆積中にポロゲンを含めることができ、これが後の硬化ステップ中に膜12内に孔(pore)形成を引き起こす。

【0041】

本発明の好ましい実施形態において、スタック内の低k誘電体膜は、共有結合の3次元ネットワーク内にSi、C、O及びH原子を含み、約2.8より大きくなき誘電率を有する水素化された酸炭化シリコン材料(例えばSiCOH)である。3次元結合ネットワークは、Si-O、Si-C、Si-H、C-H及びC-C結合を含む共有結合の3次元環構造を含むことができる。「3次元」という用語は、Si、C、O及びH原子が、x、y及びz方向に相互に結合し相互に関連したポリマー構造体を記述するのに用いられる。
20

【0042】

本発明のスタック12内の低k誘電体膜14はF及びNを含むことができ、そして随意にSi原子を部分的にGe原子で置き換えることができる。低k誘電体膜14は、直径が約0.3ナノメートルから約50ナノメートルまで、及び最も好ましくは直径が約0.4ナノメートルから約10ナノメートルまでの間の分子スケールのボイド(即ち、ナノメートル・サイズの孔)を含有することができ、その結果、さらに膜の誘電率は約2.0より低い値に減少する。低k誘電体膜14のナノメートル・サイズの孔は、材料の体積の約0.5%と約50%の間の体積を占める。
30

【0043】

低k誘電体膜14がSiCOH誘電体である場合、それは典型的には、約5原子パーセントと約40原子パーセントの間のSiと、約5原子パーセントと約45原子パーセントの間のCと、約0原子パーセントと約50原子パーセントの間のOと、約10原子パーセントと約55原子パーセントの間のHを含む。

【0044】

ナノ層16は、低k誘電体膜14の堆積中に、反応器チャンバに導入される前駆体を、本発明のナノ層16を形成できるものに変えることによって導入される。具体的には、ナノ層前駆体は、少なくともSi原子、又はSi及びO原子、そして随意にC、N及びH原子を含む固体、液体又は気体を含む。ナノ層前駆体の例としては、「1,3,5,7-テトラメチルシクロテトラシロキサン」「TMCTS」又は「C₄H₁₆O₄Si₄」)、オクタメチルシクロテトラシロキサン(OMCTS)、ジエトキシメチルシラン(DEMS)、ジメチルジメトキシシラン(DMDMOS)、ジエチルメトキシシラン(DEMOS)、シラン、ヘキサメチルジシラザン(HMDS)又は関連する環状及び非環状シラン及びシロキサンが挙げられる。

ナノ層前駆体は、不活性ガス及び/又は酸化剤と共に用いることができる。不活性ガス
40

10

20

30

40

50

及び酸化剤は上記のものと同じものとすることができる。

【0045】

ナノ層16を形成するために用いられる条件には、基板の温度を約200と約425の間に設定することと、高周波RF電力密度を約0.1W/cm²と約2.5W/cm²の間に設定することと、ナノ層前駆体の流速を約600mg/minと約2500mg/minの間に設定することと、随意にヘリウム(及び/又はアルゴン)などの不活性キャリアガスの流速を約50sccmと約5000sccmの間に設定することと、随意に酸化剤の流速を約600sccmから約2500sccmまでの間に設定することと、反応器の圧力を約1000mTorrと約7000mTorrの間の圧力に設定することと、高周波RF電力を約75Wと約1000Wの間に設定することが含まれる。

10

随意に、約30Wと約400Wの間の低周波電力をプラズマに加えることができる。

【0046】

上記のように、本発明の(堆積させたときの)誘電体スタック12は、内部に埋め込まれたナノ層を何も含まない等価な(堆積させたときの)誘電体スタックに比べて、亀裂速度、応力、弾性率及び硬度の点で改善された機械的特性を有する。機械的特性のさらなる改善は、それに後処理ステップを施すことによって達成できる。後処理ステップは随意であり、本発明の誘電体スタック12に実施する必要はない。

所望ならば、本発明の誘電体スタック12の後処理は、熱、電子線、プラズマ、マイクロ波又はUV若しくはレーザーなどの光学放射のようなエネルギー源を利用して実施することができる。上記のエネルギー源の組合せもまた本発明において用いることができる。

20

【0047】

熱エネルギー源は、例えば堆積させた誘電体スタック12を450までの温度に加熱することができる加熱エレメント又はランプなどの任意のエネルギー源を含む。熱エネルギー源は、SiCOH誘電体スタック12を約200から約450までの温度に加熱できることができが好ましく、約350から約425までの温度がより好ましい。この熱処理プロセスは、種々の時間、典型的には約0.5分から約300分までの時間実施することができる。熱処理ステップは、典型的には、He、Ar、Ne、Xe、N₂又はこれらの混合物のような不活性ガスの存在下で実施される。熱処理ステップは、急速熱アニール、炉アニール、レーザー・アニール又はスパイク・アニールの条件を用いるアニール・ステップとも言うことができる。

30

【0048】

幾つかの実施形態では、熱処理ステップは、例えばH₂又は炭化水素などの水素源ガスを含有するガス混合物の存在下で実施することができる。さらに別の実施形態では、熱処理ステップは、1000ppm未満の範囲の非常に低い分圧のO₂及びH₂Oを含有するガス混合物の存在下で実施することができる。

【0049】

UV光処理ステップは、基板を照射するために約500nmから約150nmまでの波長を有する光を発生できるエネルギー源を利用して実施されるが、その際ウェハの温度は450までの温度、好ましくは200~450の温度、さらにより極めて好ましくは350から425までの温度に維持される。370nmを超える放射は、重要な結合を解離又は活性化するのに不十分なエネルギーであるので、波長範囲150~370nmが好ましい範囲である。文献データ及び堆積膜について測定された吸光度スペクトルを用いると、170nm未満の放射は、誘電体スタック内の誘電体材料の劣化により好ましくない可能性があることが分かった。さらに、エネルギー範囲310~370nmは、310~370nmのフォトン当りのエネルギーが相対的に低いので、150~310nmの範囲よりも有用でない。150~310nm範囲内において、堆積スタックの吸光度スペクトルと、スタック内の膜特性(例えば、疎水性)の最小限の劣化との最適な重なりを随意に用いて、誘電体の特性を変化させるためにUVスペクトルの最も有効な領域を選択することができる。

40

UV光処理ステップは、不活性ガス、水素源ガス、又は上記の分圧範囲を用いるO₂及

50

びH₂Oのガス混合物の中で実施することができる。

【0050】

電子線処理ステップは、0.5 keVから25 keVまでのエネルギー及び0.1マイクロAmp/cm²から100マイクロAmp/cm²まで（好ましくは1マイクロAmp/cm²から5マイクロAmp/cm²まで）の電流密度により、ウェハ全域にわたって均一な電子束を発生できるエネルギー源を利用して実施されるが、その際ウェハの温度は450までの温度、好ましくは200～450の温度、さらにより極めて好ましくは350から425までの温度に維持される。電子線処理ステップに用いられる好ましい電子線量（dose）は50マイクロクーロン/cm²から500マイクロクーロン/cm²までであり、100マイクロクーロン/cm²から300マイクロクーロン/cm²までの範囲であることが好ましい。
10

電子線処理ステップは、不活性ガス、水素源ガス、又は上記の分圧範囲を用いるO₂及びH₂Oのガス混合物の中で実施することができる。

【0051】

プラズマ処理ステップは、原子状水素（H）、及び隨意にCH₃又はその他の炭化水素ラジカルを生成することのできるエネルギー源を利用して行われる。ダウンストリーム・プラズマ源が直接プラズマ暴露よりも好ましい。プラズマ処理の間、ウェハの温度は450までの温度、好ましくは200～450の温度、より極めて好ましくは350から425までの温度に維持される。
20

【0052】

プラズマ処理ステップは、プラズマを生成することができて後にプラズマに転化されるガスを反応器に導入することによって実施される。プラズマ処理のために使用できるガスとしては、Heが好ましいが、Ar、N、He、Xe又はKrなどの不活性ガス、水素又は原子状水素の関連供給源、メタン、メチルシラン、CH₃基の関連供給源、及びこれらの混合物が挙げられる。プラズマ処理ガスの流速は、使用される反応器システムに応じて変えることができる。チャンバ圧力は、0.05 Torrから20 Torrまでの何れかの値とすることができますが、圧力操作の範囲は1 Torrから10 Torrまでであることが好ましい。プラズマ処理ステップは、典型的には約1/2分から約10分までの時間に行われるが、本発明の範囲内により長い時間行うことができる。
30

【0053】

R F又はマイクロ波電源が、通常、上記のプラズマを発生させるために用いられる。RF電源は、高周波領域（約100W又はそれ以上の程度で）で動作させることができるが、低周波領域（250W未満）又はこれらの組合せを用いることができる。高周波電力密度は、0.1 W/cm²から2.0 W/cm²までの範囲の任意の値とすることができますが、好ましい動作範囲は0.2 W/cm²から1.0 W/cm²までである。低周波電力密度は、0.1 W/cm²から1.0 W/cm²までの範囲の任意の値とすることができますが、好ましい動作範囲は0.2 W/cm²から0.5 W/cm²までである。選択された電力レベルは、暴露された誘電体表面の相当な量のスパッタ・エッティング（<5ナノメートルの除去）を回避するのに十分に低くなければならない。
40

【0054】

上記に加えて、深紫外線（DUV）レーザー光源も用いることができる。堆積膜を処理するために用いられるレーザー光源は、典型的には、レーザー・ガス混合物に依存して幾つかのDUV波長のうちの1つにおいて動作するエキシマ・レーザーである。例えば、308 nm放射を生成するXeClレーザーを用いることができる。また、248 nm放射を生成するKrFレーザー、又は193 nm放射を生成するArFレーザーを本発明において使用することができる。エキシマ・レーザーは、1ジュール（J）までのパルス・エネルギーにおいて毎秒数百パルスで動作して数百ワット（W）の出力を生じることができます。
40

【0055】

堆積膜を処理するために用いられるレーザーは、パルスモードで動作することが好まし
50

い。レーザー・ビームは、試料全体を照射するために広げることができる。或いは、より大きな試料に対しては、レーザー照射領域は、試料全体にわたって均一な線量を与えるようにラスター走査することができる。エキシマ・レーザーを用いると、アブレーションが起らぬことを確実にするために、フルエンスはパルス当り 5 mJ/cm^2 未満に制限される。エキシマ・レーザーの約 10 ns の短いパルス幅は、 20 mJ/cm^2 を超えるフルエンスのレベルにおいて材料アブレーションを引き起こす可能性がある。典型的には、パルス当り $0.1 \sim 5 \text{ mJ/cm}^2$ のレーザー・フルエンスのレベルが用いられる。総線量は、 1 J/cm^2 から 10000 J/cm^2 まで、好ましくは $500 \sim 2000 \text{ J/cm}^2$ の範囲で変えることができる。これは、多数のレーザー・パルス照射によって達成される。例えば、 1000 J/cm^2 の線量は、 10^6 パルスの間 1 mJ/cm^2 のフルエンスを用いて得ることができる。エキシマ・レーザーは、普通、1秒当り数百パルスで動作する。必要とされる総線量に応じて、DUVレーザー処理の全照射時間は数秒から数時間となる。典型的な 500 J/cm^2 の線量は、1パルス当り 3 mJ/cm^2 のフルエンス・レベルで動作する 200 Hz のレーザーを用いて 15 分以内で達成される。

【0056】

上述の処理ステップは随意的であり、良好な電子的及び機械的特性を有する誘電体膜を達成するためには実施する必要はない。しかし、上記の処理は、誘電体膜の電気的及び機械的特性に顕著な影響を及ぼすことなく本発明の誘電体スタックに施すことができる。

【0057】

本発明の誘電体スタックを含むことができる電子デバイスは、図2～図5に示される。図2～図5に示されるデバイスは本発明の単に例証的な実施例であり、無数の他のデバイスが、本発明の誘電体スタックを含むことができることに留意されたい。以下の図面において、ナノ層は本発明の誘電体スタック内に具体的に示されていないが、しかしナノ層は本発明の誘電体スタックと呼ばれる層に含まれていることが意図されている。

【0058】

図2には、シリコン基板32の上に構築された電子デバイス30を示す。シリコン基板32の上に、初めに、内部に金属の第1の領域36が埋め込まれている絶縁材料層34を形成する。CMPプロセスを金属の第1の領域36に施した後、本発明の誘電体スタック38を、絶縁材料の第1の層34及び金属の第1の領域36の上に堆積させる。絶縁材料の第1の層34は、酸化シリコン、窒化シリコン、これらの材料の種々のドープ体又は任意の他の好適な絶縁材料から適切に形成することができる。誘電体スタック38は、次に、フォトリソグラフィ・プロセスにおいてパターン付けし、次いでエッチングしてその上に導電体層40を堆積させる。CMPプロセスを第1の導電体層40に施した後、本発明の誘電体スタックの第2の層44を、プラズマ強化化学気相堆積法により堆積させて第1の誘電体スタック38及び第1の導電体層40を覆う。導電体層40は、金属材料又は非金属導電性材料を堆積させることができる。例えば、アルミニウム又は銅の金属材料、或いは窒化物又はポリシリコンの非金属材料である。第1の導電体40は、金属の第1領域36と電気的に接続している。

【0059】

次いで、誘電体スタック44にフォトリソグラフィ・プロセスを施してエッチングした後、第2の導電体材料の堆積プロセスにより、導電体の第2の領域50が形成される。導電体の第2領域50にはまた、第1の導電体層40を堆積するのに用いられたのと同様の金属材料又は非金属材料を堆積させることができる。導電体の第2の領域50は、導電体の第1の領域40と電気的に接続し、誘電体スタックの第2の層44の中に埋め込まれる。誘電体スタックの第2の層44は、誘電体スタックの第1の層38と密着している。この例では、誘電体スタックの第1の層38は層内誘電体材料であるが、誘電体スタックの第2の層44は層内及び層間両方の誘電体である。本発明の誘電体スタックの低誘電率に基づいて、第1の絶縁層38及び第2の絶縁層44により優れた絶縁特性を達成することができる。

【0060】

10

20

30

40

50

図3は、図2に示される電子デバイス30と類似の本発明の電子デバイス60を示すが、付加的な誘電体キャップ層62が、第1の絶縁材料層38と第2の絶縁材料層44との間に堆積させられている。誘電体キャップ層62は、酸化シリコン、窒化シリコン、酸窒化シリコン、高融点金属をTa、Zr、Hf又はWとする高融点金属シリコン窒化物、炭化シリコン、炭窒化シリコン(SiCN)、炭酸化シリコン(SiCO)、及びそれらの水素化物のような材料から適切に形成することができる。付加的な誘電体キャップ層62は、第2の絶縁材料層44又は下層、特に層34及び32内への、第1の導電体層40の拡散を防止するための拡散バリア層として機能する。

【0061】

本発明の別の代替実施形態の電子デバイス70を図4に示す。電子デバイス70においては、RIEマスク及びCMP(化学機械研磨)研磨停止層として機能する2つの付加的な誘電体キャップ層72及び74が用いられる。第1の誘電体キャップ層72は、第1の誘電体スタック38の上に堆積させ、RIEマスク及びCMPストップとして用いるので、第1の導電体層40及び層72は、CMP後にほぼ同一平面となる。第2の誘電体層74の機能は層72と同様であるが、層74は第2の導電体層50を平坦化するのに利用される。研磨停止層74は、酸化シリコン、窒化シリコン、酸窒化シリコン、高融点金属をTa、Zr、Hf又はWとする高融点金属シリコン窒化物、炭化シリコン、炭酸化シリコン(SiCO)、及びそれらの水素化物のような適切な誘電体材料を堆積させることができる。好ましい研磨停止層の組成物は、層72又は74に対してSiCH又はSiCOHである。第2の誘電体層74は、同じ目的のために第2の誘電体スタック44の上に加えることができる。

【0062】

本発明のさらに別の代替実施形態の電子デバイス80が図5に示される。この代替実施形態においては、誘電体材料の付加的な層82を堆積させて、第2の絶縁材料層44を2つの分離した層84と層86に分割する。従って、本発明の誘電体スタックから形成される層内及び層間誘電体層44は、ピア92と相互接続部94の境界において層間誘電体層84と層内誘電体層86に分割される。付加的な拡散バリア層96をさらに、上部誘電体層74の上に堆積させる。この代替実施形態の電子構造体80によってもたらされる付加的な利点は、誘電体層82がRIEエッチング・ストップとして機能して優れた相互接続部の深さ制御を与えることである。従って、層82の組成物は、層86に対するエッティング選択性をもたらすように選択される。

【0063】

さらに他の代替実施形態は、配線構造体内の層内又は層間誘電体として絶縁材料の層を有する電子構造体を含むことができるが、その配線構造体は、絶縁材料の第1の層に埋め込まれた金属の第1の領域と、絶縁材料の第1の層に密着した絶縁材料の第2の層に埋め込まれ、金属の第1の領域に電気的に接続する導電体の第1の領域と、導電体の第1の領域に電気的に接続し、絶縁材料の第2の層に密着した絶縁材料の第3の層に埋め込まれた導電体の第2の領域と、絶縁材料の第2の層と絶縁材料の第3の層との間の第1の誘電体キャップ層と、絶縁材料の第3の層の上の第2の誘電体キャップ層とを有する前処理された半導体基板を含み、その場合第1及び第2の誘電体キャップ層は、本発明の誘電体スタックを含む材料から形成される。

【0064】

本発明のさらに他の代替実施形態には、配線構造体内の層内又は層間誘電体として絶縁材料の層を有する電子構造体が含まれるが、その配線構造体は、絶縁材料の第1の層に埋め込まれた金属の第1の領域と、絶縁材料の第1の層に密着した絶縁材料の第2層に埋め込まれ、金属の第1の領域と電気的に接続する導電体の第1領域と、導電体の第1の領域と電気的に接続し、絶縁材料の第2層に密着した絶縁材料の第3の層に埋め込まれた導電体の第2の領域と、絶縁材料の第2及び第3の層のうちの少なくとも1つの上に堆積させた本発明の誘電体スタックから形成される拡散バリア層とを有する前処理された半導体基板を含む。

10

20

30

40

50

【0065】

さらに他の代替実施形態には、配線構造体内の層内又は層間誘電体として絶縁材料の層を有する電子構造体が含まれるが、その配線構造体は、絶縁材料の第1の層に埋め込まれた金属の第1の領域と、絶縁材料の第1の層に密着した絶縁材料の第2の層に埋め込まれ、金属の第1の領域と電気的に接続した導電体の第1の領域と、導電体の第1の領域と電気的に接続し、絶縁材料の第2層と密着した絶縁材料の第3の層に埋め込まれた導電体の第2領域と、絶縁材料の第2の層の上の反応性イオン・エッチング(RIE)ハードマスク/研磨停止層と、RIEハードマスク/研磨停止層の上の拡散バリア層とを有する前処理された半導体基板を含み、その場合RIEハードマスク/研磨停止層及び拡散バリア層は本発明の誘電体スタックから形成される。

10

【0066】

さらに他の代替実施形態には、配線構造体内の層内又は層間誘電体として絶縁材料の層を有する電子構造体が含まれるが、その配線構造体は、絶縁材料の第1の層に埋め込まれた金属の第1の領域と、絶縁材料の第1の層に密着した絶縁材料の第2の層に埋め込まれ、金属の第1の領域に電気的に接続する導電体の第1の領域と、導電体の第1の領域に電気的に接続し、絶縁材料の第2の層に密着した絶縁材料の第3の層に埋め込まれた導電体の第2の領域と、絶縁材料の第2の層の上の第1のRIEハードマスク/研磨停止層と、第1のRIEハードマスク/研磨停止層の上の第1の拡散バリア層と、絶縁材料の第3の層の上の第2のRIEハードマスク/研磨停止層と、第2のRIEハードマスク/研磨停止層の上の第2の拡散バリア層とを有する前処理された半導体基板を含み、その場合RIEハードマスク/研磨停止層及び拡散バリア層は本発明の誘電体スタックから形成される。

20

【0067】

本発明のさらに他の代替実施形態には、すぐ上に記述されたものと類似しているが、層間誘電体層と層内誘電体層の間に配置される本発明の誘電体スタックから形成される誘電体キャップ層をさらに含んだ、配線構造体内の層内又は層間誘電体として絶縁材料の層を有する電子構造体が含まれる。

【0068】

本発明はまた、低k誘電体を含むものに加えて、別の材料のスタックを企図していることに留意されたい。その場合、本発明は、約 1×10^{-10} m/秒又はそれ以上の亀裂速度を有する1つ又は複数の膜と、この1つ又は複数の膜内にあるか又はそれに直接接触し、該1つ又は複数の膜の亀裂速度を 1×10^{-10} m/秒より小さな値に減少させる少なくとも1つのナノ層とを有する材料のスタックを提供する。

30

【0069】

この実施形態において、スタックは、第1の誘電体前駆体を第1の材料前駆体で置き換えること以外は、上述の方法を用いて作成される。例えば、金属酸化物基板上に形成される金属スタックは、金属スタックがAu含有前駆体から堆積させたAuを含むように設けることができる。

【0070】

本発明は、その好ましい実施形態に関して詳細に示され説明されたが、形態及び細部における前述及びその他の変更を本発明の精神及び範囲から逸脱することなく施すことができることを当業者は理解するであろう。それ故に、本発明は、説明され示された通りの形態及び細部に限定されるべきではなく、添付の特許請求の範囲内に含まれることが意図されている。

40

【産業上の利用可能性】

【0071】

低k誘電体スタック及びその製造方法は、集積回路の製造に有用であり、例えば層間又は層内誘電体層、キャップ層及び/又はハードマスク若しくは研磨停止層を含む半導体構造体の低k絶縁のために特に有用である。

【図面の簡単な説明】

【0072】

50

【図1】本発明の誘電体スタックを示す(断面図による)図である。

【図2】本発明の低k誘電体スタックを層内誘電体層及び層間誘電体層の両方として含む本発明の電子デバイスの拡大断面図である。

【図3】本発明の誘電体スタックの上に堆積させた追加の拡散バリア誘電体キャップ層を有する図2の電子構造体の拡大断面図である。

【図4】研磨停止層の上に堆積させた追加のRIEハードマスク/研磨停止誘電体キャップ層及び誘電体キャップ拡散バリア層を有する図3の電子構造体の拡大断面図である。

【図5】本発明の誘電体スタック上に堆積させた追加のRIEハードマスク/研磨停止誘電体層を有する図4の電子構造体の拡大断面図である。

【符号の説明】

10

【0073】

10 : 基板

12 : 誘電体スタック

14 : 誘電体材料(低k誘電体膜)

16 : ナノ層

30、60、70、80 : 電子デバイス

32 : シリコン基板

34 : 絶縁材料層

38、44 : 誘電体スタック(絶縁層)

40 : 導電体層

20

50 : 導電体領域

62、72、74 : 誘電体キャップ層

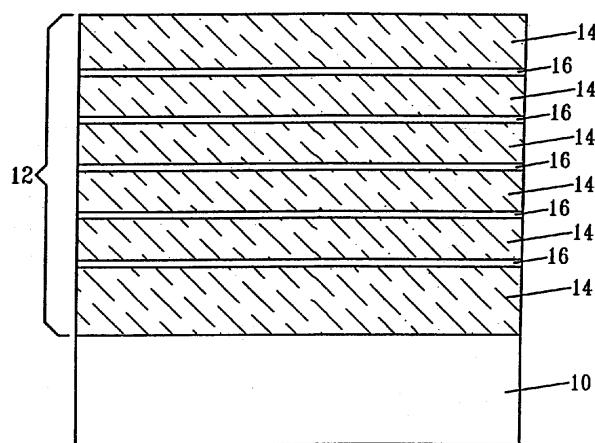
82、84、86 : 誘電体層

92 : ビア

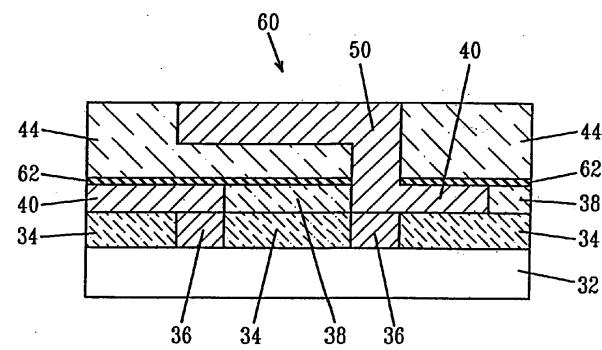
94 : 相互接続部

96 : 拡散バリア層

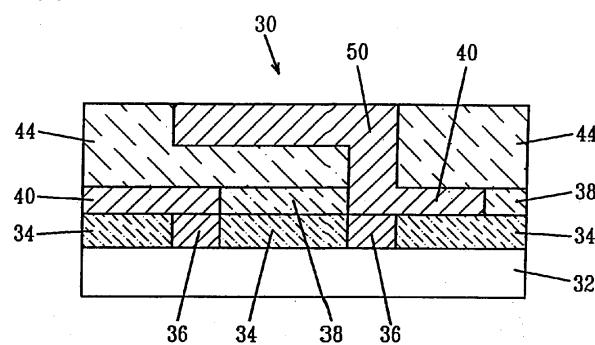
【図1】



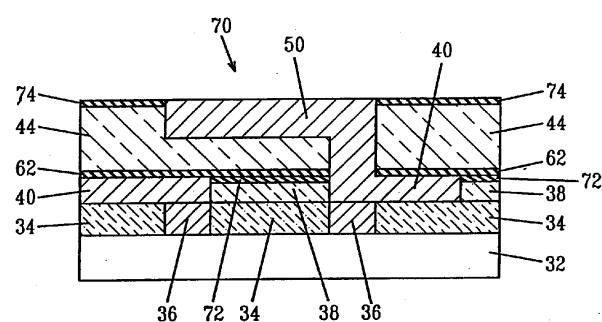
【図3】



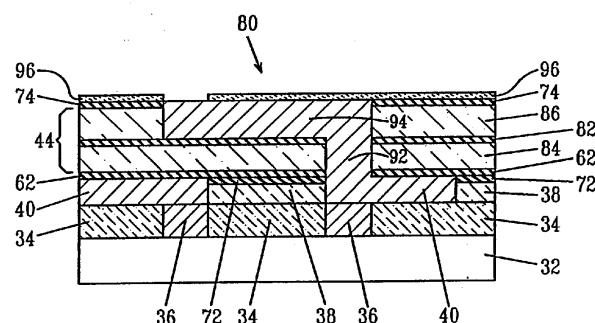
【図2】



【図4】



【図5】



フロントページの続き

(74)代理人 100112690

弁理士 太佐 種一

(72)発明者 グエン、サン、ヴィ

アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ パークウェイ・ドライブ
16

(72)発明者 レーン、サラ、エル

アメリカ合衆国 12590 ニューヨーク州 ワピンジャーズ・フォールズ タウン・ビュー・
ドライブ 313

(72)発明者 リニガー、エリック、ジー

アメリカ合衆国 06482 コネチカット州 サンディ・フック ホースシュー・リッジ・ロー
ド 51

(72)発明者 井田 健作

日本国 856-0027 長崎県 大村市 植松 1-73-1-ビ-101

(72)発明者 レスタイル、ダリル、ディー

アメリカ合衆国 125 48 ニューヨーク州 モデナ スージー・オーバル 14

合議体

審判長 池渕 立

審判官 加藤 浩一

審判官 恩田 春香

(56)参考文献 特開2004-153266(JP,A)

特開2002-252228(JP,A)

米国特許出願公開第2003/0234450(US,A1)

国際公開第2004/083495(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L21/3205-21/3215

H01L21/768

H01L23/52

H01L23/522-23/532

H01L21/312

H01L21/314-21/318

H01L21/47

H01L21/471-21/473