

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-13655  
(P2011-13655A)

(43) 公開日 平成23年1月20日(2011.1.20)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G02F 1/1333 (2006.01)</b>	G02F 1/1333 505	2H090
<b>G02F 1/1335 (2006.01)</b>	G02F 1/1335 515	2H092
<b>G02F 1/1339 (2006.01)</b>	G02F 1/1339 505	2H189
<b>G02F 1/1337 (2006.01)</b>	G02F 1/1337	2H191
<b>G02F 1/1345 (2006.01)</b>	G02F 1/1345	

審査請求 未請求 請求項の数 18 O L (全 23 頁)

(21) 出願番号 特願2009-212984 (P2009-212984)  
 (22) 出願日 平成21年9月15日 (2009. 9. 15)  
 (31) 優先権主張番号 特願2008-252585 (P2008-252585)  
 (32) 優先日 平成20年9月30日 (2008. 9. 30)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2009-133778 (P2009-133778)  
 (32) 優先日 平成21年6月3日 (2009. 6. 3)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100092152  
 弁理士 服部 毅巖  
 (72) 発明者 吉田 周平  
 長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内  
 (72) 発明者 田中 慎一郎  
 長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内  
 (72) 発明者 西村 城治  
 長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内

最終頁に続く

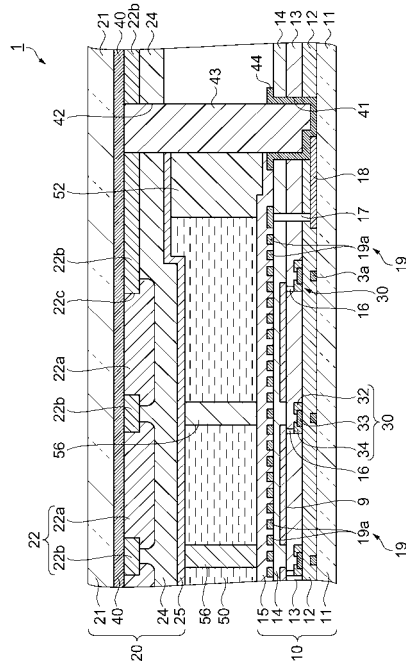
(54) 【発明の名称】 液晶装置、電子機器、液晶装置の製造方法

(57) 【要約】

【課題】 外部からの静電気に起因する画像の乱れを抑制した液晶装置および電子機器ならびに液晶装置の製造方法を提供する。

【解決手段】 液晶装置1は、第1基板としての素子基板10と第2基板としての対向基板20との間に液晶層50が挟持され、素子基板10上に画素電極9と共通電極19とが形成され、画素電極9と共通電極19との間に発生する電界によって液晶層50が駆動され、対向基板20の液晶層50側の面に静電遮蔽層としての静電シールド層40が形成され、静電シールド層40の液晶層50側に絶縁層を介して配向膜25が形成されている。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

第 1 基板と第 2 基板との間に液晶層が挟持され、前記第 1 基板上に画素電極と共通電極とが形成され、前記画素電極と前記共通電極との間に発生する電界によって前記液晶層が駆動される液晶装置であって、

前記第 2 基板の前記液晶層側の面に静電遮蔽層が形成され、前記静電遮蔽層の前記液晶層側に絶縁層を介して配向膜が形成されていることを特徴とする液晶装置。

## 【請求項 2】

前記絶縁層は、着色層またはオーバーコート層であることを特徴とする請求項 1 に記載の液晶装置。

## 【請求項 3】

前記第 2 基板の前記液晶層側の面に、前記画素電極間に対応して遮光層が形成され、前記遮光層を覆って前記画素電極と対向する位置に前記静電遮蔽層が形成され、前記静電遮蔽層を覆って前記画素電極と対向する位置に前記着色層が形成され、前記着色層を覆って前記オーバーコート層が形成されていることを特徴とする請求項 2 に記載の液晶装置。

## 【請求項 4】

前記第 2 基板の前記液晶層側の面に、前記画素電極間に対応して遮光層が形成され、前記画素電極と対向する位置に前記着色層が形成され、前記遮光層および前記着色層を覆って前記静電遮蔽層が形成され、前記静電遮蔽層を覆って前記オーバーコート層が形成されていることを特徴とする請求項 2 に記載の液晶装置。

## 【請求項 5】

前記オーバーコート層の層厚が  $1\ \mu\text{m} \sim 5\ \mu\text{m}$  であることを特徴とする請求項 2 乃至 4 のいずれか一項に記載の液晶装置。

## 【請求項 6】

前記遮光層と前記着色層との境界部には段差が形成され、前記静電遮蔽層の表面には、前記段差を反映した凹凸が形成されていることを特徴とする請求項 3 乃至 5 のいずれか一項に記載の液晶装置。

## 【請求項 7】

前記第 2 基板は、少なくとも 1 辺部に沿った外縁側において前記静電遮蔽層が設けられていない領域を有することを特徴とする請求項 1 乃至 6 のいずれか一項に記載の液晶装置。

## 【請求項 8】

前記遮光層は樹脂製であって、前記第 2 基板は、少なくとも 1 辺部に沿った外縁側において前記遮光層が設けられていない領域を有することを特徴とする請求項 7 に記載の液晶装置。

## 【請求項 9】

前記第 1 基板の前記液晶層側の面に、駆動回路と、前記駆動回路と電氣的に接続された引き回し配線とが設けられ、

前記引き回し配線と前記静電遮蔽層とが、前記第 1 基板と前記第 2 基板との間に挟持された導通材を介して、互いに平面的に重なる位置で電氣的に接続され、

前記静電遮蔽層の電位が前記駆動回路によって所定電位に制御されることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の液晶装置。

## 【請求項 10】

前記静電遮蔽層の電位が、前記共通電極の電位と同じ電位に制御されることを特徴とする請求項 9 に記載の液晶装置。

## 【請求項 11】

前記第 1 基板は、前記引き回し配線を覆う絶縁膜を有し、前記絶縁膜には、前記引き回し配線の一部が底部に露出するコンタクトホールが設けら

10

20

30

40

50

れ、

前記コンタクトホール内部には、底部に露出する前記引き回し配線を覆う導電膜が形成され、

前記静電遮蔽層は、前記導通材と前記導電膜とを介して前記引き回し配線と導通していることを特徴とする請求項 9 または 10 に記載の液晶装置。

【請求項 12】

前記導電膜は、導電性金属酸化物からなることを特徴とする請求項 11 に記載の液晶装置。

【請求項 13】

前記第 1 基板には、前記共通電極が前記画素電極よりも前記液晶層側に絶縁膜を介して設けられ、

前記共通電極は、互いに間隔をおいて配置された複数の帯状電極部を有することを特徴とする請求項 1 乃至 12 のいずれか一項に記載の液晶装置。

【請求項 14】

対向配置された前記第 1 基板と前記第 2 基板との間に挟持された前記液晶層を封止するシール材が設けられ、

前記シール材によって囲まれた領域の内側に、複数の前記画素電極を有する表示領域が設けられ、

前記シール材によって囲まれた領域の内側であって、前記表示領域と前記シール材との間に非表示領域が設けられ、

前記第 1 基板の前記非表示領域には、前記表示領域へ侵入する静電気を放電させる静電保護部材が配置されており、

前記静電遮蔽層の少なくとも一部が前記静電保護部材と平面的に重なって設けられていることを特徴とする請求項 1 から 13 のいずれか一項に記載の液晶装置。

【請求項 15】

前記静電遮蔽層の層厚が 20 nm ~ 200 nm であることを特徴とする請求項 1 乃至 14 のいずれか一項に記載の液晶装置。

【請求項 16】

請求項 1 乃至 15 のいずれか一項に記載の液晶装置を備えることを特徴とする電子機器。

【請求項 17】

対向配置された第 1 基板および第 2 基板と、

前記第 1 基板と前記第 2 基板との間に挟持された液晶層と、

前記第 1 基板の前記液晶層側の面に設けられた画素電極および共通電極とを備え、

前記画素電極と前記共通電極との間に発生する電界によって前記液晶層が駆動される液晶装置の製造方法であって、

前記液晶層に面する前記第 2 基板の一方の面に樹脂製の遮光材料を塗布して遮光材料層を形成する第 1 の工程と、

前記遮光材料層をパターンニングして、平面視で前記画素電極を含む領域に対応する開口部とアライメントマークとを有する遮光層を形成する第 2 の工程と、

前記一方の面に成膜用マスクを対向配置し、前記アライメントマークを用いて前記第 2 基板と前記成膜用マスクとを位置合わせする第 3 の工程と、

前記成膜マスクを介して前記一方の面に少なくとも前記遮光層を覆うように透明導電膜からなる静電遮蔽層を形成する第 4 の工程と、を含むことを特徴とする液晶装置の製造方法。

【請求項 18】

前記成膜用マスクは、前記静電遮光層の形成領域に対応した開口を有し、

前記開口は、平面的に前記第 2 基板の外形よりも一回り小さいことを特徴とする請求項 17 に記載の液晶装置の製造方法。

【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶装置および電子機器ならびに液晶装置の製造方法に関するものである。

## 【背景技術】

## 【0002】

液晶装置の視野角を広げる手段として、基板に対して面内方向（横方向）の電界を発生させ、この横方向の電界で液晶分子を基板に並行な面内で回転させることで透過光を制御する、いわゆる横電界方式のIPS（In-Plane Switching）方式が実用化されている。更に、このIPS方式を改良したFFS（Fringe-Field Switching）方式が提案されている。

10

## 【0003】

このような横電界方式の液晶装置は、TFT等の駆動素子が形成された素子基板に共通電極、画素電極といった電極、または配線といった導電性の部材を配置し、表示面側である対向基板には導電部材を設けない構成を有する。そのため、静電気などに代表される対向基板側の外部からの外部電界の影響を受けやすく、液晶表示に乱れが生じやすいという問題がある。これを解決するために、対向基板側に透明導電膜を形成し、透明導電膜で静電気を捕捉することで表示乱れを防ぐ方法が提案されている（例えば、特許文献1参照）。

## 【0004】

特許文献1には、対向基板が備えるガラス基板の外側（液晶層とは反対側）に透明導電膜を備える構成と、ガラス基板の内側（液晶層側）に透明導電膜を備える構成と、が挙げられている。これらと比較すると、内側に透明導電膜を備える対向基板は、同じく内側に設けられる配向膜などの部材と積層して形成することで、ガラス基板の上下反転操作等が不要となるため製造が容易であるという利点を有する。

20

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2001-51263号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

30

## 【0006】

しかし、上記特許文献1では、ガラス基板の内側に透明導電膜を備える対向基板の構成として、透明導電膜が対向基板側の配向膜の裏面に形成される構造が示されている。このような位置に透明導電膜を設けた場合には、透明導電膜と液晶層との間には配向膜しか存在しないため両者の距離が近い。そのため、静電気を捕捉する透明導電膜と、素子基板に設けられた画素電極または共通電極との間に縦電界が発生し、横電界方式の駆動を乱すおそれがあるという課題がある。

## 【課題を解決するための手段】

## 【0007】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

40

## 【0008】

[適用例1] 本適用例の液晶装置は、第1基板と第2基板との間に液晶層が挟持され、前記第1基板上に画素電極と共通電極とが形成され、前記画素電極と前記共通電極との間に発生する電界によって前記液晶層が駆動される液晶装置であって、前記第2基板の前記液晶層側の面に静電遮蔽層が形成され、前記静電遮蔽層の前記液晶層側に絶縁層を介して配向膜が形成されていることを特徴とする。

## 【0009】

この構成によれば、絶縁層が無いものと比べて、静電遮蔽層と液晶層とが少なくとも絶縁層の厚み分さらに離間するため電圧降下が生じ、静電遮蔽層で捕捉した静電気が液晶層

50

に作用する力（クーロン力）が弱まる。そのため、静電気に起因する表示乱れを防ぎ、高品質な画像表示が可能な液晶装置を提供することができる。

【0010】

〔適用例2〕上記適用例の液晶装置において、前記絶縁層は、着色層またはオーバーコート層であることが望ましい。

この構成によれば、カラーフィルターを構成する部材である着色層またはオーバーコート層を絶縁層として用いるため、静電遮蔽層と液晶層との離間距離を稼ぐために新たに絶縁層を設ける必要が無く、静電気に起因する表示乱れを防ぐことが可能なフルカラー表示の液晶装置を提供できる。

【0011】

〔適用例3〕上記適用例の液晶装置において、前記第2基板の前記液晶層側の面に、前記画素電極間に対応して遮光層が形成され、前記遮光層を覆って前記画素電極と対向する位置に前記静電遮蔽層が形成され、前記静電遮蔽層を覆って前記画素電極と対向する位置に前記着色層が形成され、前記着色層を覆って前記オーバーコート層が形成されていることが望ましい。

この構成によれば、画像表示に強く影響する画素電極と平面的に重なる領域では、静電遮蔽層と液晶層とが、少なくとも着色層およびオーバーコート層の厚み分離間するため、静電気に起因する表示乱れをより一層防ぐことができる。

【0012】

〔適用例4〕上記適用例の液晶装置において、前記第2基板の前記液晶層側の面に、前記画素電極間に対応して遮光層が形成され、前記画素電極と対向する位置に前記着色層が形成され、前記遮光層および前記着色層を覆って前記静電遮蔽層が形成され、前記静電遮蔽層を覆って前記オーバーコート層が形成されているとしてもよい。

この構成によれば、少なくともオーバーコート層の厚み分離間するため、静電気に起因する表示乱れを防ぎ、高品質な画像表示が可能な液晶装置を提供することができる。

また、静電遮蔽層が遮光層および着色層を覆うので、静電遮蔽層に対して液晶層に近い側に遮光層や着色層を設ける場合に比べて、遮光層や着色層から不純物が液晶層に拡散することをさらに抑制できる。

【0013】

〔適用例5〕上記適用例の液晶装置において、前記オーバーコート層の層厚が $1\mu\text{m}$ ～ $5\mu\text{m}$ であることが望ましい。

この構成によれば、オーバーコート層を着色層（カラーフィルター）の平坦化層として機能させると共に、光透過性を維持して見栄えのよい液晶装置を提供することができる。

【0014】

〔適用例6〕上記適用例の液晶装置において、前記遮光層と前記着色層との境界部には段差が形成され、前記静電遮蔽層の表面には、前記段差を反映した凹凸が形成されていることが望ましい。

この構成によれば、静電遮蔽層の表面に形成された凹凸部分は、外部静電気に対して避雷針の役割を果たし、静電遮蔽層が平坦面を呈する場合と比べて、外部静電気を捕捉しやすくなる。そのため、外部静電気を上手に逃がすシールド効果が高い静電遮蔽層となり、静電気の影響による画像乱れを抑制した液晶装置を提供することができる。

【0015】

〔適用例7〕上記適用例の液晶装置において、前記第2基板は、少なくとも1辺部に沿った外縁側において前記静電遮蔽層が設けられていない領域を有することが望ましい。

この構成によれば、静電遮蔽層が第2基板の外縁の端部まで設けられている場合に比べて、外部静電気が容易に第2基板に侵入して帯電することを抑制することができる。言い換えれば、むやみに外部静電気を誘引することがない。

【0016】

〔適用例8〕上記適用例の液晶装置において、前記遮光層は樹脂製であって、前記第2基板は、少なくとも1辺部に沿った外縁側において前記遮光層が設けられていない領域を

10

20

30

40

50

有することが望ましい。

この構成によれば、例えばマザー基板に多面付けされた第2基板を外形基準で切断して取り出そうとする際に、切断応力が加わる第2基板の外縁部分には樹脂製の遮光層が配置されていないので、該応力による遮光層の剥がれなどを防止することができる。

【0017】

[適用例9] 上記適用例の液晶装置において、前記第1基板の前記液晶層側の面に、駆動回路と、前記駆動回路と電氣的に接続された引き回し配線とが設けられ、前記引き回し配線と前記静電遮蔽層とが、前記第1基板と前記第2基板との間に挟持された導通材を介して、互いに平面的に重なる位置で電氣的に接続され、前記静電遮蔽層の電位が前記駆動回路によって所定電位に制御されることが望ましい。

10

この構成によれば、静電遮蔽層に捕捉される静電気の電荷が所定電位に保たれるため、長時間使用しても静電気が蓄積・増加することなく、静電気の影響による画像乱れが抑制された液晶装置を提供することができる。また、静電遮蔽層は、駆動回路と接続された引き回し配線と接続されるため、新たに導電性の構成部材を形成することなく静電遮蔽層に蓄積する電荷を放出することができる。

【0018】

[適用例10] 上記適用例の液晶装置において、前記静電遮蔽層の電位が、前記共通電極の電位と同じ電位に制御されることが望ましい。

この構成によれば、静電遮蔽層と共通電極との間に電位差がなくなるため、第1基板と第2基板との間に縦方向の電界が発生し難くなり、画像乱れを抑制することができる。

20

【0019】

[適用例11] 上記適用例の液晶装置において、前記第1基板は、前記引き回し配線を覆う絶縁膜を有し、前記絶縁膜には、前記引き回し配線の一部が底部に露出するコンタクトホールが設けられ、前記コンタクトホールの内部には、底部に露出する前記引き回し配線を覆う導電膜が形成され、前記静電遮蔽層は、前記導通材と前記導電膜とを介して前記引き回し配線と導通していることが望ましい。

この構成によれば、引き回し配線の酸化を防ぎ、且つ良好な導通が得られるため、効果的に静電遮蔽層に蓄積する電荷を放出し、良好な表示が可能な液晶装置を提供することができる。特に、引き回し配線の形成材料がアルミニウム等の卑金属である場合には、良好に表面酸化を防ぎ、導通を確保することができる。

30

【0020】

[適用例12] 上記適用例の液晶装置において、前記導電膜は、導電性金属酸化物からなることが望ましい。

この構成によれば、コンタクトホールの底部に露出する引き回し配線の酸化を良好に防ぐことができる。

【0021】

[適用例13] 上記適用例の液晶装置において、前記第1基板には、前記共通電極が前記画素電極よりも前記液晶層側に絶縁膜を介して設けられ、前記共通電極は、互いに間隔をおいて配置された複数の帯状電極部を有することを特徴とする。

この構成によれば、静電気を捕捉する静電遮蔽層と画素電極との間がより離れたものとなる。そのため、画素電極と静電遮蔽層との間に発生する縦方向の電界を微弱に抑えることができ、画像乱れがより抑制されたFFS方式の液晶装置を提供することができる。

40

【0022】

[適用例14] 上記適用例の液晶装置において、対向配置された前記第1基板と前記第2基板との間に挟持された前記液晶層を封止するシール材が設けられ、前記シール材によって囲まれた領域の内側に、複数の前記画素電極を有する表示領域が設けられ、前記シール材によって囲まれた領域の内側であって、前記表示領域と前記シール材との間に非表示領域が設けられ、前記第1基板の前記非表示領域には、前記表示領域へ侵入する静電気を放電させる静電保護部材が配置されており、前記静電遮蔽層の少なくとも一部が前記静電保護部材と平面的に重なって設けられていることが望ましい。

50

この構成によれば、静電遮蔽層が非表示領域に配置された静電保護部材を合わせて保護するため、良好に表示領域を保護することができ、画像乱れの抑制と静電破壊の防止とを良好に実現した液晶装置を提供することができる。

【0023】

[適用例15] 上記適用例の液晶装置において、前記静電遮蔽層の層厚が20nm~200nmであることが好ましい。

この構成によれば、静電遮蔽層の静電シールド効果を確保しつつ、液晶層を透過した光が静電遮蔽層と着色層とを透過しても所望の色表現が可能な液晶装置を提供することができる。

【0024】

[適用例16] 本適用例の電子機器は、上記適用例の液晶装置を備えることを特徴とする。

この構成によれば、外部環境からの静電気による表示乱れが無い液晶装置を備え、高品質な画像表示が可能な電子機器を提供することができる。

【0025】

[適用例17] 本適用例の液晶装置の製造方法は、対向配置された第1基板および第2基板と、前記第1基板と前記第2基板との間に挟持された液晶層と、前記第1基板の前記液晶層側の面に設けられた画素電極および共通電極とを備え、前記画素電極と前記共通電極との間に発生する電界によって前記液晶層が駆動される液晶装置の製造方法であって、前記液晶層に面する前記第2基板の一方の面に樹脂製の遮光材料を塗布して遮光材料層を形成する第1の工程と、前記遮光材料層をパターンニングして、平面視で前記画素電極を含む領域に対応する開口部とアライメントマークとを有する遮光層を形成する第2の工程と、前記一方の面に成膜用マスクを対向配置し、前記アライメントマークを用いて前記第2基板と前記成膜用マスクとを位置合わせする第3の工程と、前記成膜マスクを介して前記一方の面に少なくとも前記遮光層を覆うように透明導電膜からなる静電遮蔽層を形成する第4の工程と、を含むことを特徴とする。

【0026】

この方法によれば、第2基板の一方の面上に任意の平面形状(平面視での形状)の静電遮蔽層を位置精度よく形成できる。つまり、静電気の影響で表示が乱れることなく、高い表示品質で画像表示が可能な液晶装置を歩留まりよく製造することができる。

【0027】

[適用例18] 上記適用例の液晶装置の製造方法において、前記成膜用マスクは、前記静電遮光層の形成領域に対応した開口を有し、前記開口は、平面的に前記第2基板の外形よりも一回り小さいことを特徴とする。

この方法によれば、静電遮蔽層は平面的に第2基板の外形よりも内側の領域に形成される。したがって、第2基板の外縁部に亘って静電遮光層を形成する場合に比べて、外部静電気がむやみに第2基板に誘引されない液晶装置を製造することができる。

【図面の簡単な説明】

【0028】

【図1】 第1実施形態に係る液晶装置の等価回路図。

【図2】 第1実施形態に係る液晶装置の構成を示す概略平面図。

【図3】 第1実施形態に係る液晶装置の要部概略平面図。

【図4】 第1実施形態に係る液晶装置の要部拡大平面図。

【図5】 第1実施形態に係る液晶装置の要部の構造を示す概略断面図。

【図6】 第2実施形態に係る液晶装置の要部の構造を示す概略断面図。

【図7】 第3実施形態に係る液晶装置の要部の構造を示す概略断面図。

【図8】 実施例1~実施例6の静電シールド層とOVC層の層厚を示す表。

【図9】 実施例1~実施例6の液晶装置におけるCIExy色度図。

【図10】 第4実施形態に係る液晶装置の導通材の周辺部を示す概略平面図。

【図11】 第4実施形態に係る液晶装置の要部の構造を示す概略断面図。

10

20

30

40

50

【図 1 2】マザー基板を示す概略平面図。

【図 1 3】成膜用マスクとしての蒸着マスクを示す概略平面図。

【図 1 4】第 5 実施形態に係る液晶装置の製造方法を示す概略断面図。

【図 1 5】第 6 実施形態に係る電子機器としての携帯型電話機を示す概略斜視図。

【発明を実施するための形態】

【0029】

[第 1 実施形態]

以下、図 1 ~ 図 4 を参照しながら、本発明の第 1 実施形態に係る液晶装置について説明する。なお、以下の全ての図面においては、図面を見やすくするため、各構成要素の膜厚や寸法の比率などは適宜異ならせてある。

10

【0030】

<液晶装置>

本実施形態の液晶装置は、光の進行方向と直交する横電界によって液晶分子の方位角を制御して画像表示を行うものである。このような方式としては、FFS方式や、IPS方式等が知られている。以下、FFS方式の駆動方式を採用した液晶装置のうちフルカラー表示が可能なものに基づいて説明するが、本発明はIPS方式の液晶装置にも適用可能である。

【0031】

図 1 は、本実施形態の液晶装置 1 の等価回路図である。液晶装置 1 の画像表示領域を構成するマトリクス状に配置された複数のサブ画素 P の領域には、画素電極 9 と画素電極 9 をスイッチング制御するための TFT (Thin Film Transistor) 30 とが設けられている。画素電極 9 と共通電極 19 との間には液晶層 50 が介在している。共通電極 19 は走査線駆動回路 204 から延びる共通線 3b と電気的に接続されており、複数のサブ画素 P において共通の電位に保持されるようになっている。

20

【0032】

データ線駆動回路 205 から延びるデータ線 6a が TFT 30 のソースと電気的に接続されている。データ線駆動回路 205 は、画像信号  $S_1, S_2, \dots, S_n$  を、データ線 6a を介して各サブ画素 P に供給する。画像信号  $S_1 \sim S_n$  はこの順に線順次に供給しても構わないし、相隣接する複数のデータ線 6a 同士に対して、グループ毎に供給するようにしてもよい。

30

【0033】

TFT 30 のゲートには、走査線駆動回路 204 から延びる走査線 3a が電気的に接続されている。走査線駆動回路 204 から所定のタイミングで走査線 3a にパルス的に供給される走査信号  $G_1, G_2, \dots, G_m$  が、この順に線順次で TFT 30 のゲートに印加されるようになっている。

【0034】

画素電極 9 は、TFT 30 のドレインに電気的に接続されている。スイッチング素子である TFT 30 が走査信号  $G_1, G_2, \dots, G_m$  の入力により一定期間だけオン状態とされることで、データ線 6a から供給される画像信号  $S_1, S_2, \dots, S_n$  が所定のタイミングで画素電極 9 に書き込まれるようになっている。画素電極 9 を介して液晶層 50 に書き込まれた所定レベルの画像信号  $S_1, S_2, \dots, S_n$  は、画素電極 9 と液晶層 50 を介して対向する共通電極 19 との間で一定期間保持される。

40

【0035】

図 2 ~ 図 4 は、本実施形態の液晶装置 1 について、対向基板 (第 2 基板) 側から見た平面図であり、図 3 は図 2 の一部を拡大した図、図 4 は図 3 の一部をさらに拡大した図である。

【0036】

図 2 に示すように、本実施形態の液晶装置 1 は、素子基板 (第 1 基板) 10 と対向基板 20 とが平面的に重なる部分の周縁部においてシール材 52 によって貼り合わされ、このシール材 52 によって区画された領域 (表示領域 A) 内に液晶分子が封入、保持されてい

50



る。シール材 5 2 には、製造時において素子基板 1 0 と対向基板 2 0 とを貼り合わせた後に液晶分子を注入するための液晶注入口 5 5 が形成されており、液晶注入口 5 5 は液晶注入後に封止材 5 4 により封止されている。素子基板 1 0 の内面側であって表示領域 A と平面的に重なる領域には、図示略の画素電極および共通電極が形成されており、素子基板 1 0 の内面側であってシール材 5 2 と平面的に重なる領域には、引き回し配線 1 8 が設けられている。

#### 【 0 0 3 7 】

素子基板 1 0 の一端側の、素子基板 1 0 と対向基板 2 0 との重なり部分から張り出した部分（基板張出部 1 0 a ）には、液晶装置 1 を駆動する駆動信号を処理し適宜供給するための駆動用 I C 2 0 1 が実装されており、端部には入力用端子 2 0 2 が設けられている。

10

入力用端子 2 0 2 には、例えば異方性導電膜 2 0 3 を介して、配線が形成された F P C （Flexible Printed Circuit）基板等が実装されており、外部電源や種々の外部機器と接続している。

なお、駆動用 I C 2 0 1 は、前述した走査線駆動回路 2 0 4 とデータ線駆動回路 2 0 5 とを含むものである。

#### 【 0 0 3 8 】

また、対向基板 2 0 の内面側には、後述の静電シールド層（静電遮蔽層）4 0 が設けられており、対向基板 2 0 のコーナー部の少なくとも 1 箇所配設された導通材 4 3 を介して、素子基板 1 0 の引き回し配線 1 8 と電気的に導通している。本実施形態の液晶装置 1 では、素子基板 1 0 の他端側（駆動用 I C 2 0 1 側の辺と対向する側）の辺の両端部に 2 箇所、導通材 4 3 が設けられている。液晶装置 1 においては、その他必要に応じて位相差板、偏光板等が所定の向きに配置されるが、ここでは図示を省略する。

20

#### 【 0 0 3 9 】

図 3 は、図 2 において二点鎖線で囲んだ領域 A R 1 の拡大図である。ここでは、主として素子基板 1 0 側の構成を示している。

#### 【 0 0 4 0 】

図 3 に示すように、表示領域 A には、平面視略矩形の複数のサブ画素 P がマトリクス状に縦横に配置されている。また、シール材 5 2 の内側であって表示領域 A の周辺は、非表示領域 M となっている。非表示領域 M には、引き回し配線 1 8 から浸入する静電気を放電し、表示領域 A に配置されたサブ画素 P を保護するための静電保護領域 S A と、静電保護領域 S A で放電仕切れなかった静電気によるサブ画素 P の破壊を自ら破壊されることで代行するダミー画素（静電保護部材）D P が配置されたダミー領域 D A が設けられている。

30

#### 【 0 0 4 1 】

素子基板 1 0 における表示領域 A の周囲には、シール材 5 2 と重なって、共通電極 1 9 に共通電位を供給する引き回し配線 1 8 が形成されており、引き回し配線 1 8 が折れ曲がる角には外側（液晶層 5 0 とは反対側）に突出する接続部 1 8 a が形成されている。

#### 【 0 0 4 2 】

一方、不図示の対向基板が備える静電シールド層 4 0 の角部にも外側に突出する接続部 4 0 a が形成されている。接続部 4 0 a と接続部 1 8 a とは平面的に重なっていると共に、いずれもシール材 5 2 の外側にまで延在して形成されており、各々の端部において導通材 4 3 を介して電気的に接続されている。したがって、静電シールド層 4 0 の電位は、共通電極 1 9 に与えられる共通電位と同電位に保たれている。

40

#### 【 0 0 4 3 】

図 4 は、図 3 において二点鎖線で囲んだ領域 A R 2 の拡大図である。

#### 【 0 0 4 4 】

図 4 に示す様に、非表示領域 M には、サブ画素 P の周辺に配置された複数のダミー画素 D P を有するダミー領域 D A と、ダミー領域 D A とシール材 5 2 との間の領域に配置されたショートリング（静電保護部材）2 1 1 や抵抗素子（静電保護部材）2 1 2 を有する静電保護領域 S A と、が設けられている。静電保護領域 S A のショートリング 2 1 1 および抵抗素子 2 1 2 は、主に製造工程中に発生する静電気からサブ画素 P ごとに配置された T

50

F T 3 0 を保護するために設けられる。

【 0 0 4 5 】

製造工程中に発生する静電気は、表示領域 A の周辺からサブ画素 P に侵入する。そのため、発生する静電気を静電保護領域 S A の機能にて放電すると共に、放電仕切れなかった静電気をダミー領域 D A に配置されたダミー画素 D P が破壊されることで、サブ画素 P が破壊されることを防いでいる。

【 0 0 4 6 】

抵抗素子 2 1 2 は、サブ画素 P およびダミー画素 D P が配列する行列に対応して、各行列の端部に設けられている。図 4 では、サブ画素 P およびダミー画素 D P の行に対して 1 行おき（上端の行から数えて偶数行）に設けられ、各々の行の走査線 3 a と接続している。また、図示は省略するが、図 4 に示す右辺と対向する側の左辺には、残る行（奇数行）に対応する抵抗素子 2 1 2 が設けられている。また、サブ画素 P およびダミー画素 D P の列の上端部にも、列毎に抵抗素子 2 1 2 が設けられている。

10

【 0 0 4 7 】

また、共通電極 1 9 は、サブ画素 P およびダミー画素 D P を覆って形成されており、抵抗素子 2 1 2 が設けられた側の端部には、ショートリング 2 1 1 と接続するための張出部 2 1 3 が設けられている。張出部 2 1 3 は、抵抗素子 2 1 2 と重ならない位置に設けられており、張出部 2 1 3 を介して共通電極 1 9 とショートリング 2 1 1 とが接続している。

【 0 0 4 8 】

また、共通電極 1 9 の上端の角部分に設けられた張出部 2 1 3 には、引き回し配線 1 8 と接続するために平面視略矩形の接続部 1 9 b が設けられており、引き回し配線 1 8 と接続部 1 9 b とは複数のコンタクトホール 2 1 4 を介して互いに接続している。また、接続部 1 9 b は、複数のコンタクトホール 2 1 5 を介して、ショートリング 2 1 1 とも接続している。これら静電保護領域 S A に設けられた部材により、サブ画素 P に設けられた F T 3 0 の静電破壊を防止している。

20

【 0 0 4 9 】

また、静電シールド層 4 0 は、これらダミー領域 D A や静電保護領域 S A の各構成と平面的に重なって設けられている。静電シールド層 4 0 は、後述するように外部からの静電気を捕捉する機能を有しており、静電気によりダミー領域 D A や静電保護領域 S A の各構成が破壊されることを防いでいる。そのため、ダミー領域 D A や静電保護領域 S A では、良好にサブ画素 P が破壊されることを防ぐことができる。また、静電シールド層 4 0 とダミー領域 D A や静電保護領域 S A の各構成とは電氣的に接続されているため、互いに協働して静電気を拡散させることができる。

30

【 0 0 5 0 】

図 5 は、本実施形態の液晶装置 1 の要部の構造を示す概略断面図である。詳しくは、シール材 5 2 及び導通材 4 3 周辺の概略断面図である。ここでは、図を見やすくするために、非表示領域 M（図 3、図 4 参照）における構成を省略して図示している。

【 0 0 5 1 】

図 5 に示すように、液晶装置 1 は、素子基板 1 0 と、素子基板 1 0 に対向配置された対向基板 2 0 と、素子基板 1 0 と対向基板 2 0 との間に挟持された液晶層 5 0 と、を備えて構成されている。また、液晶装置 1 には、素子基板 1 0 と対向基板 2 0 とが対向する領域の縁端に沿ってシール材 5 2 が設けられ、液晶層 5 0 を構成する液晶分子が封止されている。この液晶装置 1 は、素子基板 1 0 側から照明光が照射され、表示される画像を対向基板 2 0 側から観察する透過型の構成となっている。

40

【 0 0 5 2 】

素子基板 1 0 は、透光性を備えた基板本体 1 1 を備えている。基板本体 1 1 を形成する材料には、例えばガラス、石英ガラス、窒化ケイ素等の無機物や、アクリル樹脂、ポリカーボネート樹脂等の有機高分子化合物（樹脂）を用いることができる。また、透光性を備えるならば、これらの材料を積層または混合して形成された複合材料を用いることもできる。

50

## 【 0 0 5 3 】

基板本体 1 1 の液晶層 5 0 側の面上には、アルミニウムや銅等の導電性材料からなる走査線 3 a と不図示のデータ線が形成されている。また、シール材 5 2 と平面的に重なる領域には、同様の導電性材料からなる引き回し配線 1 8 が形成されている。これらは同じ材料を用いることとしてもよく、また異なる材料を用いて形成しても良い。これらは、例えば導電性材料の薄膜を成膜した後に、パターンングされることにより得られる。本実施形態では形成材料としてアルミニウムを用いる。

## 【 0 0 5 4 】

また基板本体 1 1 上には、走査線 3 a、データ線、引き回し配線 1 8 を覆うようにゲート絶縁膜 1 2 が形成されている。ゲート絶縁膜 1 2 は、窒化シリコンや酸化シリコンなどのような絶縁性を有する透光性材料で構成されている。

10

## 【 0 0 5 5 】

ゲート絶縁膜 1 2 上には、半導体層 3 2、半導体層 3 2 の一端に接続されているソース電極 3 3、半導体層 3 2 の他端に接続されているドレイン電極 3 4 が形成されており、これら半導体層 3 2、ソース電極 3 3、ドレイン電極 3 4 および走査線 3 a によってボトムゲート型の TFT 3 0 を構成している。また、TFT 3 0 を覆うように層間絶縁膜 1 3 が形成されている。層間絶縁膜 1 3 は、ゲート絶縁膜 1 2 と同様に、窒化シリコンや酸化シリコンなどの絶縁性を有する透光性材料で構成されている。

## 【 0 0 5 6 】

層間絶縁膜 1 3 上には、画素電極 9 が形成されており、コンタクトホール 1 6 を介して TFT 3 0 のドレイン電極 3 4 と電気的に接続している。画素電極 9 は、ITO (Indium Tin Oxide: インジウム錫酸化物) や錫酸化物 ( $\text{SnO}_2$ ) 等の透光性を備えた導電性材料にて形成されている。本実施形態では ITO を用いている。

20

## 【 0 0 5 7 】

また、層間絶縁膜 1 3 上には、画素電極 9 を覆って電極間絶縁膜 1 4 が形成されている。電極間絶縁膜 1 4 は、ゲート絶縁膜 1 2 や層間絶縁膜 1 3 と同様に、窒化シリコンや酸化シリコンなどの絶縁性を有する透光性材料で構成されており、層間絶縁膜 1 3 上に形成された画素電極 9 を被覆している。

## 【 0 0 5 8 】

電極間絶縁膜 1 4 上には、平面視では帯状電極部 1 9 a を有する梯子状の共通電極 1 9 が形成されている。画素電極 9 と共通電極 1 9 とは、電極間絶縁膜 1 4 を介して配置されており、FFS 方式の電極構造を構成している。また共通電極 1 9 は、ゲート絶縁膜 1 2、層間絶縁膜 1 3、電極間絶縁膜 1 4 を連通するコンタクトホール 1 7 を介して引き回し配線 1 8 と接続されている。共通電極 1 9 は、ITO 等の透光性の導電性材料にて形成されており、本実施形態では共通電極 1 9 の材料に ITO を用いている。

30

## 【 0 0 5 9 】

また、電極間絶縁膜 1 4 上には、共通電極 1 9 を覆って配向膜 1 5 が形成されている。配向膜 1 5 は、例えばポリイミドなどの有機材料やシリコン酸化物などの無機材料で構成されている。本実施形態の配向膜 1 5 は、ポリイミドの膜形成材料を塗布してこれを乾燥・硬化させた後、その上面を所定の方向にラビング ( 擦る ) するラビング処理が施されている。

40

## 【 0 0 6 0 】

一方、対向基板 2 0 は透光性を備えた基板本体 2 1 を備えている。基板本体 2 1 を形成する材料には基板本体 1 1 と同様の材料を用いることができる。

## 【 0 0 6 1 】

基板本体 2 1 の液晶層 5 0 側の面上には、図 3 で示す表示領域 A とダミー領域 DA と静電保護領域 SA との全面を覆って、静電シールド層 4 0 が形成されている。静電シールド層 4 0 は、外部からの静電気を捕捉し、捉えた静電気を後述の導通材 4 3 を介して逃がすことで、対向基板 2 0 と素子基板 1 0 との間に不測の縦電界を生じることを防止するために設けられる。静電シールド層 4 0 は、ITO や  $\text{SnO}_2$  等の透光性を有する導電材料を

50

用いて形成されており、本実施形態ではITOを形成材料としている。

【0062】

静電シールド層40の液晶層50側の面上には、着色層22aおよびブラックマトリクス(遮光層)22bを備えたカラーフィルター層22が形成されている。カラーフィルター層22は、例えば、黒色顔料を混合したアクリル樹脂などを用い、通常知られた方法を用いて格子状にパターンングしたブラックマトリクス22bを形成し、パターンングにより設けられた開口部22cに液滴吐出法などの湿式塗布法を用いて着色層22aの形成材料を配置して形成する。

【0063】

本実施形態では各層の層厚を、着色層22aは2 $\mu$ m、ブラックマトリクス22bは1.5 $\mu$ mとした。カラーフィルター層22で、素子基板10側から入射して対向基板20側に出射する光を赤色、緑色、青色に変調し、各色の光を混色することでフルカラー表示が可能となる。

【0064】

カラーフィルター層22上には、オーバーコート層(絶縁層)24が形成されている。オーバーコート(OV C)層24は、カラーフィルター層22を物理的または化学的に保護する機能を備える。また、形成された着色層22aやブラックマトリクス22bから、各々の形成材料に含まれる硬化剤の反応残渣などの低分子量物質やイオン性の不純物が液晶層50へ溶出し、表示乱れを起こすことを防ぐ。OV C層24は、例えばアクリル樹脂やエポキシ樹脂などの透光性を備えた硬化性樹脂を用いて形成する。本実施形態ではアクリル樹脂を用い、層厚がおよそ3 $\mu$ mとなるように形成している。

【0065】

OV C層24上には、配向膜15と同様の材料を用いて配向膜25が形成されている。本実施形態の配向膜25は、ポリイミドの形成材料を塗布してこれを乾燥・硬化させた後、その上面を所定の方向にラビング(擦る)するラビング処理が施されている。ラビングによる配向膜25の配向方向は、配向膜15の配向方向と平面視では同じであるが、互いに逆向きにラビング処理が施されている。

【0066】

また、液晶層50と重なる領域のOV C層24上には、ブラックマトリクス22bと重なる領域に、スペーサー56が形成されている。スペーサー56は、素子基板10と対向基板20との離間距離を一定以下にならないように保持するためのものである。例えば、対向基板20側から応力が加わった場合に、液晶層50の厚さがスペーサー56の高さ未満とならないため、表示乱れを防ぐことができる。

【0067】

素子基板10に設けられた引き回し配線18と、対向基板20に設けられた静電シールド層40とは、液晶層50の周囲を囲むシールド材52の外側(液晶層50とは反対側)の領域において、導通材43を介して導通している。導通材43は、導電性を有する微粒子を混合した硬化性樹脂や、銀ペーストなどを用いることができる。導電性を有する微粒子には、例えばAuやAgなどの金属微粒子や、金属などの導電性を有する材料で導電性を有さない微粒子の表面をコートしたものが挙げられる。

【0068】

素子基板10側の導通材43を配置する領域には、ゲート絶縁膜12、層間絶縁膜13、電極間絶縁膜14を貫通して互いに連通するコンタクトホール41が形成されており、底部には引き回し配線18が一部露出している。

【0069】

本実施形態の引き回し配線18は、形成材料として卑金属であるアルミニウムを用いているため、コンタクトホール41を形成して露出させると、表面が酸化して酸化膜を形成し、導通を取ることができないおそれがある。また、コンタクトホール41の底部には引き回し配線18の一部のみが露出するのみであり、導通材43との導通面積が小さい。そのため、引き回し配線18の表面酸化を防ぎ、また、導通材43との導通を確実なものと

10

20

30

40

50

するため、コンタクトホール 4 1 を覆って I T O や S n O<sub>2</sub> を形成材料とする導電膜 4 4 が形成されていることが望ましい。

【 0 0 7 0 】

また、対向基板 2 0 側の導通材 4 3 を配置する領域には、ブラックマトリクス 2 2 b、O V C 層 2 4 を貫通して互いに連通するコンタクトホール 4 2 が形成されている。

本実施形態の液晶装置 1 は、以上のような構成となっている。

【 0 0 7 1 】

以上のような構成の液晶装置 1 では、静電シールド層 4 0 と配向膜 2 5 との間には、着色層 2 2 a および O V C 層 2 4 が設けられており、これらの層の厚み分、静電シールド層 4 0 と液晶層 5 0 とが離間している。そのため、配向膜 2 5 と接して静電シールド層 4 0 を形成する場合と比べると、静電シールド層 4 0 で捕捉した静電気によるクーロン力が弱まり、液晶層 5 0 に影響を与えにくくなる。また、フルカラー表示可能な液晶装置 1 において、着色層 2 2 a および O V C 層 2 4 を用いて離間距離を稼ぐ構成であることから、離間距離を稼ぐために新たに絶縁層を設ける必要が無い。これらのことから、静電気に起因する表示乱れを防ぎ、高品質な画像表示が可能な液晶装置 1 が実現されている。

【 0 0 7 2 】

また、本実施形態では、引き回し配線 1 8 と静電シールド層 4 0 とが、導通材 4 3 を介して平面的に重なる位置で電氣的に接続されており、静電シールド層 4 0 の電位が駆動回路によって制御された共通電極 1 9 の共通電位と同じ電位に制御されることとしている。そのため、静電シールド層 4 0 に捕捉される静電気の電荷が共通電位と等しく保たれるため、長時間使用しても静電気が蓄積・増加することがない。また、静電シールド層 4 0 は、引き回し配線 1 8 と接続されるため、新たに導電性の構成部材を形成することなく静電シールド層 4 0 に蓄積する電荷を放出することができる。更に、静電シールド層 4 0 と共通電極 1 9 との間に電位差がなくなるため、基板間に縦方向の電界が発生し難くなり、これらのことから、画像乱れを抑制した液晶装置 1 とすることができる。

【 0 0 7 3 】

また、本実施形態では、画素電極 9 は、共通電極 1 9 を挟んで液晶層 5 0 と反対側に設けられることとしている。そのため、静電気を捕捉する静電シールド層 4 0 と画素電極 9 との間がより離れたものとなって、画素電極 9 と静電シールド層 4 0 との間に発生する電界をより微弱に抑えることができ、画像乱れを抑制した液晶装置 1 とすることができる。

【 0 0 7 4 】

なお、本実施形態においては、静電シールド層 4 0 は引き回し配線 1 8 と電氣的に接続することとしたが、静電シールド層 4 0 は、電氣的に孤立したフローティング状態であっても構わない。フローティング状態とは、周囲の配線や電極などの導電部材と接続していない状態で形成されていることを示す。

【 0 0 7 5 】

また、本実施形態においては、静電シールド層 4 0 は引き回し配線 1 8 と電氣的に接続することとしたがこれに限らない。例えば、共通電極 1 9 をシールド材 5 2 の外側にまで延在して形成しておき、静電シールド層 4 0 と共通電極 1 9 との間で導通させることとしても良い。また、静電シールド層 4 0 に帯電する静電気を放電するための導通部材を別途設けることとしても構わない。

【 0 0 7 6 】

また、本実施形態においては、静電シールド層 4 0 を共通電極 1 9 と接続し、共通電位に制御することとしたが、これに限らない。例えば、G N D 電位に保たれた配線を別途形成し、当該配線と静電シールド層 4 0 とを接続することで、静電シールド層 4 0 を G N D 電位に保つこととしても良い。

【 0 0 7 7 】

また、画素電極 9 は、共通電極 1 9 よりも液晶層 5 0 側に配置することもできる。その場合には、液晶層 5 0 に近い側に配置される画素電極 9 を、梯子状電極とする。

【 0 0 7 8 】

10

20

30

40

50

[ 第 2 実施形態 ]

図 6 は、本発明の第 2 実施形態に係る液晶装置の要部の構造を示す概略断面図である。本実施形態の液晶装置は、第 1 実施形態と一部共通している。異なるのは、静電シールド層 40 が、カラーフィルター層 22 の一部に含まれ、基板本体 21 と、カラーフィルター層 22 のブラックマトリクス 22b と、を覆って形成されていることである。したがって、本実施形態において第 1 実施形態と共通する構成要素については同じ符号を付し、詳細な説明は省略する。

【 0079 】

本実施形態の液晶装置 2 が有する静電シールド層 40 は、基板本体 21 およびブラックマトリクス 22b の表面を覆って形成され、着色層 22a は、形成された静電シールド層 40 を一部覆って設けられている。

10

【 0080 】

このような静電シールド層 40 の表面は、下地となるブラックマトリクス 22b の形状を反映した凹凸形状を備えており、着色層 22a の周縁部と重なる部分（図中破線で丸く囲む部分）が凹凸部 46 となっている。

【 0081 】

対向基板 20 側には、OVC 層 24 を貫通するコンタクトホール 42 が形成されており、コンタクトホール 42 内で静電シールド層 40 と導通材 43 とが電氣的に接続されている。

【 0082 】

以上のような構成の液晶装置 2 では、画素電極 9 と平面的に重なる領域では、静電シールド層 40 と液晶層 50 とが、着色層 22a およびオーバーコート層 24 の厚み分だけ離間するため、静電気に起因する表示乱れを防ぐ。また、静電シールド層 40 の表面に形成された凹凸部 46 は、外部静電気に対して避雷針の役割を果たし、静電シールド層 40 が平坦面を呈する場合と比べて、外部静電気を捕捉しやすくなる。そのため、シールド効果が高い静電シールド層 40 となり、静電気の影響による画像乱れを抑制した液晶装置 2 とすることができる。

20

【 0083 】

[ 第 3 実施形態 ]

図 7 は、本発明の第 3 実施形態に係る液晶装置の要部の構造を示す概略断面図である。本実施形態の液晶装置は、第 1 実施形態と一部共通している。異なるのは、静電シールド層 40 がカラーフィルター層 22 を覆って形成されていることである。したがって、本実施形態において第 1 実施形態と共通する構成要素については同じ符号を付し、詳細な説明は省略する。

30

【 0084 】

本実施形態の液晶装置 3 が有するカラーフィルター層 22 は、着色層 22a が、ブラックマトリクス 22b よりも厚く形成されており、周縁の一部が隣接するブラックマトリクス 22b と重なって形成されている。隣り合う着色層 22a の間にはブラックマトリクス 22b が一部露出している。静電シールド層 40 は、カラーフィルター層 22 の表面を覆って形成されている。静電シールド層 40 の表面は、下地となるカラーフィルター層 22 の形状を反映した凹凸形状を備えており、着色層 22a の周縁部と重なる部分（図中破線で丸く囲む部分）が凹凸部 46 となっている。

40

【 0085 】

以上のような構成の液晶装置 3 では、凹凸部 46 が外部静電気に対する避雷針の役割を果たすことにより、静電気を捕捉しやすくシールド効果が高い静電シールド層 40 とすることができる。したがって、静電気の影響による画像乱れを抑制した液晶装置 3 とすることができる。

また、静電シールド層 40 によって樹脂製の着色層 22a とブラックマトリクス 22b とを覆っているため、第 1 実施形態や第 2 実施形態に比べて着色層 22a やブラックマトリクス 22b に含まれる不純物が液晶層 50 側に拡散することをさらに抑制することがで

50

きる。

【0086】

なお、本実施形態の液晶装置3では、ブラックマトリクス22bよりも着色層22aのほうが厚いカラーフィルター層22を示したが、例えば着色層22aを層厚1.1 $\mu$ m程度に形成し、ブラックマトリクス22bのほうが厚いカラーフィルター層22としても適用可能である。

【0087】

次に、液晶装置3における静電シールド層40とOVC層24について具体的な実施例を挙げて説明する。図8は実施例1～実施例6の静電シールド層とOVC層の層厚を示す表、図9は実施例1～実施例6の液晶装置におけるCIExy色度図である。

10

【0088】

なお、図9のCIExy色度図は、以下のような実施例における液晶装置3の製造条件を前提として、光学的なシミュレーションにより求めたものである。

【0089】

実施例1～実施例6において、液晶装置3における液晶層50は、正の誘電異方性を有する液晶分子で構成され、その複屈折率nは0.12～0.15、比誘電率が8.0～16.0、厚みは2.5 $\mu$ m～4.0 $\mu$ mとしている。

着色層22aの厚みは各色ともほぼ同一で、およそ1 $\mu$ m～2.5 $\mu$ mとしている。

静電シールド層40は、透明導電膜としてスパッタ法または蒸着法で成膜されたITO膜を用いる。

20

OVC層24は、透明なアクリル系の樹脂からなり、1kHzにおける比誘電率をおよそ2.5としている。

【0090】

図8に示すように、実施例1～実施例6では、対向基板20側の静電シールド層40とOVC層24との形成条件を異ならせた組み合わせとしている。

【0091】

具体的には、実施例1～実施例5では、静電シールド層40の厚みをおよそ150nmとして、OVC層24の厚みを1.0 $\mu$ m～5.0 $\mu$ mの間で異ならせた。実施例6では、OVC層24の厚みを先の変動範囲の中央値である3.0 $\mu$ mとして、静電シールド層40の厚みを実施例1～実施例5に比べて薄い30nmとした。

30

【0092】

図9のCIExy色度図と図8の実施例1～実施例5のx座標値、y座標値に示すように、OVC層24の厚みを5 $\mu$ mから順に薄くしてゆくと液晶装置3の表示における色相を矢印の方向、すなわち青側にシフトさせる効果を奏する。黄色に対して補色である青側にシフトさせることにより、液晶装置3における表示色の色相を調整することが可能となる。つまり、表示におけるホワイトバランス（白表示がより白く表示される）を適正化することができる。

【0093】

OVC層24の層厚は、およそ5 $\mu$ mを超えると液晶装置3が黄色味を帯び始めることから、表示色の色相を調整する点で上限をおよそ5.0 $\mu$ mとすることが妥当である。

40

一方、OVC層24の厚みは薄いほど色相を青側にシフトさせる効果が期待できるが、OVC層24における平坦化層としての機能や、液晶層50から静電シールド層40を遠ざけて静電シールド層40と画素電極9との間の縦電界の強度を弱くする効果を考慮すると、下限値はおよそ1.0 $\mu$ mが妥当である。すなわち、OVC層24の厚みは1.0 $\mu$ m～5.0 $\mu$ mが望ましく、さらに上述した効果をバランスさせる観点から2.0 $\mu$ m～4.0 $\mu$ mがより好ましい。

【0094】

静電シールド層40の層厚は、実施例1～実施例6の色度図におけるx、y座標値の結果を参照すれば、薄いほうが色相を青側にシフトさせる効果がある。けれども、静電シールド層40を設けることによるシールド効果が期待できる実質的な電気抵抗を有すること

50

、透明導電膜として屈折率  $n$  がおよそ 1.7 の ITO 膜を用いた場合には、層厚が 200 nm を越えると静電シールド層 40 自体が可視光領域において長波長側の光を吸収し易くなり赤みを帯びることなどから、静電シールド層 40 の層厚としてはおよそ 20 nm ~ 200 nm の範囲が望ましい。

【0095】

また、静電シールド層 40 は対向基板 20 において着色層 22 a およびブラックマトリクス 22 b を覆って設けられるので、カラーフィルター層 22 の表面における段差をきちんと被覆できること、樹脂製の着色層 22 a やブラックマトリクス 22 b からイオン成分などの不純物が液晶層 50 に拡散することを防止できることなどの観点で、層厚はおよそ 50 nm ~ 150 nm が好ましい。

10

【0096】

このような静電シールド層 40 と OVC 層 24 の層厚に対する設定の仕方は、本実施形態に限られるものではなく、上記第 1 実施形態や上記第 2 実施形態、この後に説明する第 4 実施形態にも適用可能である。

【0097】

[第 4 実施形態]

次に本発明の第 4 実施形態に係る液晶装置について、図 10 および図 11 を参照して説明する。図 10 は第 4 実施形態の液晶装置における導通材の周辺部を示す概略平面図、図 11 は図 10 の C-C' 線で切った液晶装置の要部概略断面図である。なお、第 1 実施形態と同じ構成については同じ符号を付して、詳細の説明は省略する。

20

【0098】

図 10 に示すように、本実施形態の液晶装置 4 は、第 3 実施形態の液晶装置 3 に対して、次に記載する点が異なっている。静電シールド層 40 の接続部 40 a と引き回し配線 18 の接続部 18 a とをシール材 52 の角部の外側において電氣的に導通させる導通材 43 が設けられた部分では、導通材 43 と平面的に重ならないようにブラックマトリクス 22 b が切り欠かれている。詳しくは、OVC 層 24 に設けられたコンタクトホール 24 a の円周に沿うと共に、対向基板 20 の辺部と平行となるようにブラックマトリクス 22 b の一部が対向基板 20 の角部で切り欠かれている。

【0099】

また、ブラックマトリクス 22 b は、対向基板 20 において平面的に辺部の外縁端部まで形成されておらず、辺部の外縁との間に隙間が設けられている。言い換えれば、辺部の外縁にはブラックマトリクス 22 b が設けられていない領域が辺部に沿って延在している。

30

【0100】

また、図 11 に示すように、静電シールド層 40 の接続部 40 a は、基板本体 21 の端部まで延在しておらず、OVC 層 24 によって覆われている。言い換えれば、ブラックマトリクス 22 b と同様に、基板本体 21 の辺部の外縁には静電シールド層 40 が設けられていない領域が辺部に沿って延在している。

【0101】

このような構成の液晶装置 4 によれば、複数の対向基板 20 が面付けされたマザー基板から対向基板 20 の外形に沿って切断して液晶装置 4 を取り出す場合、導通材 43 が設けられる部分および外形に沿った部分には、樹脂製のブラックマトリクス 22 b が存在しない。つまり、切断時に応力が集中する基板本体 21 の外縁には基板本体 21 との密着性が比較的低いブラックマトリクス 22 b が存在しないので、切断時の応力に起因するブラックマトリクス 22 b の浮きや剥がれが発生しない。それゆえに、静電シールド層 40 と引き回し配線 18 との高い接続信頼性と、シール材 52 を介した素子基板 10 と対向基板 20 との高い接着性とが確保される。すなわち、高い信頼性品質を有する液晶装置 4 が実現される。

40

【0102】

また、基板本体 21 の端部にまで静電シールド層 40 の接続部 40 a が延在していない

50



ので、外部から静電気が基板本体 2 1 に侵入し難い。言い換えれば、静電気が外部から容易には誘引されない構造となっている。すなわち、外部静電気によって液晶装置 4 が電氣的に破損したり、表示が乱されることが抑制される。さらには、水分などが介在して透明導電膜が還元され、ひどいときには溶けてしまう電蝕にも強い構造となっている。

#### 【 0 1 0 3 】

##### [ 第 5 実施形態 ]

##### < 液晶装置の製造方法 >

次に、本発明の第 5 実施形態としての、液晶装置 2 の製造方法について図 1 2 ~ 図 1 4 を参照して説明する。図 1 2 はマザー基板を示す概略平面図、図 1 3 は成膜用マスクとしての蒸着マスクを示す概略平面図、図 1 4 ( a ) ~ ( d ) は本発明の第 5 実施形態に係る液晶装置の製造方法を示す工程断面図である。

10

本実施形態の液晶装置 2 の製造方法は静電遮蔽層としての静電シールド層 4 0 の形成に関する工程である。そこで、対向基板 2 0 における基板本体 2 1 等の本実施形態に必要な構成要素のみを図示し、他の構成要素の図示は省略する。

なお、本実施形態の液晶装置 2 の製造方法は、大型 ( 大面積 ) のマザー基板を用いて複数個の液晶装置 2 を同時に形成する場合について示している。

#### 【 0 1 0 4 】

図 1 2 に示すように、対向基板 2 0 は、マザー基板 W 2 においてマトリクス状に複数 ( 1 2 個 ) 面付けされている。図中に破線で示された部分は、対向基板 2 0 の外形を示している。実際の液晶装置 2 の製造においては、素子基板 1 0 が面付けされて各構成が形成された大型のマザー基板 W 1 と、対向基板 2 0 が面付けされて同じく各構成が形成された上記マザー基板 W 2 とを対向配置して所定の位置でシール材 5 2 を介して接合する工程を有している。

20

なお、マザー基板 W 2 の大きさとこれに面付けされる対向基板 2 0 の数は、これに限定されるものではない。

#### 【 0 1 0 5 】

図 1 3 に示すように、静電シールド層 4 0 の形成に用いられる成膜用マスクとしての蒸着マスク 6 4 は、マザー基板 W 2 に面付けされた複数の対向基板 2 0 の配置に対応して設けられた複数の開口 6 4 a と、アライメント ( 位置合わせ ) 用の複数の孔 6 4 b とを有している。

30

#### 【 0 1 0 6 】

開口 6 4 a は、対向基板 2 0 の外形よりも一回り小さい大きさとなっており、詳細な図示は省略したが、図 3 に示したように開口 6 4 a の短辺側の角部 2 箇所には、静電シールド層 4 0 の接続部 4 0 a に対応した形状となっている。すなわち、先端がとがった接続部 4 0 a に対応した切り欠きが設けられている。

#### 【 0 1 0 7 】

孔 6 4 b は、等間隔で並んだ 4 つの開口 6 4 a の両端側にそれぞれ 1 つずつ設けられている。

#### 【 0 1 0 8 】

このような蒸着マスク 6 4 は、例えばマスク材料として Ni ( ニッケル ) と Fe ( 鉄 ) の合金であるインパーなどが用いられ、前述したマザー基板 W 2 に対して対向配置され、開口 6 4 a の形状に対応したパターンでの成膜を可能としている。以下、工程ごとに説明する。

40

#### 【 0 1 0 9 】

まず、図 1 4 ( a ) に示すように、基板本体 2 1 上の全面に遮光材料層 6 2 を形成する。遮光性材料とは上述したように黒色顔料を混合したアクリル樹脂等である。

#### 【 0 1 1 0 】

次に、図 1 4 ( b ) に示すように、遮光材料層 6 2 をパターンニングして遮光層としてのブラックマトリクス 2 2 b を形成する。パターンニングは、フォトリソグラフィ法で行うことが好ましい。上述したように、基板本体 2 1 は大型のマザー基板 W 2 に面付けされて

50

おり、該マザー基板W2を用いて複数の液晶装置2が同時に形成される。したがって、本図においては個々のブラックマトリクス22bが液晶装置2の1つ分のブラックマトリクス22bに対応している。すなわち、本図に示す個々のブラックマトリクス22bは図示しない格子状のパターンを有している。該格子状のパターンに囲まれた領域が開口部（不図示）となる。そして、かかるパターニング時に表示領域A（図2参照）の外側にアライメントマーク60を形成する。フォトリソグラフィ法であれば、かかる精細なパターニングの形成が可能である。

#### 【0111】

次に、図14(c)に示すように、マザー基板W2（基板本体21）に成膜用マスクとしての蒸着マスク64を対向配置して、上述のアライメントマーク60と孔64bとを用いてアライメント（位置合わせ）する。図では、マザー基板W2（基板本体21）と蒸着マスク64とは若干の間隔を有しているが、密着させてもよい。

10

#### 【0112】

次に、図14(d)に示すように、マザー基板W2（基板本体21）を図示しない熱源等を備えた坩堝66と対向させる。そして蒸着マスク64越しに透明導電材料粒子としてのITO粒子68を飛翔させて、ブラックマトリクス22bを覆うように静電シールド層40を形成する。

#### 【0113】

図示するように、マザー基板W2上に互いに間隔を持って複数個の静電シールド層40が形成される。上述の間隔が、基板本体21を分割して個々の液晶装置2とする際の分割位置（分割線となる位置）である。そして、かかる間隔のため、分割後の液晶装置2において基板本体21の端面と静電シールド層40の端面とが面一になることが回避される。そして、かかる態様により、静電シールド層40の電蝕あるいは静電気の侵入が抑制される。したがって、本実施形態の製造方法によれば、表示品質のみならず信頼性も向上した液晶装置2を得ることができる。

20

#### 【0114】

このように成膜用マスクとしての蒸着マスク64を用いて静電シールド層40を形成する液晶装置2の製造方法は、上記実施形態の液晶装置1、液晶装置3、液晶装置4に対しても適用可能なことは言うまでもない。例えば、液晶装置3、4の場合には、着色層22aとブラックマトリクス22bが形成されたマザー基板W2（基板本体21）と蒸着マスク64とを対向配置して透明導電膜（ITO）の成膜を行えばよい。

30

#### 【0115】

##### [第6実施形態]

##### <電子機器>

次に、本実施形態の電子機器について説明する。図15は、本発明に係る電子機器の一例を示す携帯型電話機の斜視図である。図15に示すように、本実施形態の電子機器としての携帯型電話機1300は、上記実施形態の液晶装置1～液晶装置4のいずれかを小サイズの表示部1301として備え、複数の操作ボタン1302、受話口1303、及び送話口1304を備えて構成されている。これにより、静電気による表示乱れが抑制され、高い表示品質と信頼性品質とを兼ね備えた携帯型電話機1300を提供することができる。

40

#### 【0116】

上記実施形態の液晶装置1～液晶装置4のいずれかが搭載される電子機器は、上記携帯型電話機1300に限らず、電子ブック、プロジェクター、パーソナルコンピューター、デジタルスチルカメラ、テレビジョン受像機、ビューファインダー型あるいはモニター直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等々の画像表示手段として好適に用いることができ、かかる構成とすることで、静電気による画像乱れが少なく、高い表示品質を有する表示部を備えた電子機器を提供できる。

50

【 0 1 1 7 】

以上、添付図面を参照しながら本発明に係る好適な実施の形態例について説明したが、本発明は係る例に限定されないことは言うまでもない。上述した例において示した各構成部材の諸形状や組み合わせ等は一例であって、本発明の主旨から逸脱しない範囲において設計要求等に基づき種々変更可能である。

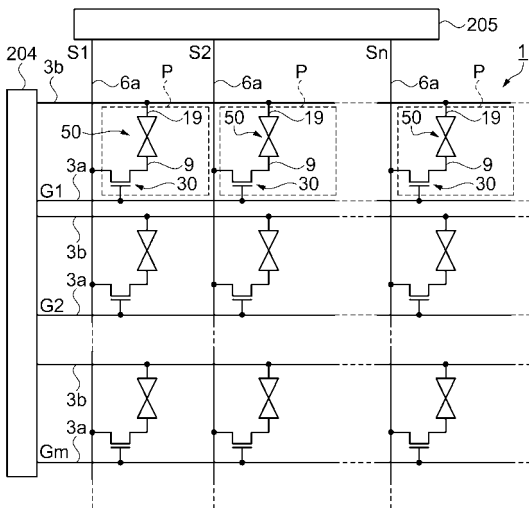
【 符号の説明 】

【 0 1 1 8 】

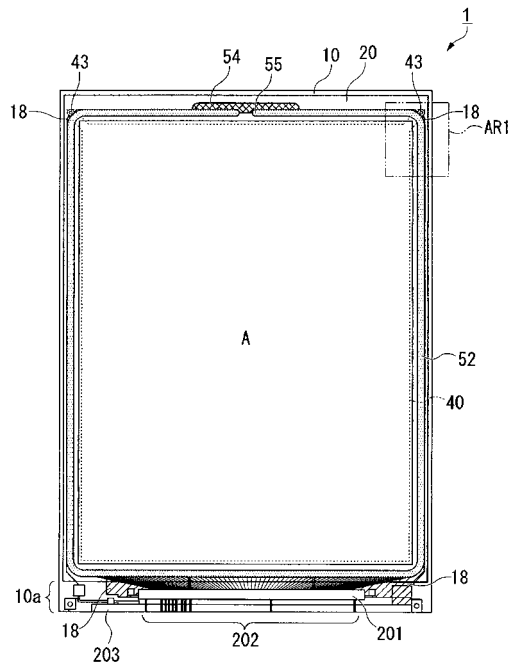
1, 2, 3, 4 ... 液晶装置、9 ... 画素電極、18 ... 引き回し配線、19 ... 共通電極、19a ... 帯状電極部、20 ... 対向基板、22a ... 着色層、22b ... 遮光層としてのブラックマトリクス、24 ... オーバーコート層、25 ... 配向膜、40 ... 静電遮蔽層としての静電シールド層、41 ... コンタクトホール、43 ... 導通材、44 ... 導電膜、50 ... 液晶層、52 ... シール材、60 ... アライメントマーク、62 ... 遮光材料層、64 ... 成膜用マスクとしての蒸着マスク、64a ... 開口、211 ... 静電保護部材としてのショートルング、212 ... 静電保護部材としての抵抗素子、1300 ... 電子機器としての携帯型電話機、A ... 表示領域、M ... 非表示領域、SA ... 静電保護領域。

10

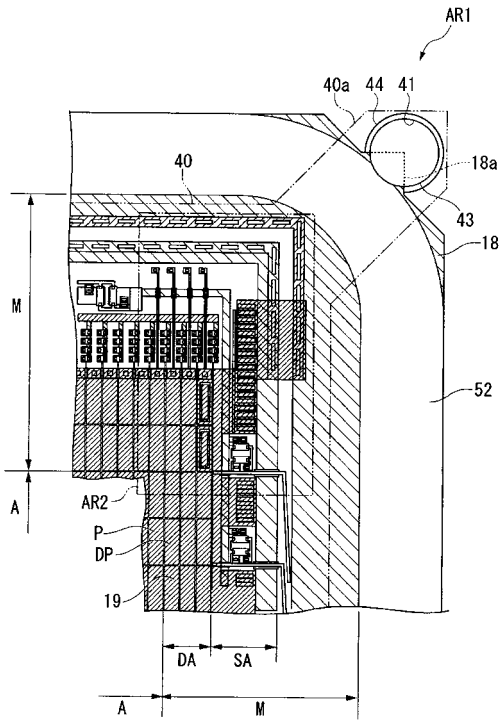
【 図 1 】



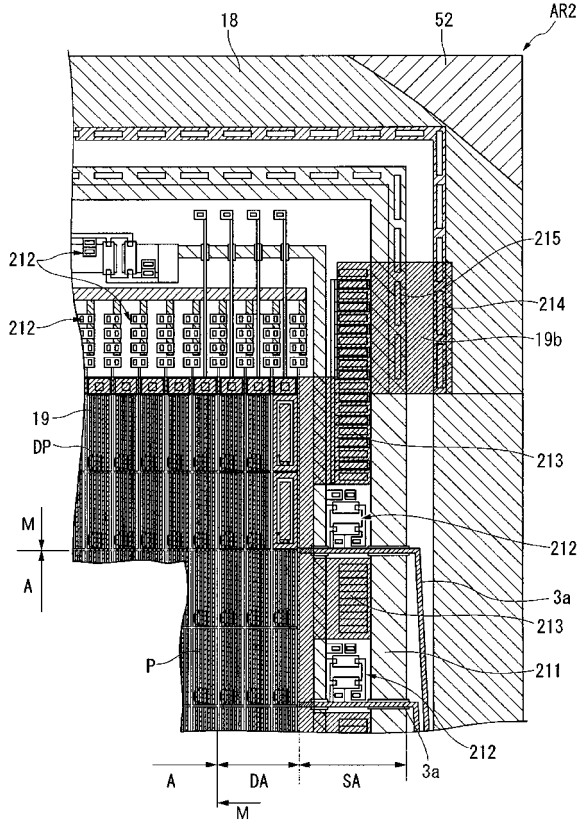
【 図 2 】



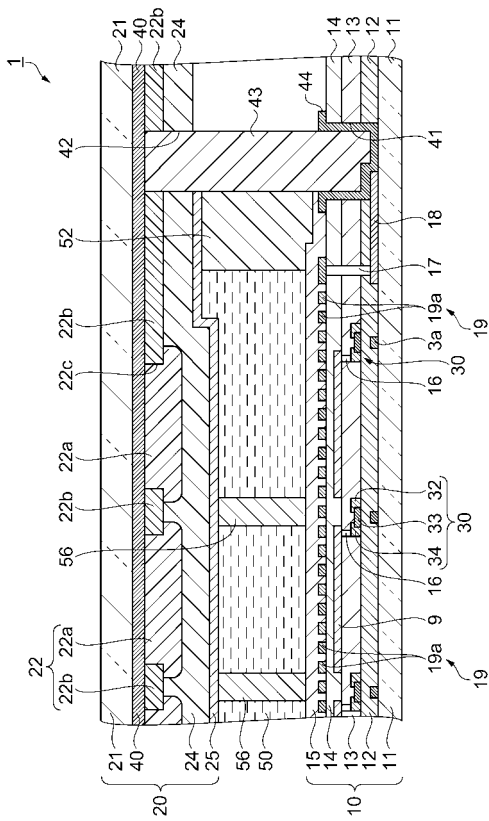
【 図 3 】



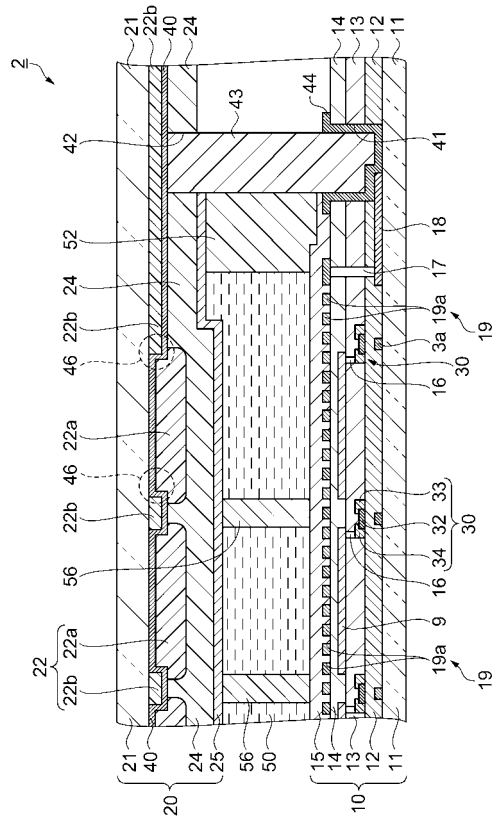
【 図 4 】



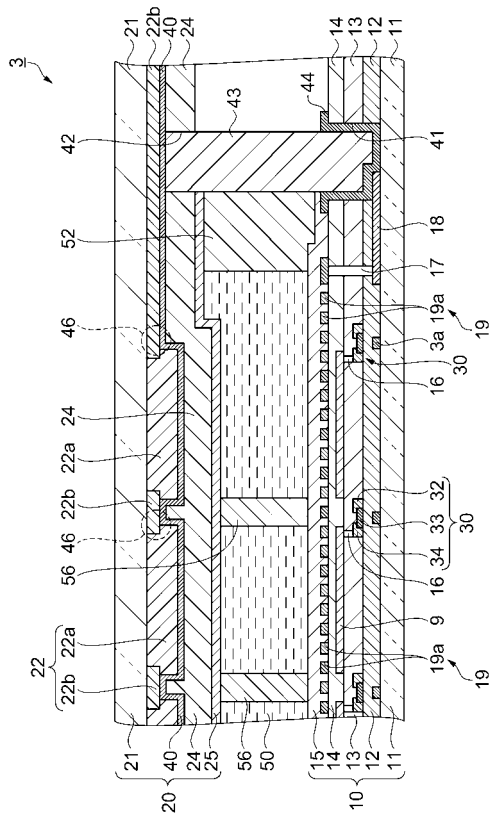
【 図 5 】



【 図 6 】



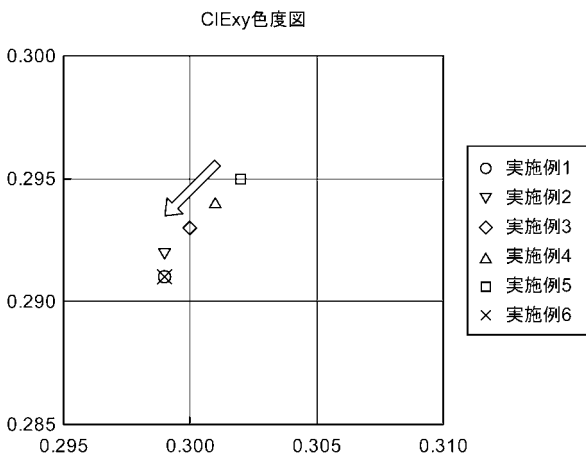
【 図 7 】



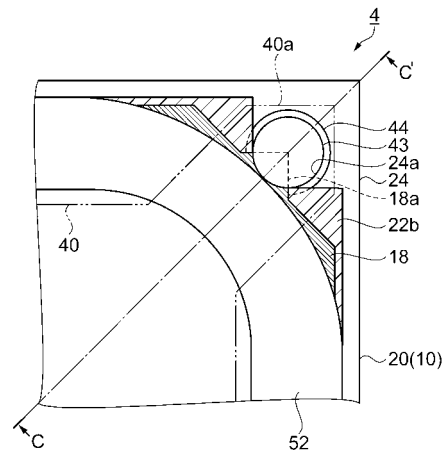
【 図 8 】

	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6
静电シールド層の層厚(nm)	150	150	150	150	150	30
OVC層の層厚(μm)	1.0	2.0	3.0	4.0	5.0	3.0
x	0.299	0.299	0.300	0.301	0.302	0.299
y	0.291	0.292	0.293	0.294	0.295	0.291

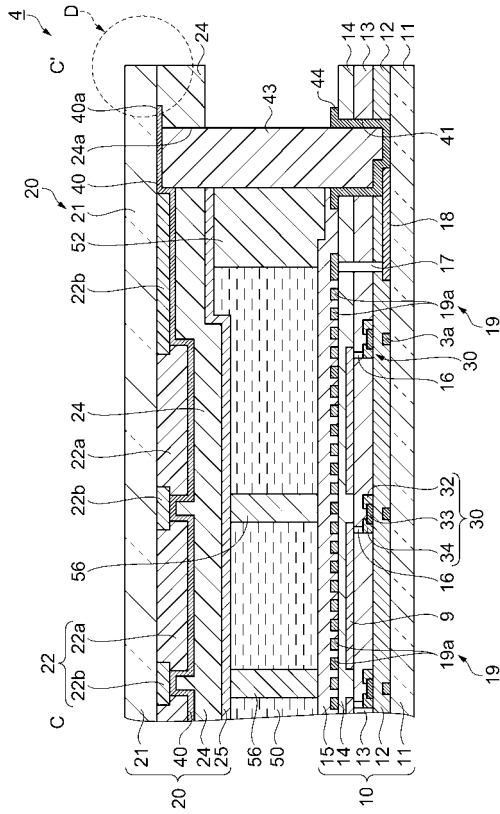
【 図 9 】



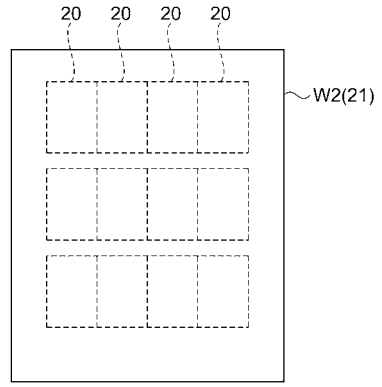
【 図 10 】



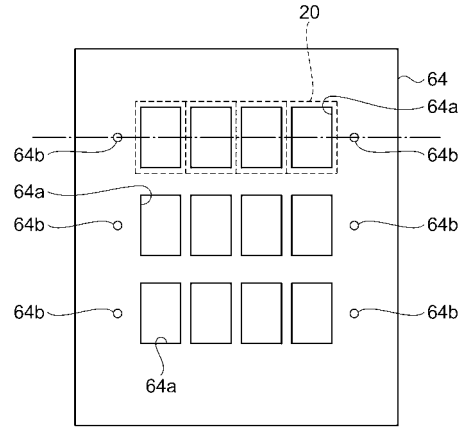
【 図 1 1 】



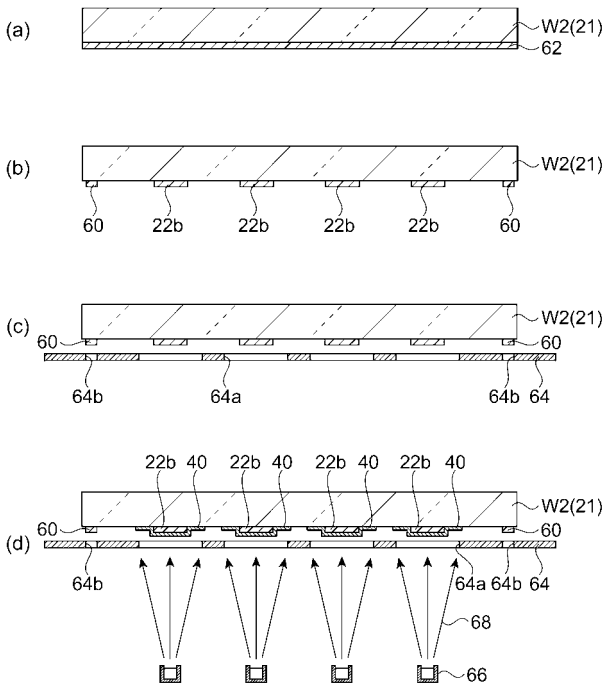
【 図 1 2 】



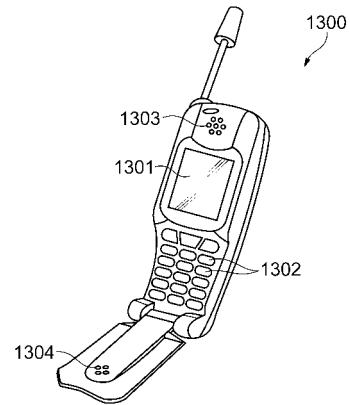
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



## フロントページの続き

- (72)発明者 吉田 公二  
長野県安曇野市豊科田沢6 9 2 5 エプソンイメージングデバイス株式会社内
- (72)発明者 瀧澤 圭二  
長野県安曇野市豊科田沢6 9 2 5 エプソンイメージングデバイス株式会社内
- (72)発明者 比嘉 政勝  
長野県安曇野市豊科田沢6 9 2 5 エプソンイメージングデバイス株式会社内
- F ターム(参考) 2H090 HA01 HA11 HB08Y HB13X HD01 HD14 JB02 KA04 LA01 LA15  
MA02 MB01  
2H092 GA39 GA60 GA64 HA14 JA24 JB79 KB04 KB23 KB25 KB26  
MA04 MA13 NA25 PA02 PA08 QA07  
2H189 AA14 HA10 LA03 LA06 LA14  
2H191 FA02X FA14X FA16X FD22 FD26 GA05 GA10 HA15 LA08