

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年12月4日(2008.12.4)

【公開番号】特開2006-253684(P2006-253684A)

【公開日】平成18年9月21日(2006.9.21)

【年通号数】公開・登録公報2006-037

【出願番号】特願2006-61418(P2006-61418)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/02	(2006.01)
H 01 L	27/12	(2006.01)
H 01 L	21/76	(2006.01)
H 01 L	21/762	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/8242	(2006.01)
H 01 L	27/108	(2006.01)

【F I】

H 01 L	27/04	C
H 01 L	27/08	3 3 1 E
H 01 L	27/06	1 0 2 A
H 01 L	27/12	B
H 01 L	27/12	E
H 01 L	21/76	L
H 01 L	21/76	D
H 01 L	29/78	6 1 3 B
H 01 L	27/10	6 2 5 A
H 01 L	27/10	6 7 1 B
H 01 L	27/10	6 7 1 C

【手続補正書】

【提出日】平成20年10月22日(2008.10.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トレンチ・キャパシタ・アレイを含む構造であって、SOI (semiconductor-on-insulator) 層と、前記SOI層の下にある埋込酸化物(「BOX」)層と、前記BOX層の下にある埋込半導体領域とを含むSOI基板であって、前記埋込半導体領域は、横方向に延びる第1のユニタリ半導体領域を含む、SOI基板と、少なくとも一部が前記BOX層の下に配設されたトレンチ・キャパシタ・アレイであって、各トレンチ・キャパシタは、前記第1のユニタリ半導体領域内に配設されたトレンチの内壁に沿って延びるノード誘電体層を含み、各トレンチ・キャパシタは、前記第1のユニタリ半導体領域の少なくとも一

部を含む共通のユニタリ埋込キャパシタ・プレートを共有し、前記ユニタリ埋込キャパシタ・プレートは、n型およびp型から選択された第1の单一導電型を有し、少なくとも前記埋込キャパシタ・プレートの上部境界は、前記基板の主要表面に平行に、前記アレイ全体にわたって横方向に延びる面を画定する、トレンチ・キャパシタ・アレイと、を含む構造。

【請求項2】

前記第1のユニタリ半導体領域は、前記基板のある区域のほぼ全体にわたって延びる、請求項1に記載の構造。

【請求項3】

前記埋込半導体領域はさらに、前記第1のユニタリ半導体領域の下にある第2のユニタリ半導体領域を含み、前記第2のユニタリ半導体領域は、n型およびp型から選択された導電型であり、前記第1の单一導電型の反対の第2の单一導電型を有する、請求項1に記載の構造。

【請求項4】

前記埋込半導体領域は、本質的に単結晶半導体からなり、前記第1のユニタリ半導体領域は高濃度ドープされ、前記第2のユニタリ半導体領域は低濃度ドープされる、請求項3に記載の構造。

【請求項5】

前記第1のユニタリ半導体領域は、本質的に、多結晶半導体およびアモルファス半導体の少なくとも1つからなる、請求項3に記載の構造。

【請求項6】

前記第1のユニタリ半導体領域は、第1の半導体材料組成を有し、前記第2のユニタリ半導体領域は、前記第1の半導体材料組成と異なる第2の半導体材料組成を有する、請求項3に記載の構造。

【請求項7】

前記第1の半導体材料組成はシリコン・ゲルマニウムを含み、前記第2の半導体材料組成はシリコン・ゲルマニウムを含まない、請求項6に記載の構造。

【請求項8】

前記BOX層を貫通して前記埋込半導体領域を延びる導電コンタクト・ビアをさらに備え、前記導電コンタクト・ビアは、前記アレイの前記トレンチの深さにほぼ等しい深さを有し、前記アレイの前記トレンチの直径よりも実質的に大きい直径を有する、請求項1に記載の構造。

【請求項9】

前記基板はさらに、上縁部が前記埋込酸化物層の下縁部に沿って延び、下縁部が前記第1のユニタリ半導体領域の前記上側境界に沿って延びる第2のユニタリ半導体領域を備え、前記第2のユニタリ半導体層は、n型およびp型から選択された導電型であり、前記第1の单一導電型の反対の第2の单一導電型を有する、請求項1に記載の構造。

【請求項10】

前記第2のユニタリ半導体領域に導電的に接触し、前記第1のユニタリ半導体領域には導電的に接觸しないボディ・コンタクト・ビアをさらに備える、請求項9に記載の構造。

【請求項11】

請求項1に記載の構造を含むメモリ・セル・アレイ構造であって、前記基板の単結晶領域内に配設されたトランジスタ・アレイをさらに備え、前記トランジスタ・アレイは、前記トレンチ・キャパシタ・アレイの前記トレンチ・キャパシタのそれぞれに導電的に接続されたトランジスタを含む、メモリ・セル・アレイ構造。

【請求項12】

トレンチ・キャパシタ・アレイを含む構造であって、半導体領域を含む基板と、トレンチ・キャパシタ・アレイであって、各トレンチ・キャパシタは、前記半導体領域内に配設されたトレンチの内壁に沿って延びるノード誘電体層を含み、各トレンチ・キャパシタ

は、n型またはp型から選択された第1の单一導電型だけを有する共通のユニタリ埋込キャパシタ・プレートを共有する、トレンチ・キャパシタ・アレイと、前記半導体領域を延びる導電コンタクト・ビアであって、前記導電コンタクト・ビアの深さは、前記トレンチ・キャパシタの深さにほぼ等しい、導電コンタクト・ビアと、を含む構造。

【請求項13】

前記導電コンタクト・ビアの幅は、前記トレンチ・キャパシタの幅よりも実質的に広い、請求項12に記載の構造。

【請求項14】

前記基板はさらに、埋込酸化物（「BOX」）層と、前記BOX層の上に重なる本質的に単結晶半導体からなる表面層とを含み、前記半導体領域は、前記BOX層の下にある埋込半導体領域である、請求項12に記載の構造。

【請求項15】

トレンチ・キャパシタ・アレイを含む構造を形成する方法であって、半導体領域を含む基板を準備するステップと、前記半導体領域内にトレンチ・アレイをエッチングするステップと、前記半導体領域内に、前記トレンチの深さにほぼ等しい深さのコンタクト・ホールをエッチングするステップと、前記トレンチの内壁に沿って延びるトレンチ・キャパシタを形成するステップであって、各トレンチ・キャパシタは、前記半導体領域の少なくとも一部を含む共通のユニタリ埋込キャパシタ・プレートを共有し、前記共通のユニタリ埋込キャパシタ・プレートは、n型およびp型から選択された第1の单一導電型だけを有する、ステップと、前記コンタクト・ホール内に、前記ユニタリ埋込キャパシタ・プレートに導電的に接触するコンタクト・ビアを形成するステップとを含む、方法。

【請求項16】

前記トレンチ・アレイおよび前記コンタクト・ホールは、同じマスク・レベルを使用して同時にエッチングされる、請求項15に記載の方法。

【請求項17】

前記トレンチ・キャパシタおよび前記コンタクト・ビアは、前記トレンチ・アレイの前記内壁に沿って、かつ、前記コンタクト・ホールの内壁に沿ってノード誘電体層を堆積させるステップと、導電材料の第1回目の堆積を行い、前記トレンチを完全に充填し、少なくとも前記コンタクト・ホールの前記内壁の内側を覆うステップと、前記トレンチからは前記導電材料を除去せずに、前記コンタクト・ホールから前記導電材料を除去するステップと、少なくとも前記コンタクト・ホールの底部から前記ノード誘電体層を除去するステップと、導電材料の第2回目の堆積を行い、前記コンタクト・ホールを充填し、前記コンタクト・ビアを形成するステップと、を含む、請求項15に記載の方法。

【請求項18】

前記コンタクト・ホールから前記第1回目に堆積させた導電材料を除去するステップは、前記トレンチを完全に充填するための前記導電材料の前記第1回目の堆積ステップ後に、追加のマスク層を設けずに実施する、請求項17に記載の方法。

【請求項19】

前記共通のユニタリ埋込キャパシタ・プレートは、前記基板のある区域のほぼ全体にわたって延びる、請求項15に記載の方法。

【請求項20】

前記コンタクト・ホールは、前記基板の主要表面に平行な横方向の第1の最大幅を有し、前記第1の最大幅は、前記トレンチの前記横方向の第2の最大幅よりも実質的に広い、請求項15に記載の方法。

【請求項21】

請求項15に記載のトレンチ・キャパシタ・アレイを含む構造を形成する方法を含む、メモリ・セル・アレイを形成する方法であって、前記基板の単結晶領域内にトランジスタ・アレイを形成するステップをさらに含み、前記トランジスタ・アレイは、前記アレイの前記トレンチ・キャパシタのそれぞれに導電的に接続されたトランジスタを含む、方法。