

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6555624号
(P6555624)

(45) 発行日 令和1年8月7日 (2019. 8. 7)

(24) 登録日 令和1年7月19日 (2019. 7. 19)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 1 8 B
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 8 A
	HO 1 L 29/78 6 1 8 C
	HO 1 L 29/78 6 1 7 K
請求項の数 25 (全 16 頁) 最終頁に続く	

(21) 出願番号	特願2017-507850 (P2017-507850)	(73) 特許権者	591003943
(86) (22) 出願日	平成26年9月19日 (2014. 9. 19)		インテル・コーポレーション
(65) 公表番号	特表2017-532762 (P2017-532762A)		アメリカ合衆国 9 5 0 5 4 カリフォル
(43) 公表日	平成29年11月2日 (2017. 11. 2)		ニア州・サンタクララ・ミッション カレ
(86) 国際出願番号	PCT/US2014/056528		ッジ ブレーバード・2 2 0 0
(87) 国際公開番号	W02016/043770	(74) 代理人	110000877
(87) 国際公開日	平成28年3月24日 (2016. 3. 24)		龍華国際特許業務法人
審査請求日	平成29年9月14日 (2017. 9. 14)	(72) 発明者	モハパテラ、チャンドラ エス.
			アメリカ合衆国 9 5 0 5 4 カリフォル
			ニア州・サンタクララ・ミッション カレ
			ッジ ブレーバード・2 2 0 0 インテル
			・コーポレーション内
		最終頁に続く	

(54) 【発明の名称】 マイクロ電子トランジスタ内の漏洩を低減するバッファを作成するための装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

マイクロ電子構造であって、
基板と、
低バンドギャップアクティブチャネルと、
前記基板と前記低バンドギャップアクティブチャネルとの間に配置された高バンドギャップ下部構造であって、前記低バンドギャップアクティブチャネルに当接する高バンドギャップ下部構造と、
前記基板上に設けられ、前記低バンドギャップアクティブチャネルおよび前記高バンドギャップ下部構造に接して設けられる分離構造と、
を備え、
前記分離構造より上に延在する前記低バンドギャップアクティブチャネルの一部分と、
前記分離構造より上に延在する前記低バンドギャップアクティブチャネルの前記一部分の上に形成されたゲートと、をさらに備え、
前記分離構造が、第 1 上面と、前記第 1 上面よりも高く前記第 1 上面を挟む第 2 上面とを有するよう、前記ゲートの下方で陥凹している、マイクロ電子構造。

【請求項 2】

前記高バンドギャップ下部構造の上面が、前記分離構造の前記第 1 上面よりも高く、前記分離構造の前記第 2 上面よりも低い、請求項 1 に記載のマイクロ電子構造。

【請求項 3】

前記高バンドギャップ下部構造が、砒化インジウムアルミニウム、リン化インジウム、リン化ガリウム、砒化ガリウム、アンチモン化砒化ガリウム、アンチモン化砒化アルミニウム、砒化インジウムアルミニウムガリウム、リン化インジウムアルミニウムガリウム、及び砒化アルミニウムガリウムを含む群から選択される材料を含む、請求項 1 または 2 に記載のマイクロ電子構造。

【請求項 4】

前記低バンドギャップアクティブチャネルが、砒化インジウムガリウム、砒化インジウム、及びアンチモン化インジウムを含む群から選択される材料を含む、請求項 1～3 のいずれか 1 項に記載のマイクロ電子構造。

【請求項 5】

前記基板の中へと延在する核生成溝と、前記核生成溝に当接する核生成層と、をさらに含む、請求項 1～4 のいずれか 1 項に記載のマイクロ電子構造。

【請求項 6】

前記核生成溝が、(1 1 1) ファセッティングを有する核生成溝を含む、請求項 5 に記載のマイクロ電子構造。

【請求項 7】

前記核生成層が、リン化インジウム、リン化ガリウム、及び砒化ガリウムを含む群から選択される材料を含む、請求項 5 または 6 に記載のマイクロ電子構造。

【請求項 8】

前記高バンドギャップ下部構造が、前記低バンドギャップアクティブチャネルの下方かつ前記ゲートの下方の領域において、絶縁材料または空隙を含み、かつ、前記低バンドギャップアクティブチャネルの下方であって前記ゲートの下方を除く領域において、砒化インジウムアルミニウム、リン化インジウム、リン化ガリウム、砒化ガリウム、アンチモン化砒化ガリウム、アンチモン化砒化アルミニウム、砒化インジウムアルミニウムガリウム、リン化インジウムアルミニウムガリウム、及び砒化アルミニウムガリウムを含む群から選択される材料を含む、請求項 1～7 のいずれか一項に記載のマイクロ電子構造。

【請求項 9】

前記高バンドギャップ下部構造が、50 nm 超の深さ、及び 25 nm 未満の幅を有する、請求項 1～8 のいずれか 1 項に記載のマイクロ電子構造。

【請求項 10】

核生成溝の中に含む基板と、
前記核生成溝の上の低バンドギャップアクティブチャネルと、
前記核生成溝と前記低バンドギャップアクティブチャネルとの間に配置された絶縁バッファと、
前記基板上に設けられ、前記低バンドギャップアクティブチャネルおよび前記絶縁バッファに接して設けられる分離構造と、
を備え、
前記低バンドギャップアクティブチャネルを囲むゲートをさらに含み、

前記分離構造が、第 1 上面と、前記第 1 上面よりも高く前記第 1 上面を挟む第 2 上面とを有するよう、前記ゲートの下方で陥凹している、マイクロ電子構造。

【請求項 11】

前記絶縁バッファの上面が、前記分離構造の前記第 1 上面よりも高く、前記分離構造の前記第 2 上面よりも低い、請求項 10 に記載のマイクロ電子構造。

【請求項 12】

前記絶縁バッファが絶縁材料を含む、請求項 10 または 11 に記載のマイクロ電子構造。

【請求項 13】

前記絶縁バッファが空隙を含む、請求項 10 または 11 に記載のマイクロ電子構造。

【請求項 14】

前記低バンドギャップアクティブチャネルが、砒化インジウムガリウム、砒化インジウ

10

20

30

40

50

ム、及びアンチモン化インジウムを含む群から選択される材料を含む、請求項 10 ~ 13 のいずれか1項に記載のマイクロ電子構造。

【請求項 15】

基板上に少なくとも1つのフィンを形成することであって、前記少なくとも1つのフィンが、前記基板から延在する一対の対向する側壁を含む、形成することと、
前記フィンの前記側壁の各々に当接する分離構造を形成することと、
前記少なくとも1つのフィンを除去することによって溝を形成することと、
前記溝内に高バンドギャップ下部構造を形成することと、
前記溝内に、前記高バンドギャップ下部構造に当接する低バンドギャップアクティブチャネルを形成することと、
前記低バンドギャップアクティブチャネルの少なくとも一部分が、前記分離構造より上に延在するように、前記分離構造を陥凹させることと、
前記分離構造より上に延在する前記低バンドギャップアクティブチャネルの前記一部分の上に犠牲ゲート電極およびゲートスペーサを形成することであって、前記犠牲ゲート電極が、前記ゲートスペーサの対向する部分の間に挟まれる、形成することと、
前記犠牲ゲート電極を除去することと、
前記分離構造が、第1上面と、前記第1上面よりも高く前記第1上面を挟む第2上面とを有するよう、前記ゲートスペーサの前記対向する部分の間に前記分離構造をさらに陥凹させることと、
を含む、マイクロ電子構造の製造方法。

10

20

【請求項 16】

前記高バンドギャップ下部構造の上面が、前記分離構造の前記第1上面よりも高く、前記分離構造の前記第2上面よりも低い、請求項 15 に記載の方法。

【請求項 17】

前記高バンドギャップ下部構造を形成することが、50 nm 超の深さ、及び25 nm 未満の幅を有する高バンドギャップ下部構造を形成することを含む、請求項 15 または 16 に記載の方法。

【請求項 18】

前記高バンドギャップ下部構造を形成することが、砒化インジウムアルミニウム、リン化インジウム、リン化ガリウム、砒化ガリウム、アンチモン化砒化ガリウム、アンチモン化砒化アルミニウム、砒化インジウムアルミニウムガリウム、リン化インジウムアルミニウムガリウム、及び砒化アルミニウムガリウムを含む群から選択される材料から前記高バンドギャップ下部構造を形成することを含む、請求項 15 ~ 17 のいずれか1項に記載の方法。

30

【請求項 19】

前記低バンドギャップアクティブチャネルを形成することが、砒化インジウムガリウム、砒化インジウム、及びアンチモン化インジウムを含む群から選択される材料から前記低バンドギャップアクティブチャネルを形成することを含む、請求項 15 ~ 18 のいずれか1項に記載の方法。

【請求項 20】

前記溝を形成することが、前記基板の中へと延在する核生成溝を形成することをさらに含む、請求項 15 ~ 19 のいずれか1項に記載の方法。

40

【請求項 21】

前記核生成溝を形成することが、(111) ファセッティングを有する核生成溝を形成することを含む、請求項 20 に記載の方法。

【請求項 22】

前記核生成溝に当接する核生成層を形成することをさらに含む、請求項 20 または 21 に記載の方法。

【請求項 23】

前記核生成層を形成することが、リン化インジウム、リン化ガリウム、及び砒化ガリウ

50

ムを含む群から選択される材料から前記核生成層を形成することを含む、請求項 2 2 に記載の方法。

【請求項 2 4】

前記ゲートスペーサの前記対向する部分の間で前記高バンドギャップ下部構造を除去して、前記低バンドギャップアクティブチャネルと前記基板との間に空隙を形成することをさらに含む、請求項 1 5 ～ 2 3 のいずれか 1 項に記載の方法。

【請求項 2 5】

前記空隙内に絶縁材料を堆積させることをさらに含む、請求項 2 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0 0 0 1】

本説明の実施形態は、概して、マイクロ電子デバイスの分野に関し、より具体的には、マイクロ電子トランジスタ内でアクティブチャネルに隣接してバッファを形成して、漏洩電流を低減することに関する。

【背景技術】

【0 0 0 2】

集積回路構成要素のより高い性能、より低いコスト、さらなる小型化、ならびに集積回路のより高い実装密度は、マイクロ電子デバイスの製造のためのマイクロ電子産業の継続中の目標である。これらの目標を達成するために、マイクロ電子デバイス内のトランジスタは、縮小され、すなわち、より小さくならなければならない。トランジスタのサイズの低減に加えて、それらの設計、使用される材料、及び／またはそれらの製造プロセスにおける改善と共に、それらの効率を改善するようにも駆り立てられてきた。そのような設計改善としては、トライゲートトランジスタ、FinFET、TFETs、オメガFET、ダブルゲートトランジスタを含む非平面トランジスタ等の独特な構造の開発が挙げられる。

20

【発明の概要】

【課題を解決するための手段】

【0 0 0 3】

本開示の主題は、本明細書の結論部分において、具体的に指し示されて、明確に特許請求される。本開示の前述及び他の特徴は、添付の図面と併せた、以下の説明及び添付の特許請求の範囲からより完全に明らかとなろう。添付の図面が、本開示に従っていくつかの実施形態のみを描写しており、したがって、その範囲を限定するものとして解釈されるものではないことが理解される。本開示の利点が、より容易に確認され得るように、本開示は、以下の添付の図面を使用することにより追加の特徴及び詳細と共に記載されるものとする。

30

【図面の簡単な説明】

【0 0 0 4】

【図 1】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

【図 2】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

40

【図 3】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

【図 4】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

【図 5】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

【図 6】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

【図 7】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバ

50

ッファを形成する製造の斜視断面図である。

【図 8】本説明のある実施形態に従う、非平面トランジスタのための高バンドギャップバッファを形成する製造の斜視断面図である。

【図 9】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 10】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 11】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 12】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

10

【図 13】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 14】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 15】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 16】本説明のある実施形態に従う、非平面トランジスタのための絶縁バッファの形成の斜視断面図及び側断面図である。

【図 17】本説明の一実施形態に従うコンピューティングデバイスを図解する。

20

【発明を実施するための形態】

【0005】

以下の詳細な説明では、特許請求された主題が実施され得る特定の実施形態を実例として示す添付図面を参照する。これらの実施形態は、当業者が主題を実施することを可能にするのに十分に詳細に記載される。様々な実施形態が、異なっているが、必ずしも互いに排他的であるわけではないことを理解されたい。例えば、一実施形態に関連した、本明細書に記載される特定の特徵、構造、または特性は、特許請求された主題の趣旨及び範囲から逸脱することなく、他の実施形態内で実装され得る。「一実施形態」または「ある実施形態」への本明細書中の言及は、実施形態に関連して記載される特定の特徵、構造、または特性が、本説明中に包含される少なくとも 1 つの実装形態に含まれることを意味する。したがって、「一実施形態」または「ある実施形態では」という句の使用は、必ずしも同じ実施形態に言及するというわけではない。加えて、開示された各実施形態中の個々の要素の位置または配列が、特許請求された主題の趣旨及び範囲から逸脱することなく修正され得ることを理解されたい。以下の詳細な説明は、したがって、限定的な意味で解釈されないものとし、主題の範囲は、添付の特許請求の範囲が権利を有する均等物の全範囲と共に、添付の特許請求の範囲によってのみ定義され、適切に解釈される。図面中、同様の数字は、いくつかの図を通して、同じもしくは類似の要素または機能性を参照し、図面中に描写される要素は、互いに必ずしも縮尺通りであるというわけではなく、むしろ個々の要素は、本説明の文脈においてより容易に要素を理解するために、拡大または縮小させられ得る。

30

40

【0006】

「の上に (over)」、「に (to)」、「の間の (between)」、及び「上に (on)」という用語は、本明細書に使用される場合、他の層に対する 1 つの層の相対位置を指し得る。別の層「の上の」もしくは「上の」または別の層「に」接着された 1 つの層は、他の層と直接接触している場合があるか、1 つ以上の介在する層を有する場合がある。層「の間の」1 つの層は、層と直接接触している場合があるか、1 つ以上の介在する層を有する場合がある。

【0007】

当業者に理解されるように、アクティブチャネルの下の下位下部構造を通してソース・ドレイン間漏洩を制御することは、いずれのトランジスタ設計においても重要な考慮事項

50

である。III-V NMOS TFTデバイスのような非平面トランジスタデバイスでは、下部構造漏洩は、より大きな課題を提示する。この課題は、低バンドギャップ、故に高伝導度を本質的に有する、高電子移動度を達成するためのアクティブチャネルの形成に必要とされる、高移動度材料に端を発する。非平面トランジスタは、上にアクティブチャネルが形成される典型的なシリコン基板より低いバンドギャップを有するアクティブチャネルの形成において、砒化インジウムガリウム等の低バンドギャップ材料を利用し得る。下部構造がこれらの高伝導材料から成るならば、下部構造材料がソースとドレインとの間で導電路を形成するであろうため、漏洩はかなりのものとなろう。

【0008】

本説明の実施形態は、アクティブチャネルと基板との間のバッファを有するトランジスタデバイスの製造に関する。本説明の少なくとも1つの実施形態では、低バンドギャップIII-V材料を含むアクティブチャネルは、アクティブチャネルと基板との間の下部構造、例えばバッファ上で、エピタキシャルに成長させられ得る。下部構造は、所望の伝導バンドオフセットを有し得る、高バンドギャップIII-V材料を含み得、これにより、漏洩がアクティブチャネル内の電子移動度への著しい影響なしに阻止され得る。本説明の実施形態の場合、漏洩は、そのようなバッファなしにアクティブチャネルを形成することと比較して、少なくとも3桁の大きさを減少され得る。本説明のある実施形態では、アクティブチャネル及び下部構造は、狭い溝内に形成され得、これにより、アクティブチャネルと下部構造間との間の格子不整合に起因するそのような欠陥が、アクティブチャネル領域の下下部構造内で欠陥トラッピングによって終結される。さらなる実施形態では、下部構造が除去されて、アクティブチャネルと基板との間の空隙を形成し得るか、あるいは、絶縁材料がアクティブチャネルと基板との間に配置され得、これにより、空隙または絶縁材料が絶縁バッファを形成する。

【0009】

図1に示されるように、少なくとも1つのフィン112が、基板102上に形成され得、フィン112は、基板102の第1の表面104から延在し、かつ上表面116において終結する、対向する側壁114を含み得る。明確性及び簡潔さのために、2つのフィン112のみが図1に図解されるが、任意の適切な数のフィン112が製造され得ることが理解される。一実施形態では、エッチングマスク（図示せず）が、基板102上にパターン化され、続いて基板102のエッチングが行われ得、当業者には理解されるであろうが、このエッチングマスク（図示せず）によって保護される基板102の部分は、フィン112になり、エッチングマスク（図示せず）はその後、除去され得る。本開示のある実施形態では、基板102及びフィン112は、単結晶シリコン等のシリコン含有材料を含む任意の適切な材料であり得るが、これらに限定されない。しかしながら、基板102及びフィン112は、必ずしもシリコン含有材料から製造される必要があるというわけではなく、当該技術分野において既知の他の種類の材料であり得る。さらなる実施形態では、基板102は、シリコンオンインシュレータ（SOI）基板、シリコンオンナッシング（SON）、ゲルマニウム基板、ゲルマニウムオンインシュレータ（GeOI）基板、またはゲルマニウムオンナッシング（GeON）を含み得る。

【0010】

図2に示されるように、誘電材料は、基板102及びフィン112の上に、任意の適切な堆積プロセスによって堆積させられ得、誘電材料は、平坦化されて、フィンの上面116を露出させ、それによって、対向するフィン側壁114に当接する、浅い溝分離構造として知られる分離構造122を形成し得る。分離構造122は、酸化ケイ素（SiO₂）を含むがこれに限定されない任意の適切な誘電材料から形成され得る。

【0011】

図3に示されるように、フィン112は、除去されて、それによって溝124を形成し得る。フィン112は、乾式エッチング、湿式エッチング、またはそれらの組み合わせを含むがこれらに限定されない、任意の既知のエッチング技法によって除去され得る。一実施形態では、各溝124の一部分は、フィン112の除去の間またはその後のどちらかで

10

20

30

40

50

、基板102の中へと延在するように形成され得る。この溝124の一部分は、以下、核生成溝132と称されるものとする。一実施形態では、核生成溝132は、議論されるように、III-V材料の成長を促進し得る(111)ファセッティングを有し得る。核生成溝132の交互の幾何形状が利用され得ることが理解される。

【0012】

図4に示されるように、核生成層142は、核生成溝132内に形成され得る。核生成層142は、任意の形成プロセスによって形成され得、リン化インジウム、リン化ガリウム、砒化ガリウム等を含むがこれらに限定されない、III-Vエピタキシャル材料等の任意の適切な材料であり得る。

【0013】

さらに図4に示されるように、下部構造144は、溝124(図3を参照のこと)内で核生成層142上に形成され得る。下部構造144は、任意の既知の形成プロセスによって形成され得、砒化インジウムアルミニウム、リン化インジウム、リン化ガリウム、砒化ガリウム、アンチモン化砒化ガリウム、アンチモン化砒化アルミニウム、砒化インジウムアルミニウムガリウム、リン化インジウムアルミニウムガリウム、砒化アルミニウムガリウム等を含むがこれらに限定されない、高バンドギャップIII-V材料等の任意の適切な材料であり得る。本説明の目的のために、高バンドギャップ材料は、シリコンより大きいバンドギャップを有する材料であることが定義され得る。一実施形態では、下部構造144は、核生成層142と同じ材料であり得る。他の実施形態では、当業者に理解されるように、核生成層142は、下部構造144に等級分けされ得るか、あるいは、その材料組成は、一方から他方へと濃度が段階分け(steppe d)させられ得る。

【0014】

図4にその上さらに示されるように、アクティブチャネル146は、溝124(図3を参照のこと)内で下部構造144上に形成され得る。アクティブチャネル146は、任意の既知の形成プロセスによって形成され得、砒化インジウムガリウム、砒化インジウム、アンチモン化インジウム等を含むがこれらに限定されない、低バンドギャップIII-Vエピタキシャル材料等の任意の適切な材料であり得る。本説明の目的のために、低バンドギャップ材料は、シリコンより小さいバンドギャップを有する材料であることが定義され得る。一実施形態では、アクティブチャネル146はドーピングされていない(電気的に中性であるか、またはp型もしくはn型ドーパントのどちらかのより小さい5E17キャリアを用いてドーピングされている)場合がある。

【0015】

いくつかの実施形態例では、核生成層142、下部構造144、及び/またはアクティブチャネル146は、エピタキシャルに堆積させられ得る。本開示を考慮して明らかであるように、他の実施形態が他の層厚さを有し得るが、下部構造144(図5を参照のこと)の厚さ T_s (図5を参照のこと)、及びアクティブチャネル146の厚さ T_a は、いくつかの特定の実施形態例に従って、例えば、約500~5000Åの範囲内にあり得る。具体的には、溝充填の実施形態は、この厚さの範囲内にあることになる一方で、ブラケット堆積及び引き続くパターン化の実施形態は、最高100倍高い厚さの値を有し得る。いくつかの実施形態では、化学蒸着法(CVD)プロセスまたは他の好適な堆積技法が、核生成層142、下部構造144、及び/またはアクティブチャネルを堆積させるか、別の方法で形成するために使用され得る。例えば、堆積は、インジウム、アルミニウム、砒素、リン、ガリウム、アンチモン、及び/またはそれらの前駆体の組み合わせ等のIII-V材料化合物を使用して、CVD、または急速熱CVD(RT-CVD)、または減圧CVD(LP-CVD)、または超高真空CVD(UHV-CVD)、またはガス源分子線エピタキシ(GS-MBE)ツールによって実施され得る。そのような特定の一実施形態例では、アクティブチャネル146は砒化インジウムガリウムであり得、核生成層142及び下部構造144はリン化インジウムであり得る。いずれかのそのような実施形態では、例えば、水素、窒素、または希ガス等のキャリアガスと共に前駆体バブラーが存在し得る(例えば、前駆体は、約0.1~20%の濃度に希釈され得、残部がキャリアガスで

10

20

30

40

50

ある)。いくつかの例示の場合では、アルシンまたは第三級ブチルアルシン等の砒素前駆体、第三級ブチルホスフィン等のリン前駆体、トリメチルガリウム等のガリウム前駆体、及び／またはトリメチルインジウム等のインジウム前駆体が存在し得る。例えば、塩化水素(HCl)、塩素(Cl)、または臭化水素(HBr)等のハロゲン系ガス等のエッチング液ガスも存在し得る。核生成層142、下部構造144、及び／またはアクティブチャネル146の基本堆積が、例えば、約300℃～650℃、またはより特定の例では、約400～500℃の範囲内の堆積温度、及び例えば、約1トル(約133Pa)～760トル(約1013hPa)の範囲内の反応器圧を使用して、広範囲の状態にわたって可能であり得る。キャリア及びエッチング液の各々は、約10～300SCCM(約 $6 \times 10^{-4} \sim 1.8 \times 10^{-2} \text{ m}^3/\text{h}$)の間の範囲内での流れを有し得る(典型的には、100SCCM($6 \times 10^{-3} \text{ m}^3/\text{h}$)以下の流れが必要とされるが、いくつかの実施形態はより高い流量から利益を得る場合がある)。特定の一実施形態例では、核生成層142、下部構造144、及び／またはアクティブチャネル146の堆積は、約100～1000SCCM(約 $6 \times 10^{-3} \sim 6 \times 10^{-2} \text{ m}^3/\text{h}$)に及ぶ流量で実施され得る。

【0016】

下部構造144のために利用される材料は、電子を下部構造144から除外して、それによって漏洩を低減することに効果的となるアクティブチャネル146との所望の伝導バンドオフセットを有するように選択され得る。さらにその上、核生成層142を形成するにつれて、下部構造144、及びアクティブチャネル146は、比較的狭い溝124内で起こる。一実施形態では、狭い溝124は、約50～500nmの範囲の高さH(図3を参照のこと)、及び約25nm未満(好ましくは10nm未満)の幅W(図3を参照のこと)を有し得る。当業者に理解されるように、核生成層142/下部構造144が、積層欠陥、転位等の欠陥をアクティブチャネル146から離してトラップするのに十分な深さDを有するように形成され得るので、基板102と核生成層142/下部構造144との間の格子不整合は、実質的に欠陥のない形成を許容するものより大きくすることができる。したがって、アクティブチャネル146の電子移動度は、それによって著しく損なわれない可能性がある。アクティブチャネル146は、理論的最大移動度値を達成しない場合があるが、それは、シリコン系n-MOSトランジスタと比べて説得力のある性能上の利点を依然として提供する。一実施形態では、下部構造144は、約50nm超の深さD(例えば、基板102とアクティブチャネル146との間の距離)、及び約25nm未満の幅(すなわち、溝幅W)を有し得る。

【0017】

またさらに図4に示されるように、特にエピタキシャル成長プロセスが利用されるとき、アクティブチャネル146の一部分148は溝(図3を参照のこと)から延在し得る。したがって、図5に示されるように、化学的機械的平坦化等によって、アクティブチャネル146の一部分148は除去され得る。図6に示されるように、アクティブチャネル146の少なくとも一部分が、分離構造122の上部面126より上に延在するように、分離構造122は、エッチングプロセス等によって陥凹させられ得る。一実施形態では、分離構造上部面126の周りに延在するアクティブチャネル146の高さ F_h は、約45nmであり得る。アクティブチャネル146と下部構造144との間の交線Iは、分離構造上部面126に対する深さ F_d において起こり得る。ある実施形態では、交線Iは、約10nmより上または下など、分離構造上部面126のわずかに上またはわずかに下にあり得る。

【0018】

図7に示されるように、少なくとも1つのゲート150は、分離構造122より上に延在するアクティブチャネル146の一部分の上に形成され得る。ゲート150は、ゲートファーストまたはゲートラストプロセスフローのどちらかによって、フィンの上面116上に、またはそれに隣接して、及び一組の側方に対向するフィン側壁114上に、またはそれに隣接して、ゲート誘電層152を形成して、ゲート誘電層152上に、またはそれに隣接してゲート電極154を形成することによって、製造され得る。

【0019】

ゲート誘電層152は、二酸化ケイ素(SiO_2)、酸窒化ケイ素(SiO_xN_y)、窒化ケイ素(Si_3N_4)、ならびに酸化ハフニウム、酸化ハフニウムケイ素、酸化ランタン、酸化ランタンアルミニウム、酸化ジルコニウム、酸化ジルコニウムケイ素、酸化タンタル、酸化チタン、酸化バリウムストロンチウムチタン、酸化バリウムチタン、酸化ストロンチウムチタン、酸化イットリウム、酸化アルミニウム、酸化鉛スカンジウムタンタル、及び鉛亜鉛ニオブ酸等の高k誘電材料を含むがこれらに限定されない、任意の周知のゲート誘電材料から形成され得る。当業者に理解されるように、ゲート誘電層152は、化学蒸着法(「CVD」)、物理蒸着法(「PVD」)、原子層堆積(「ALD」)等で、ゲート電極材料を堆積させて、その後、周知のフォトリソグラフィ及びエッチング技法を用いてゲート電極材料をパターン化することによって等、周知の技法によって形成され得る。

10

【0020】

ゲート電極154は、任意の好適なゲート電極材料から形成され得る。本開示のある実施形態では、ゲート電極154は、多結晶シリコン、タングステン、ルテニウム、パラジウム、プラチナ、コバルト、ニッケル、ハフニウム、ジルコニウム、チタン、タンタル、アルミニウム、炭化チタン、炭化ジルコニウム、炭化タンタル、炭化ハフニウム、炭化アルミニウム、他の金属炭化物、金属窒化物、及び金属酸化物を含むがこれらに限定されない材料から形成され得る。当業者に理解されるように、ゲート電極154は、ゲート電極材料をブランケット堆積させて、その後、周知のフォトリソグラフィ及びエッチング技法を用いてゲート電極材料をパターン化することによって等、周知の技法によって形成され得る。

20

【0021】

図8に示されるように、ゲートスペーサ156は、周知の堆積及びエッチング技法を用いてゲート電極154上に堆積及びパターン化され得る。ゲートスペーサ156は、酸化ケイ素、窒化ケイ素等を含むがこれらに限定されない、任意の適切な誘電材料から形成され得る。

【0022】

ソース領域及びドレイン領域(図示せず)が、ゲート150の対向する側のアクティブチャンネル146内に形成され得るか、あるいは、アクティブチャンネル146の一部が、ゲート150の対向する側、ならびにその適切な位置に形成されたソース領域及びドレイン領域上で、除去され得ることが理解される。ソース及びドレイン領域は、p型導電性等の同じ種類の導電性のものから形成され得る。本開示のある実施形態のいくつかの実装形態では、ソース及びドレイン領域は、実質的に同じドーピング濃度及びプロファイルを有し得る一方で、他の実装形態では、それらは変動し得る。n-MOSのみが示され、p-MOS領域がパターン化されて、別々に処理されることになることが理解される。

30

【0023】

図9~15は、本説明の追加の実施形態を図解する。図7から始めて、置換ゲートプロセスが続く得、ゲート誘電体152及びゲート電極154は、犠牲材料から形成され得る。誘電層162は、図8の構造の上に堆積させて、平坦化され、図9に示されるように犠牲ゲート電極154を露出させ得る。犠牲ゲート電極154及びゲート誘電体152は、図10及び11に示されるように(断面構造のみが示される図10の第11-11線断面図)、露出されたアクティブチャンネル領域146を形成するゲートスペーサ156の残りの部分の間で、アクティブチャンネル146を露出させるように除去され得る。

40

【0024】

図13に示されるように、選択的エッチング(例えば、湿式エッチング、乾式エッチング、またはそれらの組み合わせ)が、下部構造144の中へ浸透し、核生成層142を含む同物を除去し得るように、図12に示されるように、分離構造122は、エッチングによって等、露出されたアクティブチャンネル領域146内に陥凹させられ、下部構造144の一部を露出させ得る。

50

【0025】

誘電材料166は、堆積させられ、図14に示されるように、下部構造144（図12を参照のこと）及び核生成層142（図12を参照のこと）のための除去から残されたスペースを充填するか、あるいは、図15に示されるように、空隙168を形成し得る。その後、当業者に理解されるように、トランジスタの残りの構成要素は、トライゲート処理フロー等の既知の処理フローに続いて、形成され得る。別の実施形態では、また当業者に理解されるように、図16に示されるように、ゲート酸化物層172は、露出されたアクティブチャネル146を囲むように形成され得、ゲート電極層174は、ゲート酸化物層172を囲むように形成され得、トランジスタの残りの構成要素は、単一または複数のワイヤ構成において、既知のゲートの包括的な処理フローに続き得る。

10

【0026】

当業者に理解されるように、詳細な説明が非平面トランジスタを記載するが、本主題が、非平面トランジスタにおいて実装され得ることに留意されたい。

【0027】

図17は、本説明の1つの実装形態に従う、コンピューティングデバイス200を図解する。コンピューティングデバイス200は、ボード202を収納する。ボード202は、プロセッサ204、及び少なくとも1つの通信チップ206A、206Bを含むがこれらに限定されない、いくつかの構成要素を含み得る。プロセッサ204は、ボード202に物理的かつ電氣的に結合される。いくつかの実装形態では、少なくとも1つの通信チップ206A、206Bも、ボード202に物理的かつ電氣的に結合される。さらなる実装形態では、通信チップ206A、206Bはプロセッサ204の部分である。

20

【0028】

その用途に依存して、コンピューティングデバイス200は、ボード202に物理的かつ電氣的に、結合される場合も結合されない場合もある他の構成要素を含み得る。これらの他の構成要素は、揮発性メモリ（例えば、DRAM）、不揮発性メモリ（例えば、ROM）、フラッシュメモリ、グラフィックスプロセッサ、デジタル信号プロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーン制御器、バッテリー、音声コーデック、ビデオコーデック、パワー増幅器、全地球測位システム（GPS）デバイス、コンパス、加速度計、ジャイロスコープ、スピーカ、カメラ、及び大容量記憶デバイス（ハードディスクドライブ、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）等）を含むが、これらに限定されない。

30

【0029】

通信チップ206A、206Bは、コンピューティングデバイス200へ／からのデータ転送のための無線通信を有効にする。「無線」という用語、及びその派生物は、非固体媒体を通して変調電磁放射の使用を通してデータを通信し得る回路、デバイス、システム、方法、技法、通信チャネル等を記載するために使用され得る。その用語は、関連付けられたデバイスが、いくつかの実施形態ではそうではない可能性があるが、いずれのワイヤも含有しないことを意味しない。通信チップ206は、Wi-Fi（登録商標）（IEEE 802.11ファミリー）、WiMAX（登録商標）（IEEE 802.16ファミリー）、IEEE 802.20、ロングタームエボリューション（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM（登録商標）、GPRS、CDMA、TDMA、DECT、ブルートゥース（登録商標）、それらの派生物、ならびに3G、4G、5G、及びそれら以降として指定される任意の他の無線プロトコルを含むがこれらに限定されない、いくつかの無線規格またはプロトコルのうちのいずれかを実装し得る。コンピューティングデバイス200は、複数の通信チップ206A、206Bを含み得る。例えば、第1の通信チップ206Aは、Wi-Fi（登録商標）及びブルートゥース（登録商標）等のより短距離の無線通信専用であり得、第2の通信チップ206Bは、GPS、EDGE、GPRS、CDMA、WiMAX（登録商標）、LTE、Ev-DO等のより長距離の無線通信専用であり得る。

40

【0030】

50

コンピューティングデバイス200のプロセッサ204は、上述のようにマイクロ電子トランジスタを含み得る。「プロセッサ」という用語は、レジスタ及び／またはメモリから電子データを処理して、レジスタ及び／またはメモリ内に格納され得る他の電子データにその電子データを変形する任意のデバイスまたはデバイスの一部分に言及し得る。さらにその上、通信チップ206A、206Bは、上述のように製造されるマイクロ電子トランジスタを含み得る。

【0031】

様々な実装形態では、コンピューティングデバイス200は、ラップトップ、ネットブック、ノートブック、ウルトラブック、スマートフォン、タブレット、パーソナルデジタルアシスタント(PDA)、ウルトラモバイルPC、携帯電話、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、エンターテインメント制御ユニット、デジタルカメラ、ポータブル音楽プレーヤー、またはデジタルビデオテープレコーダであり得る。さらなる実装形態では、コンピューティングデバイス200は、データを処理する任意の他の電子デバイスであり得る。

10

【0032】

本説明の主題が、図1～17に図解される特定の用途に必ずしも限定されるというわけではないことが理解される。主題が、当業者に理解されるように、他のマイクロ電子デバイス及びアセンブリ用途、ならびに任意の他の適切なトランジスタ用途に適用され得る。

【0033】

以下の例は、さらなる実施形態に関係し、例1は、マイクロ電子構造であって、基板と、低バンドギャップアクティブチャネルと、基板と低バンドギャップアクティブチャネルとの間に配置された高バンドギャップ下部構造と、を備え、高バンドギャップ下部構造が、低バンドギャップアクティブチャネルに当接する、マイクロ電子構造である。

20

【0034】

例2では、例1の主題は、砒化インジウムアルミニウム、リン化インジウム、リン化ガリウム、砒化ガリウム、アンチモン化砒化ガリウム、アンチモン化砒化アルミニウム、砒化インジウムアルミニウムガリウム、リン化インジウムアルミニウムガリウム、及び砒化アルミニウムガリウムから成る群から選択される材料を含む高バンドギャップ下部構造を任意に含み得る。

【0035】

例3では、例1及び2のいずれかの主題は、砒化インジウムガリウム、砒化インジウム、及びアンチモン化インジウムから成る群から選択される材料を含む低バンドギャップアクティブチャネルを任意に含み得る。

30

【0036】

例4では、例1～3のいずれかの主題は、基板の中へと延在する核生成溝と、核生成溝に当接する核生成層と、を任意に含み得る。

【0037】

例5では、例4の主題は、核生成溝を任意に含み得、(111)ファセッティングを有する核生成溝を含む。

【0038】

例6では、例4及び5のいずれかの主題は、リン化インジウム、リン化ガリウム、及び砒化ガリウムから成る群から選択される材料を含む核生成層を任意に含み得る。

40

【0039】

例7では、例1～6のいずれかの主題は、分離構造より上に延在するアクティブチャネルの一部分と、分離構造より上に延在するアクティブチャネルの一部分の上に形成されたゲートと、を任意に含み得る。

【0040】

例8では、例1～7のいずれかの主題は、約50nm超の深さ、及び約25nm未満の幅を有する高バンドギャップ下部構造を任意に含み得る。

【0041】

50

以下の例は、さらなる実施形態に関係し、例 9 は、核生成溝の中に含む基板と、核生成溝の上の低バンドギャップアクティブチャネルと、核生成溝と低バンドギャップアクティブチャネルとの間に配置された絶縁バッファと、を備える、マイクロ電子構造である。

【0042】

例 10 では、例 9 の主題は、絶縁材料を含む絶縁バッファを任意に含む得る。

【0043】

例 11 では、例 9 の主題は、空隙を含む絶縁バッファを任意に含む得る。

【0044】

例 12 では、例 9 ～ 11 のいずれかの主題は、砒化インジウムガリウム、砒化インジウム、及びアンチモン化インジウムから成る群から選択される材料を含む低バンドギャップアクティブチャネルを任意に含む得る。

10

【0045】

例 13 では、例 12 の主題は、(111) ファセッティングを有する核生成溝を含む核生成溝を任意に含む得る。

【0046】

例 14 では、例 9 ～ 13 のいずれかの主題は、アクティブチャネルを囲むゲートを任意に含む得る。

【0047】

以下の例は、さらなる実施形態に関係し、例 15 は、基板上に少なくとも 1 つのフィンを形成することであって、少なくとも 1 つのフィンが、基板から延在する一対の対向する側壁を含むことと、フィン側壁の各々に当接する分離構造を形成することと、少なくとも 1 つのフィンを除去することによって溝を形成することと、溝内に高バンドギャップ下部構造を形成することと、溝内に、高バンドギャップ下部構造に当接する低バンドギャップアクティブチャネルを形成することと、を含む、マイクロ電子構造の製造方法である。

20

【0048】

例 16 では、例 15 の主題は、高バンドギャップ下部構造を形成することが、約 50 nm 超の深さ、及び約 25 nm 未満の幅を有する高バンドギャップ下部構造を形成することを含むことを任意に含む得る。

【0049】

例 17 では、例 15 及び 16 のいずれかの主題は、砒化インジウムアルミニウム、リン化インジウム、リン化ガリウム、砒化ガリウム、アンチモン化砒化ガリウム、アンチモン化砒化アルミニウム、砒化インジウムアルミニウムガリウム、リン化インジウムアルミニウムガリウム、及び砒化アルミニウムガリウムから成る群から選択される材料から高バンドギャップ下部構造を形成することを任意に含む得る。

30

【0050】

例 18 では、例 15 ～ 17 のいずれかの主題は、砒化インジウムガリウム、砒化インジウム、及びアンチモン化インジウムから成る群から選択される材料から低バンドギャップアクティブチャネルを形成することを任意に含む得る。

【0051】

例 19 では、例 15 ～ 18 のいずれかの主題は、基板の中へと延在する核生成溝を形成することを任意に含む得る。

40

【0052】

例 20 では、例 19 の主題は、(111) ファセッティングを有する核生成溝を形成することを含む核生成溝を形成することを任意に含む得る。

【0053】

例 21 では、例 15 ～ 19 のいずれかの主題は、核生成溝に当接する核生成層を形成することを任意に含む得る。

【0054】

例 22 では、例 21 の主題は、リン化インジウム、リン化ガリウム、及び砒化ガリウムから成る群から選択される材料から核生成層を形成することを任意に含む得る。

50

【0055】

例23では、例15～22のいずれかの主題は、アクティブチャネルの少なくとも一部分が、分離構造より上に延在するように、分離構造を陥凹させることを任意に含み得る。

【0056】

例24では、例15～23のいずれかの主題は、分離構造より上に延在するアクティブチャネルの一部分の上にゲートを形成することを任意に含み得る。

【0057】

例25では、例15～24のいずれかの主題は、高バンドギャップ下部構造を除去して、低バンドギャップアクティブチャネルと基板との間に空隙を形成することを任意に含み得る。

10

【0058】

例26では、例25の主題は、低バンドギャップアクティブチャネルを囲むゲートを形成することを任意に含み得る。

【0059】

例27では、例25及び26のいずれかの主題は、空隙内に絶縁材料を堆積させることを任意に含み得る。

【0060】

本説明の詳細な実施形態をこのように説明してきたが、本説明の趣旨または範囲を逸脱することなく本説明の多くの明らかな変形が可能であるため、添付の特許請求の範囲によって定義される本説明は、上の説明で述べられた特定の詳細によって限定されるものではないことが理解される。

20

【図1】

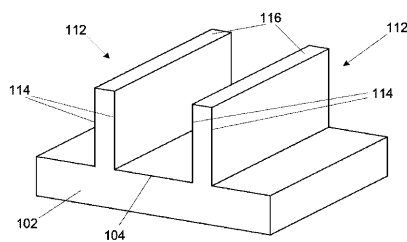


FIG. 1

【図3】

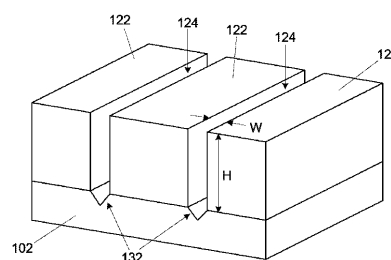


FIG. 3

【図2】

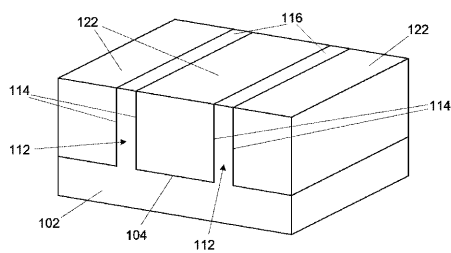


FIG. 2

【図4】

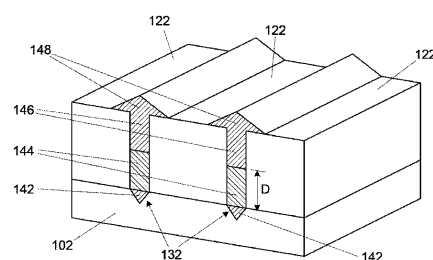


FIG. 4

【図 5】

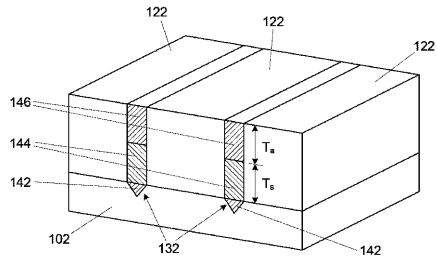


FIG. 5

【図 7】

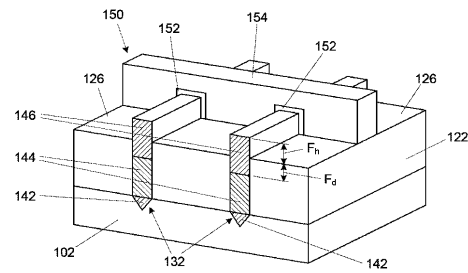


FIG. 7

【図 6】

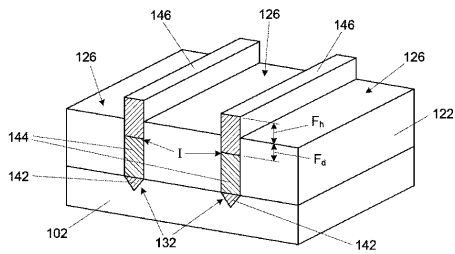


FIG. 6

【図 8】

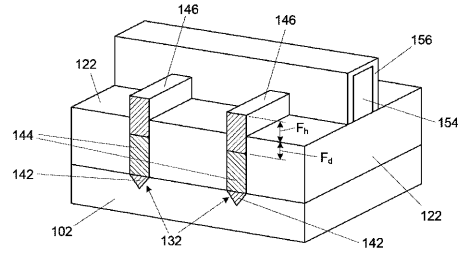


FIG. 8

【図 9】

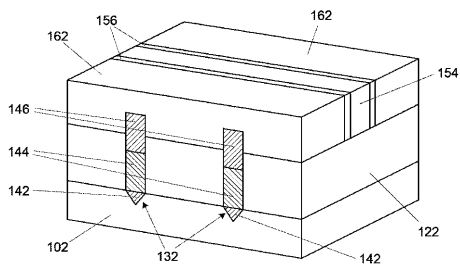


FIG. 9

【図 11】

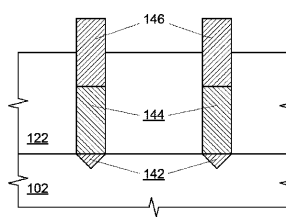


FIG. 11

【図 10】

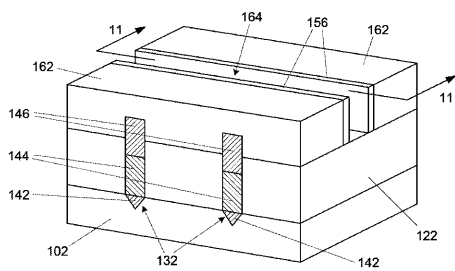


FIG. 10

【図 12】

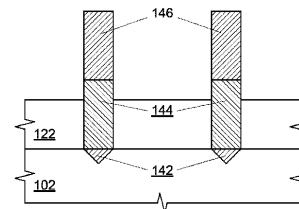


FIG. 12

【図 1 3】

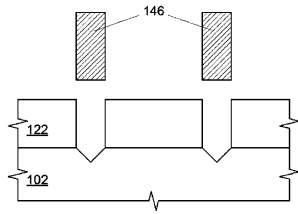


FIG. 13

【図 1 5】

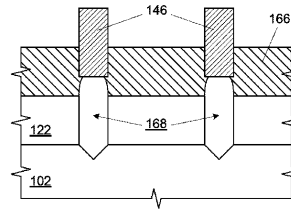


FIG. 15

【図 1 4】

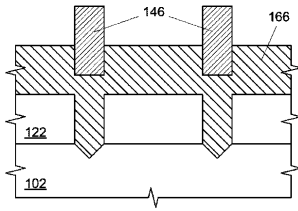


FIG. 14

【図 1 6】

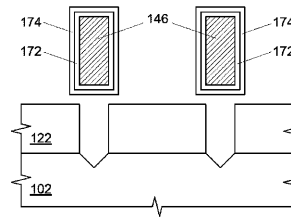
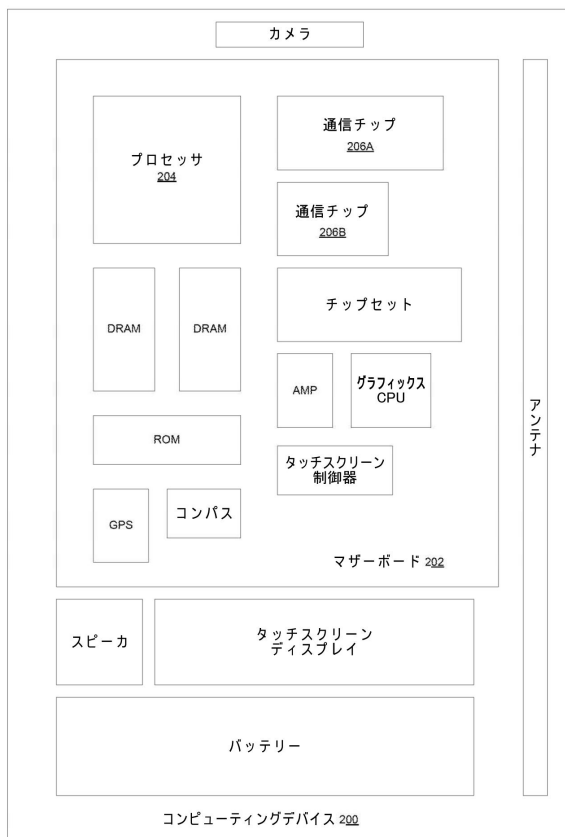


FIG. 16

【図 1 7】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 2 1
H 0 1 L 29/78 3 0 1 X

- (72)発明者 ムールティ、アナンド エス.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 グラス、グレン エイ.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 ガーニ、タヒア
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 カヴァリーロス、ジャック ティー.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 ラッチマディ、ウィリー
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 メツ、マシュウ ヴィー.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 ディウエイ、ギルバート
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内

審査官 市川 武宜

- (56)参考文献 米国特許出願公開第2 0 1 3 / 0 0 3 4 9 4 3 (US, A 1)
国際公開第2 0 1 3 / 1 2 1 9 2 6 (WO, A 1)
米国特許出願公開第2 0 1 3 / 0 2 7 0 6 0 7 (US, A 1)
米国特許出願公開第2 0 1 4 / 0 2 6 4 4 3 8 (US, A 1)
特表2 0 0 8 - 5 4 6 1 8 1 (JP, A)
特開2 0 0 9 - 1 7 0 5 1 1 (JP, A)
特開2 0 0 2 - 1 5 1 6 8 8 (JP, A)
特開2 0 1 0 - 2 7 8 4 3 5 (JP, A)
特表2 0 1 1 - 5 2 7 1 0 3 (JP, A)
特開2 0 0 6 - 2 7 0 1 0 7 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6