



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월26일 10-0698989 2007년03월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0042259 2001년07월13일 2006년05월04일	(65) 공개번호 (43) 공개일자	10-2002-0007195 2002년01월26일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2000-00215092 2000년07월14일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 하야노가쓰야
일본도쿄도지요다구마루노우치1초메5-1신마루노우치빌딩가부시킴가
이샤히타치세이사쿠쇼지적소유권본부내

이마이야끼라
일본도쿄도지요다구마루노우치1초메5-1신마루노우치빌딩가부시킴가
이샤히타치세이사쿠쇼지적소유권본부내

하세가와노리오
일본도쿄도지요다구마루노우치1초메5-1신마루노우치빌딩가부시킴가
이샤히타치세이사쿠쇼지적소유권본부내

(74) 대리인 장수길
구영창

(56) 선행기술조사문헌 1019850000798 1020000035011 * 심사관에 의하여 인용된 문헌	1020000006201 1020000076456
--	--------------------------------

심사관 : 설관식

전체 청구항 수 : 총 21 항

(54) 반도체 집적 회로 장치의 제조 방법 및 반도체 집적 회로장치

(57) 요약

패턴의 정합 마진을 향상시킨다.

데이터선 DL을 끼우는 한쌍의 콘택트 홀(10b) 상에 관통 홀(17)을 전사할 때, 그 데이터선 DL을 끼우는 한쌍의 관통 홀(17)이 위치 어긋났다고 하여도, 콘택트 홀(10b)과는 접속되고, 데이터선 DL에는 접속되지 않도록 설계 단계에서 데이터선 DL로부터 이격하는 방향으로 어긋나게 배치되도록 포토마스크에 형성된 마스크 패턴을 이용한다.

대표도

도 25

특허청구의 범위

청구항 1.

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 반도체 기판에 복수의 제1 영역을 형성하는 공정과,
- (b) 상기 반도체 기판 상에 제1 절연막을 피착하는 공정과,
- (c) 상기 제1 절연막에, 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴을 형성하는 공정과,
- (d) 상기 제1 절연막 상에, 상기 제1 홀 패턴들 사이의 인접 갭을 통과하도록 상기 복수의 제1 영역에 대하여 교차하는 배선을 형성하는 공정과,
- (e) 상기 배선을 덮는 제2 절연막을 피착하는 공정과,
- (f) 상기 제2 절연막 상에 포지티브형 포토레지스트막을 피착하는 공정과,
- (g) 포토마스크를 이용하여 상기 포지티브형 포토레지스트막의 노광 처리를 실시함으로써, 상기 제2 절연막에 제2 홀 패턴을 형성하기 위한 포토레지스트 패턴을 형성하는 공정과,
- (h) 상기 포토레지스트 패턴을 에칭 마스크로 이용하여 에칭 처리를 실시함으로써, 상기 제2 절연막에, 상기 제1 홀 패턴과 접속되고 상기 배선과는 접속되지 않는 상기 제2 홀 패턴을 형성하는 공정

을 포함하고,

상기 홀 패턴은, 그 위치가 어긋나도 상기 제1 및 제2 홀 패턴들 간의 접속이 유지되고, 상기 제2 홀 패턴과 상기 배선 간의 절연 상태가 유지되도록 배치되고, 상기 배선을 사이에 끼우도록 배치되는 한쌍의 제2 홀 패턴들이, 상기 한쌍의 제2 홀 패턴들 사이에 끼워지는 상기 배선으로부터 분리되어 배치되고,

상기 포토마스크는 상기 제2 홀 패턴을 전사하기 위한 복수의 광 투과 패턴을 포함하고 있으며,

상기 배선이 연장되는 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되지 않고 상기 제1 방향에 교차하는 제2 방향으로 교대로 어긋나게 배치되어 있고, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되어 있고,

상기 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴 간의 인접 피치는, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴 간의 인접 피치보다 짧고,

상기 복수의 광 투과 패턴 중, 상호 인접하는 광 투과 패턴 중 어느 한쪽에는 위상 시프터가 배치되어 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 한쌍의 제2 홀 패턴의 적어도 한쪽의 중심은 상기 제1 홀 패턴의 중심으로부터 어긋나 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 3.

제1항에 있어서,

상기 제2 홀 패턴의 직경은 상기 제1 홀 패턴의 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 4.

제1항에 있어서,

상기 포토마스크를 이용한 노광 처리시에, 노광 광원으로서 변형 조명을 이용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 5.

제1항에 있어서,

상기 위상 시프터는 트렌치 시프터인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 6.

제1항에 있어서,

상기 제1 영역은, DRAM의 메모리 셀 선택용 전계 효과 트랜지스터가 형성되는 활성 영역이고, 상기 배선은 데이터선이고, 상기 제1 및 제2 홀 패턴들은 정보 축적용 용량 소자와 상기 메모리 셀 선택용 전계 효과 트랜지스터를 전기적으로 접속하는 구성부인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 7.

제6항에 있어서,

상기 데이터선은, 상기 활성 영역에 대하여 비스듬히 배치된 상태로 상기 활성 영역의 중심을 통과하고, 상기 데이터선은, 상기 활성 영역의 중심에 형성되는 반도체 영역과 전기적으로 접속되며, 상기 반도체 영역은 상기 메모리 셀 선택용 전계 효과 트랜지스터의 소스/드레인용인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 8.

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 반도체 기판에 복수의 제1 영역을 형성하는 공정과,
- (b) 상기 반도체 기판 상에 제1 절연막을 피착하는 공정과,
- (c) 상기 제1 절연막에, 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴을 형성하는 공정과,
- (d) 상기 제1 절연막 상에, 상기 제1 홀 패턴들 사이의 인접 겹을 통과하도록 상기 복수의 제1 영역에 대하여 교차하는 배선을 형성하는 공정과,
- (e) 상기 배선을 덮는 제2 절연막을 피착하는 공정과,
- (f) 상기 제2 절연막 상에 포지티브형 포토레지스트막을 피착하는 공정과,
- (g) 포토마스크를 이용하여 상기 포지티브형 포토레지스트막의 노광 처리를 실시함으로써, 상기 제2 절연막에 제2 홀 패턴을 형성하기 위한 포토레지스트 패턴을 형성하는 공정과,
- (h) 상기 포토레지스트 패턴을 에칭 마스크로 이용하여 에칭 처리를 실시함으로써, 상기 제2 절연막에, 상기 제1 홀 패턴과 접속되고, 상기 배선과는 접속되지 않는 상기 제2 홀 패턴을 형성하는 공정

을 포함하고,

상기 배선을 사이에 끼우도록 배치되는 한쌍의 제2 홀 패턴들은, 상기 한쌍의 제2 홀 패턴들의 적어도 한쪽의 중심이 상기 제1 홀 패턴의 중심으로부터 어긋나도록 배치되며, 또한 상기 한쌍의 제2 홀 패턴들 사이에 끼워지는 상기 배선으로부터 분리되어 배치되며,

상기 포토마스크는 상기 제2 홀 패턴을 전사하기 위한 복수의 광 투과 패턴을 포함하고,

상기 배선이 연장되는 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되지 않고 상기 제1 방향에 교차하는 제2 방향으로 교대로 어긋나게 배치되어 있고, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되어 있고,

상기 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴 간의 인접 피치는, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴 간의 인접 피치보다 짧고,

상기 복수의 광 투과 패턴 중, 상호 인접하는 광 투과 패턴 중 어느 한쪽에는 위상 시프터가 배치되어 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 9.

제8항에 있어서,

상기 제2 홀 패턴의 직경은 상기 제1 홀 패턴의 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 10.

제8항에 있어서,

상기 포토마스크를 이용한 노광 처리시에, 노광 광원으로서 변형 조명을 이용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 11.

제8항에 있어서,

상기 위상 시프터는 트렌치 시프터인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 12.

제8항에 있어서,

상기 제1 영역은, DRAM의 메모리 셀 선택용 전계 효과 트랜지스터가 형성되는 활성 영역이고, 상기 배선은 데이터선이 고, 상기 제1 및 제2 홀 패턴들은 정보 축적용 용량 소자와 상기 메모리 셀 선택용 전계 효과 트랜지스터를 전기적으로 접속하는 구성부인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 13.

제12항에 있어서,

상기 데이터선은, 상기 활성 영역에 대하여 비스듬히 배치된 상태로 상기 활성 영역의 중심을 통과하고, 상기 데이터선은, 상기 활성 영역의 중심에 형성되는 반도체 영역과 전기적으로 접속되며, 상기 반도체 영역은 상기 메모리 셀 선택용 전계 효과 트랜지스터의 소스/드레인용인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 14.

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 반도체 기판에 복수의 제1 영역을 형성하는 공정과,
- (b) 상기 반도체 기판 상에 제1 절연막을 피착하는 공정과,
- (c) 상기 제1 절연막에, 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴을 형성하는 공정과,
- (d) 상기 제1 절연막 상에, 상기 제1 홀 패턴들 사이의 인접 겹을 통과하도록 상기 복수의 제1 영역에 대하여 교차하는 배선을 형성하는 공정과,
- (e) 상기 배선을 덮는 제2 절연막을 피착하는 공정과,
- (f) 상기 제2 절연막 상에 포지티브형 포토레지스트막을 피착하는 공정과,
- (g) 포토마스크를 이용하여 상기 포지티브형 포토레지스트막의 노광 처리를 실시함으로써, 상기 제2 절연막에 제2 홀 패턴을 형성하기 위한 포토레지스트 패턴을 형성하는 공정과,
- (h) 상기 포토레지스트 패턴을 에칭 마스크로 이용하여 에칭 처리를 실시함으로써, 상기 제2 절연막에, 상기 제1 홀 패턴과 접속되고, 상기 배선과는 접속되지 않는 상기 제2 홀 패턴을 형성하는 공정

을 포함하고,

상기 홀 패턴은, 그 위치가 어긋나도 상기 제1 및 제2 홀 패턴들 간의 접촉이 유지되고, 상기 제2 홀 패턴과 상기 배선 간의 절연 상태가 유지되도록 배치되고, 상기 배선을 사이에 끼우도록 배치되는 한쌍의 제2 홀 패턴들이, 상기 한쌍의 제2 홀 패턴들 사이에 끼워지는 상기 배선으로부터 분리되어 배치되고,

상기 포토마스크는 상기 제2 홀 패턴을 전사하기 위한 복수의 광 투과 패턴을 포함하고,

상기 배선이 연장되는 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되지 않고 상기 제1 방향에 교차하는 제2 방향으로 교대로 어긋나게 배치되어 있고, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되어 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 15.

제14항에 있어서,

상기 한쌍의 제2 홀 패턴의 적어도 한쪽의 중심은 상기 제1 홀 패턴의 중심으로부터 어긋나 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 16.

제14항에 있어서,

상기 제2 홀 패턴의 직경은 상기 제1 홀 패턴의 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 17.

제14항에 있어서,

상기 포토마스크를 이용한 노광 처리시에, 노광 광원으로서 변형 조명을 이용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 18.

제1항에 있어서,

상기 제1 영역은, DRAM의 메모리 셀 선택용 전계 효과 트랜지스터가 형성되는 활성 영역이고, 상기 배선은 데이터선이고, 상기 제1 및 제2 홀 패턴들은 정보 축적용 용량 소자와 상기 메모리 셀 선택용 전계 효과 트랜지스터를 전기적으로 접속하는 구성부인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 19.

제18항에 있어서,

상기 데이터선은, 상기 활성 영역에 대하여 비스듬히 배치된 상태로 상기 활성 영역의 중심을 통과하고, 상기 데이터선은, 상기 활성 영역의 중심에 형성되는 반도체 영역과 전기적으로 접속되며, 상기 반도체 영역은 상기 메모리 셀 선택용 전계 효과 트랜지스터의 소스/드레인용인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 20.

반도체 집적 회로 장치에 있어서,

반도체 기판 위에 형성된 복수의 제1 영역과,

상기 반도체 기판 상에 피착된 제1 절연막과,

상기 제1 절연막 위에 형성되며 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴과,

상기 제1 절연막 상에, 상기 제1 홀 패턴들 사이의 인접 갭을 통과하고, 상기 복수의 제1 영역에 대하여 교차하도록 설치된 배선과,

상기 배선을 덮는 제2 절연막과,

상기 제2 절연막에, 상기 제1 홀 패턴과 접속되고 상기 배선과는 접속되지 않도록 설치된 제2 홀 패턴

을 포함하고,

상기 제1 영역은, DRAM의 메모리 셀 선택용 전계 효과 트랜지스터가 형성되는 활성 영역이고, 상기 배선은 데이터선이고, 상기 제1 및 제2 홀 패턴들은 정보 축적용 용량 소자와 상기 메모리 셀 선택용 전계 효과 트랜지스터를 전기적으로 접속하는 구성부이며,

상기 데이터선은, 상기 활성 영역에 대하여 비스듬히 배치된 상태로 상기 활성 영역의 중심을 통과하고, 상기 데이터선은, 상기 활성 영역의 중심에 형성되는 반도체 영역과 전기적으로 접속되며, 상기 반도체 영역은 상기 메모리 셀 선택용 전계 효과 트랜지스터의 소스/드레인용이며,

상기 제2 홀 패턴은, 그 위치가 어긋나도 상기 제1 및 제2 홀 패턴들 간의 접속이 유지되고, 상기 제2 홀 패턴과 상기 배선 간의 절연 상태가 유지되도록 배치되고, 상기 배선을 사이에 끼우도록 배치되는 한쌍의 제2 홀 패턴들이, 상기 한쌍의 제2 홀 패턴들 사이에 끼워지는 상기 배선으로부터 분리되어 배치되는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

반도체 집적 회로 장치에 있어서,

반도체 기판 위에 형성된 복수의 제1 영역과,

상기 반도체 기판 상에 피착된 제1 절연막과,

상기 제1 절연막 위에 형성되며 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴과,

상기 제1 절연막 상에, 상기 제1 홀 패턴들 사이의 인접 갭을 통과하고, 상기 복수의 제1 영역에 대하여 교차하도록 설치된 배선과,

상기 배선을 덮는 제2 절연막과,

상기 제2 절연막에, 상기 제1 홀 패턴과 접속되고 상기 배선과는 접속되지 않도록 설치된 제2 홀 패턴

을 포함하고,

상기 제1 영역은, DRAM의 메모리 셀 선택용 전계 효과 트랜지스터가 형성되는 활성 영역이고, 상기 배선은 데이터선이
고, 상기 제1 및 제2 홀 패턴들은 정보 축적용 용량 소자와 상기 메모리 셀 선택용 전계 효과 트랜지스터를 전기적으로 접
속하는 구성부이며,

상기 데이터선은, 상기 활성 영역에 대하여 비스듬히 배치된 상태로 상기 활성 영역의 중심을 통과하고, 상기 데이터선은,
상기 활성 영역의 중심에 형성되는 반도체 영역과 전기적으로 접속되며, 상기 반도체 영역은 상기 메모리 셀 선택용 전계
효과 트랜지스터의 소스/드레인용이며,

상기 배선을 사이에 끼우도록 배치되는 한쌍의 제2 홀 패턴들은, 상기 한쌍의 제2 홀 패턴들의 적어도 한쪽의 중심이 상기
제1 홀 패턴의 중심으로부터 어긋나도록 배치되며, 또한 상기 한쌍의 제2 홀 패턴 사이에 끼워지는 상기 배선으로부터 분
리되어 배치되는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 24.

삭제

청구항 25.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치의 제조 방법 및 반도체 집적 회로 장치 기술에 관한 것으로, 특히, 반도체 집적 회로 장치
의 제조 공정에서 노광 기술에 적용함에 있어서 유효한 기술에 관한 것이다.

반도체 집적 회로 장치를 구성하는 배선이나 소자의 패턴의 미세화나 고집적화에 따라 그 패턴을 반도체 기판 상에 전사하
기 위한 노광 처리 시에는, 패턴간의 정합에 높은 정밀도가 요구되어 왔다. 이 정합 정밀도는 노광 장치의 패턴 정합 정밀
도(성능)에 의존하는 부분이 크다. 이 때문에, 노광 장치의 정합 성능에 의해 결정되는 정합 마진을 확보한 상태에서 패턴
을 레이아웃하는 것이 일반적이다.

또한, 상기 패턴의 정합 마진을 확보하기 위한 다른 기술로서는, 예를 들면 특개평10-284700호 공보에 기재가 있고, 정합
정밀도가 엄격한 층의 치수가 작아지도록 패턴의 형상을 변형시키는 기술이 개시되어 있다. 또한, 예를 들면 특개평5-
19446호 공보에는 다양하고, 미세한 패턴을 노광하기 위해서 일정한 모드의 마스크 패턴 영역의 단부 또는 복수의 모드의
마스크 패턴 영역의 경계부에 소정의 보정 패턴을 설치한 위상 시프트 마스크 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 상기 패턴의 정합 기술에서는 다음과 같은 과제가 있는 것을 본 발명자는 발견하였다.

즉, 상기 패턴의 형상을 변형시켜서 그 치수를 작게 하는 기술에서는 해상도의 여유가 있는 경우, 정합 여유를 확보한 상태에서의 패턴 형성이 가능하지만, 패턴 치수가 노광 장치의 해상 한계에 가까워짐에 따라, 패턴의 형성 제어성의 열화나 패턴의 형성 마진의 감소가 현저하게 된다. 이 때문에, 패턴의 정합 마진을 확보할 수는 있어도 패턴 자체를 양호하게 형성할 수 없는 경우가 발생된다.

본 발명의 목적은 패턴의 정합 마진을 향상시킬 수 있는 기술을 제공하는 데 있다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은 본 명세서의 기술 및 첨부 도면에서 분명해질 것이다.

발명의 구성

본원에 있어서 개시되는 발명 중, 대표적이지만 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명은 배선을 끼우는 한쌍의 제1 홀 패턴 상에 제2 홀 패턴을 전사할 때, 그 배선을 끼우는 한쌍의 제2 홀 패턴이 위치 어긋났다고 하여도, 상기 제1 홀 패턴과는 접촉되고, 배선에는 접촉되지 않도록 설계 단계에서 배선으로부터 이격하는 방향으로 떨어져서 배치되도록 포토마스크에 형성된 마스크 패턴을 이용하는 것이다.

또한, 본 발명은 상기 마스크 패턴을 형성하는 광 투과 패턴이 상기 배선에 교차하는 방향으로 연장되는 직선 상에 배치되지만, 상기 배선을 따라 연장되는 직선 상에는 배치되지 않고 교대로 어긋나 있는 것이다.

또한, 본 발명은 상기 배선을 따라 배치되는 광 투과 패턴의 인접 거리가 상기 배선에 교차하는 방향을 따라 배치되는 광 투과 패턴의 인접 거리보다 짧은 것이다.

또한, 본 발명은 상기 광 투과 패턴의 상호 인접하는 것 중, 한쪽에 위상 시프터를 배치한 것이다.

또한, 본 발명은 반도체 기관에 복수의 제1 영역을 형성하는 공정, 상기 반도체 기관 상에 제1 절연막을 피착하는 공정, 상기 제1 절연막에 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴을 형성하는 공정, 상기 제1 절연막 상에 상기 제1 홀 패턴의 인접 사이를 통과하도록 상기 복수의 제1 영역에 대하여 교차하는 배선을 형성하는 공정, 상기 배선을 덮는 제2 절연막을 피착하는 공정, 상기 제2 절연막 상에 포지티브형 포토레지스트막을 피착하는 공정, 상기 포지티브형 포토레지스트막에 포토마스크를 이용하여 노광 처리를 실시함으로써, 상기 제2 절연막에 제2 홀 패턴을 형성하기 위한 포토레지스트 패턴을 형성하는 공정, 상기 포토레지스트 패턴을 에칭 마스크로 하여 에칭 처리를 실시함으로써, 전사 제2 절연막에 상기 제1 홀 패턴과 접촉되고, 또한 상기 배선과는 접촉되지 않도록 상기 제2 홀 패턴을 형성하는 공정을 포함하고,

상기 제2 홀 패턴은 그 위치가 어긋났다고 하여도 상기 제1 홀 패턴과의 접촉이 유지되고, 또한 상기 배선과의 절연 상태가 유지되도록, 상기 배선을 끼우도록 배선에 근접해서 배치되는 한쌍의 제2 홀 패턴이 그 한쌍의 제2 홀 패턴에 끼워지는 배선으로부터 이격하도록 배치되고,

상기 포토마스크는 그 제2 홀 패턴을 전사하기 위한 복수의 광 투과 패턴을 포함하고 있고, 상기 배선이 연장하는 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되지 않고, 그 위치가 상기 제1 방향에 교차하는 제2 방향에 교대로 어긋나게 배치되어 있고, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되어 있고, 상기 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴의 인접 피치는 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴의 인접 피치보다 짧고, 상기 복수의 광 투과 패턴 중, 상호 인접한 광 투과 패턴 중 어느 한쪽에는 위상 시프터가 배치되어 있는 것이다.

또한, 본 발명은 반도체 기관에 복수의 제1 영역을 형성하는 공정, 상기 반도체 기관 상에 제1 절연막을 피착하는 공정, 상기 제1 절연막에 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴을 형성하는 공정, 상기 제1 절연막 상에 상기 제1 홀 패턴의 인접 사이를 통과하도록 상기 복수의 제1 영역에 대하여 교차하는 배선을 형성하는 공정, 상기 배선을 덮는 제2 절연막을 피착하는 공정, 상기 제2 절연막 상에 포지티브형 포토레지스트막을 피착하는 공정, 상기 포지티브형 포토레지스트막에 포토마스크를 이용하여 노광 처리를 실시함으로써, 상기 제2 절연막에 제2 홀 패턴을 형성하기 위한 포토레지스트 패턴을 형성하는 공정, 상기 포토레지스트 패턴을 에칭 마스크로 하여 에칭 처리를 실시함으로써, 상기 제2 절연막에 상기 제1 홀 패턴과 접촉되고, 또한 상기 배선과는 접촉되지 않도록 상기 제2 홀 패턴을 형성하는 공정을 포함하고,

상기 배선을 끼우도록 근접해서 배치되는 한쌍의 제2 홀 패턴은 그 양방 또는 한쪽의 중심이 상기 제1 홀 패턴의 중심으로 부터 어긋나 있으며, 또한 그 한쌍의 제2 홀 패턴에 끼워지는 배선으로부터 이격하도록 배치되어 있고,

상기 포토마스크는 그 제2 홀 패턴을 전사하기 위한 복수의 광 투과 패턴을 포함하고 있고, 상기 배선이 연장하는 제1 방향 을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되지 않고, 그 위치가 상기 제1 방향에 교차하는 제2 방향에 교대로 어긋나게 배치되어 있고, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되어 있고, 상 기 제1 방향을 따라 배치되는 상기 복수의 광 투과 패턴의 인접 피치는 상기 제2 방향을 따라 배치되는 상기 복수의 광 투 과 패턴의 인접 피치보다 짧고, 상기 복수의 광 투과 패턴 중, 상호 인접한 광 투과 패턴 중 어느 한쪽에는 위상 시프터가 배 치되어 있는 것이다.

또한, 본 발명은 반도체 기판에 복수의 제1 영역을 형성하는 공정, 상기 반도체 기판 상에 제1 절연막을 피착하는 공정, 상 기 제1 절연막에 상기 복수의 제1 영역의 각각에 전기적으로 접속되는 제1 홀 패턴을 형성하는 공정, 상기 제1 절연막 상 에 상기 제1 홀 패턴의 인접 사이를 통과하도록 상기 복수의 제1 영역에 대하여 교차하는 배선을 형성하는 공정, 상기 배선 을 덮는 제2 절연막을 피착하는 공정, 상기 제2 절연막 상에 포지티브형 포토레지스트막을 피착하는 공정, 상기 포지티브 형 포토레지스트막에 포토마스크를 이용하여 노광 처리를 실시함으로써, 상기 제2 절연막에 제2 홀 패턴을 형성하기 위한 포토레지스트 패턴을 형성하는 공정, 상기 포토레지스트 패턴을 에칭 마스크로 하여 에칭 처리를 실시함으로써, 상기 제2 절연막에 상기 제1 홀 패턴과 접속되고, 또한 상기 배선과는 접속되지 않도록 상기 제2 홀 패턴을 형성하는 공정을 포함하 고,

상기 제2 홀 패턴은 그 위치가 어긋났다고 하여도 상기 제1 홀 패턴과의 접속이 유지되고, 또한 상기 배선과의 절연 상태가 유지되도록, 상기 배선을 끼우도록 배선에 근접해서 배치되는 한쌍의 제2 홀 패턴이 그 한쌍의 제2 홀 패턴에 끼워지는 배 선으로부터 이격하도록 배치되고,

상기 포토마스크는 그 제2 홀 패턴을 전사하기 위한 복수의 광 투과 패턴을 포함하고 있고, 상기 배선이 연장하는 제1 방향 을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되지 않고, 그 위치가 상기 제1 방향에 교차하는 제2 방향에 교대로 어긋나 배치되어 있고, 상기 제2 방향을 따라 배치되는 상기 복수의 광 투과 패턴은 직선 상에 배치되어 있는 것이 다.

<실시예>

1. 자외선광: 반도체 분야에서는 400nm 전후로부터 단 파장으로 50nm 이하 정도까지의 전자파를 말하지만, 300nm보다 장 파장을 근자외역, 그 이하의 단파장 영역을 원자외역이라 부르고, 200nm 이하를 특히 진공자외역이라 한다. 광원으로서의 수는 아르 램프 등의 i선(파장: 365nm), KrF 엑시머 레이저(파장: 248nm), ArF(파장: 193nm) 및 F₂(파장: 157nm) 엑시머 레 이저 등이 있다.

2. 스캐닝 노광: 가는 슬릿형 노광대를 반도체 웨이퍼와 포토마스크(또는 레티클, 본원에서 포토마스크라고 할 때는 레티 클도 포함하는 넓은 개념을 나타냄)에 대하여 슬릿의 길이 방향과 직교하는 방향으로(비스듬히 이동시켜도 좋음) 상대적 으로 연속 이동(주사)시킴으로써, 포토마스크 상의 회로 패턴을 반도체 웨이퍼 상의 원하는 부분에 전사하는 노광 방법.

3. 스텝 앤드 스캔 노광: 상기 스캐닝 노광과 스텝 노광을 조합하여 웨이퍼 상의 노광해야 할 부분의 전체를 노광하는 방법 이고, 상기 스캐닝 노광의 하위 개념에 해당한다.

4. 포토마스크(광학 마스크): 기판 상에 광을 차광하는 패턴이나 광의 위상을 변화시키는 패턴을 형성한 것. 기판 상은 기 관 상면, 기판 상면에 근접한 내부 영역 또는 상공 영역을 포함한다(상면에 근접한 다른 기판 상에 배치하여도 좋다). 통상 의 포토마스크(2진 마스크)는 기판 상에 광을 차광하는 패턴과 광을 투과하는 패턴으로 마스크 패턴을 형성한 일반적인 포 토마스크를 말한다. 이하, 포토마스크를 단순히 마스크라 한다.

5. 기관홈 시프터: 석영 등의 투명 마스크 기관 자체의 표면에 오목부를 형성한 위상 시프터. 기관 자체의 표면은 기관의 표 면에 기관과 재질이 유사한 막을 형성한 것을 포함하는 것으로 한다.

6. 기관상 박막홈 시프터: 기관 상의 차광막 아래로, 시프터로서 작용하는 목적에 적합한 두께의 시프터막을 형성하여, 기 초 기관과의 에칭 속도 차 등을 이용하는 등으로 하여 형성한 홈형 시프터.

7. 홈 시프터: 상기 기관홈 시프터 및 기관상 박막홈 시프터 등을 포함하는 상위 개념으로, 차광막보다 하층의 투명막, 투명 기관 등에 오목부를 형성한 시프터 일반을 말한다. 이에 대하여, 차폐막 상에 시프터막을 배치하는 방식을 시프터막 상부 배치법 또는 상부 배치 시프터라 한다.
8. 미세 차양형 홈 시프터: 홈 시프터의 주변(폭이 좁은 단면 방향)으로 차광막이 석영 기관 등의 오목부 측벽 상단으로부터 오목부의 내측으로 돌출형(또는 차양형으로)으로 뚫고 나온 부분의 길이 P가 단색 노광 광의 파장 λ 를 기준으로 한 경우에 $40\%(P/\lambda=40\%)$ 를 「차양 길이」라 함) 이하인 경우를 말한다.
9. 시프터의 깊이: 시프터부의 기관 홈 형성 깊이는 노광 파장에 의존하고 위상을 180도 반전시키는 깊이 Z는 $Z=\lambda/(2(n-1))$ 로 나타낸다. 단, n은 소정의 노광 파장의 노광 광에 대한 기관의 굴절율, λ 는 노광 파장이다.
10. 위상 시프터(위상 시프트 마스크 패턴): 적어도 하나의 위상 시프터를 갖는 마스크 개구 패턴을 포함하는 마스크 상의 회로 패턴. 예를 들면, 스텝 노광의 단일 쇼트 영역(1 스텝으로 노광하는 범위) 또는 스캐닝 노광에서의 단일 스캐닝으로 노광하는 영역에 대응하는 마스크 상의 회로 패턴군으로, 예를 들면 반도체 웨이퍼 상의 단위 칩 영역 또는 그 정수배에 대응하는 마스크 기관 상의 마스크 패턴(회로 패턴) 등을 말한다.
11. 보조 광 투과 패턴(보조 마스크 패턴): 일반적으로 반도체 웨이퍼 상에 투영되었을 때, 그 개구 패턴에 대응하는 독립한 상을 형성하지 않은 마스크 상의 개구 패턴을 말한다.
12. 레벤손형 위상 시프트 마스크: 공간 주파수 변조형 위상 시프트 마스크라고도 불리며, 일반적으로 차광막에 차광 영역으로 사이에 두어지고, 서로 근접하여 복수의 개구를 설치하고, 그 위상을 교대로 반전한 개구군으로 이루어지는 위상 시프트 마스크. 대략적으로 분류하면, 라인 앤드 스페이스 패턴과 교대 반전 홀 패턴(컨택트 홀용 레벤손 패턴이라 함) 등이 있다.
13. 하프톤형 위상 시프트 마스크: 위상 시프트 마스크의 일종으로 시프터와 차광막을 겸용하는 하프톤막의 투과율이 1% 이상, 40% 미만으로, 그것이 없는 부분과 비교했을 때의 위상 시프트량이 광의 위상을 반전시키는 하프톤 시프터를 갖는 것이다.
14. 보조 패턴 배치형 위상 시프트 마스크: 대략적으로 분류하면, 고립된 라인 패턴과 홀 패턴용으로 분류되어, 전자의 대표는 실 개구 패턴과 그 양측에 설치된 보조 시프터 패턴(이 위상 반전 패턴도 등가임)이고, 후자의 대표는 아웃트리거(outtrigger) 타입의 홀 패턴(중앙의 실 개구와 그 주변에 설치된 복수의 보조 개구로 이루어짐)이다. 그러나, 상기 레벤손형 위상 시프트 마스크의 마스크 패턴의 단부 또는 주변에는 보조 개구나 보조 시프터가 설치되기 때문에, 실제의 패턴으로는 양방식이 혼합하는 경우가 많다.
15. 위상 시프트 마스크: 본원에서 단순히 위상 시프트 마스크라고 할 때는, 이들을 총칭해서 말하기로 한다.
16. 반도체 웨이퍼(이하, 단순히 웨이퍼라 함) 또는 반도체 기관은 반도체 집적 회로의 제조에 이용하는 실리콘 단결정 기관(일반적으로 거의 평면 원 형상), 사파이어 기관, 유리 기관, 그 밖의 절연, 반 절연 또는 반도체 기관 등 및 이들 복합적 기관을 말한다. 또한, 본원에 있어서 반도체 집적 회로 장치는 실리콘 웨이퍼나 사파이어 기관 등의 반도체 또는 절연체 기관 상에 만들어지는 것 외에, 특히 그렇지 않은 취지가 명시된 경우를 제외하고, TFT(Tin-Film-Transistor) 및 STN(Super-Twisted-Nematic) 액정 등과 같은 유리 등의 다른 절연 기관 상에 만들어지는 것 등도 포함하기로 한다.
17. 차광 영역, 차광 패턴, 차광막 또는 차광은 그 영역에 조사되는 노광 광 중, 40% 미만을 투과시키는 광학 특성을 갖는 것을 나타낸다. 일반적으로 수 %내지 30% 미만의 것이 사용된다. 한편, 「광 투과 영역」, 「광 투과 패턴」, 「투명 영역」, 「투명막」 또는 「투명」이라 할 때는 그 영역에 조사되는 노광 광 중, 60% 이상을 투과시키는 광학 특성을 갖는 것을 나타낸다. 일반적으로 90% 이상의 것이 사용된다.
18. 포토레지스트 패턴은 감광성 유기막을 포토리소그래피의 방법에 의해 패터닝한 막 패턴을 말한다. 또, 이 패턴에는 해당 부분에 대하여 전혀 개구가 없는 단순한 레지스트막을 포함한다.
19. 통상 조명은 비 변형 조명으로, 광 강도 분포가 비교적 균일한 조명을 말한다.

20. 변형 조명은 중앙부의 조도를 낮춘 조명에 있어서, 경사진 방향 조명, 고리대 조명, 4 중극 조명, 5 중극 조명 등의 다중극 조명 또는 그와 등가인 동공 필터에 의한 초해상 기술을 포함한다.

21. 해상도: 패턴 치수는 투영 렌즈의 개구 수 NA(Numerical Aperture)와 노광 파장 λ 으로 규격화하여 표현할 수 있다. 본 실시예에 있어서는, 노광 파장 248nm의 KrF 엑시머 레이저 광을 투영 렌즈의 NA는 0.68을 주로 이용하였다. 따라서, 다른 파장이나 다른 렌즈 NA를 이용할 경우, 해상도 R은 $R=K1 \cdot \lambda / NA$ ($K1$ 은 프로세스에 의존하여 결정되는 임의의 상수)로 나타내기 때문에 환산하여 이용하면 좋다. 단, 초점 심도 D도 $D=K2 \cdot \lambda / (NA)^2$ ($K2$ 는 프로세스에 의존하여 결정되는 임의의 상수)로 나타내기 때문에 초점 심도는 다르다.

이하의 실시예에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특히 명시한 경우를 제외하고, 이들은 상호 관계 없는 것이 아니라, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

22. 전사 패턴: 마스크에 의해 웨이퍼 상에 전사된 패턴으로서, 구체적으로는 상기 포토레지스트 패턴 및 포토레지스트 패턴을 마스크로 하여 실제로 형성된 웨이퍼 상의 패턴을 말한다.

23. 홀 패턴: 웨이퍼 상에서 노광 파장과 동일한 정도 또는 그 이하의 2차원적 치수를 갖는 콘택트 홀, 관통(through) 홀 등의 미세 패턴. 일반적으로는, 마스크 상에서는 정방형 또는 그에 가까운 장방형 또는 팔각형 등의 형상이지만, 웨이퍼 상에서는 원형에 가까운 것이 많다.

24. 라인 패턴: 소정의 방향으로 연장하는 띠상의 패턴을 말한다.

또한, 이하의 실시예에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급하는 경우, 특히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니라 특정한 수 이상이어도, 이하이어도 좋다.

또한, 이하의 실시예에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는 특히 명시한 경우 및 원리적으로 분명히 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다.

마찬가지로, 이하의 실시예에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하기로 한다. 이는 상기 수치 및 범위에 대해서도 동일하다.

또한, 실시예를 설명하기 위한 모든 도면에 있어서 동일한 기능을 갖는 것은 동일한 부호를 붙여, 그 반복 설명은 생략한다.

또한, 본 실시예의 설명에 이용하는 도면에 있어서 마스크 또는 그 데이터를 모식적으로 나타내는 평면도에 있어서도, 도면을 보기 쉽게 하기 위해서 차광 패턴 및 위상 시프터에 해칭(hatching: 음영선)을 붙인다.

<제1 실시예>

본 실시예에 있어서는 예를 들면 최소 설계 치수가 130nm 정도의 1G(기가) 비트 DRAM(Dynamic Random Access Memory)급의 대규모 집적 회로 소자의 제조 공정에 본 발명을 적용한 경우를 일례로서 설명한다.

우선, 그 DRAM의 제조 방법의 일례를 설명한다. 또, 여기서는 DRAM의 제조 공정 중의 구조에 대하여 주로 설명하고, 그 구조를 형성하기 위한 노광 기술(상기 마스크의 구조를 포함함)에 대해서는 후술한다. 또한, 여기서 이용하는 평면도에 있어서, 좌우 수평 방향을 X 방향으로 하고, 이에 대하여 수직인 상하 수직 방향을 Y 방향으로 설명한다. 또한, 그 X 방향으로 연장되는 가상 상인 축을 X축, Y 방향으로 연장되는 가상 상인 축을 Y 축이라 한다. 또한, 메모리 셀 패턴은 1 교점 메모리 셀 타입(또는 오픈 비트 라인형)의 패턴 레이아웃을 예시한다.

도 1은 그 DRAM의 제조 공정 중에 있어서의 메모리 어레이의 주요부 평면도를 나타내고 있다. 또한, 도 2~도 4는 각각 도 1의 A-A선, B-B선 및 C-C선의 단면도를 나타내고 있다. 웨이퍼(1W)를 구성하는 반도체 기판(이하, 단순히 기판이라

합 : 1)은 예를 들면 p형 단결정 실리콘으로 이루어진다. 기판(1)의 주면의 분리 영역에는 예를 들면 홈형 분리부(트렌치 아이솔레이션: 2)가 형성되어 있다. 이 분리부(2)는 기판(1)에 파진 홈 내에 절연막이 매립되도록 형성되어 있다. 또한, 기판(1)에는 그 분리부(2)에 의해 복수의 활성 영역 L이 형성되어 있다. 각각의 활성 영역 L은 도 1에 도시한 바와 같이, 그 주위가 분리부(2)에 둘러싸임으로써, 도 1의 좌우 상하(수평 수직: XY) 방향에 대하여 기울어진 방향으로 가늘고 길게 연장되는 평면 십 형상의 패턴으로 형성되어 있다. 각각의 활성 영역 L에는 예를 들면 2개의 메모리 셀 선택용 MIS-FET이 각각의 소스, 드레인의 한쪽을 공유하는 상태로 형성된다.

활성 영역 L의 Y 방향에서의 배치 피치(피치: 대상으로 하는 패턴의 중심에서 중심까지의 거리) Dy_1 은, 예를 들면 420nm 정도(웨이퍼 상 환산)이다. 또한, 활성 영역 L의 X 방향에서의 배치 피치 Dx_1 은, 예를 들면 520nm 정도(웨이퍼 상 환산)이다. 활성 영역 L이 Y 방향의 1행마다 X 방향으로 어긋나는 치수 Dx_2 는, 예를 들면 260nm 정도(웨이퍼 상 환산)이다. 또한, 활성 영역 L의 단 방향(폭 방향: 길이 방향에 수직인 방향)에 있어서의 배치 피치 D_1 은, 예를 들면 250nm 정도(웨이퍼 상 환산)이다. 또한, 활성 영역 L의 길이 방향에 있어서의 배치 간격(간격: 대상으로 하는 패턴의 대향하는 끝에서 끝까지의 거리) D_2 는, 예를 들면 160~180nm 정도(웨이퍼 상 환산)이다. 활성 영역 L의 길이 방향에 있어서의 인접 피치는 예를 들면 252nm 정도(웨이퍼 상 환산)이다. 또한, 활성 영역 L의 길이 방향 치수는 예를 들면 126nm 정도(웨이퍼 상 환산)이다.

상기 홈형 분리부(2)의 형성 방법은, 예를 들면 다음과 같다. 우선, 기판(1)의 주면 상에 활성 영역 형성을 위한 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴은, 상기 활성 영역 L의 형성 영역을 덮고, 그 이외의 영역이 노출되도록 패턴 형성되어 있다. 이 포토레지스트 패턴에 대해서는 나중에 상세히 설명한다. 계속해서, 그 포토레지스트 패턴을 에칭 마스크로 하여 기판(1)에 대하여 에칭 처리를 실시함으로써, 포토레지스트 패턴으로부터 노출되는 기판(1) 부분을 에칭 제거한다. 이에 따라, 기판(1)에 예를 들면 깊이 300~400nm 정도의 홈(전사 패턴)을 형성한다. 그 후, 그 홈의 내부를 포함하는 기판(1) 상에, 예를 들면 산화 실리콘막으로 이루어진 절연막(2a)을 CVD(Chemical Vapor Deposition)법으로 600nm 정도의 두께로 피착한다. 이 절연막(2a)은 예를 들면 산소(또는 오존)와 테트라 에톡시 실란(TEOS: Tetra ethoxy silane)을 소스 가스에 이용한 플라즈마 CVD법으로 피착한 후, 1000℃ 정도의 드라이 산화를 행하여 막을 치밀화(덴시파이)함으로써 형성되어 있다. 그 후, 그 절연막(2a)을 화학 기계 연마(Chemical Mechanical Polishing: CMP)법으로 연마(폴리시백)한다. 이 때, 홈의 내부의 절연막(2a)의 표면을 활성 영역 L의 표면과 거의 동일한 높이가 되도록 평탄화한다. 이와 같이 하여 홈형 분리부(2)를 형성한다.

그 후, 기판(1)에 붕소(B)를 이온 주입함으로써 p형 웰(3)을 형성하고, 계속해서 p형 웰(3)의 표면을 불산(HF)계의 세정액으로 세정한 후, 기판(1)을 열 산화함으로써 p형 웰(3)의 활성 영역 L의 표면에 산화 실리콘계의 청정한 게이트 절연막(4)을 형성한다. 게이트 절연막(4)의 두께는, 예를 들면 산화 실리콘 환산 막 두께로 6nm 정도이다. 또, 게이트 절연막(4)은 산화 실리콘계 절연막보다 유전율이 높은 질화 실리콘계 절연막, 금속 산화물계 절연막(산화 탄탈막, 산화 티탄막등)이어도 좋다. 이들 절연막은 기판(1) 상에 CVD법이나 스퍼터링법으로 성막함으로써 형성한다.

계속되는 공정을 도 5~도 7에 도시한다. 도 5는 상기 DRAM의 제조 공정 중에 있어서의 도 1과 동일 개소의 주요부 평면도를 나타내고, 도 6 및 도 7은 각각 도 5의 A-A선 및 B-B선의 단면도를 나타내고 있다. 이 공정에서는, 기판(1)의 주면 상에 복수 라인의 워드선 WL[게이트 전극(5)]을 형성한다. 즉, 기판(1)의 주면 상에 예를 들면 인(P) 등을 도핑한 n형 다결정 실리콘막(막 두께 70nm 정도), 질화 텅스텐(WN) 또는 질화 티탄(TiN)으로 이루어진 배리어 메탈막(막 두께 5nm~10nm 정도), 텅스텐(W)막(막 두께 100nm 정도) 및 캡 절연막(6: 막 두께 150nm 정도)을 순차 피착한 후, 워드선 형성을 위한 포토레지스트 패턴을 마스크로 하여 이들 막을 드라이 에칭함으로써, 워드선 WL[게이트 전극(5)]을 형성한다. 다결정 실리콘막 및 캡 절연막(6)은 CVD법으로 피착하고, 배리어 메탈막 및 W 막은 스퍼터링법으로 피착한다. 캡 절연막(6)은, 예를 들면 질화 실리콘막으로 이루어진다.

이 워드선 WL은, 도 5에 도시한 바와 같이 도 5의 Y 방향을 따라 연장되는 평면따위의 패턴으로 형성되어, 도 5의 X 방향을 따라 소정의 간격을 두고 상호 평행하게 되도록 복수 라인 배치되어 있다. 이 워드선 WL과, 상기 활성 영역 L은 상호 비스듬히 교차하도록 배치되어 있다. 워드선 WL에서 활성 영역 L과 평면적으로 중첩되는 부분이 메모리 셀 선택용 MIS-FET의 게이트 전극(5)이 된다. 또한, 활성 영역 L에서 워드선 WL이 중첩된 영역이 메모리 셀 선택용 MIS-FET의 채널 영역이 된다. 상기한 바와 같이 각 활성 영역 L에는 2개의 메모리 셀 선택용 MIS-FET이 배치되기 때문에, 각 활성 영역 L에는 2개의 워드선 WL이 평면적으로 중첩되게 되어 있다. 또한, 이 구조의 DRAM에서 상기 활성 영역 L의 길이 방향의 배치 간격 D_2 는 1개의 워드선 WL이 배치되는 만큼의 치수 밖에 없다. 워드선 WL의 선 폭은, 메모리 셀 선택용 MIS-FET의 임계치 전압을 얻기 위해서 필요한 선 폭을 갖고 있으며, 여기서는 예를 들면 100nm 정도(웨이퍼 상 환산)이다. 또한, 인접한 워드선 WL의 피치는 예를 들면 260nm 정도(웨이퍼 상 환산)이다.

계속되는 공정을 도 8~도 10에 도시한다. 도 8~도 10은 각각이 공정에서의 상기 도 1의 A-A선, B-B선 및 C-C선에 대응하는 부분의 단면도를 나타내고 있다. 이 공정에서는, p형 웰(3)에 비소(As) 또는 인(P)을 이온 주입하여 게이트 전극(5)의 양측의 p형 웰(3)에 n형 반도체 영역(7: 소스, 드레인)을 형성한다. 여기까지의 공정에 의해 메모리 셀 선택용 MIS-FETQs가 대략 완성된다. 계속해서, 기판(1) 상에 질화 실리콘 등으로 이루어진 절연막(8)을 CVD법 등에 의해 50nm 정도의 두께로 피착한다. 또, 절연막(8)은 인접 워드선 WL 사이를 매립하지 않고, 워드선 WL의 표면에 얇게 피착되어 있다.

계속되는 공정을 도 11~도 14에 도시한다. 도 11은 이 공정에서의 도 1과 동일 개소의 주요부 평면도를 나타내고, 도 12~도 14는 각각 도 11의 A-A선, B-B선 및 C-C선의 단면도를 나타내고 있다. 이 공정에서는, 기판(1) 상에 절연막(9)을 피착한 후, 그 절연막(9)에 저면으로부터 n형 반도체 영역(7)이 노출되는 평면 대략 원 형상의 콘택트 홀(제1 홀 패턴: 10a) 및 콘택트 홀(제2 홀 패턴: 10b)을 형성한다. 즉, 우선, 기판(1) 상에 산화 실리콘 등으로 이루어진 절연막(9)을 CVD법 등에 의해 600nm 정도의 두께로 피착한 후, 그 절연막(9)의 표면을 화학 기계 연마법 등으로 평탄화한다. 계속해서, 절연막(9) 상에 콘택트 홀 형성용 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴은 콘택트 홀 형성 영역이 노출되고, 노출되지 않은 영역이 피복되는 패턴으로 되어 있다. 이 포토레지스트 패턴에 대해서는 나중에 상세히 설명한다. 그 후, 그 포토레지스트 패턴을 에칭 마스크로 하여 드라이 에칭 처리를 실시함으로써, 그 포토레지스트 패턴으로부터 노출하는 절연막(9, 8) 부분을 에칭 제거한다. 이에 따라, 저면으로부터 메모리 셀 선택용 MIS-FETQs의 n형 반도체 영역(7: 소스, 드레인)이 노출하는 콘택트 홀(10a, 10b)을 형성한다. 이 에칭 처리에 있어서, 산화 실리콘 등으로 이루어진 절연막(9)의 에칭은 질화 실리콘막에 대한 선택비가 큰 조건으로 행하고, 질화 실리콘 등으로 이루어진 절연막(8)의 에칭은 실리콘이나 산화 실리콘막에 대한 에칭 선택비가 큰 조건으로 행한다. 이에 따라, 콘택트 홀(10a, 10b)을 게이트 전극(5: 워드선 WL)에 대하여 자기 정합(셀프 얼라이먼트)으로 형성할 수 있다.

콘택트 홀(10a, 10b) 중, 활성 영역 L의 중앙에 배치되는 콘택트 홀(10a)은 n형 반도체 영역(7)과 데이터선을 전기적으로 접속하기 위한 홀 패턴(전사 패턴)이다. 또한, 활성 영역 L의 양단측에 배치되는 콘택트 홀(제1 홀 패턴: 10b)은 n형 반도체 영역(7)과 정보 축적용 용량 소자의 하부 전극(축적 전극)을 전기적으로 접속하기 위한 홀 패턴(전사 패턴)이다.

콘택트 홀(10a, 10b)은, 예를 들면 벌집형으로 밀집해서 배치되어 있다. 콘택트 홀(10a, 10b)의 직경은, 예를 들면 240nm 정도(웨이퍼 상 환산)이다. 또한, 콘택트 홀(10a, 10b)의 Y 방향의 배치 피치 Dy_2 는, 예를 들면 280nm 정도(웨이퍼 상 환산)이다. 또한, 콘택트 홀(10a, 10b)이 X 방향의 1열마다 Y 방향으로 어긋나는 치수 Dy_3 는, 예를 들면 140nm 정도(웨이퍼 상 환산)이다. 콘택트 홀(10a, 10b)의 X 방향의 배치 피치 Dx_3 는, 예를 들면 260nm 정도(웨이퍼 상 환산)이다.

또한, 콘택트 홀(10a, 10a)의 Y 방향의 배치 피치 Dy_4 는, 예를 들면 420nm 정도(웨이퍼 상 환산)이다. 콘택트 홀(10a, 10a)의 X 방향의 배치 피치 Dx_4 는, 예를 들면 520nm 정도(웨이퍼 상 환산)이다.

또한, 콘택트 홀(10b, 10b)의 Y 방향의 배치 피치 Dy_5 는, 예를 들면 280nm 정도(웨이퍼 상 환산)이다. 콘택트 홀(10b, 10b)의 Y 방향의 배치 피치 Dy_6 는, 예를 들면 420nm 정도(웨이퍼 상 환산)이다. 또한, 콘택트 홀(10b, 10b)의 X 방향의 배치 피치 Dx_5 는, 예를 들면 520nm(웨이퍼 상 환산) 정도이다.

계속되는 공정을 도 15 및 도 16에 도시한다. 도 15 및 도 16은 이 공정에서의 상기 도 1의 A-A선 및 B-B선에 대응하는 부분의 단면도를 나타내고 있다. 이 공정에서는 도 15 및 도 16에 도시한 바와 같이, 콘택트 홀(10a, 10b)의 내부에 플러그(11a, 11b)를 형성한다. 플러그(11a, 11b)를 형성하기 위해서는 절연막(9) 상에 인(P)을 도핑한 n형 다결정 실리콘막을 CVD법으로 피착함으로써, 콘택트 홀(10a, 10b)의 내부에 이 n형 다결정 실리콘막을 매립한 후, 콘택트 홀(10a, 10b)의 외부의 n형 다결정 실리콘막을 화학 기계 연마법 또는 에칭법으로 제거한다.

계속되는 공정을 도 17~도 20에 도시한다. 도 17은 이 공정에서의 상기 도 1과 동일 개소의 주요부 평면도를 나타내고, 도 18~도 20은 각각 도 17의 A-A선, B-B선 및 C-C선의 단면도를 나타내고 있다. 이 공정에서는 기판(1) 상에 절연막(12)을 피착한 후, 그 절연막(12)에 저면으로부터 플러그(11a)의 일부가 노출하는 평면 대략 원 형상의 관통 홀(13)을 형성한다. 즉, 우선, 기판(1) 상[절연막(9) 및 플러그(11a, 11b)의 상면 상]에 예를 들면 산화 실리콘 등으로 이루어진 절연막(12)을 CVD법 등에 의해 50nm 정도의 두께로 피착한 후, 그 절연막(12) 상에 데이터선용 관통 홀을 형성하기 위한 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴은 데이터선과 플러그(11a)를 접속하기 위한 관통 홀 형성 영역이 노출되고, 노출되지 않은 영역이 피복되는 패턴으로 되어 있다. 계속해서, 도 17, 도 19 및 도 20에 도시한 바와 같이 그 포토레지

스트 패턴을 에칭 마스크로 하고, 거기에서 노출되는 절연막(12) 부분을 에칭 제거함으로써 관통 홀(13)을 형성한다. 관통 홀(13)의 평면 배치 피치는 상기한 컨택트 홀(10a, 10b)의 평면 배치 피치보다 비교적 넓다. 이 때문에, 이 관통 홀(13)을 형성하기 위한 포토레지스트 패턴은, 하프톤형 위상 시프트 마스크로, 조명광의 간섭성을 높게 한 코히어런스(coherency) (σ)=0.3 (또는 위상 시프트범에 있어서의 통상의 노광 조건)의 노광 조건으로 형성할 수 있다. 관통 홀(13)의 직경은, 예를 들면 200nm 정도(웨이퍼 상 환산)이다.

계속되는 공정을 도 21~도 24에 도시한다. 도 21은 이 공정에서의 상기 도 1과 동일 개소의 주요부 평면도를 나타내고, 도 22~도 24는 각각 도 21의 A-A선, B-B선 및 C-C선의 단면도를 나타내고 있다. 이 공정에서는, 상기 관통 홀(13) 내에 플러그(14)를 형성한 후, 이에 접속되는 데이터선 DL을 형성한다. 우선, 플러그(14)를 형성하기 위해서는, 절연막(12) 상에 예를 들면 스퍼터링법으로 티탄(Ti)막과 질화티탄(TiN)막의 적층막으로 이루어진 배리어 메탈막을 피착하고, 계속해서 배리어 메탈막 상에 CVD법 등으로 텅스텐(W)막을 피착함으로써 관통 홀(13)의 내부에 이들 막을 매립한 후, 관통 홀(13)의 외부의 이들 막을 화학 기계 연마법으로 제거한다. 계속해서, 데이터선 DL을 형성하기 위해서는 예를 들면 절연막(12) 상에 스퍼터링법으로 질화 티탄(TiN)막(막 두께 10nm 정도)을 피착하고, 계속해서 질화 티탄(TiN)막 상에 CVD법 등으로 텅스텐(W)막(막 두께 50nm 정도)을 피착한 후, 포토레지스트 패턴을 마스크로 하여 이들 막을 드라이 에칭한다.

데이터선 DL은 플러그(14) 및 그 하층의 플러그(11a)를 통하여 메모리 셀 선택 MISQs에서의 소스·드레인용 한쪽의 n형 반도체 영역(7)과 전기적으로 접속된다. 데이터선 DL의 선 폭은, 예를 들면 80nm 정도(웨이퍼 상 환산)이다. 또한, 인접한 데이터선 DL 사이의 거리는, 예를 들면 430nm 정도(웨이퍼 상 환산)이다.

계속되는 공정을 도 25~도 28에 도시한다. 도 25는 이 공정에서의 상기 도 1과 동일 개소의 주요부 평면도를 나타내고, 도 26~도 28은 각각 도 25의 A-A선, B-B선 및 C-C선의 단면도를 나타내고 있다. 이 공정에서는, 기판(1) 상에 절연막(15) 및 절연막(16)을 피착한 후, 그 절연막(15, 16) 및 절연막(12)에 저면으로부터 플러그(11b)의 일부가 노출하는 것과 같은 평면, 대략 원 형상의 관통 홀(제2 홀 패턴: 17)을 형성한다.

즉, 우선, 기판(1) 상[절연막(12)의 상면 및 데이터선 DL의 표면 상]에 예를 들면 산화 실리콘 등으로 이루어진 절연막(15)을 CVD법 등에 의해 300nm 정도의 두께로 피착하고, 계속해서 화학 기계 연마법으로 그 표면을 평탄화한다. 계속해서, 그 절연막(15) 상에 예를 들면 질화 실리콘으로 이루어진 절연막(16)을 CVD법 등에 의해 50nm 정도의 두께로 피착한 후, 그 위에 예를 들면 다결정 실리콘막을 CVD법 등에 의해 피착한다. 그 후, 그 다결정 실리콘막 상에 정보 축적용 용량 소자용 관통 홀을 형성하기 위한 포토레지스트 패턴을 형성한 후, 그것을 에칭 마스크로 하여 다결정 실리콘막에 있어서 관통 홀 형성 영역에 구멍을 개구함으로써, 하드 마스크(18)를 형성한다. 이 포토레지스트 패턴은 정보 축적용 용량 소자의 하부 전극과 플러그(11b)를 접속하기 위한 관통 홀 형성 영역이 노출되고, 노출되지 않은 영역이 피복되는 패턴으로 되어 있다. 이 경우의 관통 홀의 평면 배치 피치는 상기한 컨택트 홀(10a, 10b)의 평면 배치 피치보다 비교적 넓기 때문에, 그 포토레지스트 패턴은 레벤슨형 위상 시프트 마스크를 이용하여, 위상 시프트범에 있어서의 통상의 노광 조건으로 형성할 수 있다. 하드 마스크(18)를 형성한 후, 기판(1) 상에 또한 다결정 실리콘막을 CVD법 등에 의해 피착하고, 이를 이방성 드라이 에칭법 등에 의해 에치백함으로써, 하드 마스크(18)의 구멍의 내측면에 측벽(18a)을 형성한다. 그 후, 도 25, 도 26 및 도 28에 도시한 바와 같이, 그 하드 마스크(18) 및 측벽(18a)을 에칭 마스크로 하여, 거기에서 노출되는 절연막(16, 15, 12) 부분을 에칭 제거함으로써, 관통 홀(17)을 형성한다.

관통 홀(17)은 그 직경이 그 하부의 컨택트 홀(10b)의 직경보다 작아지도록 형성한다. 또한, 관통 홀(17)은 그 중심이 그 하부의 컨택트 홀(10b)의 중심보다 데이터선 DL로부터 떨어진 방향으로 오프셋한다. 이와 같이, 관통 홀(17)의 직경을 그 하부의 컨택트 홀(10b)의 직경보다 작게 하고, 또한 그 중심을 데이터선 DL로부터 떨어진 방향으로 오프셋함으로써, 메모리 셀 사이즈를 축소할 경우에 있어서도 자기 정합 컨택트(Self Align Contact; SAC) 기술을 이용하지 않고, 관통 홀(17: 내부에 매립되는 플러그)과 데이터선 DL과의 쇼트를 방지할 수 있다. 또, 관통 홀(17)의 직경을 그 하부의 컨택트 홀(10b)의 직경보다 작게 한 경우에 있어서도, 이들 중심을 비켜 놓아도 양자의 컨택트 면적을 충분히 확보할 수 있다. 이 관통 홀(17)은 전체가 하층의 플러그(11b) 상에 형성될 필요성은 없고, 적어도 일부가 플러그(11b)와 접촉하고 있으면 좋다. 즉, 소위 "눈 형성"을 허용한 구조로 되어 있다. 이 관통 홀(17)의 직경은, 예를 들면 170nm 정도(웨이퍼 상 환산)이다. 또한, 관통 홀(17)의 끝부터 그에 근접하여 대향하는 비트선 DL의 끝까지의 거리는, 예를 들면 40nm 정도(웨이퍼 상 환산)이다.

계속되는 공정을 도 29~도 31에 도시한다. 도 29~도 31은 이 공정에서의 상기 도 1의 A-A선, B-B선 및 C-C선에 대응하는 부분의 단면도를 나타내고 있다. 이 공정에서는, 하드 마스크(18) 및 측벽(18a)을 드라이 에칭으로 제거한 후 관통 홀(17)의 내부에 플러그(19)를 형성하고, 또한 플러그(19)의 표면에 배리어 메탈막(20)을 형성한다. 플러그(19) 및 배리어 메탈막(20)을 형성하기 위해서는, 우선 절연막(16)의 상부에 인(P)을 도핑한 n형 다결정 실리콘막을 CVD법으로 피착함으로써 관통 홀(17)의 내부에 n형 다결정 실리콘막을 매립한 후, 관통 홀(17)의 외부의 n형 다결정 실리콘막을 화학 기계 연마법(또는 에치백)으로 제거한다. 또한, 이 때 관통 홀(17)의 내부의 n형 다결정 실리콘막을 오버 연마(오버 에칭)하여, 플

러그(19)의 표면을 절연막(16)의 표면보다 아래쪽으로 후퇴시킴으로써, 플러그(19)의 상부에 배리어 메탈막(20)을 매립하는 공간을 확보한다. 다음으로, 절연막(16)의 상부에 스퍼터링법으로 TiN막을 피착함으로써, 플러그(19)의 상부의 관통홀(17) 내에 TiN막을 매립한 후, 관통홀(17)의 외부의 TiN막을 화학 기계 연마법(또는 에치백)으로 제거한다. 이 종류의 배리어 메탈 재료로서는, TiN 외, 루테튬(Ru) 실리사이드나 티탄(Ti)-알루미늄(Al)-실리콘(Si) 합금 등을 이용할 수도 있다.

계속되는 공정을 도 32 및 도 33에 도시한다. 도 32 및 도 33은 이 공정에서의 상기 도 1의 A-A선 및 C-C선에 대응하는 부분의 단면도를 나타내고 있다. 이 공정에서는, 절연막(16) 및 배리어 메탈막(20) 상에 예를 들면 산화 실리콘 등으로 이루어진 절연막(21)을 CVD법 등에 의해 피착한 후, 그 위에 반사 방지막 및 포토레지스트막을 스핀 도포하고, 이것을 캐패시터 구멍 형성용 포토레지스트 패턴(22)에 형성한다.

DRAM의 메모리 셀을 구성하는 정보 축적용 용량 소자의 하부 전극은, 다음의 공정에서 이 절연막(21)에 형성하는 구멍(오목부)의 내부에 형성된다. 따라서, 절연막(21)의 막 두께가 이 하부 전극의 높이가 되기 때문에 하부 전극의 표면적을 크게 하여 축적 전하량을 늘리기 위해서는, 절연막(21)을 두꺼운 막 두께(0.8 μ m 정도)로 피착할 필요가 있다. 절연막(21)은 예를 들면 산소와 테트라 에톡시 실란(TEOS)을 소스 가스에 이용한 플라즈마 CVD법으로 피착하고, 그 후, 필요에 따라 그 표면을 화학 기계 연마법으로 평탄화한다.

또한, 포토레지스트 패턴(22)은 반사 방지막과 그 위의 포토레지스트막으로 구성되어 있다. 이 포토레지스트막은 두꺼운 막 두께의 절연막(21)을 에칭하기 때문에, 에칭 과정에서의 막 감소를 고려하여, 그 막 두께를 480nm 정도로 한다. 하층의 반사 방지막은 포토레지스트막을 노광 현상에 의해 패터닝한 후, 그 포토레지스트 패턴을 에칭 마스크로 하여 드라이 에칭 처리가 실시됨으로써, 이미 패터닝되어 있다. 절연막(21)의 막 두께가 0.8 μ m 정도인 경우, 레지스트 마스크에 의한 에칭이 가능하지만, 절연막(21)의 막 두께가 그보다 두꺼운 경우, 에칭 마스크로 하여 텅스텐 등과 같은 하드 마스크의 전사가 필요하다.

계속되는 공정을 도 34~도 36에 도시한다. 도 34는 이 공정에서의 상기 도 1과 동일 개소의 주요부 평면도를 나타내고, 도 35 및 도 36은 각각 도 34의 A-A선 및 C-C선의 단면도를 나타내고 있다. 이 공정에서는 포토레지스트 패턴(22)을 마스크로 하여 그 하층의 절연막(21)을 드라이 에칭함으로써, 그 저면에 관통홀(17) 내의 배리어 메탈막(20)의 표면이 노출하는 깊은 구멍(오목부: 23)을 형성한다. 구멍(23)은 워드선 WL의 연장 방향에 긴 변을 갖고, 또한 데이터선 DL의 연장 방향에 짧은 변을 갖는 구형의 평면 패턴으로 구성되고, 긴 변 방향의 직경은 예를 들면 220nm, 짧은 변 방향의 직경은 예를 들면 130nm이다. 또한, 긴 변 방향의 인접한 구멍(23)과의 간격 및 짧은 변 방향의 인접한 구멍(23)과의 간격은 각각 예를 들면 130nm이다.

도 37은 구멍(23) 내에 정보 축적용 용량 소자(24)를 형성했을 때의 단면도를 나타내고 있다. 정보 축적용 용량 소자(24)는 하부 전극(24a)과, 그 표면에 형성된 용량 절연막(24b)과 플레이트 전극(24c)을 갖고 있다. 하부 전극(24a)은 예를 들면 도핑된 폴리실리콘막으로 이루어지고, 플러그(19) 및 그 하층의 플러그(11b)를 통하여 메모리 셀 선택 MISQs에서의 소스·드레인용 한쪽의 n형 반도체 영역(7)과 전기적으로 접속되어 있다. 용량 절연막(24b)은 예를 들면 질화 실리콘막, 질화 실리콘막과 산화 실리콘막의 적층막 또는 산화 탄탈(TaO_5) 등으로 이루어진다. 플레이트 전극(24c)은 캐패시터 구멍(23)을 매립하는 도핑된 폴리실리콘막과, 그 위에 피착된 텅스텐 등과 같은 금속막을 갖고 있다. 플레이트 전극(24c)에서 캐패시터 구멍(23) 내에 있어서의 부분을 매립성이 양호한 도핑된 폴리실리콘막으로 함으로써, 어스펙트비가 높은 캐패시터 구멍(23)을 양호하게 매립할 수 있게 되어 있다.

용량 절연막(24b)은 상기한 재료 외에 예를 들면 상기 BST막, BaTiO_3 (티탄산바륨), PbTiO_3 (티탄산 납), $\text{PZT}(\text{PbZrXTi1-XO}_3)$, $\text{PLT}(\text{PbLaXTi1-XO}_3)$, PLZT 등의 페로브스카이트형 금속 산화물로 이루어지는 고(강)유전체로 구성할 수도 있다. 그 경우, 하부 전극(24a)은 루테튬 등을 이용하는 것이 바람직하다. 또한, 플레이트 전극(24c)은 용량 절연막(24b) 상에 루테튬, 질화 티탄 및 텅스텐막을 피착함으로써 구성하면 좋다. 플레이트 전극(24c)의 텅스텐막은 플레이트 전극(24c)과 상층 배선의 콘택트 저항을 저감하는 기능을 갖고, 질화 티탄막은 용량 절연막(24b)에서 텅스텐막으로의 가스(산소나 수소)의 확산에 의한 저항 증대를 방지하는 기능을 갖고 있다. 또한, 여기서는 정보 축적용 용량 소자(24)가 크라운형인 경우에 대하여 설명하였지만, 이에 한정되는 것이 아니라 여러가지 변경 가능하며, 예를 들면 핀형으로서도 좋다.

여기까지의 공정에 의해 정보 축적용 용량 소자(24)가 완성되고, 메모리 셀 선택용 MIS-FETQs와 이에 직렬로 접속된 정보 축적 용량 소자(24)로 구성되는 DRAM의 메모리 셀이 대략 완성된다. 그 후, 정보 축적용 용량 소자(24)의 상부에 층간 절연막을 끼워 2층 정도의 배선을 형성하고, 최상층의 배선의 상부에 패시베이션막을 형성하지만 이들 도시는 생략한다.

다음으로, 본 실시예에 있어서, 상기 DRAM의 제조 공정에서 이용한 노광 기술에 대하여 설명한다.

우선, 본 실시예의 다중 노광 처리로 이용한 노광 장치의 일례를 도 38에 도시한다. 노광 장치(25)는 예를 들면 축소비 4:1의 주사형 축소 투영 노광 장치(이하, 스캐너라고도 함)이다. 노광 장치(25)의 노광 조건은 예를 들면 다음과 같다. 즉, 노광 광에는 예를 들면 KrF 엑시머 레이저 광(노광 파장 $\lambda=248\text{nm}$)을 이용하고, 광학 렌즈의 개구 수 $NA=0.68$, 보다 높은 위상 시프트 효과를 얻기 위해서 노광 광의 간섭성을 높인 조명 조건인 코히어런스(σ : sigma)치=0.3의 조건으로 하였다. 단, 노광 광은 상기에 한정되는 것이 아니라 여러가지 변경이 가능하며, 예를 들면 파장이 193nm 인 ArF 엑시머 레이저나, 파장이 157nm 인 F_2 레이저를 이용하여도 좋다.

노광 광원(25a)으로부터 발하는 광은, 플라이 아이 렌즈(25b), 개구(25c), 컨덴서 렌즈(25d₁, 25d₂) 및 미러(25e)를 통해 마스크(26)를 조명한다. 광학 조건 중, 코히어런스는 페리클(27)의 개구부의 크기를 변화시킴에 따라 조정하였다. 마스크(26) 상에는 이물 부착에 의한 패턴 전사 불량 등을 방지하기 위한 페리클(27)이 설치되어 있다. 마스크(26)상에 그려진 마스크 패턴은 투영 렌즈(25f)를 통해 시료 기판인 웨이퍼[1W: 기판(1)] 상에 투영된다. 또, 마스크(26)는 마스크 위치 제어 수단(25g)으로 제어된 마스크 스테이지(25h) 상에 장착되고, 그 중심과 투영 렌즈(25f)의 광축은 정확하게 위치 정렬이 이루어져 있다.

웨이퍼(1W)는 웨이퍼 스테이지(25i) 상에 진공 흡착되어 있다. 웨이퍼 스테이지(25i)는 투영 렌즈(25f)의 광축 방향, 즉 Z 방향으로 이동 가능한 Z 스테이지(25j) 상에 장착되고, 또한 XY 스테이지(25k) 상에 탑재되어 있다. Z 스테이지(25j) 및 XY 스테이지(25k)는 주 제어계(25m)로부터의 제어 명령에 따라 각각의 구동 수단(25n₁, 25n₂)에 의해 구동되기 때문에 원하는 노광 위치로 이동 가능하다. 그 위치는 Z 스테이지(25j)에 고정된 미러(25p)의 위치로서, 레이저 길이 측정기(25q)로 정확하게 모니터되어 있다. 또한, 웨이퍼[1W: 기판(1)]의 표면 위치는 통상의 노광 장치가 갖는 초점 위치 검출 수단으로 측정된다. 측정 결과에 따라 Z 스테이지(25j)를 구동시킴에 따라, 웨이퍼(1W)의 표면은 항상 투영 렌즈(25f)의 결상면과 일치시키는 것이 가능하다.

웨이퍼(1W) 상에 형성된 회로 패턴에 대하여 마스크(26)상의 회로 패턴을 정합 노광하는 경우, 웨이퍼(1W) 상에 형성된 마스크 패턴의 위치를 얼라인먼트 검출 광학계(25r)를 이용하여 검출하고, 그 검출 결과로부터 웨이퍼를 위치 결정하여 정합 전사한다. 주 제어계(25m)는 네트워크 장치(25s)와 전기적으로 접속되어 있고, 노광 장치(25) 상태의 원격 감시 등이 가능하게 되어 있다.

도 39는 상기 노광 장치(1)의 노광 동작을 모식적으로 나타낸 도면이다. 마스크(26)와 웨이퍼(1W)는 경면 대칭 관계가 되기 때문에, 노광 처리에 있어서 마스크(26)의 주사(스캔) 방향과 웨이퍼(1W)의 주사(스캔) 방향은 역 방향이 된다. 마스크 스테이지(25h) 상에 장착된 마스크(26)와 웨이퍼 스테이지(25i) 상에 장착된 웨이퍼(1W)는 소정의 구동 비율로 정확하게 동기하여 스캔 구동된다. 스캐너의 축소비는 4:1이 주류이기 때문에, 웨이퍼(1W)의 구동 거리=1에 대하여 마스크(26)의 구동 거리=4가 된다. 노광 광 EP가 슬릿 SL을 통함으로써 형성된 슬릿형 노광 영역이 마스크(26)의 스캔 동작에 의해 마스크(26)상을 스캔함으로써, 마스크(26)상의 마스크 패턴을 웨이퍼(1W)의 주면 상에 노광, 전사하도록 되어 있다(상기 스캐닝 노광).

그런데, 마스크 패턴을 결상 광학계를 통해 기판 상에 전사하는 경우, 광학계의 오차인 수차의 영향에 의해 전사 패턴의 형상 열화나 전사 위치 시프트(어긋남) 등의 영향이 생긴다. 결상 광학계의 수차는 노광 필드 내에 분포하여 존재하고 있다. 이 수차량은 Zernike(젤 니케) 수차 함수로 나타낼 수 있으며, 각 수차 성분의 크기는 각 항의 계수에 대응하고 있다. 수차 중 예를 들면 3차의 코마 수차, 5차의 수차인 Trefoil(트레 호일) 수차는 전사 패턴의 형상 열화나 위치 어긋남을 발생시키는 것을 알 수 있다.

상기 스캐너의 경우, 예를 들면 상기 슬릿형 노광 영역의 폭(단) 방향으로 주사하여 패턴을 전사하는 경우, 렌즈 수차는 기본적으로 슬릿형 노광 영역의 길이 방향에만 분포하게 된다. 따라서, 마스크(26) 상에 상기 슬릿형 노광 영역의 폭 방향(즉, 스캔 방향)을 따라 복수의 패턴을 배치해 두고, 이를 다중 노광하는 경우, 기판 상의 동일한 위치에 전사되는 패턴 사이에서, 각 패턴이 영향을 받는 렌즈 수차량은 동일하게 된다. 즉, 전사 패턴이 동일하면 상기 스캔 방향에 대하여 수차 기인한 전사 패턴 위치 어긋남은 동일하게 된다. 따라서, 상기 형상 열화나 위치 어긋남 등을 저감하거나 없앨 수 있다.

전사 패턴의 전사 위치 시프트량은, 수차량뿐만 아니라 패턴 배치에도 의존하여 변화한다. 예를 들면 배치 피치에 의존하여 전사 위치 시프트량이 변화하지만, 스캐너에서는 상기 슬릿형 노광 영역의 길이 방향에 대하여 일차원적인 시프트량 분포가 된다. 이 때문에, 마스크 패턴 위치 보정은 일차원적으로 행하면 좋기 때문에 스테퍼의 경우보다 보정이 간편하게 된다.

또한, 스캐너의 경우, 최대 노광 필드 사이즈가 스테퍼의 22mm 각에 비하여, 예를 들면 25×33mm로 커지며, 보다 큰 반도체 칩을 1장의 마스크(26)상에 싣는다는 이점이 있다. 이에 따라, 1장의 마스크(26)상에 탑재 가능한 2중 노광용 최대칩 사이를 순차 이동형 축소 투영 노광 장치(이하, 스테퍼)의 22mm×11mm보다 크게, 예를 들면 25mm×16.5mm까지 확대할 수 있다.

또, 도 38 및 도 39에 있어서는, 노광 장치의 기능을 설명하기 위해서 필요한 부분만을 나타내었지만, 그 밖의 통상의 노광 장치(스캐너나 스테퍼)에 필요한 부분은 통상의 범위에서 동일하다. 또한, 본 발명의 기술 사상은, 스테퍼를 이용한 노광 기술에 적용할 수도 있다. 스테퍼의 경우, 예를 들면 22×22mm 각의 노광칩을 한 번에 노광하여 기판 상에 마스크 패턴을 전사한다. 단, 수차는, 이 노광 칩 내에서 분포하여 존재하고 있기 때문에 스테퍼를 이용한 경우, 노광 칩 내의 위치에 의존하여 전사 패턴 형상이 변화하거나, 전사 패턴 위치가 수차가 없는 경우의 이상 위치에 대하여 어긋난 위치에 전사된다. 예를 들면, 동일 마스크 상에 2 종류의 마스크 패턴을 배치하고, 이를 정합해서 다중 노광하는 경우를 생각한다. 기판 상에 다중 노광되는 각 패턴에 대하여 수차량이 다르기 때문에, 기판 상에 전사했을 때의 전사 패턴 위치 시프트량도 달라진다. 이 때문에, 각 패턴 사이에서의 전사 위치 시프트량이 다르고, 이 위치 시프트의 영향에 의한 2 종류의 패턴간의 상대적인 정합 편차가 발생할 우려가 있다.

스테퍼의 경우, 수차량이 노광 칩 내에서 2차원적으로 분포하고 있기 때문에, 상기 전사 패턴 위치 시프트를 보정하기 위한 마스크 상에서의 전사 패턴 위치 보정이 복잡하게 된다. 또한, 동일 마스크 기판 상에 2소트 분의 마스크 패턴을 배치하기 때문에, 노광 가능 칩 사이즈의 제한, 기판 1장당 노광 소트 수의 증가에 따른 처리량의 저하도 우려된다. 또한, 마스크를 2장으로 한 경우, 기판 상에 다중 전사되는 패턴이 영향을 받는 수차의 양은 동등하게 되지만, 상술한 바와 같이 마스크를 교체하여 동일 기판 상에 다중 노광하기 때문에, 처리량의 저하가 우려된다. 이상의 것을 고려하면, 스캐너를 이용함으로써, 2중 노광 처리를 보다 간편하고, 고정밀도로 행할 수 있다.

다음으로, 본 실시예에 있어서 이용한 마스크에 대하여 설명한다.

우선, 상기 도 1 등에 도시한 활성 영역 L[홈형 분리부(2)]을 형성할 때 이용한 포토레지스트 패턴을 형성하기 위한 노광 기술에 대하여 설명한다.

도 40의 (a)는 상기 도 1 등에 도시한 활성 영역 L을 형성하기 위한 포토레지스트 패턴 RL의 주요부 평면도를 나타내고, (b)는 (a)의 A-A선의 단면도를 나타내고 있다. 도 40의 (a)는 평면도이지만, 도면을 보기 쉽게 하기 위해서 포토레지스트 패턴 RL에 해칭을 붙인다.

이 포토레지스트 패턴 RL에서는 상기한 바와 같이 활성 영역 L의 길이 방향의 인접 간격 D_2 를 예를 들면 160~180nm 정도로 매우 근접한 것으로 하는 것이 요구되고 있다(상기한 바와 같이 위드선 WL이 1개분 배치될 수 있는 정도의 간격). 즉, 요구되는 패턴의 배치 피치가 미세하다. 이 때문에, 통상의 마스크를 이용한 노광 처리에서는 광 강도의 슬롭이 완만하게 되어 현상 후의 포토레지스트 패턴의 후퇴량이 커지는, 패턴의 길이 방향에 대하여 충분한 광 강도를 얻기 어렵다는 이유에서, 상기한 바와 같은 미세한 배치 피치를 갖게 한 상태에서 패턴을 형성하는 것이 매우 곤란하다. 그 때문에, 이 포토레지스트 패턴 RL을 전사하기 위한 마스크로서는 레벤손형 위상 시프트 마스크를 이용하는 것이 필요하였다.

여기서, 통상의 레벤손형 위상 시프트 마스크 기술로 행해지고 있도록 포토레지스트 패턴 RL을 레벤손형 위상 시프트 마스크를 이용하여 네가티브형 포토레지스트막에 전사하려고 한 경우를 생각한다. 상기한 바와 같이, 레벤손형 위상 시프트 마스크에서는 인접한 광 투과 영역을 투과한 각각의 광의 위상 차를 180도로 하는 것이 필요하지만, 포토레지스트 패턴 RL의 레이아웃에서는 이를 전사하기 위한 광 투과 영역이 3패턴 이상이 각각 위상 시프트 배치가 필요한 거리에서 근접하여 배치되어 있기 때문에, 그 근접한 모든 광 투과 영역 사이에서 투과광의 위상 차가 180도가 되도록 위상 시프트를 배치할 수 없다. 즉, 그 근접한 광 투과 영역 중에서 적어도 한쌍은 각각의 투과광이 동위상이 되는 경우가 반드시 생긴다.

그래서, 본 실시예에서는 도 1에 도시한 활성 영역 L의 패턴을 형성하기 위한 포토레지스트 패턴 RL을 형성할 때 포토레지스트막으로서 포지티브형 포토레지스트막을 이용하고, 또한 복수의 마스크 패턴을 웨이퍼[1W: 기판(1)] 상의 포지티브형 포토레지스트막의 동일 개소에 거듭 노광하는 다중 노광법을 채택하였다. 활성 영역 L의 분리에 있어서는 경사 방향으로 연장되는 피상 패턴과, 그 소정 부분을 분단하는 홀 패턴으로 분리하였다.

도 41은 상기 활성 영역용 포토레지스트 패턴을 형성하기 위한 마스크(26)의 제1 마스크 패턴(28A)을 나타내고 있으며, (a)는 그 주요부 평면도, (b)는 (a)의 A-A선의 단면도, (c)는 (b)의 위상 시프터 부분의 확대 단면도를 나타내고 있다.

도 41의 마스크(26)를 구성하는 마스크 기판(26a)은, 예를 들면 투명한 합성 석영 유리로 이루어지고, 그 주면 상에는 도 40의 (a)에 도시한 바와 같은 마스크 패턴(28A)이 형성되어 있다. 이 마스크 패턴(28A)은 XY 방향에 대하여 경사 방향으로 연장되는 라인/스페이스 패턴을 노광하기 위한 패턴이고, XY 방향에 대하여 경사(예를 들면, X 축 방향에 대하여 약 28°경사) 방향에 피상으로 연장되는 차광 패턴(26b)과 광 투과 패턴(26c)을 갖고 있다. 이 차광 패턴(26b)과 광 투과 패턴(26c)은 그 패턴 폭(단) 방향을 따라 교대로 배치되어 있다. 그 중, 차광 패턴(26b)을 끼워 상호 인접한 광 투과 패턴(26c, 26c)의 한쪽에 위상 시프터 S가 배치되어 있다. 이에 따라, 그 상호 인접한 광 투과 패턴(26c, 26c)을 투과한 각각의 광에 180도의 위상 차가 생기게 되어 있다. 즉, 그 각각의 광이 상호 180도 반전하도록 되어 있다. 또, 치수 Dx_{10} 은 예를 들면 520nm 정도(웨이퍼 상 환산)이다. 또한, 치수 Dy_{10} 은 예를 들면 280nm 정도(웨이퍼 상 환산)이다.

마스크 패턴(28A)을 구성하는 차광 패턴(26b)은 예를 들면 크롬, 산화 크롬 또는 이들 적층막 등과 같은 차광막에 의해 형성되어 있다. 또한, 광 투과 패턴(26c)은 상기 차광막이 제거되어 형성되어 있다. 위상 시프터 S는 도 41의 (b), (c)에 도시한 바와 같이 예를 들면 홈 시프터로 되어 있다. 즉, 위상 시프터 S는 마스크 기판(26a)에 소정 깊이(상기 Z의 식)의 홈이 파짐으로써 형성되어 있다. 상기한 예에서는 예를 들면 노광 파장 248nm의 KrF를 이용하고 있기 때문에, 위상 시프터 S의 홈의 깊이 Z는 예를 들면 245nm 정도이다.

또한, 여기서는 이 홈 시프터가 상기 미세 차양형 홈 시프터의 경우를 예시하고 있다. 즉, 위상 시프터 S의 홈의 주변(폭이 좁은 단면 방향)에 있어서 마스크 기판(26a)이 홈 폭 방향으로 돌출되어 있으며, 그 결과, 위상 시프터 S에 면한 차광 패턴(26b)의 단부가 차양형으로 뚫고 나온 구조로 되어 있다. 그 차광 패턴(26b)이 뚫고 나온 부분의 차양 길이 P의 최적치는 패턴 피치나 광학 조건 등에 의존하지만, 축소비 4:1의 스캐너용 마스크로 0.15 μ m 정도이다. 이러한 차양 구조로 함으로써, 광의 도파관 효과를 저감할 수 있어서 투과광의 광 강도가 위상 시프터 S의 측벽에서의 영향에 의해 감쇠되는 것을 억제할 수 있다. 따라서, 다중 노광 처리에 있어서 이 마스크(26)를 이용함으로써, 웨이퍼(1W) 상에 전사되는 패턴의 치수 정밀도를 향상시킬 수 있다.

그런데, 도 41에 도시한 마스크 패턴(28A)은 X 축 방향에 대하여 약 28도 기울어진 라인/스페이스 패턴이다. 이 때문에, 이 패턴을 가변 구형 빔의 벡터 스캔 방식의 전자선 노광 장치로 묘화하는 경우에는, 경사 패턴을 다수의 구형으로 분할, 근사하여 경사 패턴을 묘화하게 된다. 즉, 도 41에 도시한 마스크 패턴 레이아웃은 전자선 묘화 데이터에서는 도 42에 모식적으로 도시한 바와 같이 미소한 계단형 패턴이 된다. 이 때문에, 마스크 패턴 묘화 시의 전자선 쇼트 수가 증가하여, 묘화 시간이 증가하는 문제가 있다. 그래서, 이러한 경사 패턴을 전사하는 마스크 패턴의 레이아웃에서는 마스크 패턴 묘화 시의 노광 쇼트 수가 적어지도록 마스크 패턴을 레이아웃하는 것이 바람직하다. 도 43은 웨이퍼 프로세스로 충분한 해상 특성을 얻을 수 있는 범위 내의 크기의 계단형 패턴으로 한 마스크 패턴 레이아웃의 일례이다. 여기서는, 광 투과 패턴(26c)을 예를 들면 65nm($=Dx_{11}$) $\times$ 135nm(Dy_{11})의 복수의 미세한 구형 패턴으로 분할하고, 그 구형 패턴을 예를 들면 Y 방향으로 35nm($=Dy_{12}$)씩 비켜 놓으면서 X 방향을 따라 열거하여 배치하였다. 이 때, 구형 패턴의 치수는 마스크 상에서는 4배의 260nm $\times$ 540nm 정도가 되지만, 이 크기는 전자선 노광 장치로 묘화할 때에 1쇼트로 묘화 가능한 크기이다. Y 방향에 대한 변이량 Dy_{12} =35nm은 피치 Dy_{10} =280nm의 1/8, X 방향의 구형의 크기 65nm은 피치 Dx_{12} =260nm의 1/4의 값으로 하였다. X 방향의 간격이 Y 방향보다 큰 것은 경사 패턴의 각도가 X 방향에서 약 28도 기울었기 때문이다. 또, 래스터 스캔형 전자선(EB) 묘화 장치를 이용하는 경우에는, 묘화 방식이 다르기 때문에 패턴 레이아웃은 경사 방향의 패턴이라도 좋다. 또한, 셀 프로젝션(Cell projection) 방식의 EB 묘화 장치에서는 경사 패턴의 일부분을 하나의 셀 도형으로서 이를 연결하여 묘화하는 방법 등을 이용할 수도 있다. 또한, 구형 패턴 이외에 경사 패턴(예를 들면, 삼각형 패턴)도 전사 가능한 개구부를 갖는 개구를 이용하여 묘화할 수도 있다.

도 41의 마스크 패턴(28A)만을 포지티브형 포토레지스트막에 노광한 경우를 도 44에 모식적으로 나타낸다. 노광 광이 조사된 영역을 회계 하고, 노광 광이 조사되지 않은 영역에 해칭을 붙인다. 포토레지스트막 R은 포지티브형이기 때문에, 만일 현상 처리를 하면(실제로는 다중 노광 후에 현상 처리를 행함), 노광된 영역(회계 한 영역)이 제거된다. 이 마스크 패턴

(28A)만으로는 도 44에 있어서 경사 방향에 연장하는 띠상의 포토레지스트 패턴 R(즉, 라인 패턴 형성용 포토레지스트 패턴)이 형성되어 섬 형상의 포토레지스트 패턴을 형성할 수는 없다. 그래서, 그 띠상의 포토레지스트 패턴 R의 소정 개소를 부분적으로 제거함으로써, 섬 형상의 포토레지스트 패턴을 형성하기 위한 제2 마스크 패턴을 준비하고, 이를 중첩 노광할 필요가 있다.

도 45는 그 정합 노광에 이용하는 상기 활성 영역 형성용 포토레지스트 패턴을 형성하기 위한 마스크(26)의 제2 마스크 패턴(28B) 부분을 나타내고 있으며, (a)는 그 주요부 평면도, (b)는 (a)의 A-A선의 단면도를 나타내고 있다.

도 45의 마스크 기판(26a)의 주면 상에 형성된 마스크 패턴(28B)은 도 41의 마스크 패턴(28A)에서 노광되지 않고 남은 도 43의 띠상의 포토레지스트 패턴 R에서 활성 영역 L의 길이 방향의 인접 간격에 접한 부분을 노광함으로써, 섬 형상의 포토레지스트 패턴을 형성하기 위한 패턴이다.

이 마스크 패턴(28B)은 주 광 투과 패턴(26c₁)과 그 주위에 배치된 보조 광 투과 패턴(26c₂)을 갖고 있다. 주 광 투과 패턴(26c₁) 및 보조 광 투과 패턴(26c₂)은, 예를 들면 평면사각 형상으로 형성되어 있다. 주 광 투과 패턴(26c₁)의 평면 치수는, 예를 들면 200×200nm 정도(웨이퍼 상 환산)이다. 또한, 보조 광 투과 패턴(26c₂)의 평면 치수는 주 광 투과 패턴(26c₁)의 평면 치수보다 상대적으로 작고, 포토레지스트막에 전사되지 않은 크기로 형성되어 있으며, 예를 들면 100×100nm 정도(웨이퍼 상 환산)이다. 여기서는, 주 광 투과 패턴(26c₁)에 위상 시프터 S가 배치되어 있다. 이에 따라, 주 광 투과 패턴(26c₁)과 보조 광 투과 패턴(26c₂)을 투과한 각각의 광에 180도의 위상차가 발생된다. 위상 시프터 S는 예를 들면 상기 마스크 패턴(28A)과 마찬가지로 상기 미세 차양형 홈 시프터로 되어 있다. 위상 시프터 S의 홈 깊이는 상기 마스크 패턴(28A)의 위상 시프터 S의 홈 깊이와 동일하다.

제2 마스크 패턴(28B)에서 X 방향(제2 방향)에 인접한 주 광 투과 패턴(26c₁, 26c₁) 사이의 피치 Dx₁₃은 패턴의 최소 근접 피치로서, 그 거리는 예를 들면 $2 \times 0.33(\lambda/NA) \sim 2 \times 0.045(\lambda/NA)$ nm 정도, 웨이퍼 상에서 120~160nm 정도로 되어 있다. 여기서는, X 방향에 인접한 주 광 투과 패턴(26c₁)의 피치 Dx₁₃은, 예를 들면 260nm 정도(웨이퍼 상 환산)이다. Y 방향(제1 방향)에 인접한 주 광 투과 패턴(26c₁, 26c₁)의 인접 피치는 상기 X 방향에 인접한 주 광 투과 패턴(26c₁, 26c₁)의 인접 피치보다 길다. 여기서는, Y 방향에 인접한 주 광 투과 패턴(26c₁)의 피치 Dy₁₃은, 예를 들면 420nm 정도(웨이퍼 상 환산)이다. Y 방향에 인접한 주 광 투과 패턴(26c₁)과 보조 광 투과 패턴(26c₂)의 피치 Dy₁₄는, 예를 들면 280nm 정도(웨이퍼 상 환산)이다.

그런데, 일반적으로 마스크 패턴(28B)의 설계에 있어서는 주 광 투과 패턴만을 배치하고, 상호 인접한 주 광 투과 패턴의 한쪽에 위상 시프터를 배치하는 것을 생각할 수 있다. 그러나, 이 마스크 패턴(28B)의 경우, X 방향에 인접한 주 광 투과 패턴의 피치가 최소 근접 거리이고, 또한 Y 방향에 대해서도 위상 시프터 배치가 필요해지는 거리에서 근접해서 배치되어 있어 좁기 때문에, 대개 위상 시프터를 배치할 수 없다. 그래서, 본 실시예에 있어서는 주 광 투과 패턴의 주위에 보조 광 투과 패턴을 배치하여, 각각을 투과한 광을 180도 반전시키도록 함으로써, 해상도를 향상시킬 수 있게 되어 있다. 그 경우에 보조 광 투과 패턴도 단지 단순히 배치하면 문제점이 생기기 때문에, 연구가 이루어져 왔다. 이하, 보조 광 투과 패턴의 배치에 대하여 설명한다.

보조 패턴의 배치 방법으로서, 도 46에 도시한 바와 같이 X 방향, Y 방향의 각각의 방향에 대하여 주 광 투과 패턴(26c₁) 사이의 중간 위치에 배치하는 방법도 있다. 이 경우, X 방향과 Y 방향으로 주 광 투과 패턴(26c₁)과 보조 광 투과 패턴(26c₂)의 거리가 약간 다르기 때문에, 위상 시프트 효과도 X 방향과 Y 방향으로 다르다. 이 때문에, 웨이퍼[1W: 기판(1)] 상에 투영되는 광학 상(像)이 타원형이 되고, 도 40의 포토레지스트 패턴 RL의 길이 방향의 인접 사이 부분의 상하에 위치하는 포토레지스트 패턴 RL 부분이 제2 마스크 패턴(28B)의 주 광 투과 패턴(26c₁)을 투과한 광의 영향으로 가늘어질 우려가 있다.

또한, 도 47에 도시한 바와 같이, 각 주 광 투과 패턴(26c₁)에 대하여 각각 상하 좌우 위치에 거의 등거리로 4개의 보조 광 투과 패턴(26c₂)이 배치되도록 레이아웃하는 방법도 있다. 이 경우, 주 광 투과 패턴(26c₁)의 주변에 보조 광 투과 패턴

(26c₂)이 Y 방향으로 140nm 피치로 배치되는 레이아웃이 된다. 그러나, 이 경우, 보조 광 투과 패턴(26c₂)의 평면 치수를 웨이퍼 상 환산으로 100nm 각의 구형 패턴으로 하였기 때문에, 보조 광 투과 패턴(26c₂) 사이의 스페이스가 웨이퍼 상 환산으로 40nm로 매우 작아진다. 이 때문에, 마스크의 제조가 매우 곤란해진다.

그래서, 도 45에 도시한 바와 같이 본 실시예의 마스크 패턴(28B)에서는 각 주 광 투과 패턴(26c₁)의 중심부터 그 주변의 각 보조 광 투과 패턴(26c₂)의 중심까지의 거리가 거의 같아지도록 보조 광 투과 패턴(26c₂)을 배치하고 있다. 즉, 보조 광 투과 패턴(26c₂)은 중심이 주 광 투과 패턴(26c₁)의 중심과 동일하게 되는 육각형 각에 보조 광 투과 패턴(26c₂)의 중심이 위치하도록 배치되어 있다. 그리고, 주 광 투과 패턴(26c₁)의 주변의 보조 광 투과 패턴(26c₂)은 주 광 투과 패턴(26c₁)의 중심을 통과하는 XY의 양축으로 대하여 좌우 상하 대칭으로 배치되어 있다.

또한, 다른 관점에서는 다음과 같이 말할 수 있다. 즉, 보조 광 투과 패턴(26c₂)은 주 광 투과 패턴(26c₁)의 중심을 통과하는 Y 축(제1 방향의 축) 상에는 배치되어 있지만, 주 광 투과 패턴(26c₁)의 중심을 통과하는 X 축(제2 방향의 축) 상에는 배치되지 않고, X 축으로부터 상하 Y 방향으로 이격한 위치에 X 축을 중심선으로서 대칭이 되도록 배치되어 있다.

또한, 또 다른 관점에서는 다음과 같이 말할 수 있다. 즉, 도 48의 이점 쇄선으로 도시한 바와 같이, 2개의 보조 광 투과 패턴(26c₂)을 내포하는 유닛 셀 UC을 가정할 수 있다. 각 유닛 셀 UC 내의 2개의 보조 광 투과 패턴(26c₂)은 Y 방향을 따라 배치되는 2개의 주 광 투과 패턴(26c₁)의 중심을 통과하는 Y 축 상에 배치되어 있다. 또한, 그 2개의 보조 광 투과 패턴(26c₂)은 X 방향을 따라 배치되는 2개의 주 광 투과 패턴(26c₁)의 중심을 통과하는 X 축으로는 배치되지 않고, 그 X 축을 중심선으로서 대칭이 되도록 배치되어 있다.

이러한 마스크 패턴(28B)의 레이아웃에 있어서는 각 주 광 투과 패턴(26c₁)에 대한 웨이퍼[1W: 기판(1)] 상의 투영 광학상을 거의 원형으로 할 수 있다. 또한, 도 1의 활성 영역 L의 길이 방향의 인접 사이의 상하 위치에서 포토레지스트 패턴의 변형을 작게 억제할 수 있다.

상기 제1 마스크 패턴(28A)의 데이터와 제2 마스크 패턴(28B)의 데이터가 정합된 상태를 도 49에 도시한다. 점선은 제1 마스크 패턴(28A)을 나타내고, 실선은 제2 마스크 패턴(28B)을 나타내고 있다. 제1 마스크 패턴(28A)의 차광 패턴(26b) 상에 제2 마스크 패턴(28B)의 주 광 투과 패턴(26c₁) 및 보조 광 투과 패턴(26c₂)이 배치된다.

다음으로, 다중 노광 처리에 대한 기술에 대하여 설명한다.

우선, 본 실시예에 있어서 상기 활성 영역 전사용 마스크의 전체 평면도를 도 50에 도시한다. 여기에는, 1장의 마스크(26)의 주면(동일면)에 예를 들면 두개의 전사 영역(30A, 30B)이 배치되어 있는 경우가 예시되어 있다. 각각의 전사 영역(30A, 30B)은, 예를 들면 평면 장방형으로 형성되어 있고, 각각의 긴 변이 평행하게 되도록 소정의 거리를 사이에 두고 배치되어 있다. 각 전사 영역(30A, 30B)은 예를 들면 1개의 반도체 칩을 전사하는 영역에 대응한다. 이 마스크 구조는 반도체 칩의 평면 치수가 작고, 1장의 마스크 내에 두개의 반도체 칩 전사 영역을 배치 가능한 경우에 적합하다.

전사 영역(30A)의 메모리 셀 영역에는 도 41에 도시한 제1 마스크 패턴(38A)이 배치되고, 전사 영역(30B)의 메모리 셀 영역에는 도 45에 도시한 제2 마스크 패턴(38B)이 배치되어 있다. 상기 다중 노광 처리에 있어서는 전사 영역(30A)의 제1 마스크 패턴(28A)과 전사 영역(30B)의 제2 마스크 패턴(28B)이 정확하게 위치 결정되어 웨이퍼[1W: 기판(1)] 상의 포지티브형 포토레지스트막에 전사된다. 활성 영역 L(포토레지스트 패턴 RL)의 길이 방향 치수는 주로 제2 마스크 패턴(28B)의 치수나 제2 마스크 패턴(28B)을 웨이퍼(1W) 상에 노광할 때의 노광량 조정에 의해 최적화할 수 있다. 이에 따라, 원하는 포토레지스트 패턴 치수를 얻을 수 있다.

또, 메모리 셀 영역 이외의 마스크 패턴은 다중 노광이 아니라 통상의 노광으로 전사하였기 때문에, 그 마스크 패턴은 전사 영역(30A) 내에 배치하였다. 또한, 메모리 셀 영역 이외의 마스크 패턴을 다중 노광으로 전사하여도 무방하다. 또한, 상기 전사 영역(30A, 30B) 내에는 실질적으로 집적 회로를 구성하는 패턴 외에 예를 들면 정합에 이용하는 마크 패턴, 중첩 검사에 이용하는 마크 패턴 또는 전기적 특성을 검사할 때 이용하는 마크 패턴 등과 같은 실질적으로 집적 회로를 구성하지 않은 패턴도 포함되어 있다. 또한, 전사 영역(30A, 30B)의 외주의 차광 영역에는 마스크 기판(26a)의 일부가 노출되고, 마스크 얼라이먼트 마크나 계측용 마크 등과 같은 다른 광 투과 패턴(26d)이 형성되어 있다. 이들 광 투과 패턴(26d)은 포토레지스트막에 전사되지 않은 영역이나, 또는 노광 시에 노광 광이 조사되지 않도록 마스크 블레이드로 숨겨져 있다.

다음으로, 다중 노광 처리의 구체예를 설명한다. 우선, 예를 들면 전사 영역(30A)의 패턴이 노광되지 않도록 마스크(차광)한 상태에서, 전사 영역(30B)의 패턴을 웨이퍼[1W: 기판(1)] 주면 상의 포지티브형 포토레지스트막에 노광한 후, 연속하여 이번은 전사 영역(30B)의 패턴이 노광되지 않도록 마스크(차광)한 상태에서, 전사 영역(30A)의 패턴을 이미 웨이퍼(1W) 상의 포지티브형 포토레지스트막에 전사(잠상)된 전사 영역(30B)의 패턴에 정합 다중 노광하는 방법이 있다.

또한, 다른 방법으로서 전사 영역(30A)과 전사 영역(30B)의 평면 치수를 동일하게 하여, 전사 영역(30A, 30B)을 일괄적으로 웨이퍼(1W) 상의 포지티브형 포토레지스트막에 전사한 후, 마스크(26)를 각 전사 영역(30A, 30B)의 Y 방향 치수(폭)분만큼 Y 방향으로 이동하여 노광 쇼트가 절반씩 중첩되도록 한 상태에서 노광함으로써 다중 노광하는 방법이 있다.

전자의 방법에서는, 각 전사 영역(30A, 30B)에 대하여 각각 최적의 노광량, 광학 조건을 이용한 노광이 가능하다. 한편, 후자의 방법은 전사 영역(30A, 30B)이 모두 동일 노광량, 동일 광학 조건에서의 노광이 되기 때문에, 마스크 패턴의 최적화가 필요하지만 전자의 방법보다 처리량 관점에서 유리하다. 또한, 2쇼트를 중첩하기 때문에 정합 정밀도의 저하가 문제가 된다.

또한, 상기 예에서는 1장의 마스크(26)에 제1, 제2 마스크 패턴(28A, 28B)을 배치한 경우에 대하여 설명하였지만, 이에 한정되는 것이 아니고 예를 들면 2장의 마스크를 이용하여 다중 노광하는 방법도 있다. 즉, 제1, 제2 마스크 패턴(28A, 28B)을 각각 별개의 마스크에 배치하여, 마스크를 교환하면서 다중 노광하는 방법이다. 이 경우, 마스크를 교체시켜서 노광하기 때문에 쇼트 사이즈는 통상의 노광과 마찬가지로 노광 장치의 최대 노광 필드까지 크게 할 수 있다. 또한, 노광 조건을 각 패턴마다 최적의 값으로 설정할 수 있기 때문에, 노광 마진이나 노광 조건을 양호하게 설정할 수 있다. 이 방법은 반도체 칩의 평면 치수가 크고, 1장의 마스크에 두개의 반도체 칩 전사 영역을 배치할 수 없는 경우에 특히 적합하다.

또, 이러한 다중 노광 처리가 종료한 후, 통상의 현상 처리 및 세정 건조 처리 등과 같은 일련의 처리를 실시함으로써, 도 40에 도시한 포토레지스트 패턴 RL을 형성한다.

상기한 예에서는, 위상 시프터 S가 홈 시프터(미세 차양형 홈 시프터)의 경우에 대하여 설명하였지만, 이에 한정되는 것이 아니다. 예를 들면 도 51의 (a)에 도시한 바와 같이, 상기 기관상 박막 홈 시프터로 할 수도 있다. 이 경우, 마스크 기관(26a)의 표면 상에는 시프터막(26e)이 형성되어 있다. 시프터막(26e)은 위상 시프터로서 작용하는 목적에 적합한 두께(=상기 Z의 식)로 형성되어 있으며, 예를 들면 마스크 기관(26a)과 동등 또는 같은 정도의 광 투과율 및 굴절율의 SOG(Spin On Glass) 등으로 이루어진다. 위상 시프터 S를 형성하는 홈은 차광 패턴(26b)으로부터 노출되는 소정의 광 투과 패턴[26c: 주 광 투과 패턴(26c₁)]의 시프터막(26e)을 마스크 기관(26a)의 표면이 노출될 때까지 제거함으로써 형성되어 있다. 이 경우, 위상 시프터 S용 홈의 형성에 있어서, 마스크 기관(26a)과 시프터막(26e)의 에칭 선택비를 높게 하고, 시프터막(26e)의 에칭 속도가 마스크 기관(26a)의 에칭 속도보다 빠르게 되도록 한다. 즉, 마스크 기관(26a)을 에칭 스톱퍼로 하여 위상 시프터 S용 홈을 형성한다. 이에 따라, 그 홈의 깊이(즉, 시프터막(26e)의 두께) 및 홈 저면의 평탄성을 매우 높은 정밀도로 형성할 수 있다. 이 때문에, 투과광의 위상 오차를 대폭 저감하거나 없앨 수 있기 때문에, 웨이퍼[1W: 기판(1)] 상에 전사되는 포토레지스트 패턴의 치수 정밀도를 대폭 향상시킬 수 있다.

또한, 도 51의 (b)에 도시한 바와 같이, 홈 대신에 투명막(26f)을 위상 시프터 S로 할 수도 있다. 이 경우, 투명막(26f)의 두께를 상기 위상 시프터 S용 홈의 깊이 Z의 식으로 나타낼 수 있다.

다음으로, 상기 도 11 등에 도시한 콘택트 홀(10a, 10b)의 패턴을 형성할 때 이용한 포토레지스트 패턴을 형성하기 위한 노광 기술에 대하여 설명한다. 또, 최소 배치 피치는 예를 들면 260nm 정도, 최소 설계 치수는 예를 들면 170nm 정도이다.

도 52의 (a)는 상기 도 11 등에 도시한 콘택트 홀(10a, 10b)을 형성하기 위한 포토레지스트 패턴 RC의 주요부 평면도를 나타내고, (b)는 (a)의 A-A선의 단면도를 나타내고 있다. 도 52의 (a)는 평면도이지만, 도면을 보기 쉽게 하기 위해서 포토레지스트 패턴 RC에 해칭을 붙인다.

도 52의 (a)에 도시한 바와 같이, 포토레지스트 패턴 RC의 개구부[31a, 31b: 콘택트 홀(10a, 10b)이 형성되는 부분]는 평면적으로 벌집형으로 밀집해서 배치되어 있다. 배치 피치 Dx₃은 예를 들면 260nm 정도, 배치 피치 Dy₂는 예를 들면 280nm 이고, 1열마다 140nm(=Dy₂) 어긋난 패턴 배치가 되어 있다. 이와 같이 밀집해서 배치된 패턴을 전사하기 위해서는, 레벤슨형 위상 시프트 마스크를 이용할 필요가 있다. 그러나, 도 52의 (a)와 같은 패턴 배치에서는 최근접 패턴간의 위상 차가 전부 180도가 되도록 위상 시프터를 배치할 수 없다. 그래서, 마스크 패턴을 2장으로 분할하여 다중 노광에 의해 패턴을 전사할 필요가 있다.

그래서, 본 실시예에 있어서는 도 11에 도시한 컨택트 홀(10a, 10b)의 패턴을 형성하기 위한 포토레지스트 패턴을 형성할 때에 있어서도, 포토레지스트막으로서 포지티브형 포토레지스트막을 이용하고, 또한 복수의 마스크 패턴을 웨이퍼[1W: 기판(1)] 상의 포지티브형 포토레지스트막의 동일 개소에 거듭 노광하는 다중 노광법을 채택하였다.

컨택트 홀(10a, 10b)의 분리에 있어서는, 레벤손형 위상 시프트 마스크 기술을 사용 가능한 치수 및 마스크 패턴 레이아웃을 갖는 제1 패턴군과, 제1 패턴군 이외의 패턴으로 이루어진 제2 패턴군으로 분리하였다. 구체적으로, 예를 들면 제1 패턴군을 정보 축적용 용량 소자용 컨택트 홀(10b)의 패턴군으로 하고, 제2 패턴군을 데이터선용 컨택트 홀(10a)의 패턴군으로 하였다.

도 53은 상기 컨택트 홀 형성용 포토레지스트 패턴을 형성하기 위한 마스크 (26)의 제1 마스크 패턴(28C)을 나타내고 있으며, (a)는 그 주요부 평면도, (b)는 (a)의 A-A선의 단면도, (c)는 (b)의 위상 시프터 부분의 확대 단면도를 나타내고 있다.

이 제1 마스크 패턴(28C)은 정보 축적용 용량 소자용 컨택트 홀(10b)의 패턴군을 노광하기 위한 패턴으로서, 예를 들면 평면 사각 형상의 복수의 광 투과 패턴(26c₃)을 갖고 있다. 각 광 투과 패턴(26c₃)의 평면 치수는 예를 들면 200×200nm 정도이다. 광 투과 패턴(26c₃) 중, 상호 인접하는 것 중 어느 한쪽에는 위상 시프터 S가 배치되어 있고, 그 상호 인접한 광 투과 패턴(26c₃)을 투과한 각각의 광의 위상이 180도 반전하도록 되어 있다. Y 방향을 따라 배열하여 배치되고, 또한 투과광의 위상이 180도 상호 반전하는 2개의 광 투과 패턴(26c₃, 26c₃)의 쌍은 Y 방향에 배치 피치 Dy₂₁만큼 어긋나면서 X 방향을 따라 배치되어 있다.

또, X 방향에 인접한 광 투과 패턴(26c₃)의 배치 피치 Dx₂₀은, 예를 들면 260nm 정도(웨이퍼 상 환산), Y 방향에 인접한 광 투과 패턴(26c₃)의 배치 피치 Dy₂₀은 예를 들면 280nm 정도(웨이퍼 상 환산), Y 방향에 인접한 광 투과 패턴(26c₃)에 있어서 투과광이 동위상인 배치 피치 Dy₂₁은, 예를 들면 420nm 정도(웨이퍼 상 환산)이다. 또한, 이 경우의 차광 패턴(26b), 위상 시프터 S의 구성은 상기한 것과 동일하므로, 설명을 생략한다.

이러한 제1 마스크 패턴(28C)만을 포지티브형 포토레지스트막에 노광한 경우를 도 54에 모식적으로 나타낸다. 노광 광이 조사된 영역을 회계 하고, 노광 광이 조사되지 않은 영역에 해칭을 붙인다. 포토레지스트막은, 포지티브형이기 때문에 만일 현상 처리를 하면(실제로는 다중 노광 후, 현상 처리를 행함), 노광된 영역(회계 한 영역)이 제거된다. 상기 마스크 패턴(28C)만으로는 정보 축적 용량 소자용 컨택트 홀(10b)용 개구부(31b)만이 개구되는 포토레지스트 패턴 R(즉, 제1 홀 패턴 형성용 포토레지스트 패턴)이 형성되어 데이터선용 컨택트 홀(10a)용 개구부(31a)를 개구할 수 없다. 그래서, 데이터선용 컨택트 홀(10a)을 형성하기 위한 제2 마스크 패턴을 준비하고, 이를 중첩 노광할 필요가 있다. 또, X 방향에 인접한 개구부(31b, 31b)의 배치 피치 Dx₂₁은 예를 들면 상기 배치 피치 Dx₂₀의 2배의 520nm 정도(웨이퍼 상 환산)이다.

본 실시예에 있어서는 그 데이터선용 컨택트 홀(10a)을 형성하기 위한 제2 마스크 패턴으로서, 상기 도 45에 도시한 제2 마스크 패턴(28B)과 동일한 것을 이용하였다.

이 제2 마스크 패턴으로서 통상의 마스크를 이용한 경우, 제2 마스크 패턴은 도 45에 도시한 제2 마스크 패턴(28B)의 주 광 투과 패턴(26c₁)만이 배치된 마스크 패턴 레이아웃이 된다. 그 제2 마스크 패턴을 이용했을 때의 웨이퍼[1W: 기판(1)] 상의 투영 광학상을 도 45에 도시한 제2 마스크 패턴(28B)을 이용한 경우의 투영 광학상과 비교하면, 후자쪽이 위상 시프트 효과가 얻어지기 때문에, 형상 및 치수 정밀도가 높은, 보다 양호한 광학상을 얻을 수 있다.

이러한 제2 마스크 패턴(28B)만을 포지티브형 포토레지스트막에 노광한 경우를 도 55에 모식적으로 나타낸다. 노광 광이 조사된 영역을 회계 하고, 노광 광이 조사되지 않은 영역에 해칭을 붙인다. 포토레지스트막은 포지티브형이기 때문에 만일 현상 처리를 하면(실제로는 다중 노광 후, 현상 처리를 행함), 노광된 영역(회계 한 영역)이 제거된다. 상기 제2 마스크 패턴(28B)만으로는 데이터선용 컨택트 홀(10a)용 개구부(31a)만이 개구되는 포토레지스트 패턴 R(즉, 제2 홀 패턴 형성용 포토레지스트 패턴)이 형성된다. 또, X 방향에 인접한 개구부(31a, 31a)의 배치 피치 Dx₂₂는, 예를 들면 상기 배치 피치 Dx₃의 2배의 520nm 정도(웨이퍼 상 환산)이다.

따라서, 상기 도 53의 제1 마스크 패턴(28C)과 상기 도 45의 제2 마스크 패턴을 중첩 노광한 후, 현상, 세정·건조 처리 등의 일련의 처리를 실시함으로써, 도 52에 도시한 포토레지스트 패턴 RC를 형성할 수 있다.

상기 제1 마스크 패턴(28C)의 데이터와, 제2 마스크 패턴(28B)의 데이터의 중첩시킨 상태를 도 56에 도시한다. 점선은 제1 마스크 패턴(28C)을 나타내고, 실선은 제2 마스크 패턴(28B)을 나타내고 있다. 제1 마스크 패턴(28A)의 광 투과 패턴(26c3)과, 제2 마스크 패턴(28B)의 보조 광 투과 패턴(26c2)이 중첩해서 배치되어 있다. 즉, 제2 마스크 패턴(28B)의 보조 광 투과 패턴(26c2)은 제1 마스크 패턴(28A)의 광 투과 패턴(26c3) 내에 배치되어 있다.

그래서, 도 45의 제2 마스크 패턴(28B)의 패턴 데이터를 작성할 때 예를 들면 다음과 같이 한다. 우선, 콘택트 홀(10a, 10b)의 배치대로, 광 투과 패턴을 배치한 패턴 데이터를 작성한다. 이 때, 콘택트 홀(10a, 10b)은 다른 층(데이터층)으로 레이아웃된다. 콘택트 홀(10b)은 도 53의 마스크 패턴(28C)에 대응하고, 콘택트 홀(10a)은 도 47의 마스크(26)의 마스크 패턴에 있어서 광 투과 패턴(26c₁)에만 대응한다. 즉, 마스크 패턴(28C)을 임의의 층(데이터층)으로 레이아웃하고, 마스크 패턴(26)을 다른 층(데이터층)으로 레이아웃한다. 그리고, 도 53의 제1 마스크 패턴(28C)의 데이터를 연산 처리함으로써, 상기 보조 광 투과 패턴(26c₂)의 크기로 한 후, 그 데이터와 상기 콘택트 홀(10a) 배치대로 광 투과 패턴을 배치한 데이터를 합성한다. 이와 같이 함으로써, 상기 제2 마스크 패턴(28B)의 패턴 데이터를 작성한다.

또한, 콘택트 홀(10a, 10b) 형성용 포토레지스트 패턴을 다중 노광 처리로 노광할 때의 마스크 패턴 데이터의 분할 처리를 상기 유닛 셀 UC(도 48 참조)의 관점에서 설명하면, 예를 들어 다음과 같다. 즉, 유닛 셀 UC의 정점에 위치하는 광 투과 패턴의 데이터와 유닛 셀 UC의 내부에 배치된 광 투과 패턴의 데이터로 나누고 있다. 유닛 셀 UC의 정점에 위치하는 광 투과 패턴의 데이터는 제2 마스크 패턴(28B)의 웨이퍼 상에 전사되는 광 투과 패턴(26c₁)의 데이터로 하고, 유닛 셀 UC에 내포된 광 투과 패턴의 데이터는 제1 마스크 패턴(28C)의 데이터로 하고 있다.

이러한 제1, 제2 마스크 패턴(28C, 28B)을 이용한 다중 노광 처리에 있어서, 마스크의 전체 구성(도 50 참조)이나 다중 노광 처리 방법에 대해서는 상기한 것과 동일하므로, 설명을 생략한다.

다음으로, 도 57의 (a)는 상기 도 5 등에 도시한 워드선 WL(게이트 전극 5)을 형성할 때 이용한 마스크(26)의 주요부 평면도를 나타내고, (b)는 그 A-A선의 단면도를 나타내고 있다. 여기서는, 레벤손형 위상 시프트 마스크를 이용하였다. 이 마스크 패턴(28D)은 도 57의 (a)의 Y 방향으로 연장되는 피상의 차광 패턴(26b) 및 광 투과 패턴(26c₄)을 갖고 있다. 그리고, 상호 인접한 광 투과 패턴(26c₄, 26c₄) 중 어느 한쪽에 위상 시프터 S가 배치되어 있다. 광 투과 패턴(26c₄)의 폭의 치수 Dx₃₀은 예를 들면 130nm 정도(웨이퍼 상 환산), 광 투과 패턴(26c₄) 및 차광 패턴(26b)의 양방의 폭을 정합한 치수 Dx₃₁은, 예를 들면 260nm 정도(웨이퍼 상 환산)이다. 또, 노광 장치 및 노광 조건은 도 38에서 설명한 것과 동일하다. 포토레지스트막에는 네가티브형 레지스트막을 이용하였다.

다음으로, 도 58의 (a)는 상기 도 17 등에 도시한 데이터선용 관통 홀(13)을 형성할 때 이용한 마스크(26)의 주요부 평면도를 나타내고, (b)는 그 A-A선의 단면도를 나타내고 있다. 여기서는 하프톤형 위상 시프트 마스크를 이용하였다. HT는 하프톤막을 나타내고 있다. 이 마스크 패턴(28E)은, 예를 들면 평면 사각 형상의 복수의 광 투과 패턴(26c₅)을 갖고 있다. 광 투과 패턴(26c₅)의 평면 치수는 예를 들면 220×220nm 정도(웨이퍼 상 환산)이다. 또, 노광 장치는 도 38에서 설명한 것과 동일하고, 노광 광학 조건은 NA=0.68, σ=0.30의 조건을 이용하였다. 포토레지스트막에는 포지티브형 레지스트막을 이용하였다.

도 59의 (a)는 상기 도 21 등에 도시한 데이터선 DL을 형성할 때 이용한 마스크(26)의 주요부 평면도를 나타내고, (b)는 그 A-A선의 단면도를 나타내고 있다. 여기서는, 레벤손형 위상 시프트 마스크를 이용하였다. 이 마스크 패턴(28F)은 도 59의 (a)의 X 방향으로 연장되는 피상의 차광 패턴(26b) 및 광 투과 패턴(26c₆)을 갖고 있다. 그리고, 상호 인접하는 광 투과 패턴(26c₆, 26c₆) 중 어느 한쪽에 위상 시프터 S가 배치되어 있다. 광 투과 패턴(26c₆)의 폭의 치수 Dy₃₀은, 예를 들면 170nm 정도(웨이퍼 상 환산), 광 투과 패턴(26c₆) 및 차광 패턴(26b)의 양방의 폭을 정합한 치수 Dy₃₁은 예를 들면 420nm 정도(웨이퍼 상 환산)이다. 또, 노광 장치는 도 38에서 설명한 것과 동일하고, 노광 광학 조건은 NA=0.68, σ=0.30의 조건을 이용하였다. 포토레지스트막에는 네가티브형 레지스트막을 이용하였다.

다음으로, 도 60의 (a)는 상기 도 25 등에 도시한 정보 축적 용량 소자용 관통 홀(17)을 형성할 때 이용한 마스크(26)의 주요부 평면도를 나타내고, (b)는 그 A-A선의 단면도를 나타내고 있다. 여기서는 레벤슨형 위상 시프트 마스크를 이용하였다. 이 마스크 패턴(28G)은 예를 들면 평면 사각 형상의 복수의 광 투과 패턴(26c₇)을 갖고 있다. 광 투과 패턴(26c₇)은 Y 방향에서 직선 상을 따라 배치되어 있지만, X 방향에서 직선 상에 배치되어 있지 않고, 교대로 약간 어긋나게 배치되어 있다. 그 편차량은 광 투과 패턴(26c₇)의 Y 방향을 따른 변의 치수분까지는 되지 않는다. 또한, 광 투과 패턴(26c₇)의 Y 방향의 인접 피치는 X 방향의 인접 피치보다 길다. 그리고, 상호 인접한 광 투과 패턴(27c₇) 중 어느 한쪽에 위상 시프터 S가 배치되어 있다. 위상 시프터 S의 구조는 상기한 것과 동일하게 예를 들면 미세 차양형 홈 시프터로 하였다. 광 투과 패턴(26c₇)의 평면 치수는 예를 들면 200×200nm 정도(웨이퍼 상 환산)이다. 또, 노광 장치는 도 38에서 설명한 것과 동일하고, 노광 광학 조건은 NA=0.68, σ=0.30의 조건을 이용하였다. 또, 노광 장치는 스테퍼, 스캐너의 어느 것을 이용하여도 좋다. 포토레지스트막에는 포지티브형 레지스트막을 이용하였다.

이 때에 이용한 마스크(26)에 대하여 본 발명자들이 검토한 과제에 대하여 설명한다. 도 25에 도시한 바와 같이, 관통 홀(17)의 패턴은 주기적으로, 또한 고밀도(작은 피치)로 배치되어 있다. 이 때문에, 그 패턴의 형성에 있어서는 그와 같은 레이아웃에 효과적인 레벤슨형 위상 시프트 마스크를 적용하는 것을 생각할 수 있다. 여기서, 도 61은 홀 패턴을 형성하기 위한 마스크 패턴의 평면도를 나타내고 있다. 이 마스크 패턴에서는, 예를 들면 평면 사각 형상의 복수의 광 투과 패턴(26c₇)이 규칙적으로 배열해서 배치되어 있다. 광 투과 패턴(27c₇)은 X 방향으로 연장되는 복수의 직선(일점쇄선으로 나타냄)과, Y 방향으로 연장되는 복수의 직선의 교점에 배치되어 있다. 즉, 광 투과 패턴(26c₇)은 XY 양방향으로 연장되는 직선 상에 배열해서 배치되어 있다. 광 투과 패턴(26c₇)의 배치는 X 방향과 Y 방향으로 피치가 다르며, X 방향의 인접 배치 피치가 Y 방향의 인접 배치 피치보다 짧아지고 있다. 그리고, 상호 인접한 광 투과 패턴(27c) 중 어느 한쪽에 위상 시프터 S가 배치되어 있으며, 각각을 투과한 광의 위상이 180도 반전하도록 되어 있다.

이 경우, X 방향에서는 광 투과 패턴(26c₇)의 인접 배치 피치가 짧기 때문에, 위상 시프트 마스크의 효과가 양호하게 나타나지만, Y 방향에서는 인접 배치 피치가 길기 때문에 위상 시프트 마스크의 효과를 얻을 수 없다. 이 때에 얻어지는 전사 패턴에 있어서는 X, Y 방향의 치수를 도 62에 도시한다. 여기서는, Y 방향을 비 연속 방향, X 방향을 연속 방향으로 하고, 비 연속 방향(Y 방향)의 치수를 0.16μm(웨이퍼 상 환산)으로 했을 때 얻어지는 연속 방향(X 방향)의 치수를 나타내고 있다. 상기한 도 61의 광 투과 패턴(26c₇)은 상기한 바와 같이 직선 상에 배치되어 있고 어긋남이 없기 때문에, 그 배치는 배치 편차량=0.0μm의 조건이 된다. 따라서, 도 62에 도시한 바와 같이 비 연속 방향의 전사 패턴의 치수는 0.16μm가 되지만, 연속 방향(X 방향)의 전사 패턴의 치수는 0.10μm 이하로 매우 작아진다. 또한, 이 때에 얻어지는 초점 심도를 도 63에 도시한다. 상기 배치 편차량이 0.0μm일 때, 초점 심도는 0.4μm로, 매우 마진이 작은 것을 알 수 있다.

그래서, 본 발명자들은 광 투과 패턴(26c₇)의 배치를 고안하고, 그 위치를 인접하는 것끼리 상대적으로 비켜 놓았다. 그 경우를 도 64에 도시한다. 이 마스크 패턴에서는 광 투과 패턴(26c₇)의 위치가 도 61의 경우에 비하여 치수 Dy₄₀의 만큼 Y 방향으로 어긋나 있다. 여기서는, 광 투과 패턴(26c₇)의 Y 방향의 변의 길이 만큼 비켜 놓여 있다. 이에 따라, 패턴의 형성 여유를 향상시킬 수 있다. 이 경우, 상기 도 62에 도시한 바와 같이, 배치 편차량이 점차로 증가하여 약 0.075μm이 될 때까지는 X, Y 방향의 전사 패턴의 치수 차가 서서히 작아지고, 배치 편차량이 약 0.075μm로 X, Y 방향의 전사 패턴의 치수 차가 거의 영(즉, 전사 패턴의 평면 형상은 거의 실제 원)이 된다. 배치 편차량이 0.075μm를 넘으면, 지금까지와는 반대로 전사 패턴의 X 방향의 치수가 커진다. 이는 광 투과 패턴(26c₇)을 직선 상에 배치한 경우에는 하나의 광 투과 패턴(26c₇)에 대하여 그 X 방향으로부터 2방향의 위상 시프트 효과가 있는 데 반해, 광 투과 패턴(26c₇)의 배치를 비켜 놓음으로써, Y 방향에 인접한 광 투과 패턴(26c₇)이 근접하게 된 결과, 이들 사이에서도 광 간섭이 생기기 시작하여, 어느 정도의 거리가 되면 3방향으로부터 위상 시프트 효과를 얻을 수 있기 때문이다. 따라서, 광 투과 패턴(26c₇)의 위치를 어느 정도 비켜 놓은 것이 홀 패턴의 형상이 실제 원에 근접하게 된다. 또한, 초점 심도에 대해서도 도 63에 도시한 바와 같이, 배치 편차량이 약 0.075μm(상기한 바와 같이 패턴 형상이 거의 원 형상이 되는 배치 편차량) 부근에서 최대가 된다. 즉, 패턴의 형상이 웨이퍼 상에서 가능한 원형에 근접하도록 마스크(26)상에서 광 투과 패턴(26c₇)을 배치하는 것이 바람직한 것이 본 발명자들에 의해 처음으로 발견되었다.

이 도 64에 도시한 마스크를 이용하여 상기 관통 홀(17)을 형성한 경우의 메모리 셀 영역의 주요부 평면도를 도 65에 도시한다. 또한, 그 A-A선의 단면도를 도 66에 도시한다. 또, 여기서는 관통 홀(17)과 하층의 패턴의 위치 정렬이 거의 정확하게 행해진 경우를 나타내고 있다.

도 65 및 도 66에 도시한 바와 같이 관통 홀(17)은 그 중심이 컨택트 홀(10b)의 중심, 즉, 플러그(11b)의 중심과 일치하도록 배치되어 있다. 이 경우, 관통 홀(17)은 컨택트 홀(10b)보다 소직경으로 되어 있지만, 데이터선 DL과 근접하고 있어, 양자의 정합 마진도 작다. 이 때문에, 관통 홀(17)의 위치가 어긋나면, 관통 홀(17)이 데이터선 DL에 중첩되어 쇼트 불량이 생긴다. 도 67은 도 65 및 도 66의 구조에 있어서 관통 홀(17)이 Y 방향으로 -50nm 정도 어긋난 경우의 평면도를 나타내고 있다. 또한, 도 68은 도 67의 A-A선의 단면도를 나타내고 있다. 관통 홀(17)이 데이터선 DL에 중첩되어, 관통 홀(17) 내에 형성되는 플러그(19)와 데이터선 DL이 쇼트하는 것을 알 수 있다.

도 69에 상호 근접한 데이터선 DL과 이에 근접하는 관통 홀(17)의 패턴간 거리(끝에서 끝까지의 거리) dy 와, 패턴 형성 시의 편차량과의 관계를 나타낸다. 도 65 등에 도시한 구조의 경우(실선 PL)는 패턴간 거리 dy 가 정합 어긋남이 없는 경우라도 20nm 정도 밖에 확보할 수 없어서 매우 작다. 즉, 겨우 20nm 정도의 위치 어긋남으로 패턴끼리 쇼트하는 것을 알 수 있다. 따라서, 도 65 등에 도시한 구조에서는 위치 정렬에 매우 높은 정밀도가 요구되지만, 일반적으로 현재의 노광 장치의 중첩 오차에 의한 편차량은 $\pm 50\text{nm}$ 정도이기 때문에, 정합 마진을 확보하여 패턴을 형성하는 것이 불가능하다는 것을 알 수 있다. 즉, 마스크(26)상의 광 투과 패턴(26c₇)은 상기한 바와 같이 비켜서 배치하는 것이 바람직하지만, 너무 비켜 놓아도 새로운 문제가 발생한다는 것이 본 발명자들에 의해 처음으로 발견되었다.

이에 대하여 관통 홀(17)의 직경을 작게 함으로써 정합 마진을 확보할 수 있다. 예를 들면 도 70의 (a)에 도시한 바와 같이 관통 홀(17)의 직경을 예를 들면 140nm(웨이퍼 상 환산) 정도로 작게 하면, 패턴간 거리 dy 를 40nm 정도 확보할 수 있고, 노광 장치의 어긋남량이 $\pm 50\text{nm}$ 정도라도 쇼트하지 않고 패턴을 형성할 수 있다. 그러나, 이 경우, 패턴을 형성하기 위한 각종 마진이 대폭 감소한다. 또, 도 70의 (b)는 (a)의 전사 패턴을 형성했을 때 이용한 마스크(26)의 마스크 패턴을 나타내고 있다. Y 방향에 최근접하는 광 투과 패턴(26c₇)의 인접 피치는 예를 들면 290nm 정도이다.

도 71은 예를 들면 170nm의 홀 패턴으로 얻어지는 초점 심도와, 140nm의 홀 패턴으로 얻어지는 초점 심도를 비교하여 나타낸 도면이다. 여기서의 패턴의 형성 조건은 예를 들면 다음과 같다. 노광 장치의 축소 투영 렌즈의 개구 수 NA가 0.68이고, 노광 광은 파장이 248nm인 KrF 엑시머 레이저를 이용하였다. 패턴의 배치는 예를 들면 290nm 피치(웨이퍼 상 환산)로 격자형으로 배치된 것을 사용하였다. 노광 변동을 $\pm 5\%$ 을 고려하고, 또한 각 치수 $\pm 10\%$ 의 허용 치수 범위에서 얻어지는 초점 심도는 170nm의 홀 패턴으로 $1.8\mu\text{m}$ 정도인 데 반해, 140nm의 홀 패턴으로서는 $0.9\mu\text{m}$ 정도로 저하하여, 일반적으로 필요한 초점 심도 $1.0\mu\text{m}$ 를 밑도는 것을 알 수 있다. 즉, 패턴의 치수를 작게 하는 것은 패턴간의 정합 마진을 벌 수 있지만, 패턴을 형성하기 위해서 필요한 프로세스 여유도를 얻을 수 없는 것이 본 발명자들에 의해 발견되었다.

따라서, 상기한 패턴을 형성하기 위해서는, 노광 장치의 패턴 정합 성능을 보다 고성능으로 할지, 투영 렌즈의 개구 수 NA를 큰 것으로 할지, 또는 노광 파장의 단파장화에 따라 패턴 치수를 작게 하는 방법이 일반적으로 채택된다. 그러나, 노광 장치의 성능 향상을 도모한다는 것은 노광 장치의 변경을 필요로 한다. 이 때문에, 설비비가 걸려 반도체 집적 회로 장치의 고비용화를 초래한다. 또한, 반도체 집적 회로 장치의 패턴의 미세화나 고집적화는 급속히 진행하는 경향에 있어서, 그 때마다, 원가 상각하지 않고 노광 장치를 변경하였다면 경제적인 측면에서 문제가 있다. 또한, 투영 렌즈의 개구 수 NA의 증대에는 한계가 생기고 있다. 또한, 그 개구 수 NA의 증대나 노광 파장의 단파장화만을 향상시키는 것에 대해서도 경제적인 측면에서 상기한 것과 동일하다고 할 수 있다.

그래서, 본 발명에 있어서는 전사 패턴의 레이아웃에 대하여 더욱 고안함으로써, 패턴의 정합 정밀도를 향상시키도록 하였다. 상기한 바와 같이, 관통 홀(17)은 그 역할상, 플러그(11b)와 정보 축적용 용량 소자(24)의 하부 전극(24a)과의 전기적인 접속을 행하면 좋다. 또한, 관통 홀(17)은 정보 축적용 용량 소자(24)가 거의 데이터선 DL 사이의 폭 내에 존재하기 때문에, 한쌍의 데이터선 DL에 둘러싸인 영역 내에 배치되어 있으면 좋다. 또한, 플러그(11b)와의 전기적인 접속을 생각하면, 플러그(11b) 상에 관통 홀(17) 중 적어도 일부가 있으면 좋아진다. 그래서, 관통 홀(17)을 처음부터 정합 마진이 작은 데이터선 DL으로부터 떨어진 방향으로 레이아웃한다. 이에 따라, 패턴의 치수를 변경하지 않더라도 패턴간의 정합 마진을 확보할 수 있다.

즉, 관통 홀(17)을 형성할 때 관통 홀(17)이 만일 어긋났다고 하여도, 플러그(11b)와는 전기적인 접속을 확보할 수 있고, 또한 데이터선 DL과는 절연 상태를 확보할 수 있도록 관통 홀(17)을 그 설계 단계에서 데이터선 DL로부터 분리하여 배치하고 있다. 이 경우, 관통 홀(17)이 위치 어긋나지 않고 설계대로 형성된 경우라도 관통 홀(17)의 중심은 플러그(11b)의 중심으로부터 어긋나게 배치되지만, 관통 홀(17) 내의 플러그(19)와 플러그(11b)는 전기적으로 접속된다(도 25, 도 28 및 도 31 등 참조).

이 디바이스 레이아웃으로 위에 기술된 것과 마찬가지로, 관통 홀(17)을 Y 방향으로 예를 들면 -50nm(웨이퍼 상 환산) 정도 비켜둔 경우의 평면도를 도 72에 도시한다. 또한, 도 72의 A-A선의 단면도를 도 73에 도시한다. 이 경우라도 관통 홀(17)과 데이터선 DL은 쇼트하지 않는 것을 알 수 있다. 또한, 관통 홀(17)은 하층의 플러그(11b)와 접속되어 있고, 전기적으로 충분한 특성을 얻을 수 있다. 도 69에 도시한 관통 홀(17)과 데이터선 DL과의 패턴간 거리 dy 의 관계에 있어서 본 발명의 경우, 예를 들면 60nm(웨이퍼 상 환산) 정도의 어긋남까지 쇼트하지 않는 것을 알 수 있다. 따라서, 이와 같이 디바이스 레이아웃 및 그것을 형성하기 위한 마스크 패턴 레이아웃을 변경함으로써, 패턴 치수 등을 변경하지 않더라도(물론, 해상도가 얻어지는 범위에서의 치수 변경(축소)을 행하여도 좋음), 노광 장치의 중첩 오차를 허용 가능하게 되고, 양호한 패턴의 형성을 실현할 수 있었다.

상기한 도 60에 도시한 마스크(26)의 마스크 패턴(28G)은 이상과 같은 기술 사상에 따라 형성되어 있다. 도 74의 (a)는 관통 홀(17)을 전사 시에 이용한 도 60과 동일한 마스크(26)의 주요부 평면도를 나타내고, (b)는 (a)의 마스크 패턴을 이용한 경우에 얻어지는 전사 패턴의 주요부 평면도를 나타내고 있다. 또한, 도 75의 (a)는 광 투과 패턴(26c₇)을 그 Y 방향의 변의 반 정도의 길이 분만큼 비켜둔 마스크 패턴의 주요부 평면도를 나타내고, (b)는 (a)의 마스크 패턴을 이용한 경우에 실제로 얻어진 전사 패턴의 주요부 평면도를 비교하기 위해 나타내고 있다. 도 74에 도시한 본 실시예에 따르면, 도 75에 비하여 전사 패턴간의 마진을 크게 하고 있음을 확인할 수 있다. 본 발명의 마스크 패턴(28G)을 이용한 경우, 패턴 치수를 변경하지 않고, 관통 홀(17)과 데이터선 DL과의 정합 마진을 충분히 확보할 수 있었다. 또한, 도 64의 구조의 마스크 패턴을 이용한 경우에 비하여 칩 사이즈를 약 12% 정도 작게 할 수 있었다. 또한, 관통 홀(17)과 데이터선 DL과의 정합 마진을 확보할 수 있기 때문에, 도 64의 구조의 마스크 패턴을 이용한 경우에 비하여, 제품 제조의 공정 수율을 2/3으로 저감시킬 수 있었다.

다음으로, 도 34 등에 도시한 구멍(23: 축적 용량 패턴이 형성됨)을 형성할 때의 노광 기술에 대하여 설명한다. 이 경우에는 상기 다중 노광 처리를 행하였다. 제1 마스크 패턴은 상기 도 59에서 도시한 것과 동일하다. 단, 광 투과 패턴(26c₆)의 폭의 치수가 예를 들면 150nm 정도(웨이퍼 상 환산)이다. 한편, 도 61은 제2 마스크 패턴(28H)을 나타내고 있다. 도 76의 (a)는 그 마스크의 주요부 평면도, (b)는 그 A-A선의 단면도이다. 이 제2 마스크 패턴(28H)에서는 레벤슨형 위상 시프트 마스크 기술을 이용하였다. 이 마스크 패턴(28H)은 도 76의 (a)의 Y 방향으로 연장되는 떠상의 차광 패턴(26b) 및 광 투과 패턴(26c₈)을 갖고 있다. 그리고, 상호 인접한 광 투과 패턴(26c₈, 26c₈) 중 어느 한쪽에 위상 시프터 S가 배치되어 있다. 광 투과 패턴(26c₆)의 폭의 치수 Dx_{40} 은, 예를 들면 130nm 정도(웨이퍼 상 환산), 광 투과 패턴(26c₈) 및 차광 패턴(26b)의 양방의 폭을 정합한 치수 Dy_{41} 은, 예를 들면 260nm 정도(웨이퍼 상 환산)이다. 또, 노광 장치는 도 38에서 설명한 것과 동일하고, 노광 광학 조건은 $NA=0.68$, $\sigma=0.30$ 의 조건을 이용하였다. 포토레지스트막으로는 네가티브형 레지스트막을 이용하였다.

이러한 본 실시예의 대표적인 효과를 기재하면, 다음과 같다.

- (1) 관통 홀(17)을 형성하기 위한 노광 처리 시, 도 60에 도시한 마스크 패턴(28G)을 이용함으로써, 패턴의 형성 제어성의 열화나 패턴의 형성 마진의 감소를 초래하지 않고, 관통 홀(17)과 데이터선 DL과의 정합 마진을 향상시킬 수 있다.
- (2) 관통 홀(17)을 형성하기 위한 노광 처리 시, 도 60에 도시한 마스크 패턴(28G)을 이용함으로써, 패턴의 형성 제어성의 열화나 패턴의 형성 마진의 감소를 억제할 수 있다.
- (3) 상기 (1), (2)에 의해 관통 홀(17)과 데이터선 DL과의 고밀도 배치가 가능해지므로, 메모리 셀의 집적도를 향상시킬 수 있다.
- (4) 상기 (3)에 의해 DRAM의 성능을 향상시킬 수 있다.
- (5) 상기 (3)에 의해 반도체 칩의 사이즈를 축소할 수 있기 때문에 DRAM의 소형화를 추진시킬 수 있다.
- (6) 상기 (1), (2), (5)에 의해 DRAM의 제조 수율을 향상시킬 수 있다.
- (7) 상기 (5), (6)에 의해 DRAM의 제조 비용을 저감시킬 수 있다.

<제2 실시예>

상기 제1 실시예에 있어서는 상기 도 60에 도시한 마스크(26)를 이용한 노광 처리에 있어서 통상 조명을 이용한 경우에 대하여 설명하였다. 그러나, 본 발명의 기술 사상에 있어서는 노광 광원에 통상 조명을 이용하는 것에 한정되는 것이 아니고, 노광 광원에 변형 조명을 이용하여도 좋다. 도 77의 (a), (b)는 그 변형 조명의 일례를 나타내고 있다. 도 77의 (a)는 4 중극 조명을 나타내고 있다. 여기서는 4개의 점형 광원(33)이 X, Y의 양축을 중심선으로서 상호 대칭이 되도록 배치되어 있다. 또한, 도 77의 (b)는 고리대 조명을 나타내고 있다. 여기서는 고리띠상 광원(34)이 배치되어 있다. 이러한 고리대 조명을 이용한 경우에는, 해상도가 통상 조명을 이용한 경우보다 향상하기 때문에, 패턴간의 피치를 작게 할 수 있다. 따라서, 반도체 집적 회로 장치의 집적도를 향상시킬 수 있다. 이외에는, 상기 제1 실시예와 동일하므로, 설명을 생략한다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다.

예를 들면 상기 제1 실시예, 제2 실시예에서 설명한 노광 조건, 레이아웃 피치 또는 치수 등은, 노광 장치, 노광 파장, 레지스트 재료 또는 측정 장치 등에 의해 여러가지 변경 가능하고, 상기한 것에 한정되는 것이 아니다.

또한, 상기 제1 실시예, 제2 실시예에서는 도 25 등에 도시한 관통 홀(17)을 형성하기 위한 마스크로서 위상 시프트 마스크를 이용한 경우에 대하여 설명하였지만, 이에 한정되는 것이 아니고 예를 들면 통상의 마스크라도 마찬가지로의 효과를 얻을 수 있다.

또한, 상기 제1 실시예, 제2 실시예에서는 활성 영역이 워드선 등에 대하여 경사지게 레이아웃되어 있는 구조에 본 발명을 적용한 경우에 대하여 설명하였지만, 이에 한정되는 것이 아니고 예를 들면 활성 영역이 워드선에 대하여 수직으로(데이터선에 대하여 수평으로) 배치되어 있는 구조의 반도체 집적 회로 장치에도 적용할 수 있다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경이 된 이용 분야인 DRAM에 적용한 경우에 대하여 설명하였지만, 그에 한정되는 것이 아니라 예를 들면 SRAM(Static Random Access Memory) 또는 플래시 메모리(EEPROM; Electric Erasable Programmable Read Only Memory) 등과 같은 메모리 회로를 갖는 반도체 집적 회로 장치, 마이크로 프로세서 등과 같은 논리 회로를 갖는 반도체 집적 회로 장치 또는 메모리 회로와 논리 회로를 동일 반도체 기판에 설치하고 있는 혼재형 반도체 집적 회로 장치에도 적용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

즉, 본 발명에 따르면, 배선을 끼우는 한쌍의 제1 홀 패턴 상에 제2 홀 패턴을 전사할 때 그 배선을 끼우는 한쌍의 제2 홀 패턴이 위치 어긋났다고 하여도 상기 제1 홀 패턴과는 접속되고, 배선에는 접속되지 않도록 설계의 단계에서 배선으로부터 이격하는 방향으로 떨어져서 배치되도록 포토마스크에 형성된 마스크 패턴을 이용함으로써 패턴의 정합 마진을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 2는 도 1의 A-A선의 단면도.

도 3은 도 1의 B-B선의 단면도.

도 4는 도 1의 C-C선의 단면도.

도 5는 도 1에 계속되는 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 6은 도 5의 A-A선의 단면도.

도 7은 도 5의 B-B선의 단면도.

도 8은 도 5에 계속되는 도 1의 A-A선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 9는 도 5에 계속되는 도 1의 B-B선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 10은 도 5에 계속되는 도 1의 C-C선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 11은 도 8~도 10에 계속되는 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 12는 도 11의 A-A선의 단면도.

도 13은 도 11의 B-B선의 단면도.

도 14는 도 11의 C-C선의 단면도.

도 15는 도 11에 계속되는 도 1의 A-A선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 16은 도 11에 계속되는 도 1의 B-B선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 17은 도 15 및 도 16에 계속되는 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 18은 도 17의 A-A선의 단면도.

도 19는 도 17의 B-B선의 단면도.

도 20은 도 17의 C-C선의 단면도.

도 21은 도 17에 계속되는 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 22는 도 21의 A-A선의 단면도.

도 23은 도 21의 B-B선의 단면도.

도 24는 도 21의 C-C선의 단면도.

도 25는 도 21에 계속되는 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 26은 도 25의 A-A선의 단면도.

도 27은 도 25의 B-B선의 단면도.

도 28은 도 25의 C-C선의 단면도.

도 29는 도 25에 계속되는 도 1의 A-A선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 30은 도 25에 계속되는 도 1의 B-B선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 31은 도 25에 계속되는 도 1의 C-C선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 32는 도 29~도 31에 계속되는 도 1의 A-A선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 33은 도 32와 동일 공정 시의 도 1의 C-C선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 34는 도 32 및 도 33에 계속되는 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 평면도.

도 35는 도 34의 A-A선의 단면도.

도 36은 도 34의 C-C선의 단면도.

도 37은 도 34에 계속되는 도 1의 A-A선에 대응하는 부분의 반도체 집적 회로 장치의 제조 공정 중에 있어서의 주요부 단면도.

도 38은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 공정에서 이용한 노광 장치의 설명도.

도 39는 도 38의 노광 장치의 노광 동작을 모식적으로 나타낸 설명도.

도 40의 (a)는 도 1 등에 도시한 활성 영역을 형성하기 위한 포토레지스트 패턴의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 41의 (a)는 도 40에 도시한 포토레지스트 패턴을 전사하기 위한 포토마스크에 있어서의 제1 마스크 패턴의 주요부 평면도, (b)는 (a)의 A-A선의 단면도, (c)는 (b)의 위상 시프터 부분의 확대 단면도.

도 42는 도 41의 마스크 패턴의 전자선 묘화 데이터의 평면도.

도 43은 웨이퍼 프로세스로 충분한 해상 특성을 얻을 수 있는 범위 내의 크기의 계단형 패턴으로 한 마스크 패턴 레이아웃 예를 나타내는 평면도.

도 44는 도 41의 마스크 패턴만을 포토레지스트막에 전사한 경우의 포토레지스트 패턴의 주요부 평면도.

도 45의 (a)는 도 40에 도시한 포토레지스트 패턴을 전사하기 위한 포토마스크에 있어서의 제2 마스크 패턴의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 46의 (a)는 본 발명자가 검토한 포토마스크의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 47의 (a)는 본 발명자가 검토한 포토마스크의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 48은 도 45의 마스크 패턴의 설명도.

도 49는 도 41의 마스크 패턴과 도 45의 마스크 패턴을 거듭 나타낸 설명도.

도 50은 본 실시예의 반도체 집적 회로 장치의 제조 공정에서 이용한 포토마스크의 전체 평면도.

도 51의 (a) 및 (b)는 위상 시프트 마스크의 변형예를 나타내는 포토마스크의 주요부 단면도.

도 52의 (a)는 도 11 등에 도시한 콘택트 홀을 형성하기 위한 포토레지스트 패턴의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 53의 (a)는 도 11 등에 도시한 컨택트 홀을 형성하기 위한 제1 마스크 패턴을 갖는 포토마스크의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 54는 도 53의 제1 마스크 패턴만을 포지티브형 포토레지스트막에 노광한 경우를 모식적으로 나타내는 포토레지스트 패턴의 주요부 평면도.

도 55는 도 45의 제2 마스크 패턴만을 포지티브형 포토레지스트막에 노광한 경우를 모식적으로 나타내는 포토레지스트 패턴의 주요부 평면도.

도 56은 도 53의 제1 마스크 패턴의 데이터와, 도 45의 제2 마스크 패턴의 데이터의 정합 상태의 설명도.

도 57의 (a)는 도 5 등에 도시한 워드선(게이트 전극)을 형성할 때 이용한 포토마스크의 주요부 평면도, (b)는 (a)의 A-A선의 단면도.

도 58의 (a)는 도 17 등에 도시한 데이터선용 관통 홀을 형성할 때 이용한 마스크(26)의 주요부 평면도, (b)는 그 A-A선의 단면도.

도 59의 (a)는 상기 도 21 등에 도시한 데이터선 DL을 형성할 때 이용한 마스크(26)의 주요부 평면도, (b)는 그 A-A선의 단면도.

도 60의 (a)는 도 25 등에 도시한 정보 축적 용량 소자용 관통 홀을 형성할 때 이용한 마스크의 주요부 평면도, (b)는 그 A-A선의 단면도.

도 61은 본 발명자들이 검토한 포토마스크의 주요부 평면도.

도 62는 포토마스크에 있어서의 광 투과 패턴의 배치 편차량과 전사 패턴의 관계를 나타내는 그래프.

도 63은 포토마스크에 있어서의 광 투과 패턴의 배치 편차량과 초점 심도의 관계를 나타내는 그래프.

도 64는 본 발명자들이 검토한 포토마스크의 주요부 평면도.

도 65는 도 64의 포토마스크를 이용하여 전사한 홀 패턴을 갖는 반도체 집적 회로 장치의 주요부 평면도.

도 66은 도 65의 A-A선의 단면도.

도 67은 도 65의 구조의 반도체 집적 회로 장치에서 홀 패턴이 어긋나 전사된 경우를 나타내는 반도체 집적 회로 장치의 주요부 평면도.

도 68은 도 67의 A-A선의 단면도.

도 69는 패턴의 정합 편차량과 데이터선-관통 홀 패턴간 거리와의 관계를 나타내는 그래프.

도 70의 (a)는 반도체 집적 회로 장치의 주요부 평면도, (b)는 (a)의 관통 홀 패턴의 전사에 이용한 포토마스크의 주요부 평면도.

도 71은 초점 위치와 홀 사이즈의 관계를 나타내는 그래프.

도 72는 도 25 등에 도시한 반도체 집적 회로 장치 구조에 있어서 홀 패턴이 어긋나 전사된 경우를 나타내는 반도체 집적 회로 장치의 주요부 평면도.

도 73은 도 72의 A-A선의 단면도.

도 74의 (a)는 본 실시예의 포토마스크의 주요부 평면도, (b)는 (a)의 포토마스크를 이용하여 전사된 관통 홀을 갖는 반도체 집적 회로 장치의 주요부 평면도.

도 75의 (a)는 본 발명자들이 검토한 포토마스크의 주요부 평면도, (b)는 (a)의 포토마스크를 이용하여 전사된 관통 홀을 갖는 반도체 집적 회로 장치의 주요부 평면도.

도 76의 (a)는 도 34 등에 도시한 구멍을 형성할 때 이용한 마스크의 주요부 평면도, (b)는 그 A-A선의 단면도.

도 77의 (a)는 4 중극 조명의 평면도, (b)는 고리대 조명의 평면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 반도체 기관

1W : 반도체 웨이퍼

2 : 분리부

2a, 8, 9, 12, 15, 16, 21 :절연막

3 : p형 웰

4 : 게이트 절연막

5 : 게이트 전극

6 : 캡 절연막

7 : n형 반도체 영역

10a : 콘택트 홀

10b : 콘택트 홀(제1 홀 패턴)

11a, 11b : 플러그

13 : 관통 홀

14, 19 : 플러그

17 : 관통 홀(제2 홀 패턴)

18 : 하드 마스크

18A : 측벽

20 : 배리어 메탈막

22 : 포토레지스트 패턴

23 : 구멍

24 : 정보 축적용 용량 소자

24a : 하부 전극

24b : 용량 절연막

24c : 플레이트 전극

25 : 노광 장치

25a : 노광 광원

25b : 플라이 아이 렌즈

25c : 개구

25d₁, 25d₂ : 컨덴서 렌즈

25e, 25p : 미러

25f : 투영 렌즈

25g : 마스크 위치 제어 수단

25h : 마스크 스테이지

25i : 웨이퍼 스테이지

25j : Z 스테이지

25k : XY 스테이지

25m : 주 제어계

25n₁, 25n₂ : 구동 수단

25q : 레이저 길이 측정기

25r : 얼라이먼트 검출 광학계

25s : 네트워크 장치

26 : 포토마스크

26a : 마스크 기판

26b : 차광 패턴

26c, 26c₃, 26c₄~26c₈, 26d : 광 투과 패턴

26c₁ : 주 광 투과 패턴

26c₂ : 보조 광 투과 패턴

26e : 시프터막

26f : 투명막

27 : 페리클

28A, 28C : 제1 마스크 패턴

28B : 제2 마스크 패턴

28D, 28E, 28G, 28H : 마스크 패턴

30A, 30B : 전사 영역

31a, 31b : 개구부

33 : 점형 광원

34 : 고리띠상 광원

R, RL, RC : 포토레지스트 패턴

S : 위상 시프터

L : 활성 영역(제1 영역)

WL : 워드선

d1 : 데이터선(배선)

SL : 슬릿

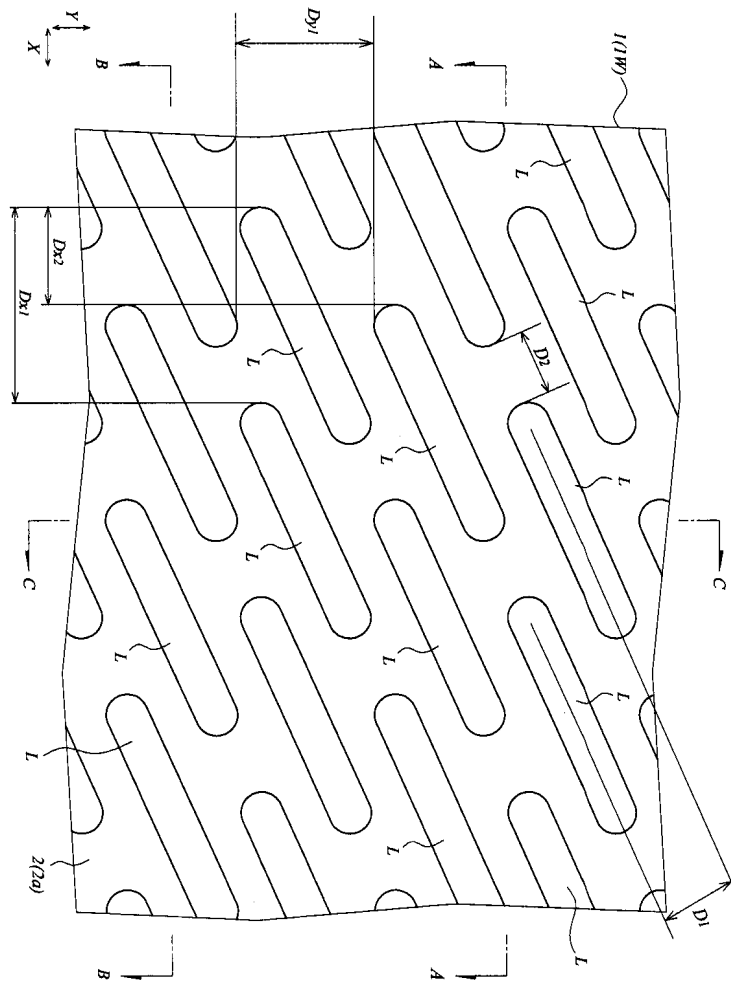
EP : 노광 광

Z : 깊이

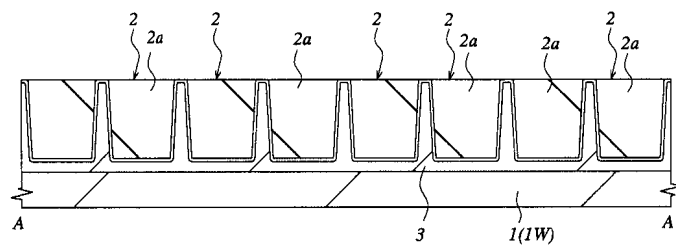
UC : 유닛 셀

도면

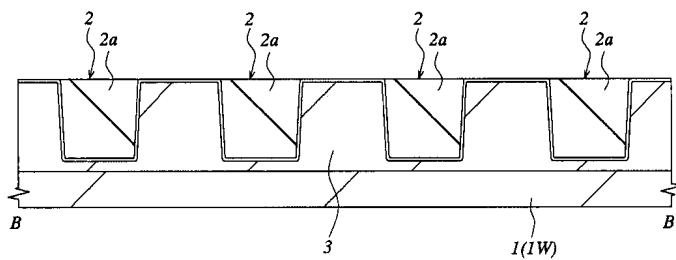
도면1



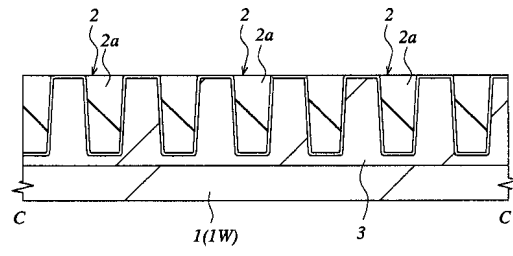
도면2



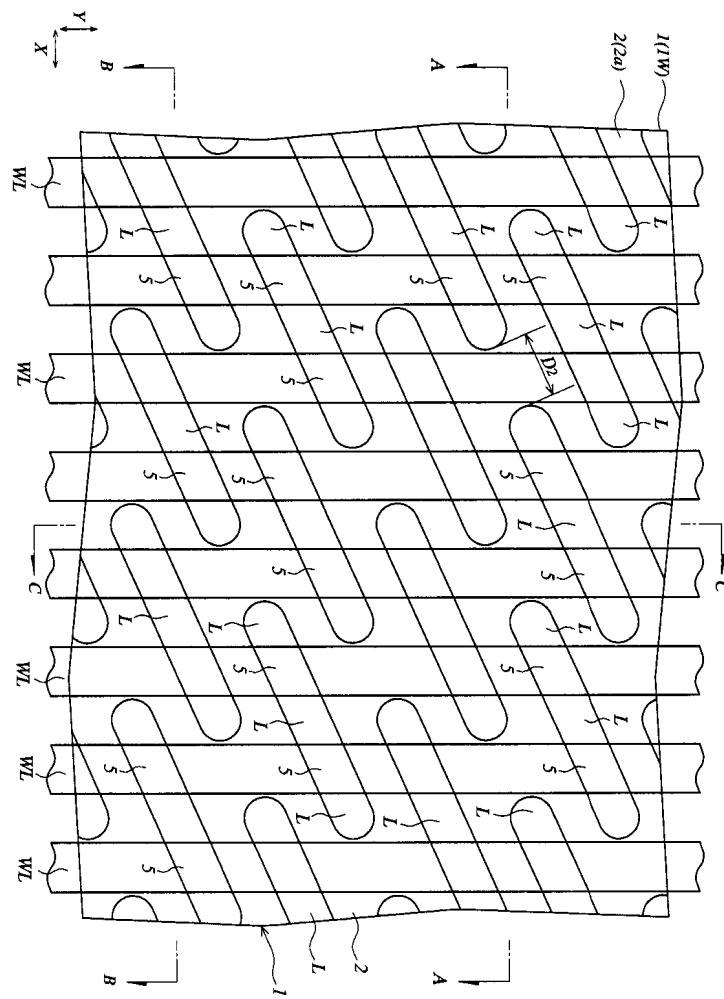
도면3



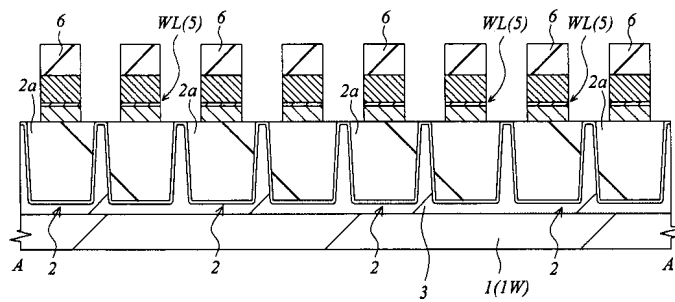
도면4



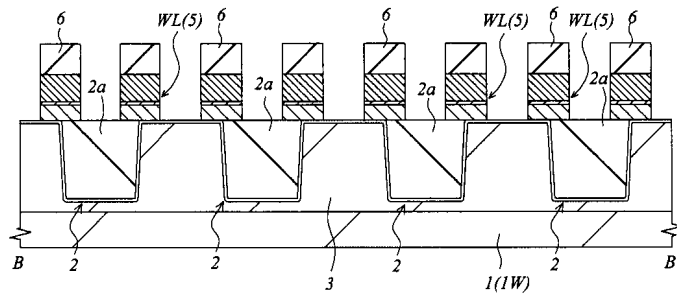
도면5



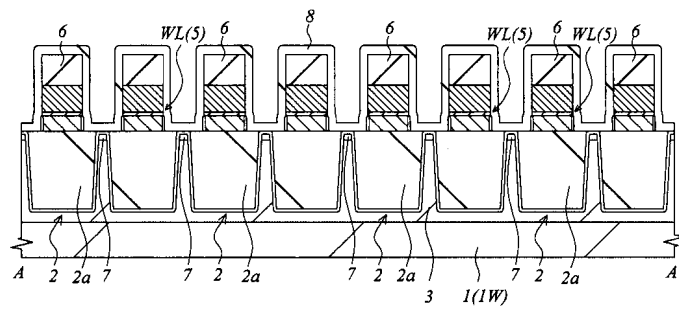
도면6



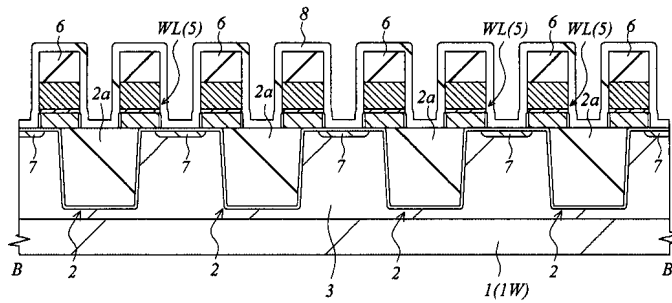
도면7



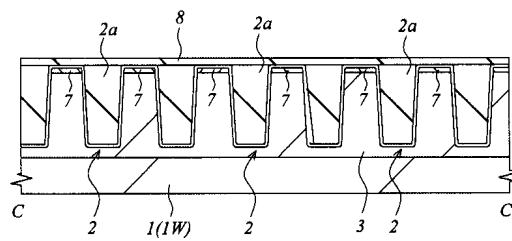
도면8



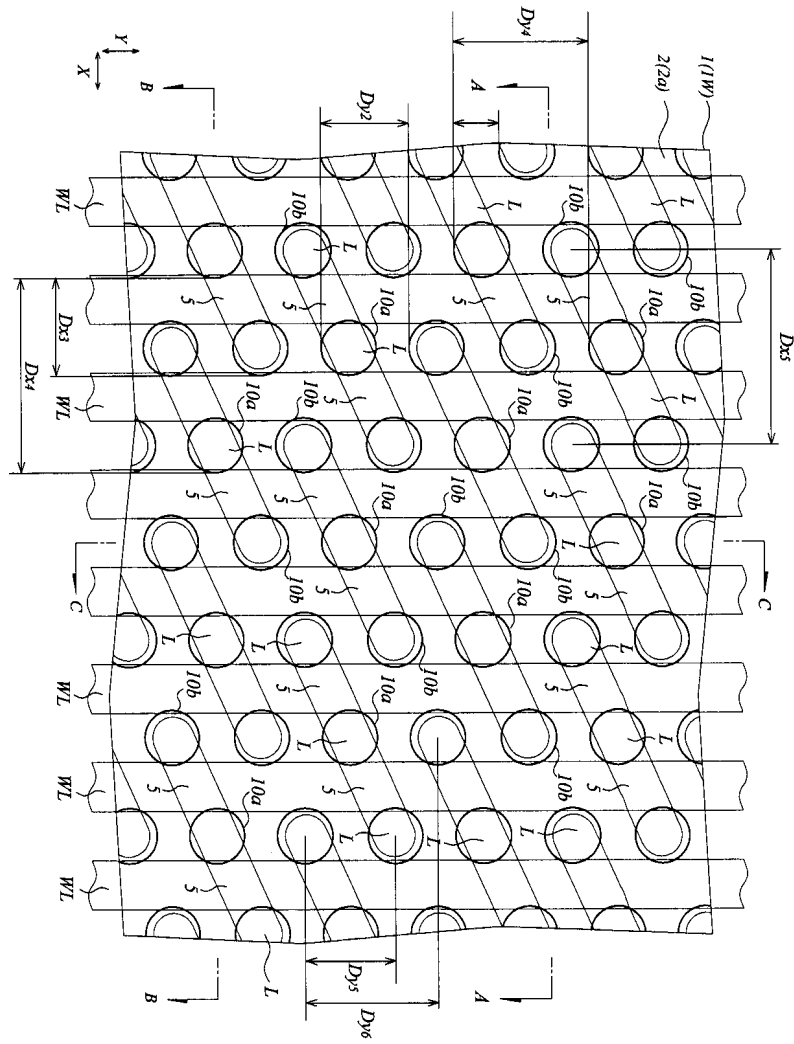
도면9



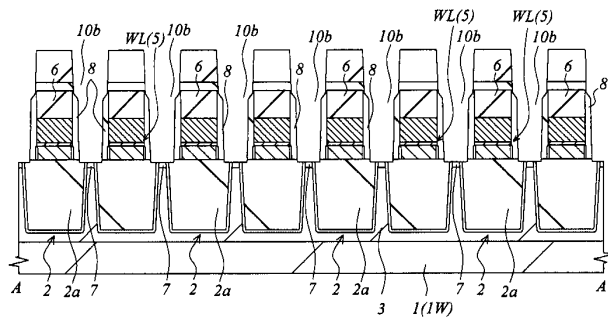
도면10



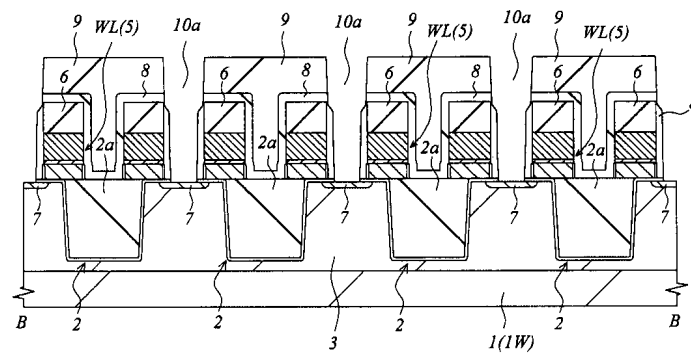
도면11



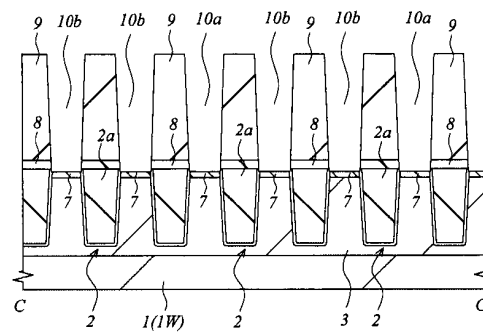
도면12



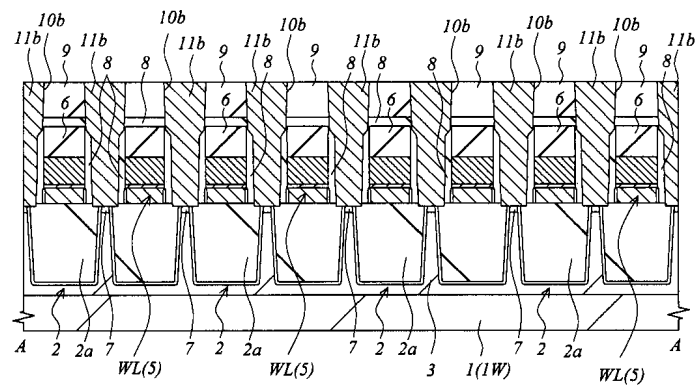
도면13



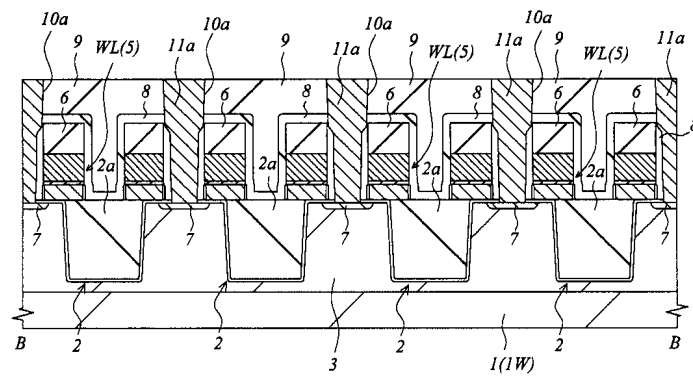
도면14



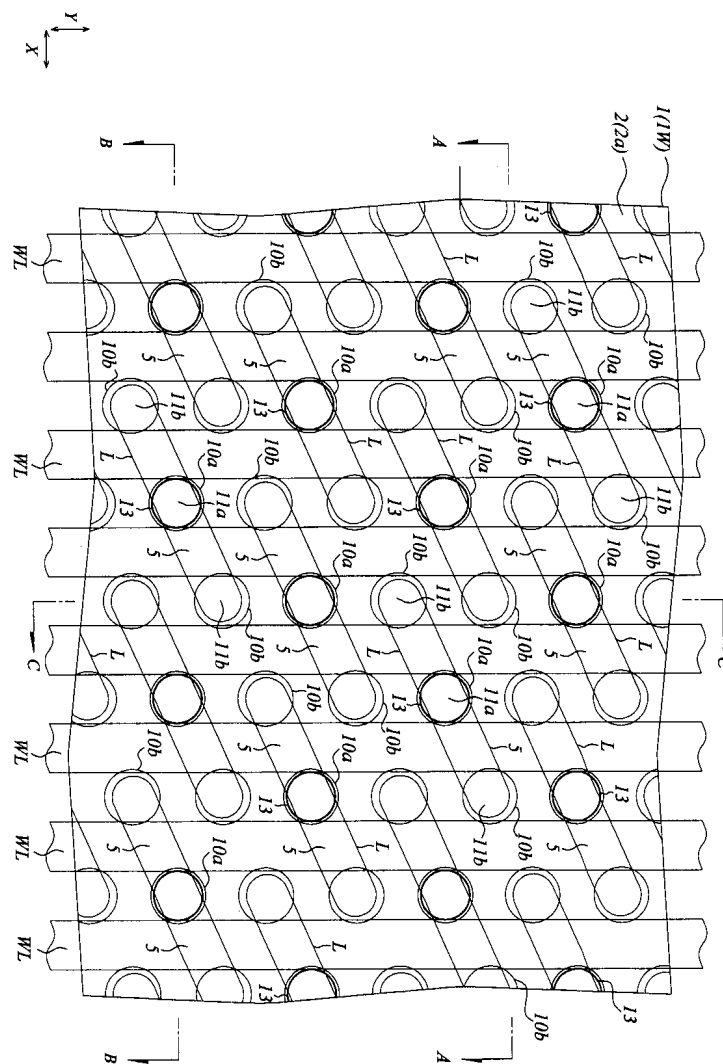
도면15



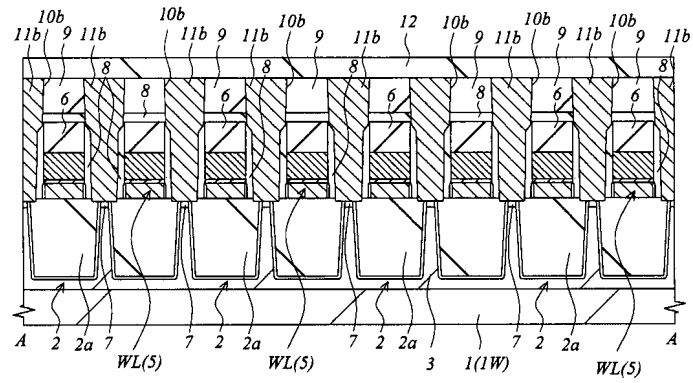
도면16



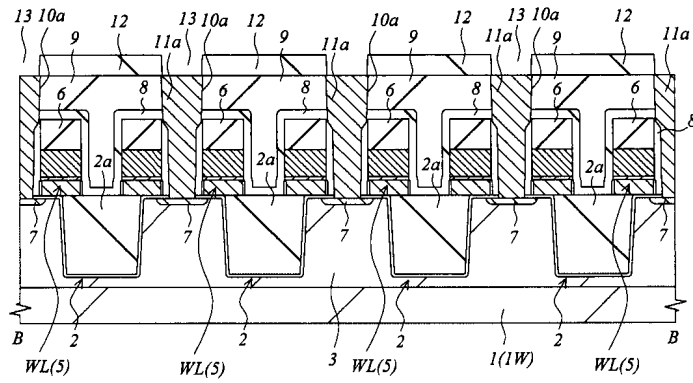
도면17



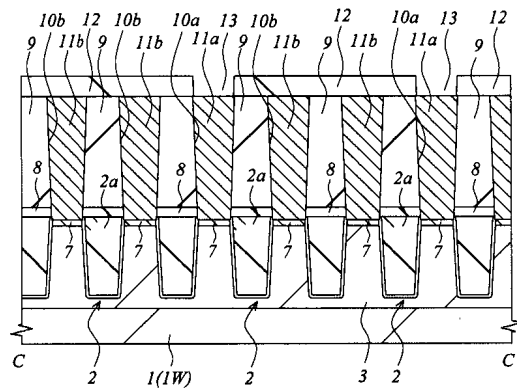
도면18



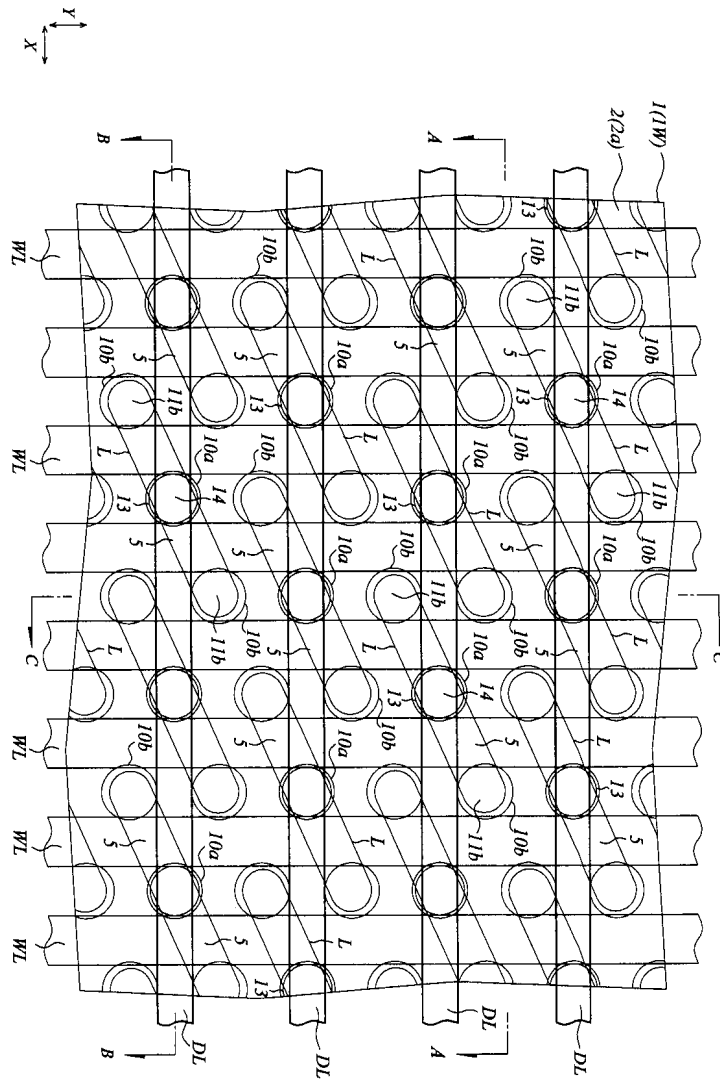
도면19



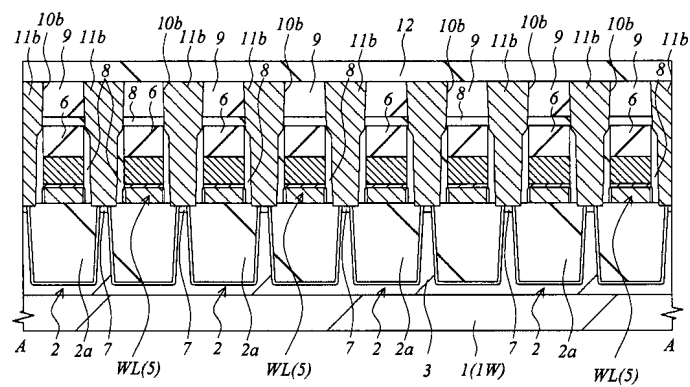
도면20



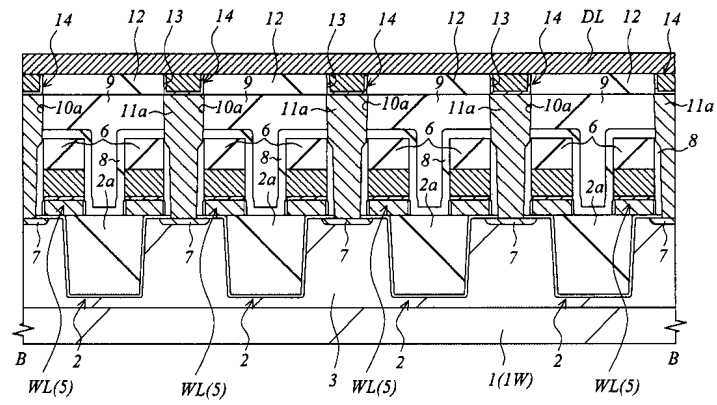
도면21



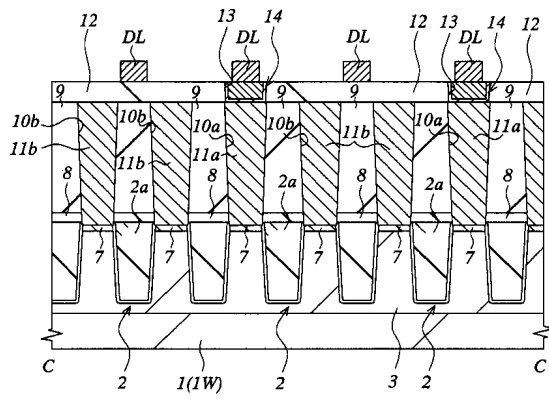
도면22



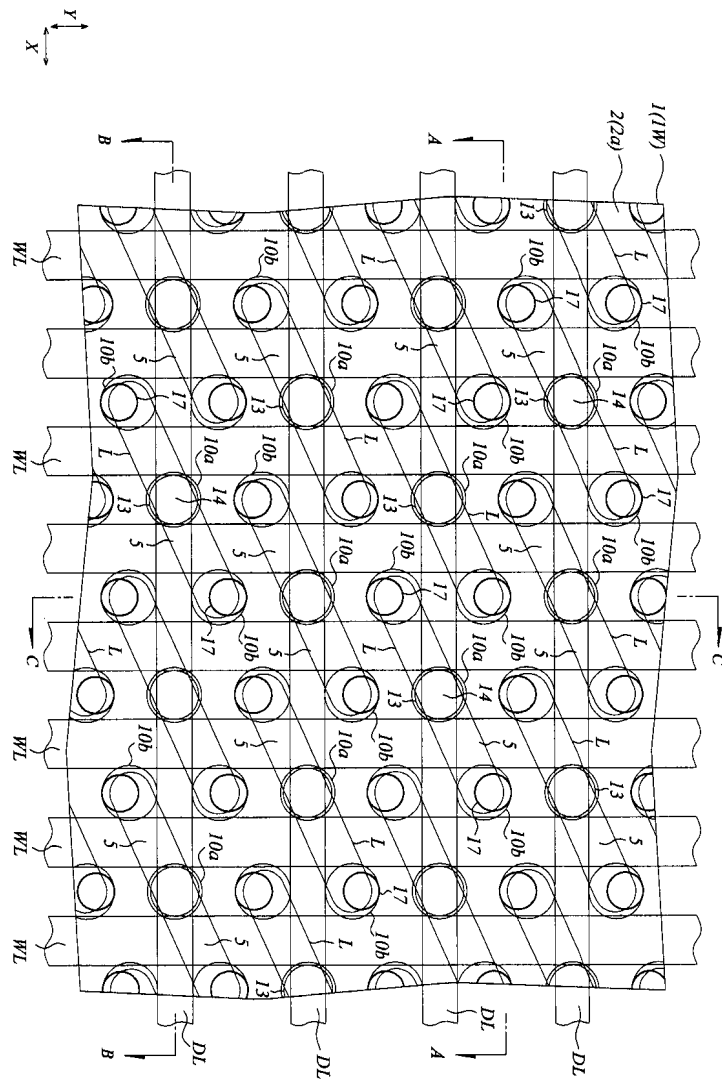
도면23



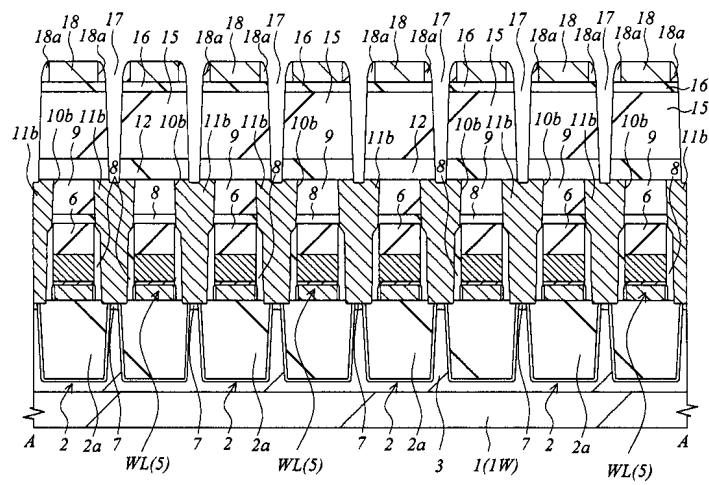
도면24



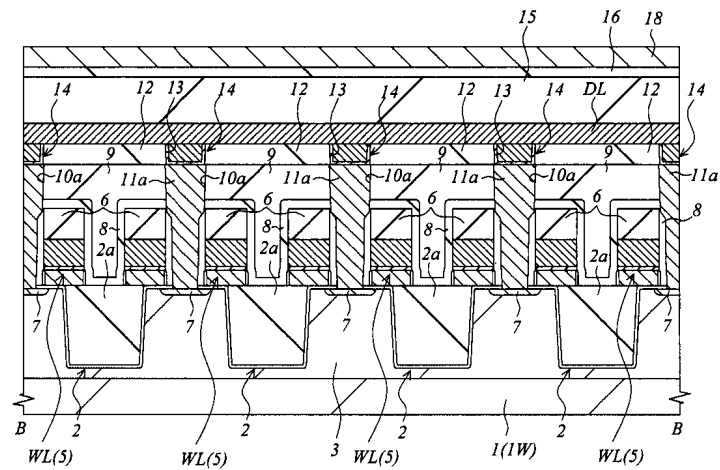
도면25



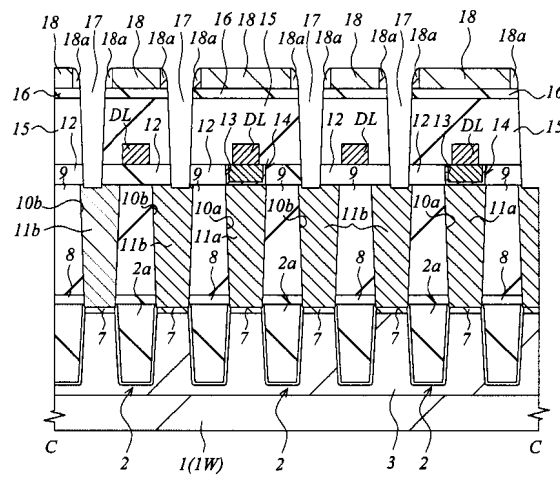
도면26



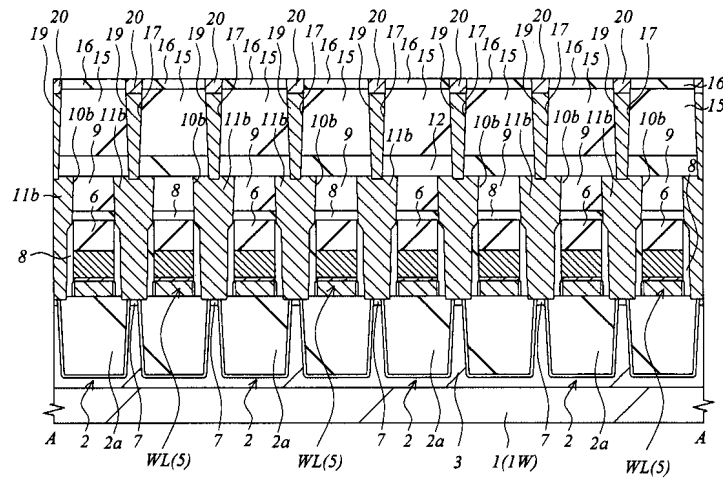
도면27



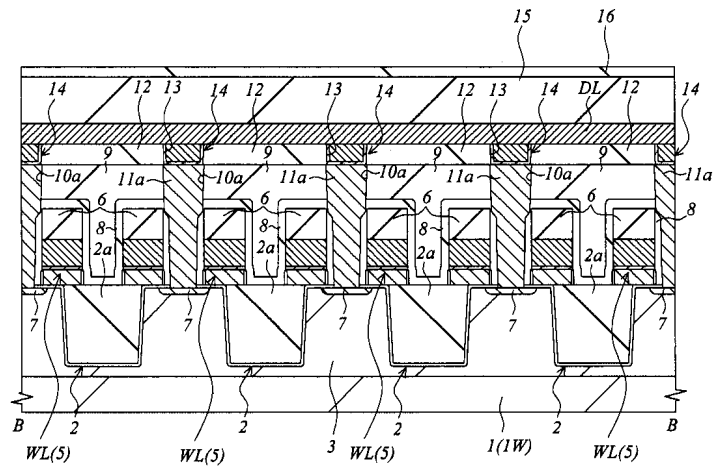
도면28



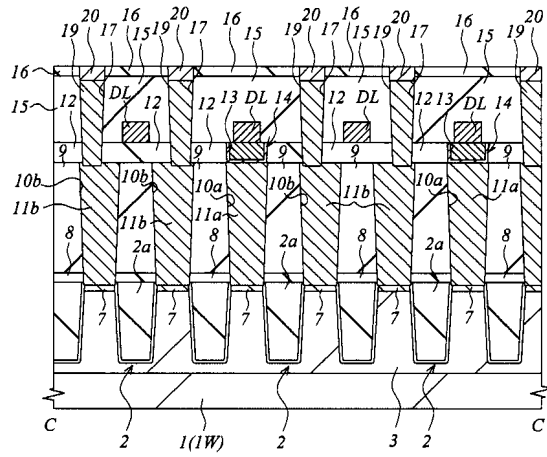
도면29



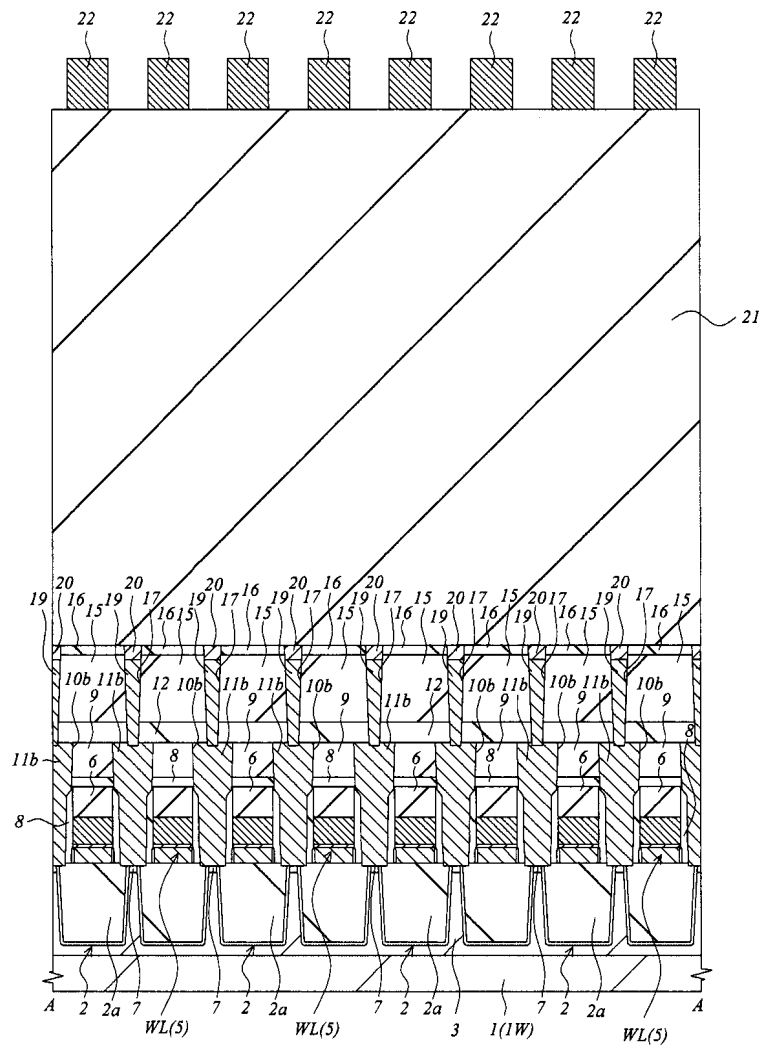
도면30



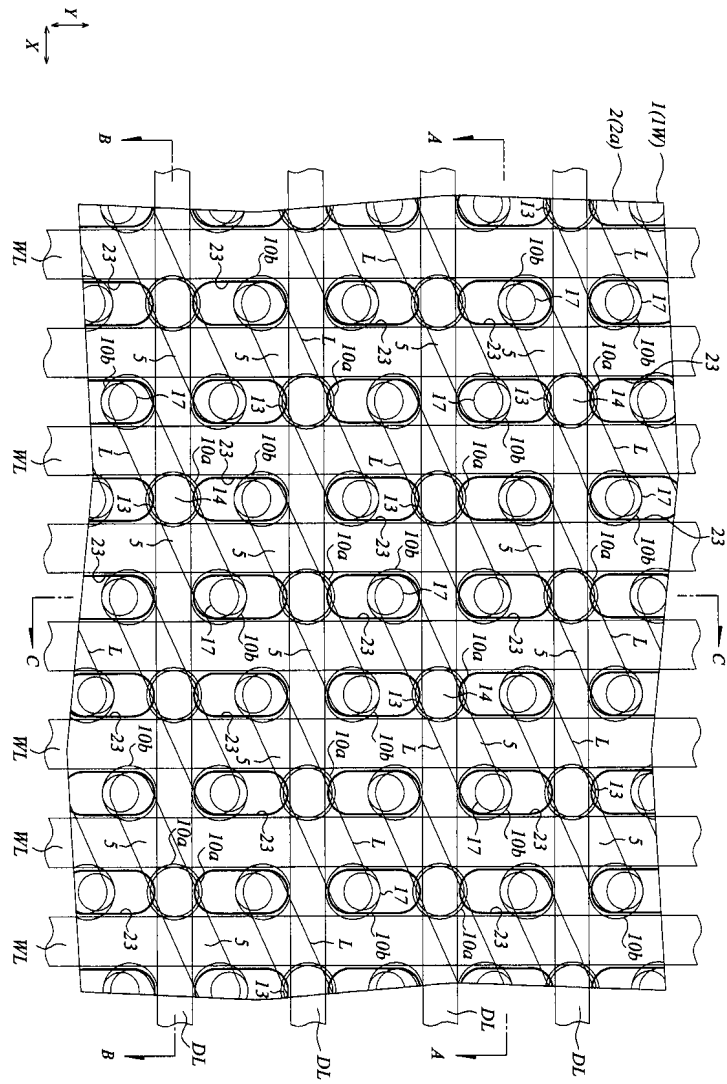
도면31



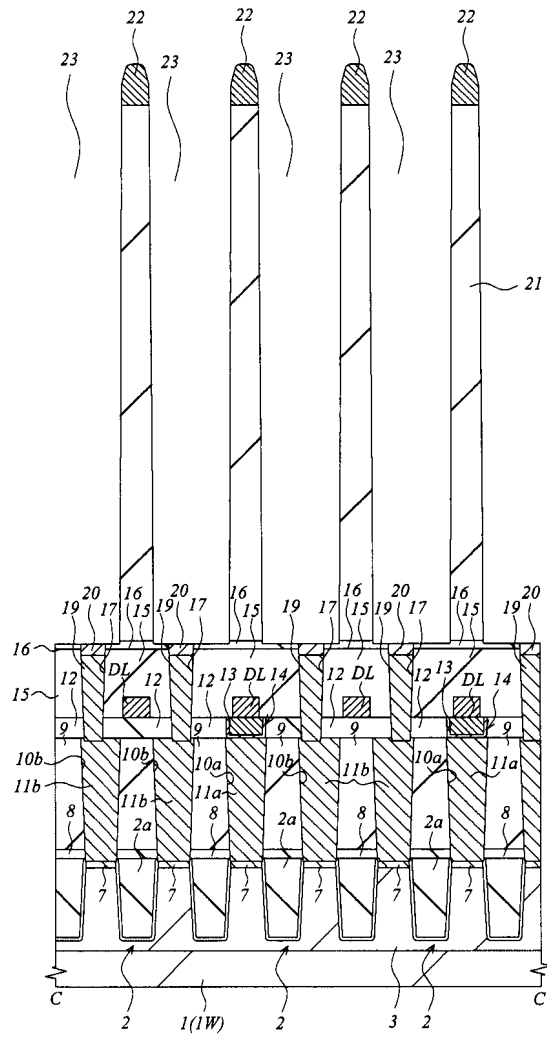
도면32



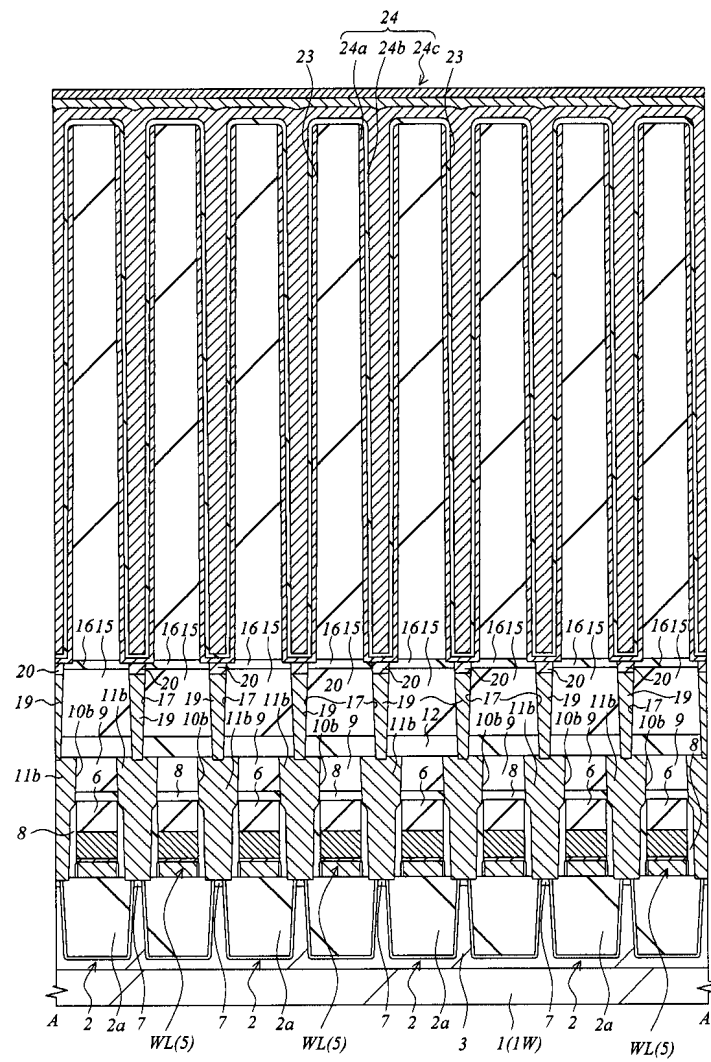
도면34



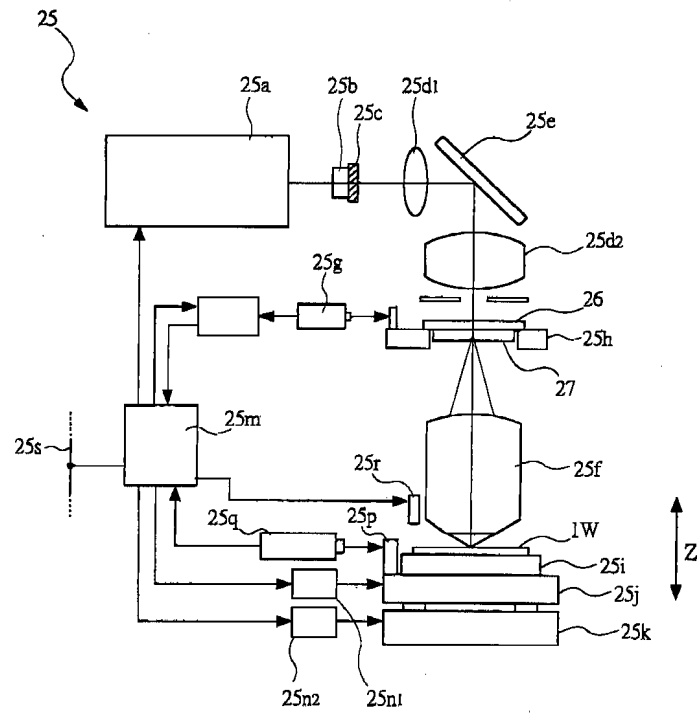
도면36



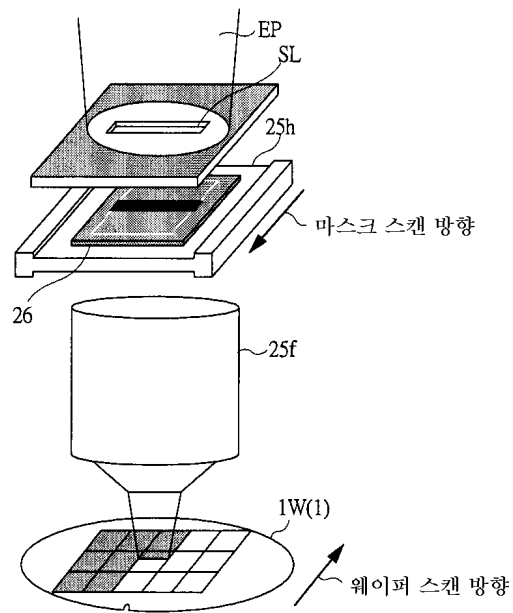
도면37



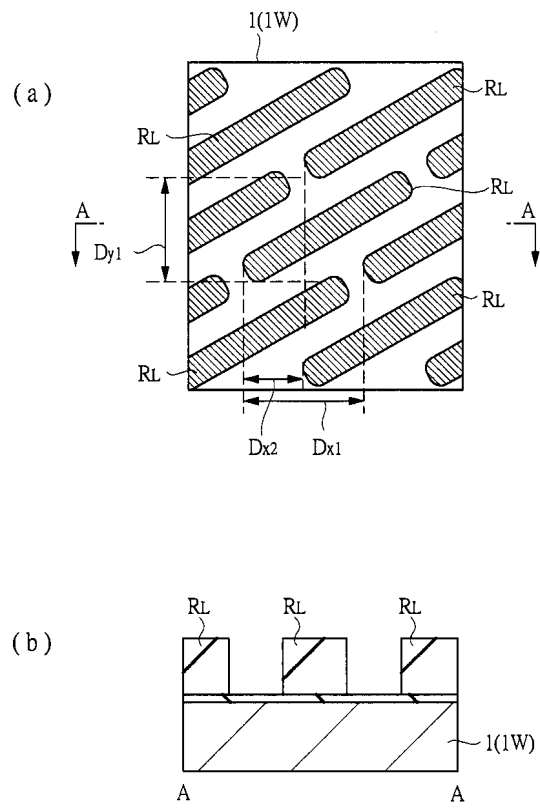
도면38



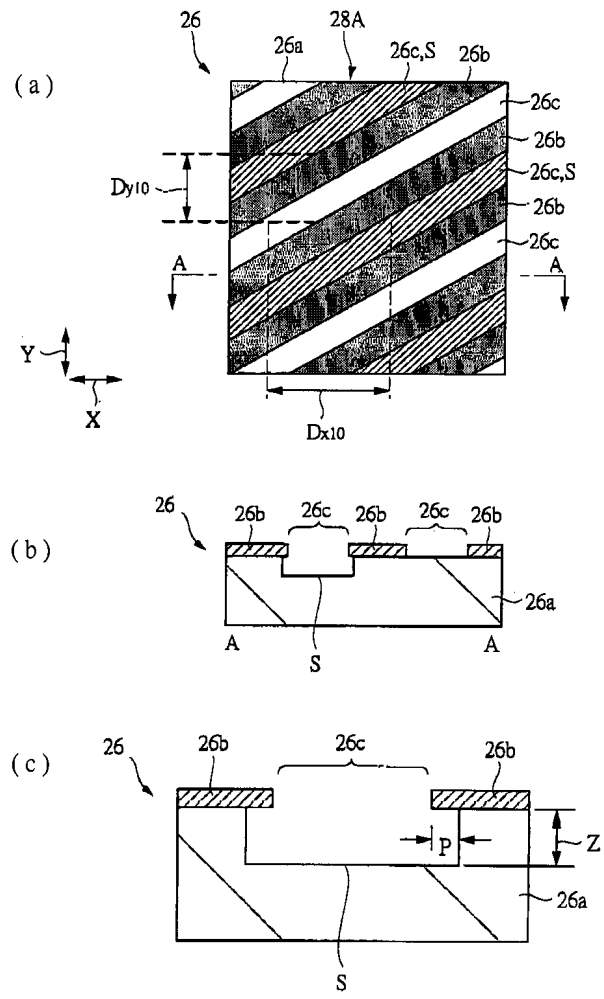
도면39



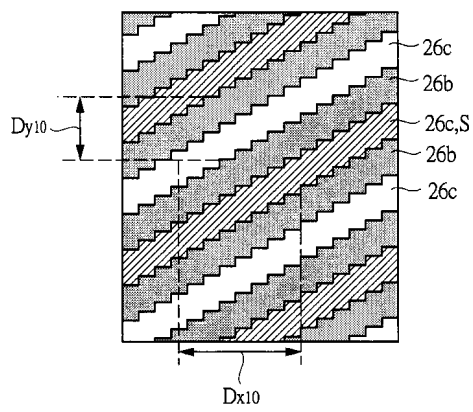
도면40



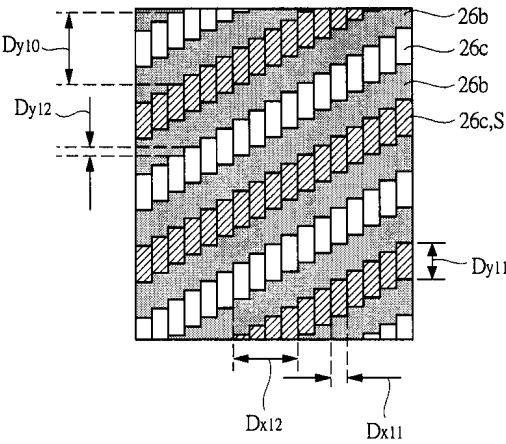
도면41



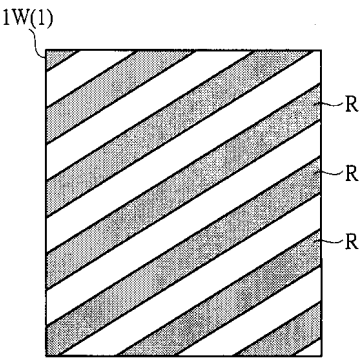
도면42



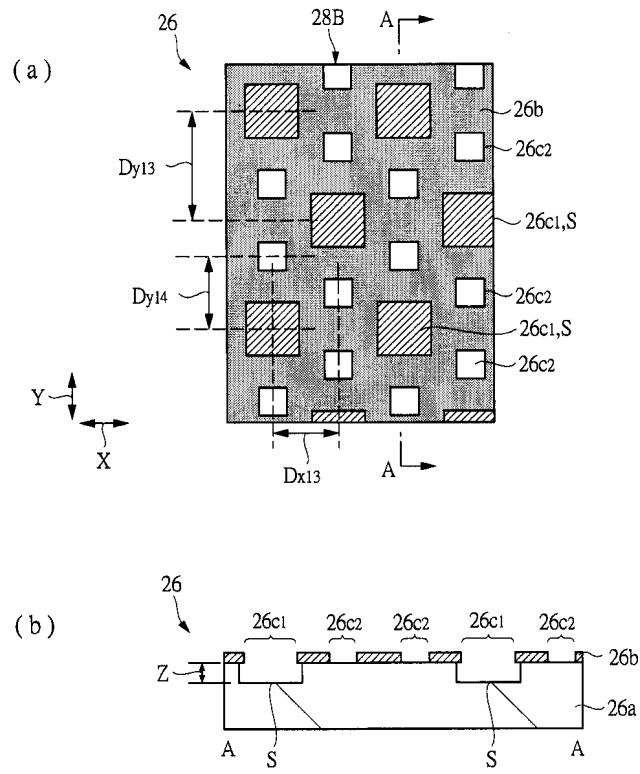
도면43



도면44

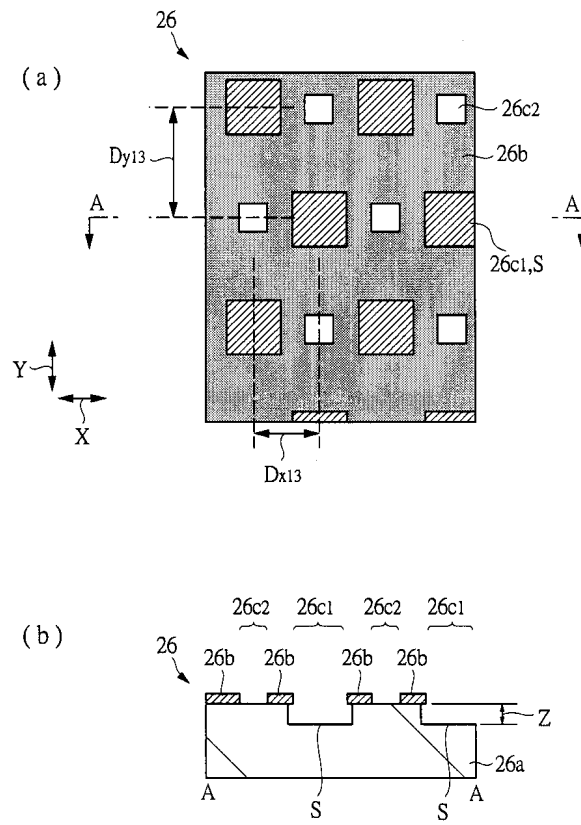


도면45

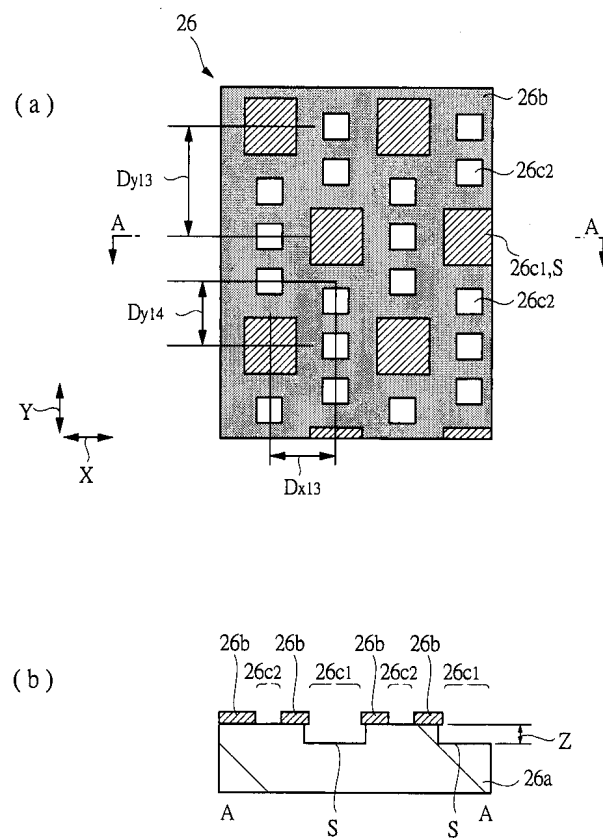


- 26 : 포토 마스크
- 26c1 : 주 광투과 패턴
- 26c2 : 보조 광투과 패턴
- 28B : 제2 마스크 패턴
- S : 위상 시프터

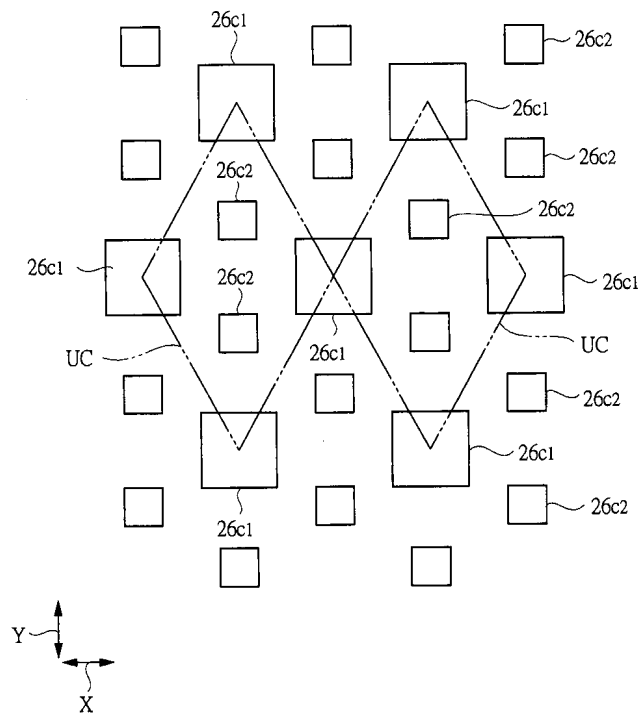
도면46



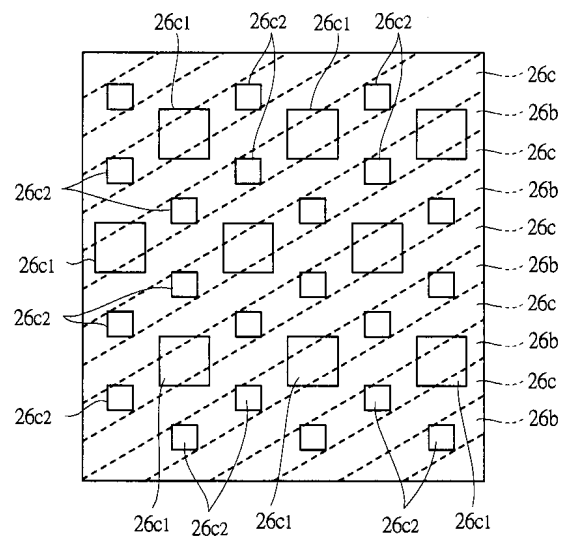
도면47



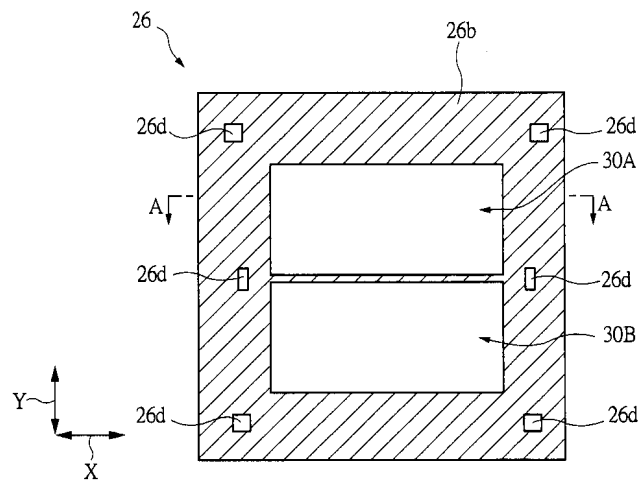
도면48



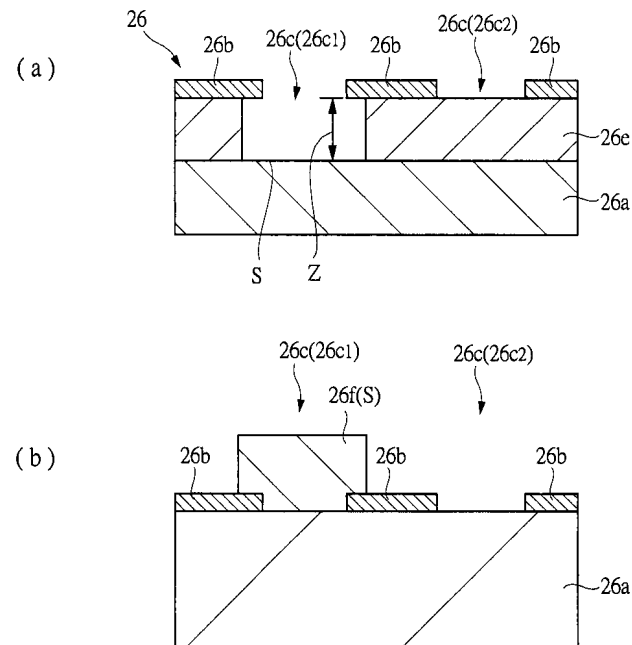
도면49



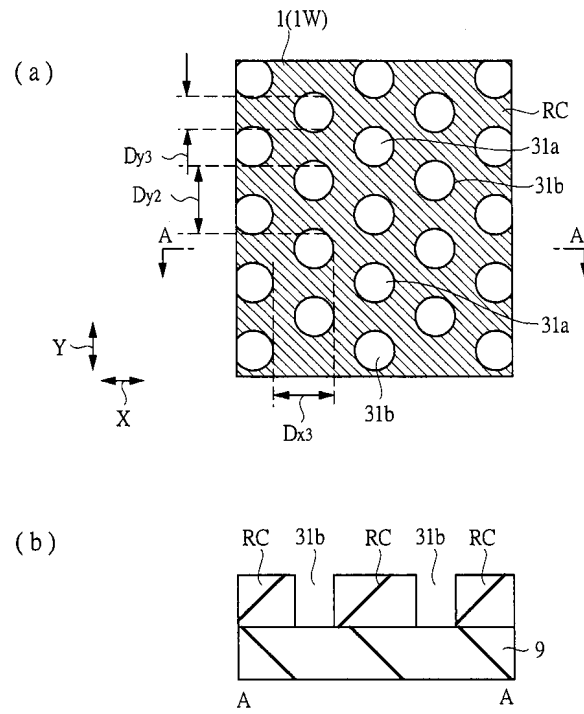
도면50



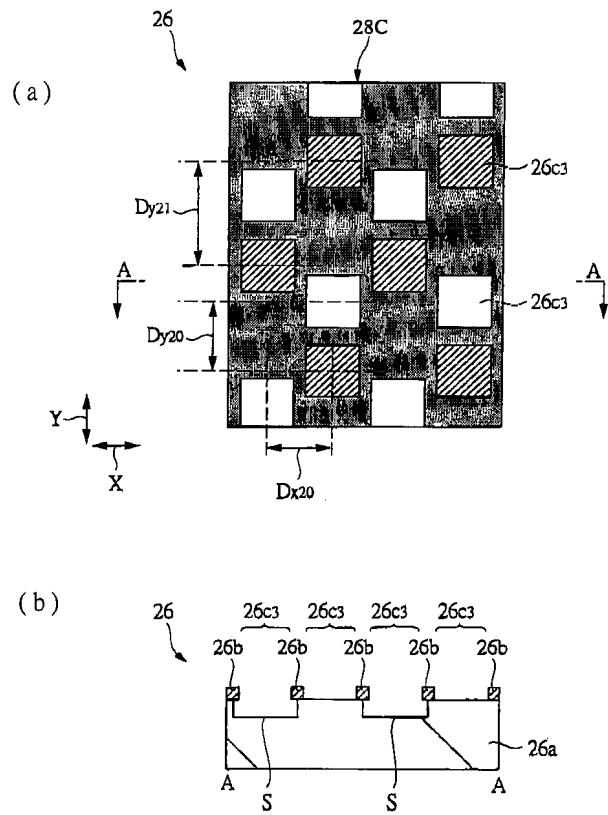
도면51



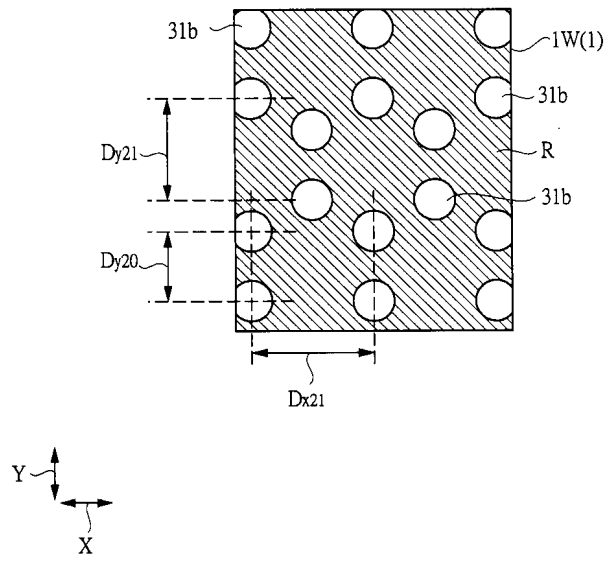
도면52



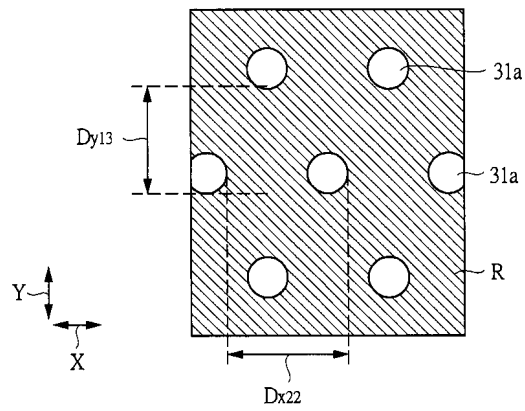
도면53



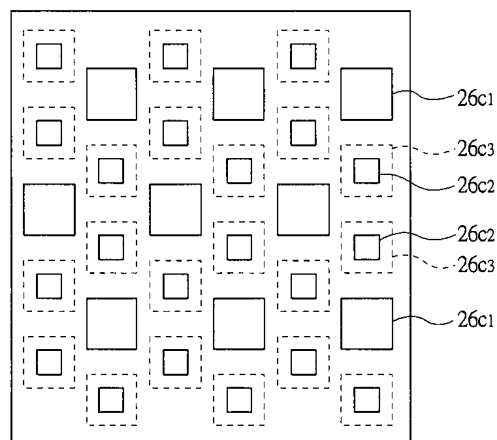
도면54



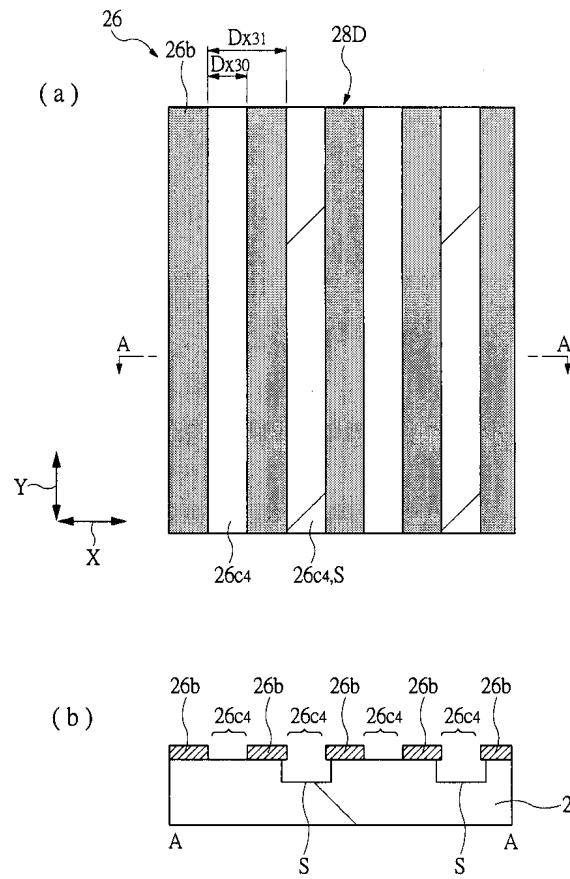
도면55



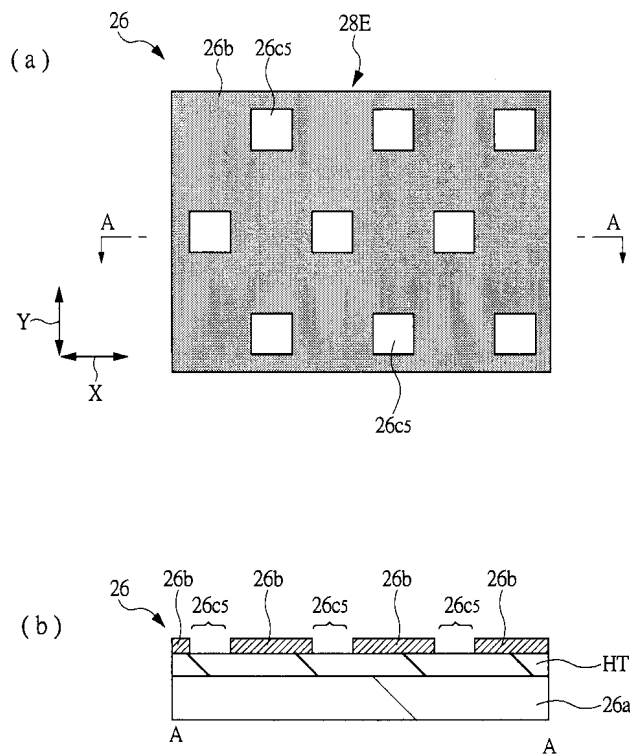
도면56



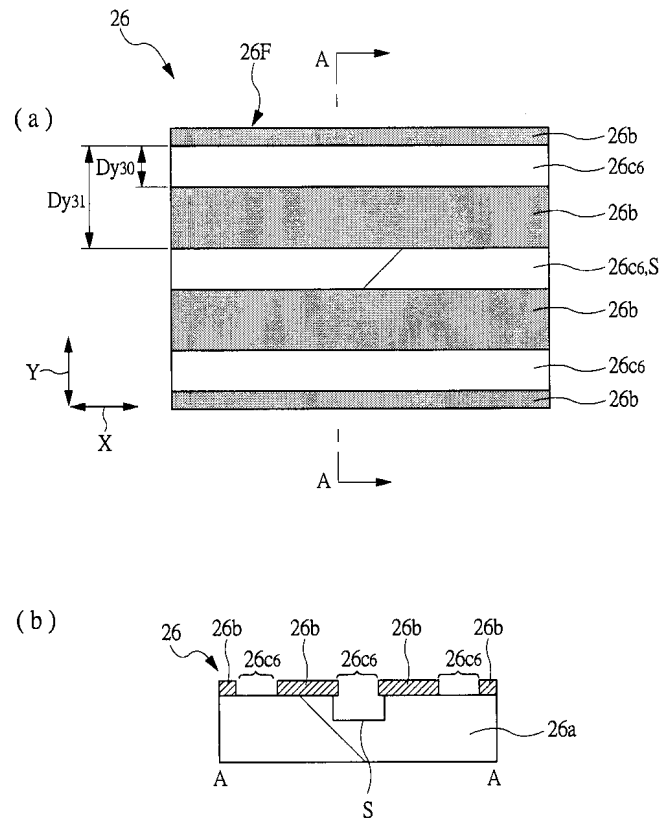
도면57



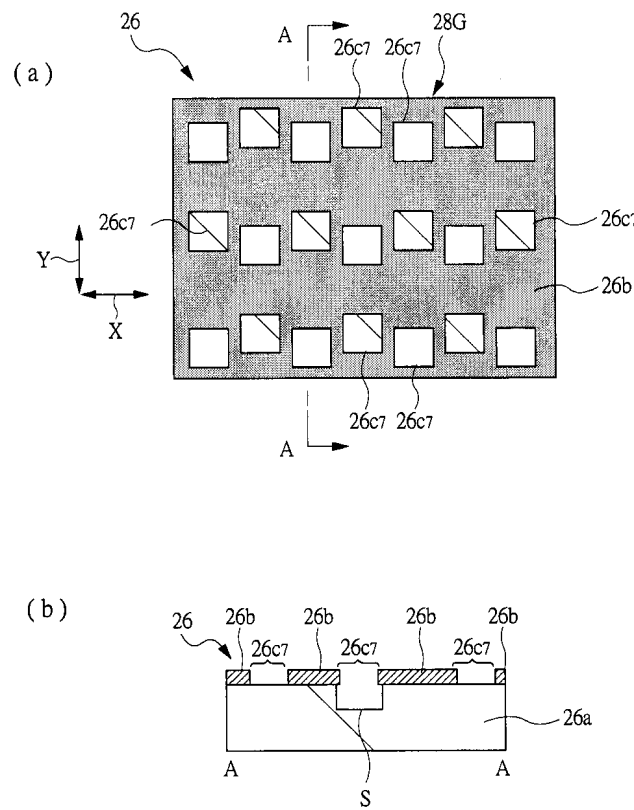
도면58



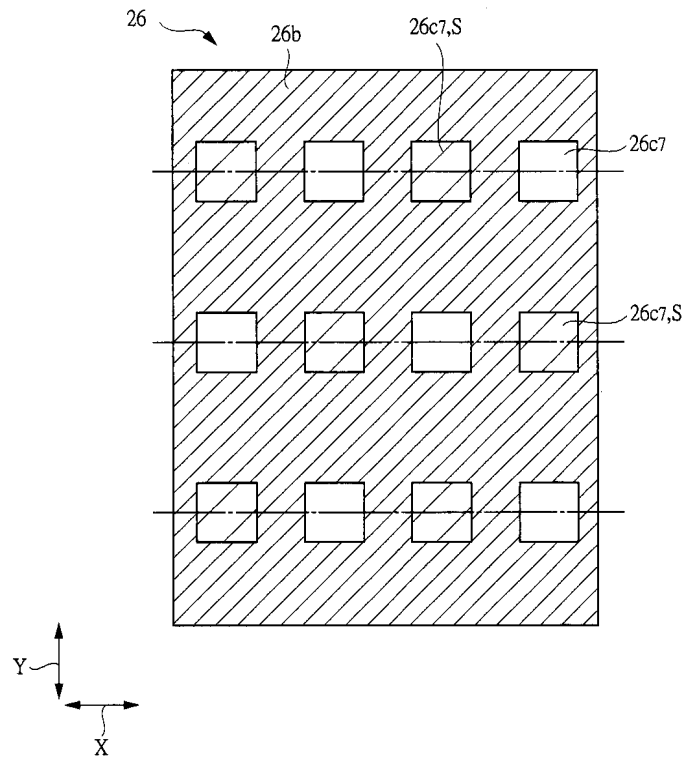
도면59



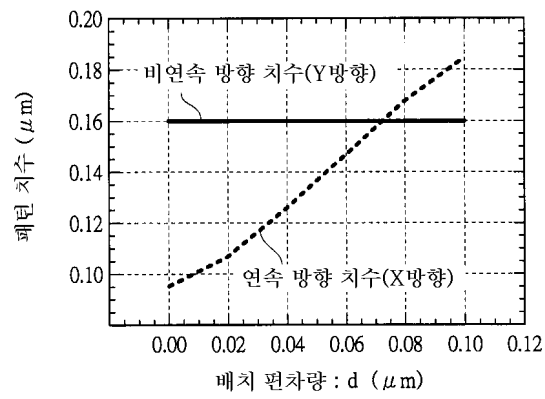
도면60



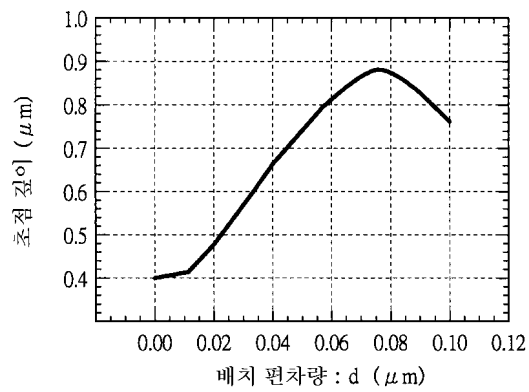
도면61



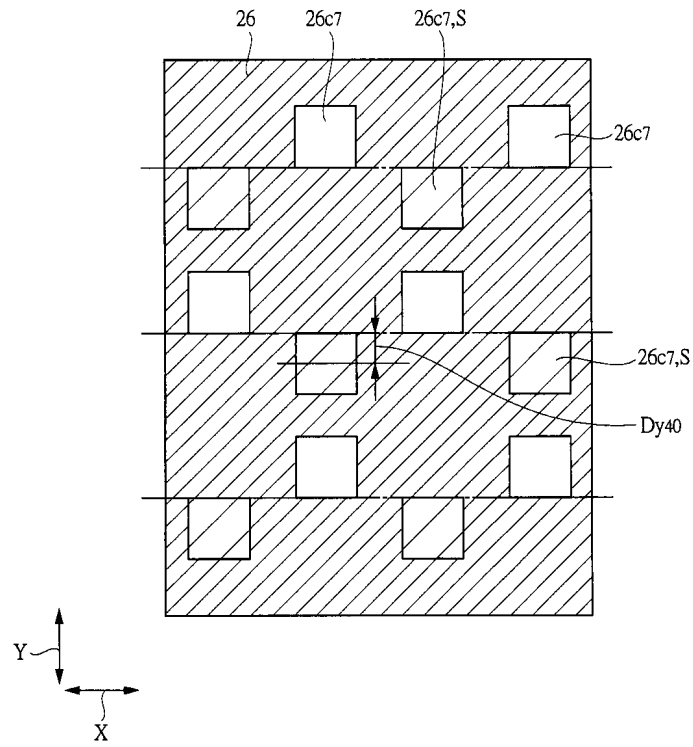
도면62



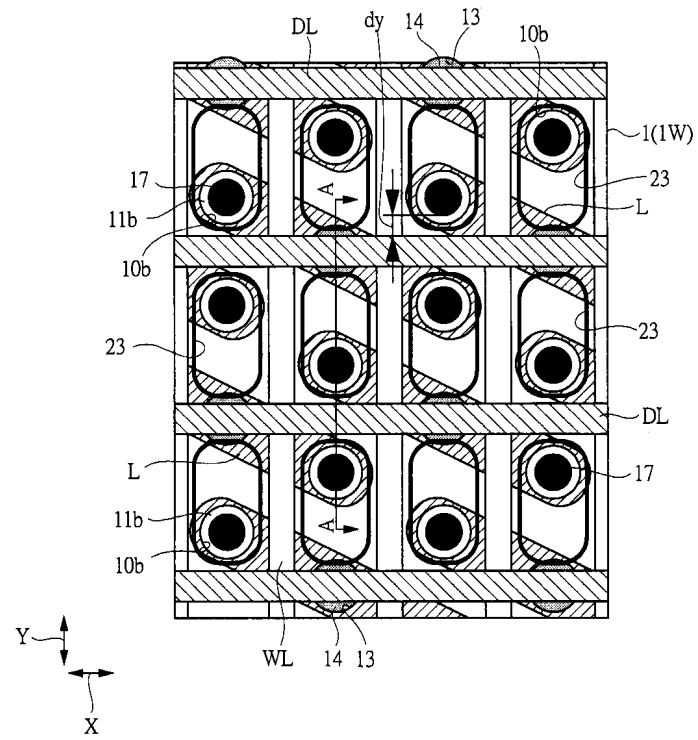
도면63



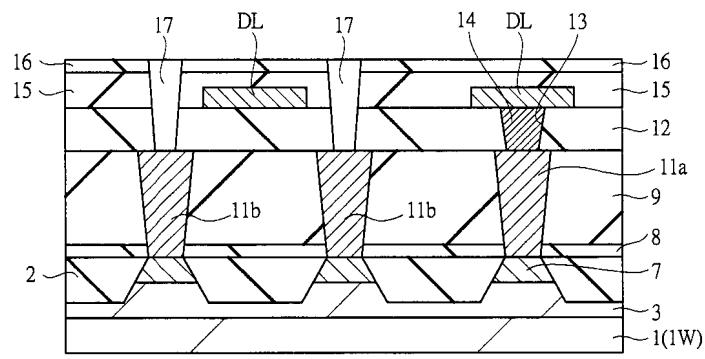
도면64



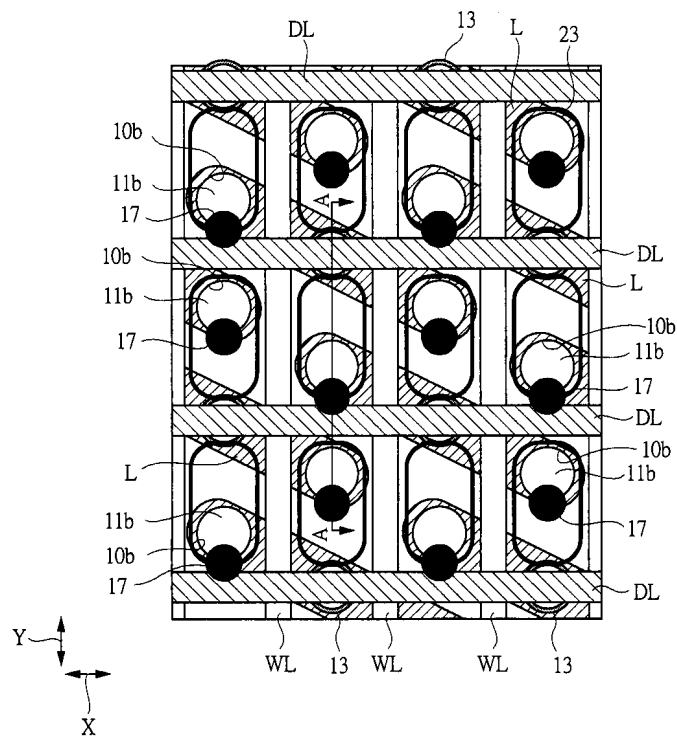
도면65



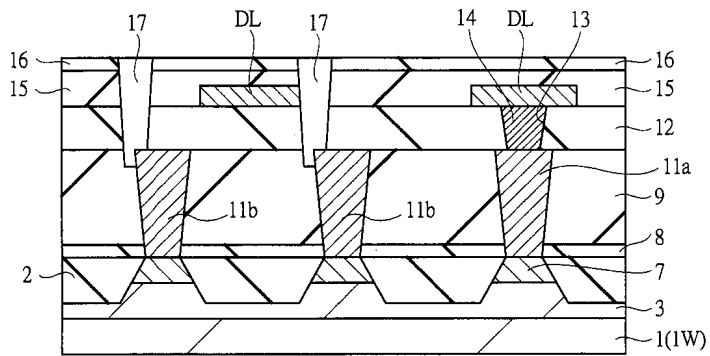
도면66



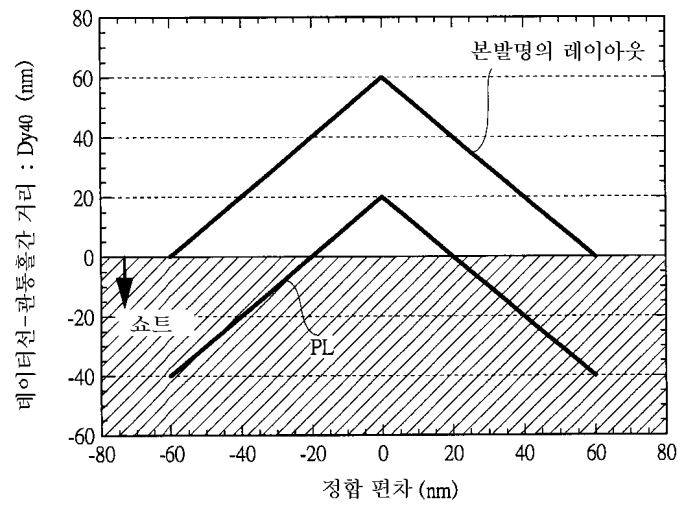
도면67



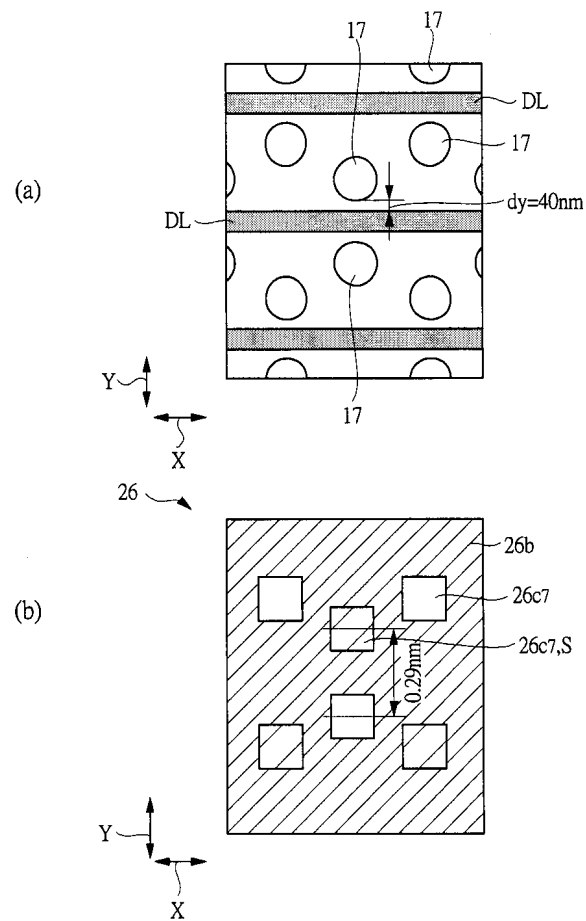
도면68



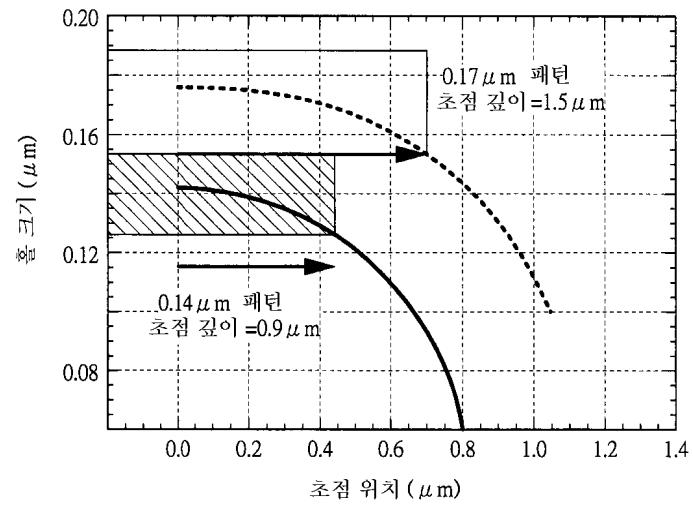
도면69



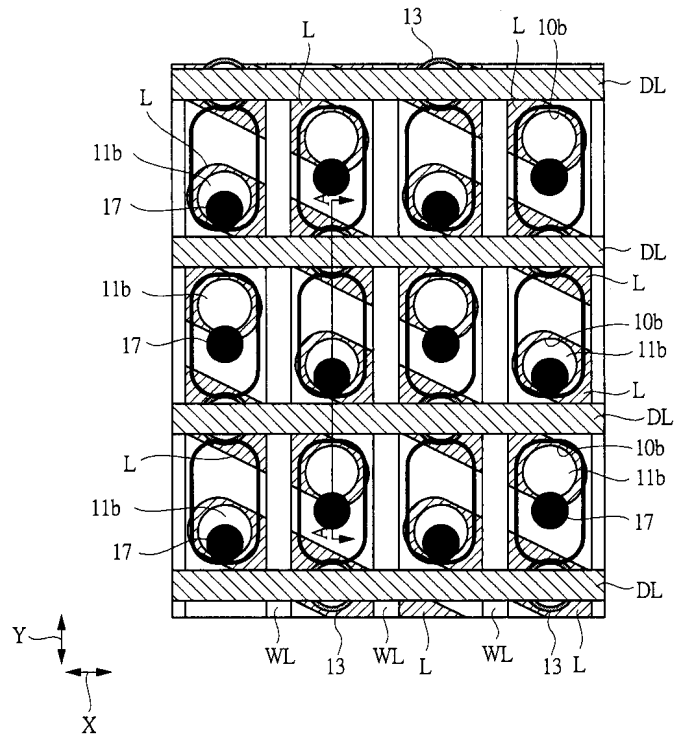
도면70



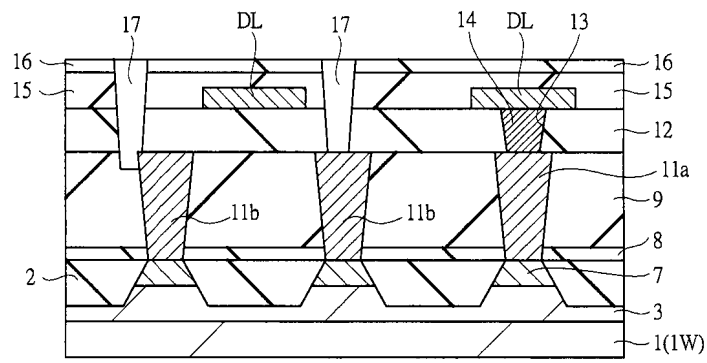
도면71



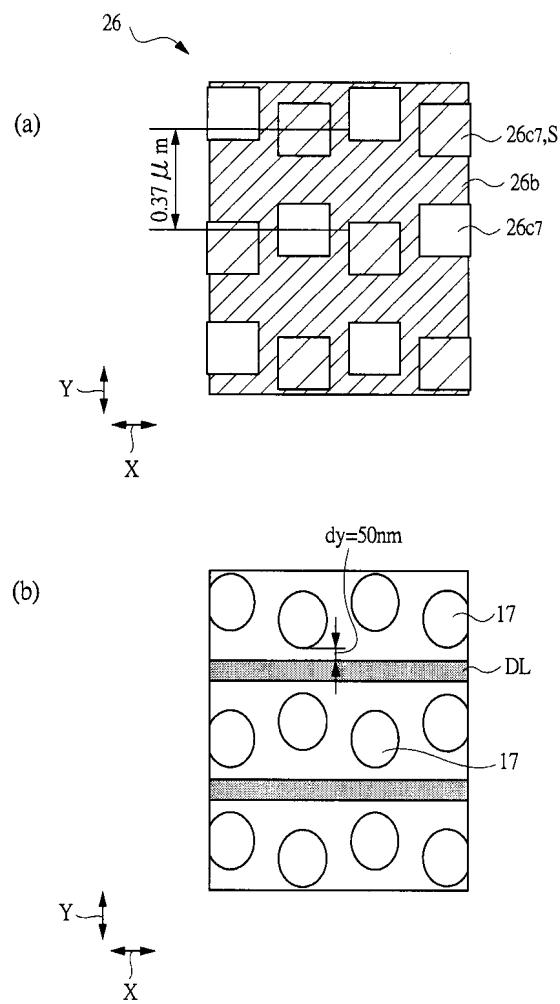
도면72



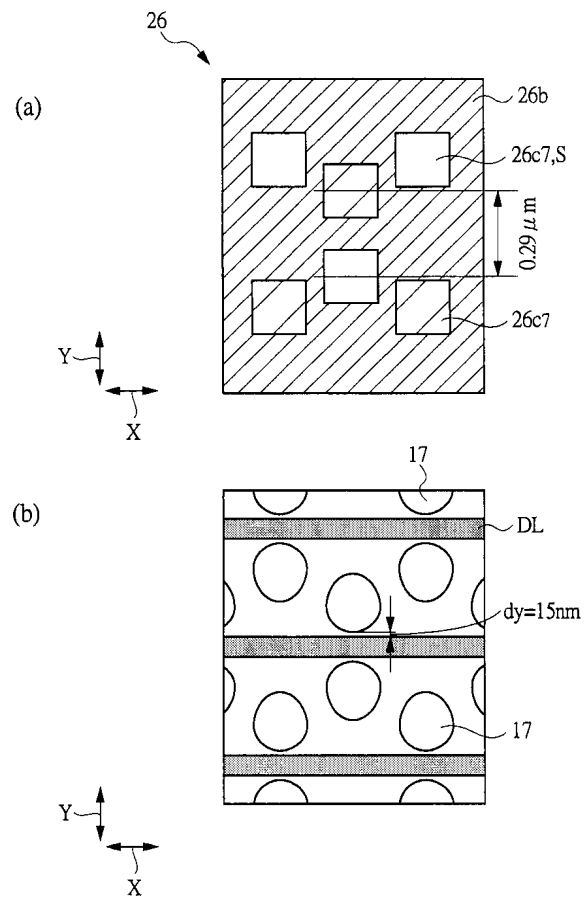
도면73



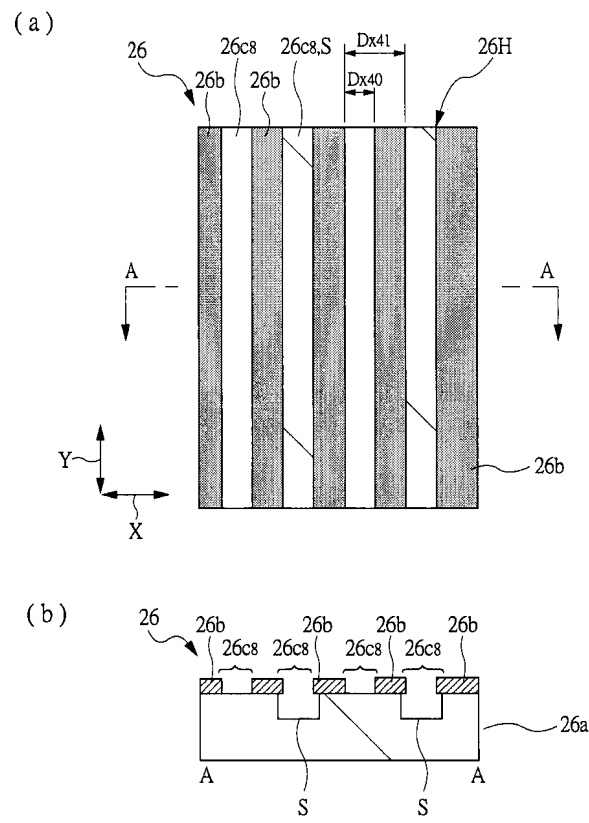
도면74



도면75



도면76



도면77

