(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/80

(45) 공고일자 1999년02월01일
(11) 등록번호 특0159450
(24) 등록일자 1998년08월11일

(21) 출원번호 특1995-001151
(22) 출원일자 1995년01월24일
(65) 공개번호 특1995-024304
(43) 공개일자 1995년08월21일
(30) 우선권주장 94-005790 1994년01월24일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 요시 이치로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
다카기 마리코
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이사 도시바 연구개발센터내
(74) 대리인 김윤배, 이범일

심사관 : 김종찬

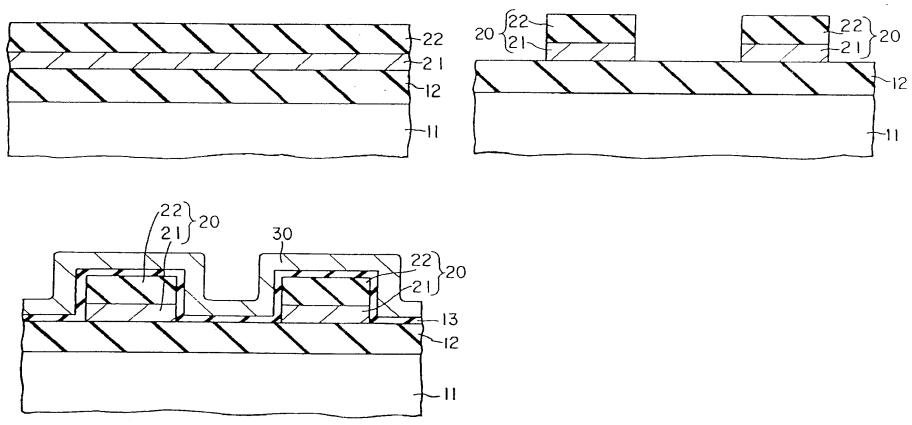
(54) 앤티퓨즈소자

요약

본 발명은, 프로그램 후의 저항이 충분히 작고, 리소그래피에서 규정되는 치수보다 작은 앤티퓨즈소자를 제공하는 것을 목적으로 한다.

실리콘기판(11)상에 제1금속층(21) 및 제1절연막(22)으로 되는 제1전극층(20)을 형성한 후, 앤티퓨즈절연막(13)을 전면에 형성하고, 제1전극층(20)에 대해서 매트릭스상으로 제2전극층(30)을 앤티퓨즈절연막(13)상에 형성하며, 앤티퓨즈소자를 제1전극층(20)의 측벽부분에 자기정합적으로 형성한다.

대표도



명세서

[발명의 명칭]

앤티퓨즈소자

[도면의 간단한 설명]

제1도는 본 발명에 따른 제 1 실시예를 도시한 모식적인 공정단면도.

제2도는 제 1 실시예를 도시한 평면도.

제3도는 본 발명에 따른 제 2 실시예를 도시한 평면도.

제4도는 제 2 실시예를 도시한 모식적인 공정단면도.

제5도는 종래에서의 제 1 실시예를 도시한 단면도.

제6도는 종래에서의 제 2 실시예를 도시한 단면도.

제7도는 종래에서의 제 3 실시예를 도시한 단면도.

제8도는 종래에서의 제 3 실시예를 도시한 평면도이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 실리콘기판 12 : 산화막

13 : 앤티퓨즈 절연막 14 : 층간절연막

15 : 콘택트구멍 20 : 제1전극층

21 : 제1금속층 22 : 제1절연층

30 : 제2전극층 31 : 제2금속층

32 : 제3금속층 40 : 앤티퓨즈소자

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 장치에 관한 것으로, 특히 전기적으로 프로그램 가능한 앤티퓨즈소자에 관한 것이다.

[종래의 기술 및 그 문제점]

앤티퓨즈소자로는 전기적으로 비도통과 도통 2개의 상태를 갖고, 전기적으로 혹은 물리적방법을 이용하여 비도통상태로부터 도통상태로 비가역적으로 전이시키는 것이 가능하도록 한 스위치소자인 것이다. 그들 앤티퓨즈소자는 주로 EPROM (Eletrically Programmable Memory)이나 FPGA(Field Programmable Gate Array)에 사용된다.

통상, 앤티퓨즈소자는 2개의 배선층 사이에 형성되고, 그들의 배선층 사이에 선택적으로 고전압을 인가하는 것에 의해 앤티퓨즈소자를 프로그램(비도통상태로부터 도통상태로 천이시킨다)하며, 그들의 배선층 사이를 전기적으로 접속하고 있다. 따라서, 고속이면서 대용량의 EPROM 또는 FPGA에 사용되는 앤티퓨즈소자의 특성으로서 프로그램 후의 저항이 충분히 낮은 것, 프로그램 전의 용량이 충분이 적은 것, 더욱더 소자의 크기가 충분히 작은 것이 요구되고 있다.

이하, 종래의 앤티퓨즈소자를 제5도 내지 제8도를 이용해서 설명한다. 제 1 실시예로서, 제5도에 도시한 바와 같이, 앤티퓨즈소자는 반도체기판(101) 표면에 형성된 고농도인 확산층(103)과, 그 확산층(103)상에 형성된 박막의 앤티퓨즈소자절연막(104) 및, 그 위에 형성된 전극층(105)으로 이루어진다(미합중국 특허 제4823181호 명세서 참조).

이와 같은 구조이면, 다음과 같은 결점이 있다. 제1결점으로서 확산층(103)의 기생저항에 의해 프로그램 후의 앤티퓨즈소자의 저항이 무척 크게 된다(전형적으로는 약 500Ω, 경우에 따라서는 수 kΩ). 그러므로, 고속성을 중시한 FPGA로의 적용을 어렵게 하고 있다. 또한, 제2의 결점으로서 소자영역의 크기는 LOCOS산화막(102)에 의해 결정되기 때문에 어느 크기보다 작게 하는 것은 대단히 곤란하고, 집적도에 문제가 있다.

또한, 제2예로서, 제6도에 도시한 바와 같이 앤티퓨즈소자는 반도체기판(101)상에 절연막(106)을 매개로 설치된 제1전극층(107)과, 해당 제1전극층(107)의 상면에 앤티퓨즈절연막(104)을 매개로 설치된 제2전극층(110)으로 이루어지고, 제1전극층(107)과 제2전극층(110)을 함께 금속층으로 하고 있다('92 IDEM Technical Digest, pp611-614). 이 구조이면, 전극층 자체의 저항을 비약적으로 줄일 수 있기 때문에 프로그램 후의 저항값이 줄게 되는 것이 알려져 있다. 그러나, 제1전극층(107)상의 층간절연막(108)을 개구하여 콘택트구멍(109)을 형성할 필요가 있다. 그로인해, 앤티퓨즈소자의 크기는 리소그래피공정으로 결정되는 최소 치수 이하로 할 수는 없다.

더욱이, 제 3 실시예로서 제7도에 도시한 바와 같이, 앤티퓨즈소자를 제1전극층(107)의 측벽부분과, 앤티퓨즈절연막(104) 및, 제2전극층(110)으로 구성한다(미합중국 특허 제5171715호 명세서 참조). 본 실시예에 따른 앤티퓨즈소자는 제1전극층의 측벽에 형성되기 때문에 앤티퓨즈소자 자신의 면적을 작게 할 수 있다. 그러나, 제1전극층(107)상의 층간절연막(108)을 개구하고, 더욱이 제1전극층(107)을 관통하도록 개구하고 있다. 따라서, 제 2 실시예와 마찬가지로 콘택트구멍(109)의 패터닝이 필요하고, 그로인해 마스크 일치 여유를 고려하면, 대폭적인 집적도의 향상은 어렵다.

또한, 제8도를 참조하여, 제3실시예의 앤티퓨즈소자를 평면적으로 설명한다. 제1전극층(107)과 제2전극층은 매트릭스상으로 형성되어 있고, 앤티퓨즈소자는 각 콘택트구멍(109)의 경계부분(굵은선 부분)에 형성되어 있다. 즉, 앤티퓨즈소자의 크기는 리소그래피공정에서 규정되는 것은 알려져 있고, 고속화이면서 고집적화된 FPGA를 형성하는 것은 어렵다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 프로그램 후의 저항이 충분히 작아, 리소그래피에서 규정되는 치수보다 작은 앤티퓨즈소자를 제공함에 그 목적이 있다.

[발명의 구성]

상기의 목적을 달성하기 위한 본 발명은, 반도체기판상에 형성된 제1전극층과, 상기 제1전극층의 상면에만 설치된 제1절연층, 상기 제1전극층의 적어도 한쪽의 측벽부분상에 형성된 앤티퓨즈절연층 및, 상기 앤티퓨즈절연층을 피복하는 제2전극층을 포함한다.

[작용]

상기와 같이 구성된 본 발명은, 상기 제1전극층의 측벽부분에만 형성되기 때문에 콘택트구멍들의 패터닝이 불필요하고, 집적도를 대폭으로 향상시킬 수 있다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

본 발명에 따른 제1실시예를 제1도 내지 제2도를 이용해서 설명한다. 먼저, 실리콘기판(11)상에 산화막(12)을 형성한 후, 전면에 Al합금(Al/Si/Cu)으로 이루어진 제1금속층(21)을 스퍼터링법에 의해 1000옴스트롱(이하, Å로 한다)정도 형성한다. 그 후, 실리콘 산화막등의 제1절연막(22)을 플라즈마 CVD법 등을 이용해 3000Å정도 형성한다(제1도(a)).

다음, 제1금속층(21)과 제1절연층(22)을 선택적으로 에칭하여 제1전극층(20)을 형성한다(같은 도면(b)). 더욱이, 전면에 예컨대, 실리콘 질화막으로 이루어진 앤티퓨즈절연막(13)을 프라즈마 CVD법을 이용해 200Å정도 형성한다. 그 후, 앤티퓨즈절연막(13)상에 Al합금(Al/Si/Cu)을 스퍼터링법에 의해 6000Å정도 퇴적하고, 상기 Al금속을 패터닝하여 제2전극층(30)을 형성한다(같은 도면(C)).

또한, 제2도에 도시한 바와 같이, 제1전극층(20)과 제2전극층(30)은 매트릭스상으로 형성되어 있다. 앤티퓨즈소자(40:굵은 선 부분)는 제1전극층(20)과, 앤티퓨즈절연막(13) 및, 제2전극층(30)으로 이루어지고, 제1전극층(20)의 양쪽의 측벽부분에 자기정합적으로 형성된다.

본 발명에 따른 제 2 실시예를 제3도 내지 제4도를 참조하여 설명한다. 단, 제 1 실시예와 다른 것만을 설명한다.

제3도에 도시한 바와 같이 본 실시예에 있어서도, 제1전극층(20)과 제2전극층은 매트릭스상으로 형성되어 있다. 단, 제2전극층(30)은 제2금속층(31) 및, 콘택트구멍(15)에서 접속된 제3금속층(32)으로 구성된다. 앤티퓨즈소자(40)는 제1전극층(20)의 한쪽 측벽부분, 즉 인접하는 두개의 제1전극층(20)에 대향하는 측벽부분에 형성된다.

다음, 제4도를 참조하여 제조방법을 설명한다. 먼저, 제 1 실시예와 마찬가지로, 실리콘기판(11)상에 제1 전극층(20) 및 앤티퓨즈절연막(13)을 형성한다. 그 후, 전면에 TiN을 스퍼터링법에 의해 2000Å 퇴적하고, 인접하는 두개의 제1전극층(20)이 서로 대향하는 측벽부분을 포함하면서 그 상면의 일부에 겹치도록 상기 TiN에 패터닝을 시행하고, 제2금속층(31)을 형성한다(같은 도면(a)).

그 후, 전면에 층간절연막(14)을 형성한다. 제2금속층(31)상의 층간절연막(14)에 콘택트구멍(15)을 형성후, Al합금(Al/Si/Cu)으로 이루어진 제3금속층(32)을 형성한다. 제3금속층(32)은 제2금속층(31)과 콘택트구멍(15)에 있어서 접속되고, 제2전극층은 상기 제2금속층(31)과 제3금속층(32)으로 형성된다(같은 도면(b)).

이와 같이, 앤티퓨즈소자(40)는 제1전극층(20)의 한쪽의 측벽에만 형성되기 때문에 용량을 제 1 실시예에 비해서 반으로 할 수 있고, 보다 고성능의 앤티퓨즈소자를 형성할 수 있다. 단, 제 1 실시예 및 제 2 실시예의 어느 것에 있어서도 제1금속층(21)의 막 두께를 가능한 한 박막화하는 것에 의해 용량을 작게 할 수 있다.

본 발명에 따른 제 1 실시예 및 제 2 실시예의 어느 한 경우도 앤티퓨즈소자(40)는 제1전극층(20)의 측벽부분에 형성된다. 따라서, 제1전극층에 콘택트구멍을 설치할 필요가 없기 때문에 앤티퓨즈소자(40)의 크기는 콘택트구멍을 형성할 때에 필요한 리소그래피에서의 최소 치수로 규정되는 것은 아니다. 그로인해, 앤티퓨즈소자를 고집적화할 수 있음과 더불어 저용량화를 도모할 수 있다.

단, 제1 및 제2전극층으로서 Al합금이나 TiN에 한정되는 것은 아니고, 도프드 폴리실리콘과, Ti, W, Mo등의 고융점금속 및 그 화합물 아니면 실리사이드등의 단층 혹은 적층막을 갖을 수 있다. 또한, 제1전극층과 제2전극층을 같은 종류로 할 필요는 없다. 더욱이, 앤티퓨즈절연막은 실리콘 질화막에 한정되는 것 없이 유전체막이라면 좋고, 또 적층막으로서도 상관없다.

한편, 본원 청구범위의 각 구성요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 앤티퓨즈소자를 제1전극층에 개구부를 설치하는 등의 미세가공을 필요로 하지 않고, 자기정합적을 용이하게 형성할 수 있다. 또한, 앤티퓨즈소자는 제1전극층의 측벽부분에만 형성하기 때문에 고집적화이면서 저용량화된다.

(57) 청구의 범위

청구항 1

반도체기판(11)상에 형성된 제1전극층(21)과, 이 제1전극층(21)의 상면만에만 설치된 제1절연층(22), 상기 제1전극층(21)의 적어도 한쪽 측벽부분상에 형성된 앤티퓨즈절연층(13) 및, 이 앤티퓨즈절연층(13)을 피복하는 제2전극층(30)을 구비한 것을 특징으로 하는 앤티퓨즈소자.

청구항 2

반도체기판(11)상에 열상태로 설치된 제1전극층(21)군과, 이 제1전극층상에 각각 설치된 제1절연층(22), 이 제1절연층 및 제1전극층군을 포함하는 전면에 설치된 앤티퓨즈절연층(13) 및, 이 앤티퓨즈절연층(13)상에 상기 제1전극층(21)군에 대해 매트릭스상으로 설치된 제2전극층(30)군을 구비한 것을 특징으로 하는

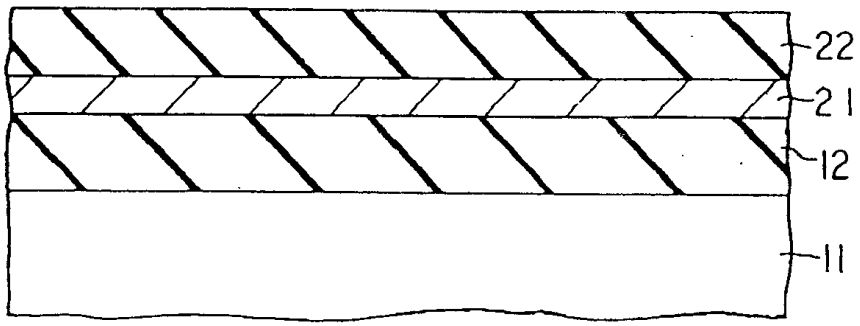
앤티퓨즈소자.

청구항 3

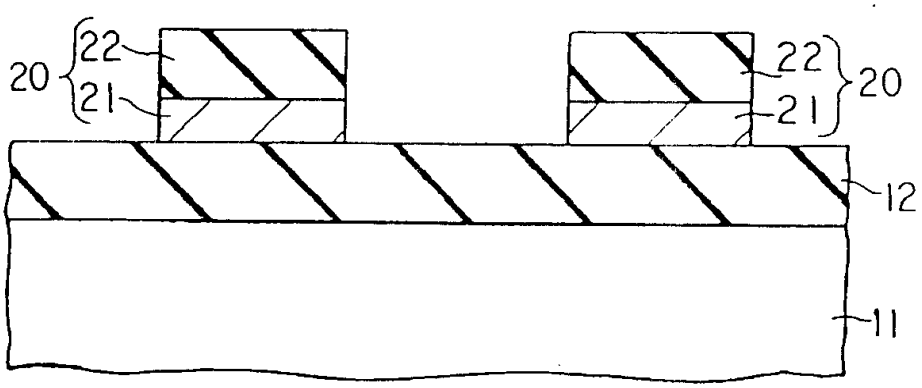
상기 반도체기판(11)상에 열상태로 설치된 제1전극층(21)군과, 이 제1전극층(21)상에 각각 설치된 제1절연층(22), 이 제1절연층(22) 및 제1전극층(21)군을 포함하는 전면에 설치된 앤티퓨즈절연층(13), 이 앤티퓨즈절연층(13)상에 설치됨과 더불어 제1전극층(21)군중 서로 인접하는 두개의 제1전극층(21)의 적어도 대향하는 측벽부분을 포함하도록 각각 설치된 제2전극층(31)군, 상기 앤티퓨즈절연층(13)상에 설치된 제2절연층(14) 및, 이 제2절연층(14)상에 설치되면서 상기 제1전극층(21)군에 대하여 매트릭스상으로 설치됨과 더불어 상기 제2전극층(31)군과 접속된 제3전극층(32)군을 구비한 것을 특징으로 하는 앤티퓨즈소자.

도면

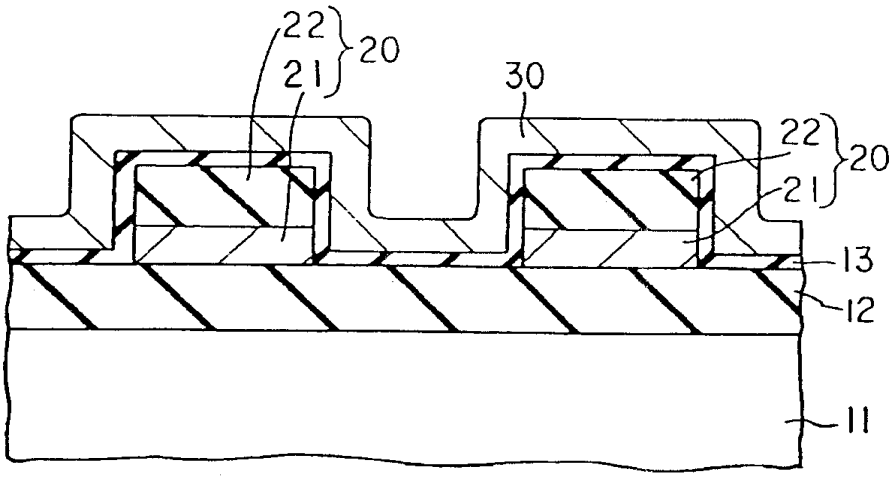
도면1a



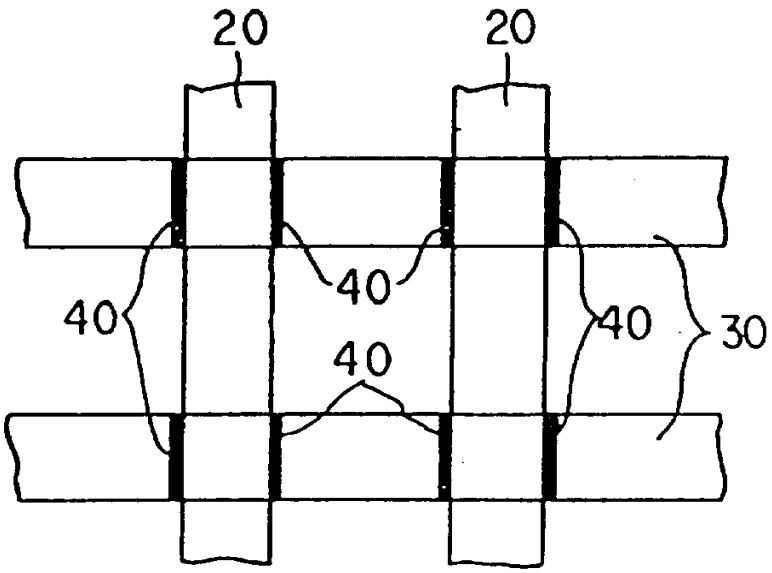
도면1b



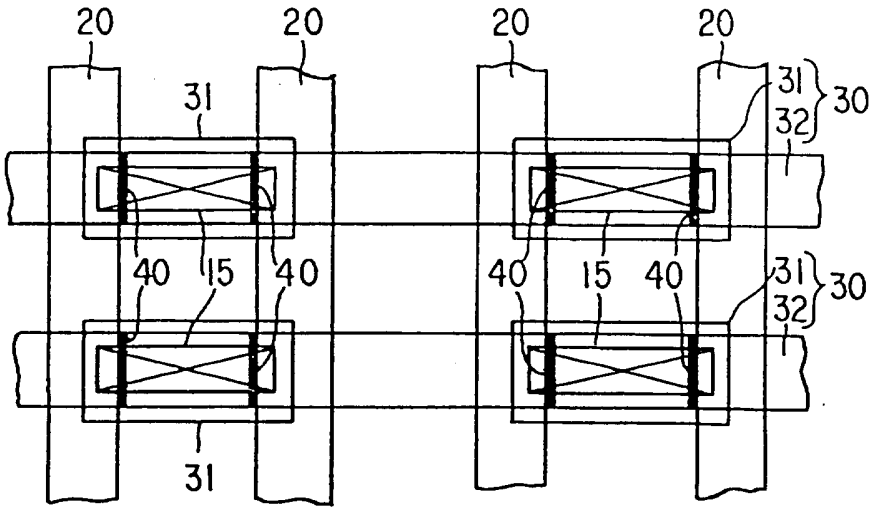
도면1c



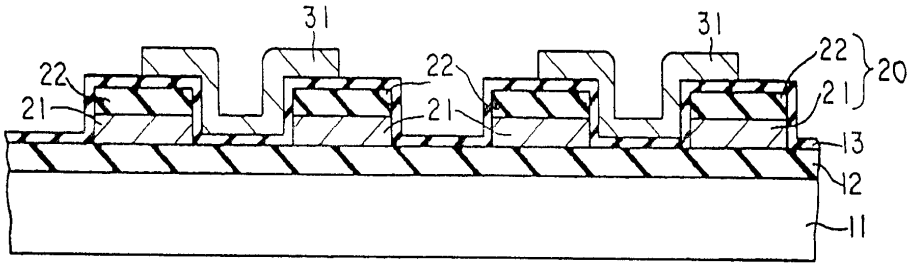
도면2


20
20
40
40
40
40
30

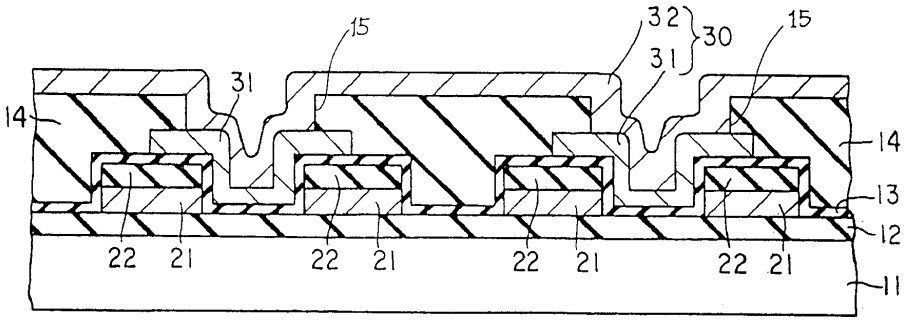
도면3


20
20
20
20
31
31
32
30
40
15
40
40
15
40
31
32
30
31

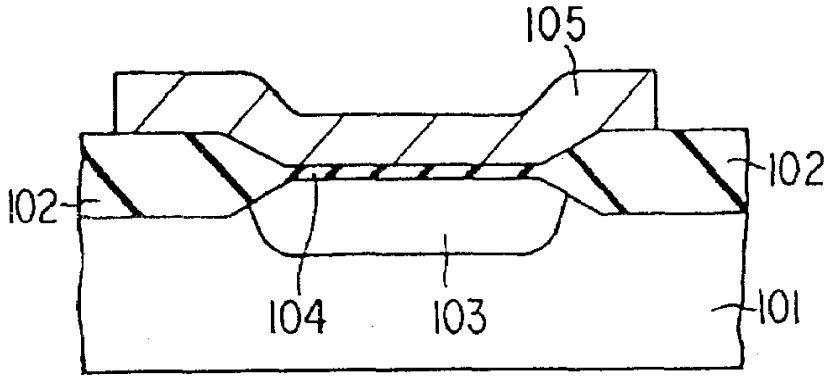
도면4a


31
31
22
22
22
21
21
21
20
13
12
11

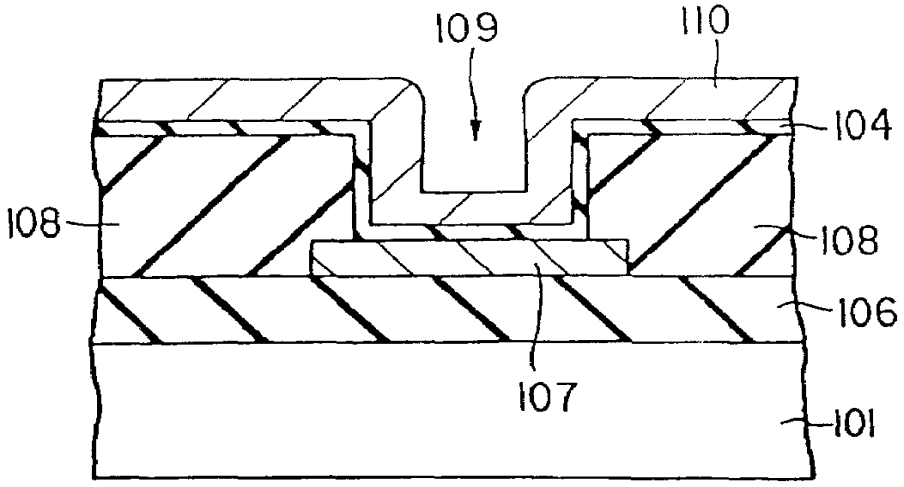
도면4b


15
32
30
31
15
31
14
14
13
12
22
21
22
21
22
21
22
21
11

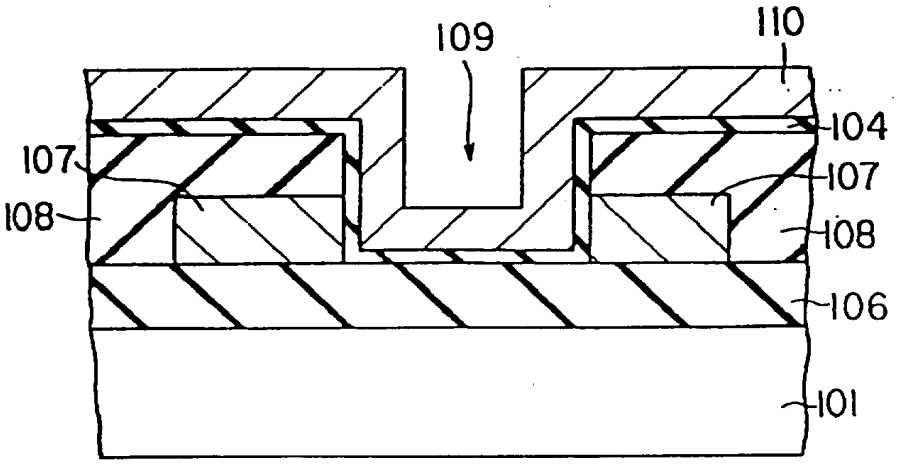
도면5


105
102
102
104
103
101

도면6


109
110
104
108
108
106
107
101

도면7



도면8

