



(12) 发明专利

(10) 授权公告号 CN 101743619 B

(45) 授权公告日 2011. 12. 14

(21) 申请号 200880023028. X

H01L 21/36(2006. 01)

(22) 申请日 2008. 07. 03

H01L 27/00(2006. 01)

(30) 优先权数据

200704890-3 2007. 07. 04 SG

200718567-1 2007. 12. 10 SG

(56) 对比文件

US 2005247950 A1, 2005. 11. 10,

WO 2005029572 A1, 2005. 03. 31,

WO 2005008740 A2, 2005. 01. 27,

WO 2007037762 A1, 2007. 04. 05,

(85) PCT申请进入国家阶段日

2009. 12. 31

审查员 赵端

(86) PCT申请的申请数据

PCT/SG2008/000238 2008. 07. 03

(87) PCT申请的公布数据

W02009/005477 EN 2009. 01. 08

(73) 专利权人 霆激技术有限公司

地址 新加坡新加坡市

(72) 发明人 康学军 袁述 林卉敏 林世鸣

(74) 专利代理机构 深圳中一专利商标事务所
44237

代理人 张全文

(51) Int. Cl.

H01L 21/26(2006. 01)

H01L 23/12(2006. 01)

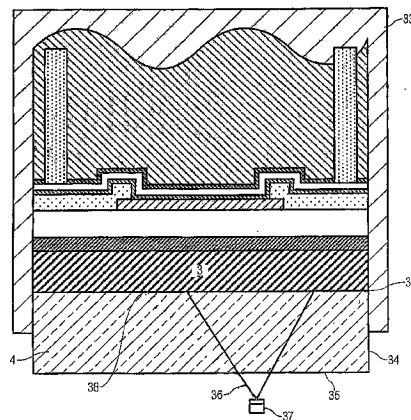
权利要求书 2 页 说明书 5 页 附图 10 页

(54) 发明名称

半导体器件的分离

(57) 摘要

本发明公开了一种制造半导体器件的方法。该方法包括提供其上设有多个外延层的衬底以及在保持外延层完整的情况下将衬底与外延层分离。这种方式保留了这些外延层的电气、机械和光学特性。



1. 一种制造半导体器件的方法,包括:
提供衬底,所述衬底上设有多个外延层;以及
利用软性缓冲材料封装所述多个外延层和部分所述衬底,留下所述衬底的下表面暴露在外;
在保持所述多个外延层完整的情况下将所述衬底与所述多个外延层分离,以保留所述多个外延层的电气、机械和光学特性;以及
去除所述软性缓冲材料。
2. 如权利要求 1 所述的方法,其中在分离衬底之后,利用沟槽刻蚀来执行器件隔离的第一阶段。
3. 如权利要求 2 所述的方法,其中在衬底分离之后形成多个台面,所述沟槽刻蚀是沿着每个台面的边缘进行的。
4. 如权利要求 3 所述的方法,其中所述台面形成在由所述沟槽限定的区域。
5. 如权利要求 2 所述的方法,其中在所述器件隔离的第一阶段之后,所述方法还包括护垫刻蚀。
6. 如权利要求 6 所述的方法,其中在护垫刻蚀之后,执行芯片隔离的最后阶段。
7. 如权利要求 2 所述的方法,其中在所述芯片隔离的第一阶段之前,施加一层光刻胶层以在刻蚀工艺中保护所述多个外延层的 n 型层的区域。
8. 如权利要求 8 所述的方法,其中继所述芯片隔离的第一阶段之后,第一绝缘层被暴露在台面周围,且光刻胶层被去除。
9. 如权利要求 9 所述的方法,其中第二绝缘层施加于所述第一绝缘层的被曝露的表面、所述外延层的侧边以及所述外延层的中央,然后实施护垫刻蚀以移除所述第二绝缘层的至少一部分以暴露所述外延层的部分表面。
10. 如权利要求 10 所述的方法,其中在所述第二绝缘层的被曝露的表面和所述外延层的被曝露的表面的中央施加另一光刻胶层,从而留下用于对所述外延层的被曝露的表面进行刻蚀的间隙;在所述间隙实施刻蚀以在所述外延层的被曝露的表面上形成表面结构。
11. 如权利要求 11 所述的方法,进一步包括:
去除所述另一光刻胶层;
施加新的光刻胶层至除与厚图案对齐的位置之外的所有暴露的表面;以及
刻蚀与所述厚图案对齐的被曝露的表面以暴露所述厚图案的端部。
12. 如权利要求 8 所述的方法,其中在芯片隔离之后,在所述 n 型层上形成 n 型欧姆接触阵列。
13. 如权利要求 1 所述的方法,进一步包括:
在从所述多个外延层分离衬底之前,在所述多个外延层上形成至少一个种子层;以及
在所述至少一个种子层上形成外部层,所述外部层选自由下列用于所述半导体器件的元件所组成的群组的至少其中之一:新衬底、结构支撑、热沉、散热器、电流发散器和作为端子。
14. 如权利要求 14 所述的方法,其中在形成所述至少一个种子层之前:
在所述多个外延层的 p 型层上施加 p 型金属欧姆接触层;
在所述 p 型金属欧姆接触层和 p 型层上施加电介质层;

将所述金属欧姆接触层上的电介质层去除 ;以及
在所述电介质层和金属欧姆接触层上沉积所述至少一个种子层。

15. 如权利要求 14 所述的方法,其中在沉积所述至少一个种子层之后并且在形成所述外部层之前,在所述至少一个种子层上施加图案,所述外部层是形成于所述图案之间的。

16. 如权利要求 15 所述的方法,其中所述电介质选自氧化物和氮化物组成的群组。

17. 如权利要求 14 所述的方法,进一步包括:

抛光所述外部层 ;以及

依靠所述厚图案来分离单个器件,其中所述厚图案的材料是一种不会粘附到所述外部层的材料,使得无须为了器件分离而对所述外部层作切割。

18. 如权利要求 1 至 18 任意一项所述的方法,其中激光器用于施加光束穿过所述衬底至所述衬底与所述多个外延层的 n 型层之间的界面,以将所述衬底与所述多个外延层分离,所述光束选自自由发散光束和准直光束所组成的群组。

19. 如权利要求 14 所述的方法,其中所述外部层的厚度选自下列值组成的群组 :1-2mm 和至少 2mm。

20. 如权利要求 12 或 16 所述的方法,其中所述厚图案界定了单个半导体器件的最终形状和大小。

半导体器件的分离

技术领域

[0001] 本发明涉及半导体器件的分离,具体而言(但非排他地),涉及在移除蓝宝石衬底之后的这种半导体器件的分离。

背景技术

[0002] 诸如发光二极管(LED)、激光二极管、光电探测器、晶体管以及开关等的 GaN 半导体器件已被广泛应用。公知的应用包括(但不限于)交通信号、移动电话显示背光源、液晶显示器(LCD)背光源、照相机的闪光灯等。制作用于 LED、激光二极管或照明的氮化镓半导体的生产率相对较低。另外,利用已知技术制作的半导体器件其光输出不是最优的。而且,对于那些形成有第二衬底的半导体器件而言,由于翘曲和切割衬底原因,其管理第二衬底具有极大的难度,尤其是在移除第一衬底之后。

发明内容

[0003] 根据一个例示性的方面,提供了一种制作半导体器件的方法。该方法包括提供其上设有多个外延层的衬底以及在保持所述多个外延层完整的情况下将所述衬底与所述多个外延层分离。这保留了所述多个外延层的电气、机械和光学特性。

[0004] 在分离衬底之后,可利用沟槽刻蚀来执行器件隔离的第一阶段。在衬底分离之后可形成多个台面,所述沟槽刻蚀是沿着每个台面的边缘进行的。所述台面可形成在由所述沟槽限定的区域。所述沟槽刻蚀可以刻透所述外延层。

[0005] 在所述器件隔离的第一阶段之后,所述方法可还包括焊盘刻蚀。在焊盘刻蚀之后,可执行芯片隔离的最后阶段。

[0006] 在所述芯片隔离的第一阶段之前,可施加一层光刻胶层以在刻蚀工艺中保护所述多个外延层的 n 型层的区域。继所述芯片隔离的第一阶段之后,第一绝缘层可被暴露在台面周围,且光刻胶层可被去除。第二绝缘层可施加于所述第一绝缘层的被暴露的表面、所述外延层的侧边以及所述外延层的中央,然后可实施焊盘刻蚀以移除所述第二绝缘层的至少一部分以暴露所述外延层的部分表面。在所述第二绝缘层的被暴露的表面和所述外延层的被暴露的表面的中央可施加另一光刻胶层,从而留下用于对所述外延层的被暴露的表面进行刻蚀的间隙。可在所述间隙实施刻蚀以在所述外延层的被暴露的表面上形成表面结构。所述另一光刻胶层可被去除并施加新的光刻胶层;可以实施刻蚀以暴露厚图案的端部。

[0007] 在芯片隔离之后,可在所述 n 型层上形成 n 型欧姆接触阵列。

[0008] 该方法可还包括在从所述多个外延层分离衬底之前,在所述多个外延层上形成至少一个种子层;以及在所述至少一个种子层上形成外部层,所述外部层相对较厚,并且用作选自下列用于所述半导体器件的元件所组成的群组的至少其中之一:新衬底、结构支撑、热沉、散热器、电流发散器和作为端子。

[0009] 在形成所述至少一个种子层之前:

[0010] 可在所述多个外延层的 p 型层上施加 p 型金属欧姆接触层;

[0011] 可在所述 p 型金属欧姆接触层和 p 型层上施加电介质层；

[0012] 可将所述金属欧姆接触层上的电介质层去除；以及

[0013] 可在所述电介质层和金属欧姆接触层上沉积所述至少一个种子层。

[0014] 在沉积所述至少一个种子层之后并且在形成所述外部层之前，可在所述至少一个种子层上施加所述厚图案，其中所述外部层是形成于所述厚图案之间的。

[0015] 根据另一个例示性的方面，本发明提供了一种制作半导体器件的方法。该方法包括提供其上设有多个外延层的衬底并施加图案。在所述图案之间形成外部层；所述外部层至少有 0.3mm 厚，并且用作用于所述半导体器件的下列元件的至少其中之一：新衬底、结构支撑、热沉、散热器、电流发散器和作为端子。将所述衬底与所述多个外延层分离。

[0016] 所述外部层至少有 1mm 厚或至少有 2mm 厚。

[0017] 所述图案的材料可以是一种不会粘附到所述外部层的材料，使得无须为了芯片分离而切割所述外部层。将所述衬底从所述多个外延层分离可以是在保持所述多个外延层完整的情况下进行的，其保留了所述多个外延层的电气、机械和光学特性。所述图案可定义所述半导体器件的单个器件。

[0018] 在施加所述图案之前，可在所述多个外延层上形成至少一个种子层，其中所述图案是施加在所述至少一个种子层上的。在形成所述至少一个种子层之前，可在所述多个外延层的 p 型层上施加 p 型金属欧姆接触层，可在所述 p 型金属欧姆接触层和 p 型层上施加电介质层。可将所述金属欧姆接触层上的电介质层去除。可在所述电介质层和金属欧姆接触层上沉积所述至少一个种子层。

[0019] 附图简要说明

[0020] 为了全面理解本发明并容易地将本发明投入实用，现在将通过非限制性示例结合附图来描述本发明的优选实施例。

[0021] 在附图中：

[0022] 图 1 是在制作工艺的第一阶段的半导体的不依比例的横截面示意图；

[0023] 图 2 是在制作工艺的第二阶段的半导体的不依比例的横截面示意图；

[0024] 图 3 是在制作工艺的第三阶段的半导体的不依比例的横截面示意图；

[0025] 图 4 是在制作工艺的第四阶段的半导体的不依比例的横截面示意图；

[0026] 图 5 是在制作工艺的第五阶段的半导体的不依比例的横截面示意图；

[0027] 图 6 是在制作工艺的第六阶段的半导体的不依比例的横截面示意图；

[0028] 图 7 是在制作工艺的第七阶段的半导体的不依比例的横截面示意图；

[0029] 图 8 是在制作工艺的第八阶段的半导体的不依比例的横截面示意图；

[0030] 图 9 是在制作工艺的第九阶段的半导体的不依比例的横截面示意图；

[0031] 图 10 是在制作工艺的第十阶段的半导体的不依比例的横截面示意图；

[0032] 图 11 是在制作工艺的第十一阶段的半导体的不依比例的横截面示意图；

[0033] 图 12 是在制作工艺的第十二阶段的半导体的不依比例的横截面示意图；

[0034] 图 13 是在制作工艺的第十三阶段的半导体的不依比例的横截面示意图；

[0035] 图 14 是在制作工艺的第十四阶段的半导体的不依比例的横截面示意图；

[0036] 图 15 是在制作工艺的第十五阶段的半导体的不依比例的横截面示意图；以及

[0037] 图 16 是在制作工艺的第十六阶段的半导体的不依比例的横截面示意图；

具体实施方式

[0038] 下文描述的 GaN 器件是由外延晶片制作的,其中外延晶片由蓝宝石衬底上的薄半导体层(称为外延层)的叠层构成。外延层的组分和厚度根据晶片设计而定,其决定了由该晶片制成的器件所发出的光的颜色(波长)。通常会在蓝宝石衬底上首先沉积一层薄缓冲层,其厚度通常在 10 到 30 纳米范围内,可以是 AlN 或者 GaN。本说明书不对该层做描述或图示。在薄缓冲层的顶面可以形成另一层缓冲层,其可以是相对厚的缓冲层。另一缓冲层的厚度可以在 1 至 7 微米的范围内。在相对厚的缓冲层上形成有其他层,例如, GaN 层、AlGaIn 层、InN 层、InGaIn 层、AlGaInN 层等。为了达到高晶片质量,通常在缓冲层上沉积 n 型层,接着是有源区。最后,沉积 p 型掺杂层。有源区通常是由单个量子阱或多个量子阱构成的双异质结构,其用于产生光。但其也可以是其它形式,例如量子点。外延层的沉积通常是利用金属有机化学气相沉积法(MOCVD)或分子束外延法(MBE)进行。外延层的厚度是在几纳米至几微米的范围内。

[0039] 本工艺是在氮化镓(GaN)的 n 型层 3、量子阱或有源层 2 和 GaN 的 p 型层 1 已施加于蓝宝石衬底 4 之后开始。为简化说明,n 型层 3 包括有源层 2 下面的所有层,包括两个缓冲层和其它上述提到的层。p 型层 1 厚度相对较薄——通常不超过、但优选地小于 1 微米。p 型金属层 5 然后施加于 p 型层 1 上。p 型金属层 5 可以是镍金(NiAu)或其他合适的金属,且优选地相对较薄使其为透明的。可选择地,其可以是反射式的。更具体而言,其作为一个扩散阻挡层以防止向外延层 1、2 和 3 中的扩散或将这种扩散降至最低。

[0040] 然后利用标准光刻和刻蚀来图案化金属层 5。这是通过在金属层 5 上形成薄光刻胶层(图 2 中的层 6(a))然后进行光刻胶曝光和显影的方式来完成的。光刻胶图案 6(a)充当用于刻蚀金属层 5 的刻蚀掩模。刻蚀可以是湿法刻蚀或等离子干法刻蚀(见图 2)。光刻胶 6(a)然后被去除。保留在 p 型 GaN 层 1 的表面上的图案化金属层 5 将用作对 p 型 GaN 层 1 的欧姆接触层。退火工艺可以在金属层 5 被图案化之前或之后进行。

[0041] 二氧化硅(SiO₂)层 7 利用标准薄膜沉积法沉积在剩余的 p 型金属层部分 5 和 p 型 GaN 层 1(图 3)上。这可以使用等离子增强化学气相沉积(PECVD)、溅射、蒸镀或其他合适的技术来完成。

[0042] 如图 4 所示,第二光刻胶 6(b)被施加于氧化物层 7 上。光刻胶然后被图案化并作为用于图案化该氧化物层 7 的掩模。对氧化物层 7 施行湿法刻蚀或干法刻蚀(等离子刻蚀)。在没有光刻胶 6(b)的区域 7(a)内的氧化物 7 被去除,而受光刻胶 6(b)保护的氧化物 7 在刻蚀后得以保留。如图 4 所示,被图案化的第二光刻胶层 6(b)在面积上大于 NiAu 层 5,使得剩余的 SiO₂层 7 延伸跨过 NiAu 层 5 并沿 NiAu 层 5 侧边向下延伸直到 p 型 GaN 层 1。

[0043] 如图 5 所示,第二光刻胶层 6(b)被去除,接着沉积种子层。种子层 8 是多个不同的金属层,优选地是如图所示的三层不同的金属层。第一金属层 11 与 NiAu 层 5 和 SiO₂层 7 接触并粘附良好,且其材料可为铬或钛。接着是第二层 10 和第三层 9,其材料分别为钽和铜。但也可以使用其它材料。优选地是,第一种子层 11 对发光器件产生的光具有良好的反射性。第二种子层 10 作为扩散阻挡层,防止位于其顶部的铜或其他材料(例如,第三种子层 9)扩散进入欧姆接触层 6 和半导体外延层 1、2 和 3。第三种子层 9 作为形成后续层的种

子层。

[0044] 种子层 9、10 和 11 的热膨胀系数可以与 GaN 的热膨胀系数 3.17 不同。虽然欧姆接触层 (Ni 和 Au) 的热膨胀系数 (分别为 14.2 和 13.4) 也与 GaN 的热膨胀系数不同,但他们相对较薄 (几个纳米),不会对下面的 GaN 外延层造成严重的应力问题。然而,之后增设的铜层可达数百微米的厚度,因此可能造成严重的应力问题。故这些种子层 9、10 和 11 可用于缓冲这种应力。这可以通过下列方式中的一个或多个来实现:

[0045] (a) 通过具有足够的柔性来吸收这种应力;

[0046] (b) 通过具有足够的内部滑移特性来吸收这种应力;

[0047] (c) 通过具有足够的刚度来承受这种应力;以及

[0048] (d) 通过具有逐渐变化的热膨胀系数。

[0049] 在逐渐变化的热膨胀系数的情况下,第一层 11 的热膨胀系数优选地是小于第二层 10 的热膨胀系数,且第二层 10 的热膨胀系数优选地是小于第三层 9 的热膨胀系数。例如,第一层 11 可以是热膨胀系数为 4.9 的铬,且第二层 10 可以是热膨胀系数为 6.3 的钽,第三层 9 可以是热膨胀系数为 16.5 的铜。这样,热膨胀系数从欧姆接触层 5 和 SiO₂ 层 7 逐渐变化至第三铜层 9。这些种子层 9、10 和 11 的厚度的选择应使得施加在这些外延层 1、2 和 3 上的应力最小。

[0050] 如果外部的铜层 9 直接施加于 SiO₂ 层 7 和欧姆接触层 5,则它们的热膨胀率的差异会导致碎裂、分离和 / 或失效。通过沉积多层不同材料,特别是彼此具有不同热膨胀系数的金属的种子层 9、10、11,热膨胀的应力分散在种子层 9、10、11 上,结果降低了碎裂、分离和 / 或失效的可能性。第一种子层 11 应当是一种热膨胀系数相对较低的材料,而最终层 9 可以具有较高的热膨胀系数。如果存在一个 (多个) 中间层 10,则该一个 (多个) 中间层的热膨胀系数应当是介于层 11 和层 9 的热膨胀系数之间,且应当从第一层 11 逐渐变化至最终层 9。也可以没有中间层 10,或者可以根据任何需求或期望设置任何数目的中间层 (一层、两层或三层等)。

[0051] 可选择地,种子层 9、10、11 可以被替换为单个电介质层,例如,具有过孔或通孔的 AlN,以使铜层 9 能够连接至 p 型金属层 5。

[0052] 为了图案化镀上相对厚的导电金属 (例如铜) 层 29 (将在原始衬底 4 被去除之后用作新衬底、电气接点、散热器、电流发散器、热沉和物理支撑),利用标准光刻将厚光刻胶图案 12 施加到外部的第三种子层 9 上或其内 (图 6)。厚金属层 29 形成在厚光刻胶 12 之间的且由厚光刻胶 12 限定的区域 30 中。该厚金属层 29 可以通过电镀来形成,且可以形成在厚光刻胶 12 上以形成单个金属支撑层 29。由于 p 型层 1 相对较薄,有源层 2 中产生的热量能够更容易被传递至厚金属层 29。厚金属层 29 可以具有任何合适的厚度,例如 0.3mm、1mm、2mm 或超过 2mm。

[0053] 可选择地,在施加厚光刻胶 12 之前,第三种子层 9 可以在用于形成厚光刻胶 12 (图 6) 和镀上主铜层 29 (图 7) 的台面 (mesa) 32 之间的划片街区 (street) 31 的中央区域被部分刻蚀。这样做具有改善粘附性的好处。

[0054] 光刻胶 12 可以例如是 SU-8 或其它任何能够形成高深宽比图案的材料。光刻胶 12 的图案界定了器件的最终形状和尺寸。

[0055] 然后实施蓝宝石衬底 4 的移除或剥离 (图 8 和图 9)。提供一种软性缓冲材料 33

来封装整个晶片或晶片材料的一部分,蓝宝石衬底 4 的下表面被暴露在外。该缓冲材料 33 可以例如是乳胶橡胶、硅胶、环氧树脂、乳胶、胶粘剂、导热胶、Crystal Bond™ 粘合剂、蜡或类似材料。

[0056] 使用激光器 37 施加一光束 36 穿过蓝宝石衬底 4 到达蓝宝石衬底 4 与 n 型 GaN 层 3 之间的界面以分离该蓝宝石衬底 4 和 n 型 GaN 层 3。该光束 36 可以是发散(如图所示)或准直光束。这样,蓝宝石衬底 4 被从多个外延层上移除,同时保持了这些外延层的完整。这种方式保持了这些外延层 1、2、3 的电气、机械和光学特性。接着该软性缓冲层 33 可被去除。

[0057] 这样就暴露了 n 型 GaN 层 3 的最下面的表面 13。优选的是,在外延层完整时实施剥离衬底 4,以改善移除质量和保证结构强度。通过在移除时保持外延层 3 的完整,外延层的电气、机械和光学特性得以保持。

[0058] 如图 10 所示,然后利用如图 12 至 14 所示的沿台面 39 边缘 40 对新暴露出的表面进行沟槽刻蚀,使单个器件彼此隔离,其中在刻蚀工艺中光刻胶层 41 保护 n 型 GaN 层 3 的区域。这让 SiO₂ 层 7 暴露于台面 39 周围。光刻胶 41 接着被移除。

[0059] 可选择地,n 型层 3 的最下面的表面 13 可以在与光刻胶 12 对齐的位置处被解离,分离出多个芯片。这种方式对激光二极管是有利的,因为 n 型层 3 的被暴露的侧面是基本平行的,从而形成镜面并因此导致大量全内反射。其充当用于改善的定向光输出的光放大系统。

[0060] SiO₂ 层 42 形成于 SiO₂ 层 7 的被暴露的表面、n 型 GaN 层 3 的侧面以及 n 型 GaN 层 3 的中央(图 11)。接着实施焊盘刻蚀以移除 SiO₂ 层以暴露 n 型层 3 的表面 13。

[0061] 又一个光刻胶层 43 施加于 SiO₂ 层 42 的被暴露的表面和被暴露的表面 13 的中央,因而留下一个间隙 16 用于对被暴露的表面 13 进行刻蚀。接着在间隙 16 实施刻蚀以在被暴露的表面 13 上形成表面结构。

[0062] 光刻胶 43 去除之后,新的光刻胶层 44 施加于被暴露的下表面上的除了那些与厚图案 12 对齐的区域之外的所有区域上。然后实施刻蚀刻透 SiO₂ 层 42 和 7 以及种子层 8(图 14),直到暴露出厚图案 12 的端部。

[0063] 然后施加一个或多个金属层 18 在光刻胶 44 上,该层 18 在 n 型 GaN 层 3 的中央具有间隙 17,以使层 18 直接施加在 GaN 层 3 上(图 15)。去除附有金属层 18 的光刻胶层 44,而留下附着到 n 型 GaN 层 3 的中央 7(之前间隙 7 的位置)的层 18。金属层 18 可为一层或多层。所有金属层 18 可以是相同或不同。它们可以例如分别是:18(a) 钛;18(b) 铝;18(c) 钛和 18(d) 金。

[0064] 接着对厚的铜层 29 进行抛光磨平(图 16)。由于这些图案 12 没有粘结到厚的铜层 29 上,这些芯片然后通过物理分离法进行分离。这意味着不需要将厚的铜层 29 切片或利用其它方法切割成单独器件。

[0065] 这样,种子层 11、10、9 和铜层 29 用作增加光输出的反射体,而铜层 29 作为其中一个端子,因而不会干涉光输。第二端子是 n 型 GaN 层 3 上的层 18。

[0066] 虽然已经在前述描述中描述了本发明的优选实施例,但是本领域技术人员可以理解的是,在不背离本发明的情况下,有关设计或构造细节可以进行多种变化或改进。

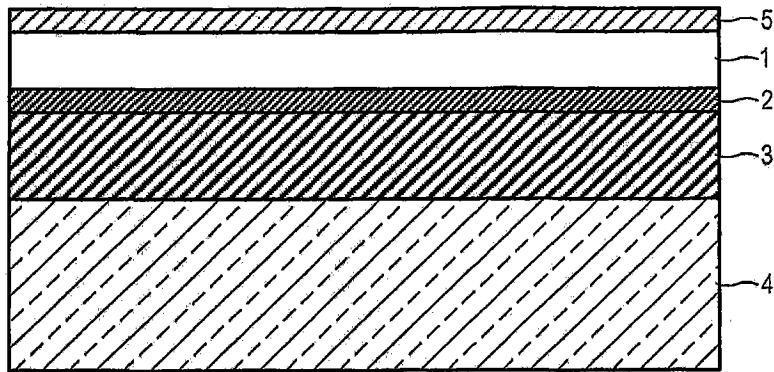


图 1

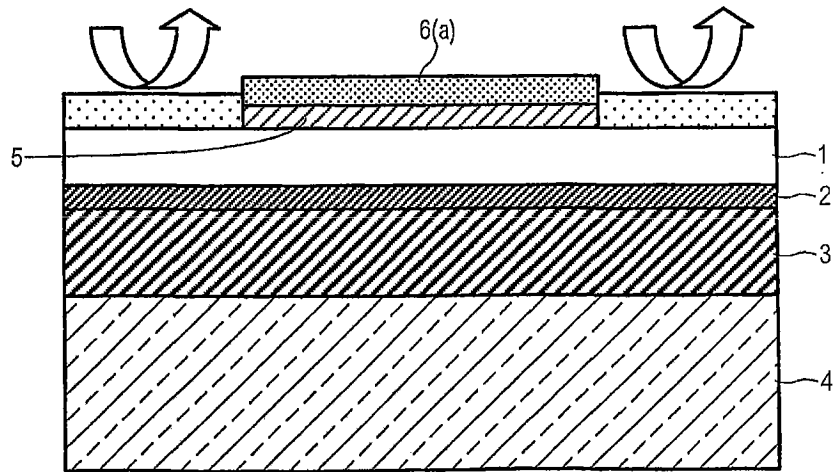


图 2

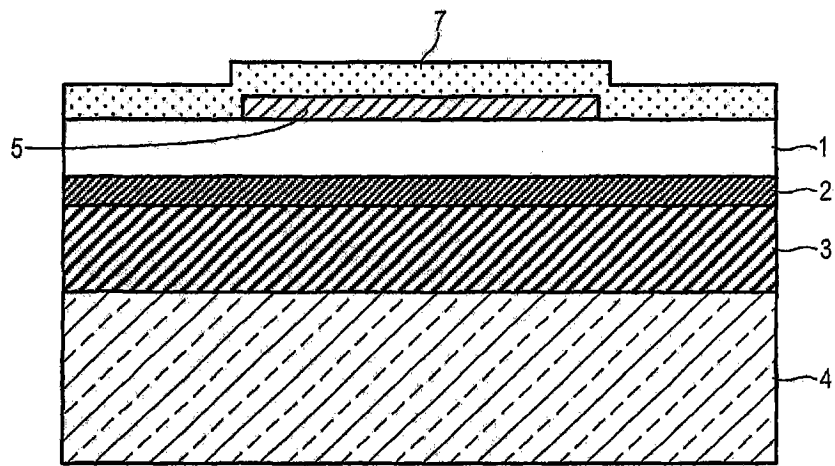


图 3

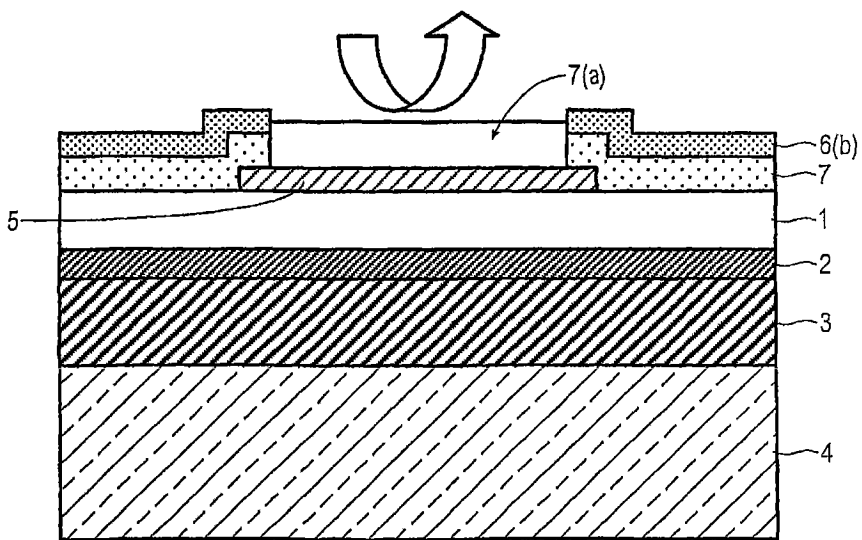


图 4

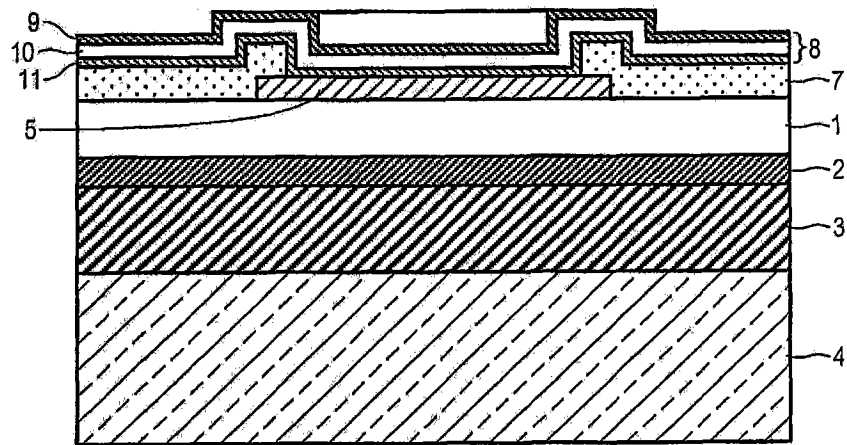


图 5

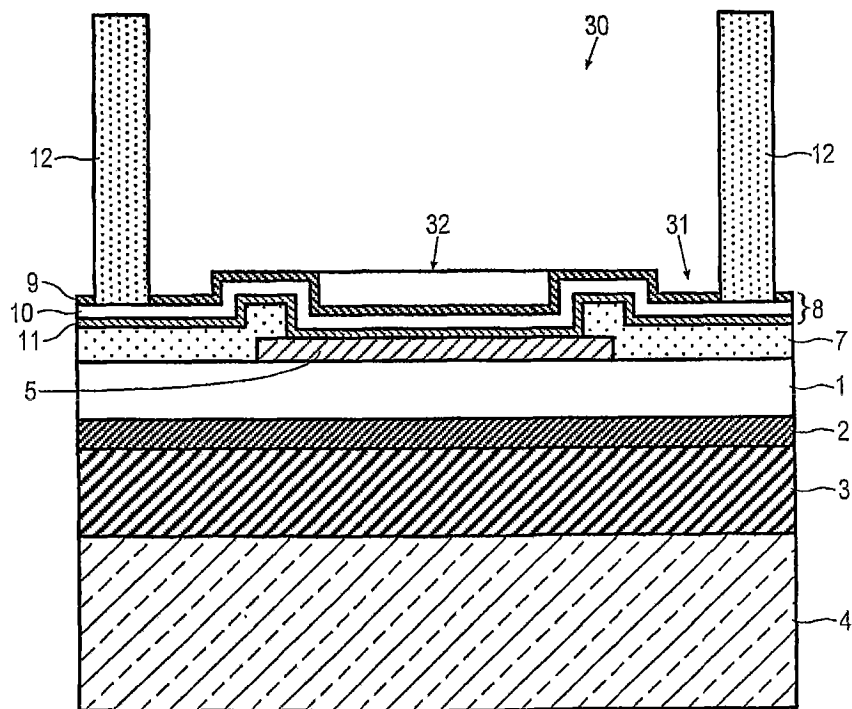


图 6

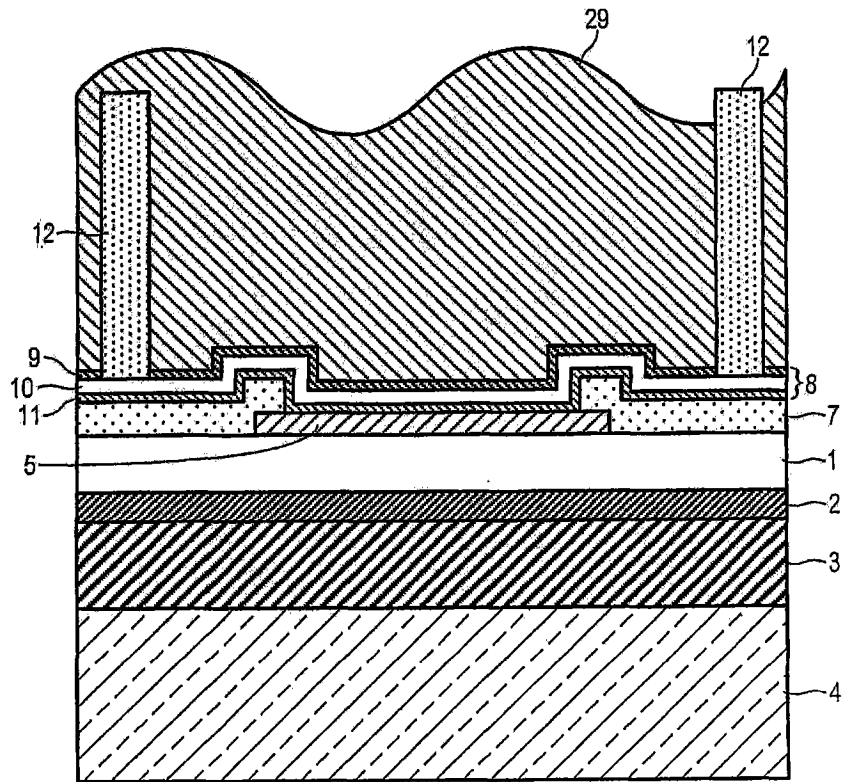


图 7

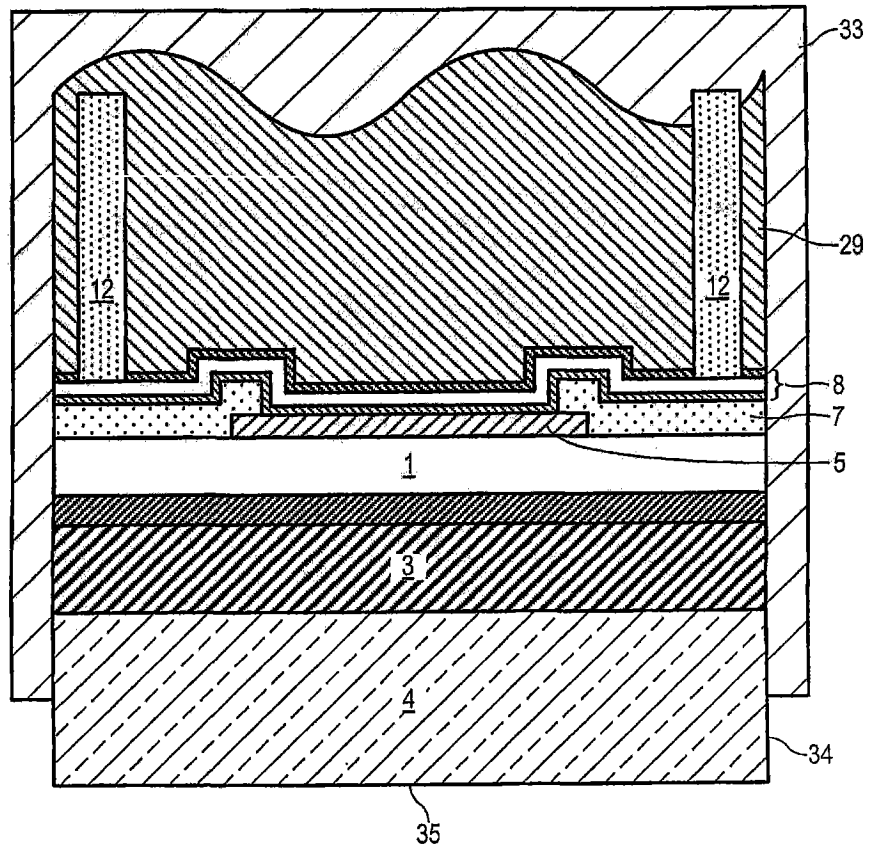


图 8

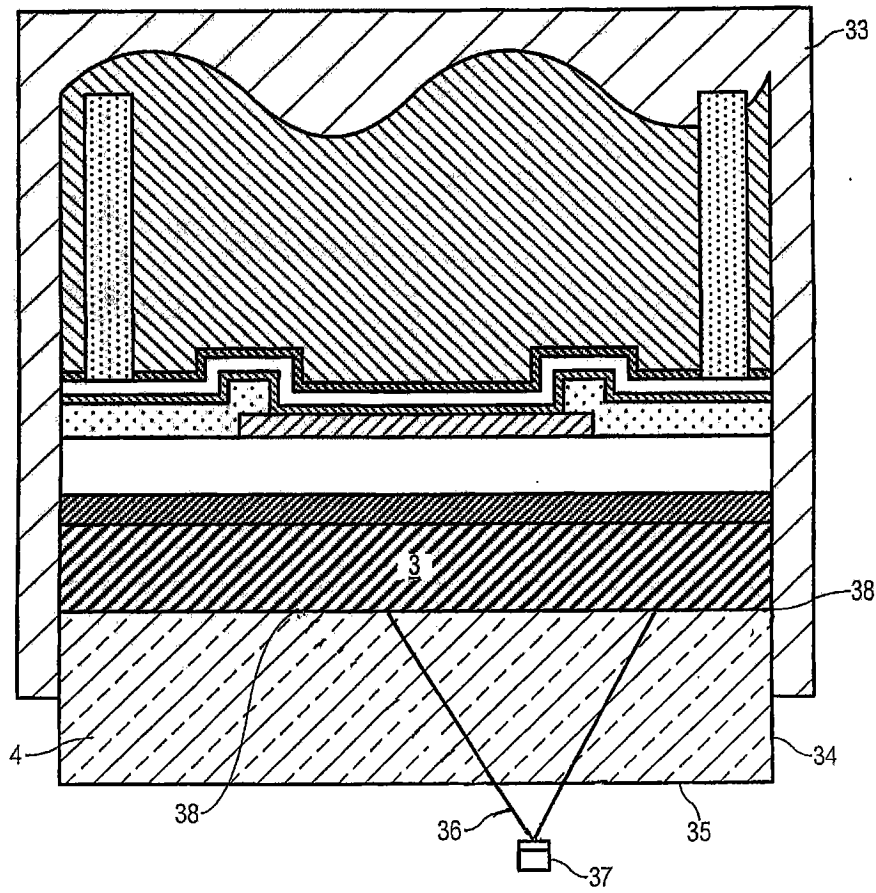


图 9

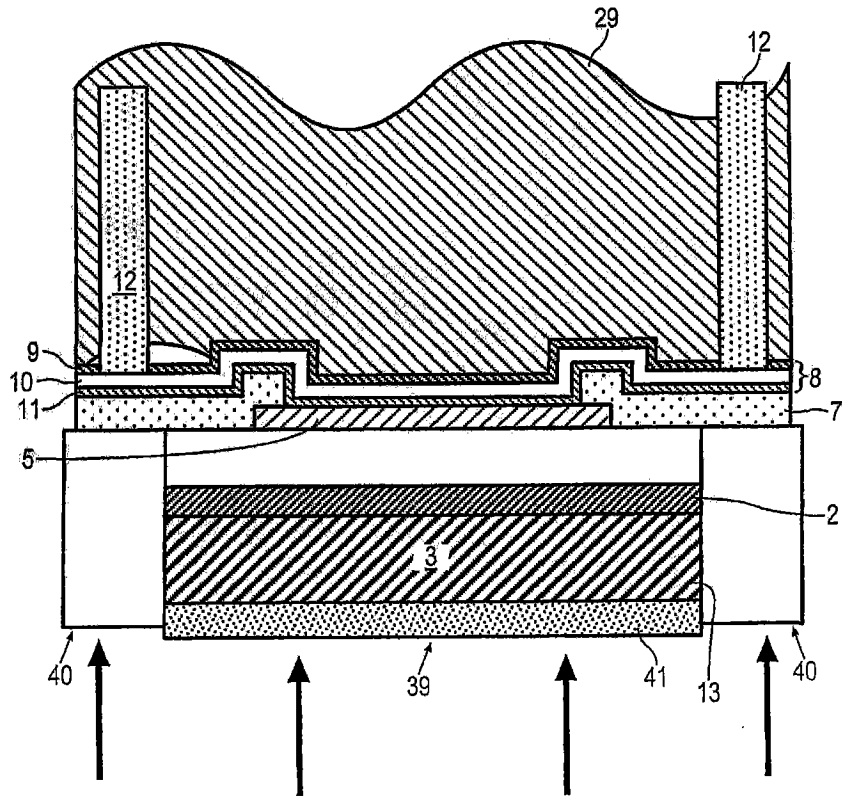


图 10

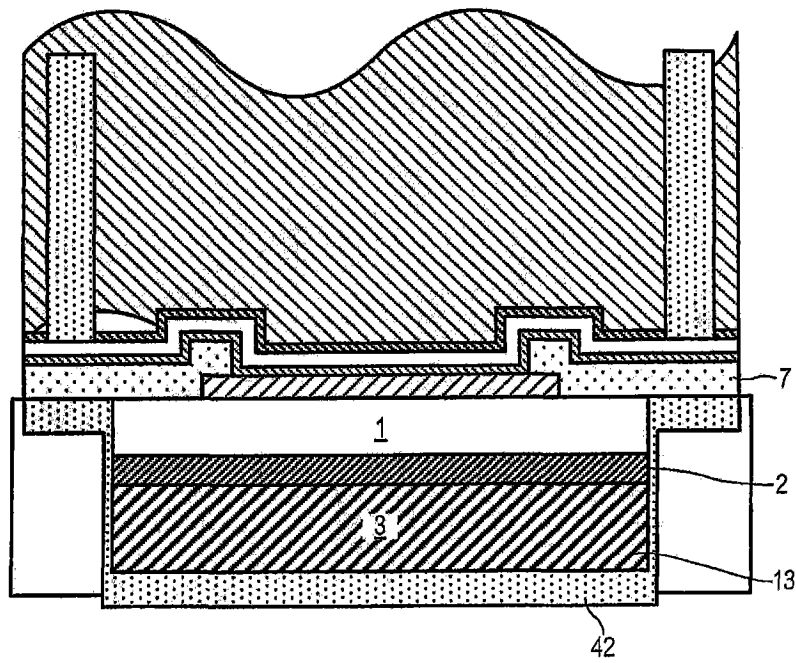


图 11

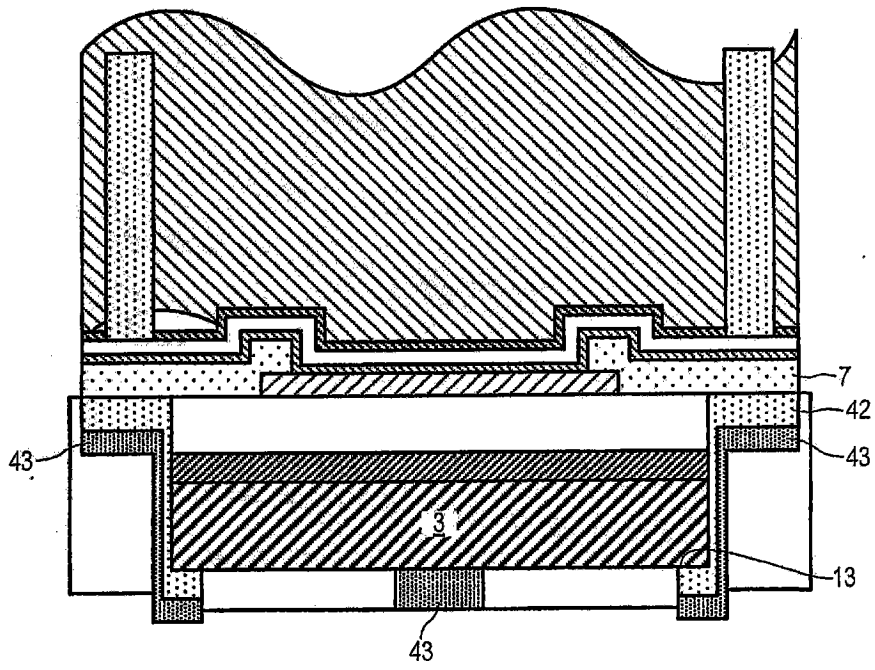


图 12

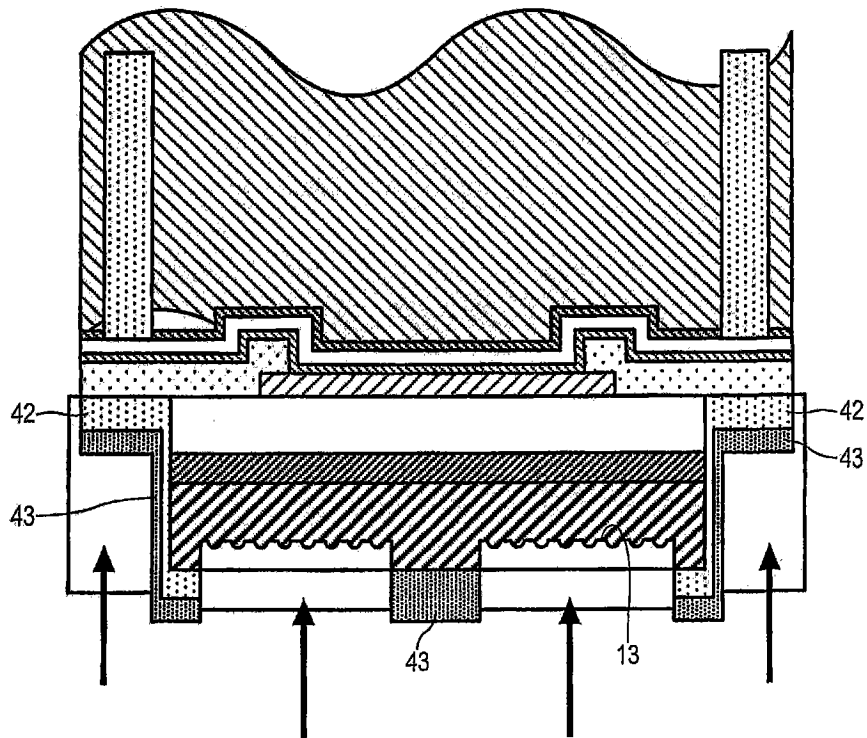


图 13

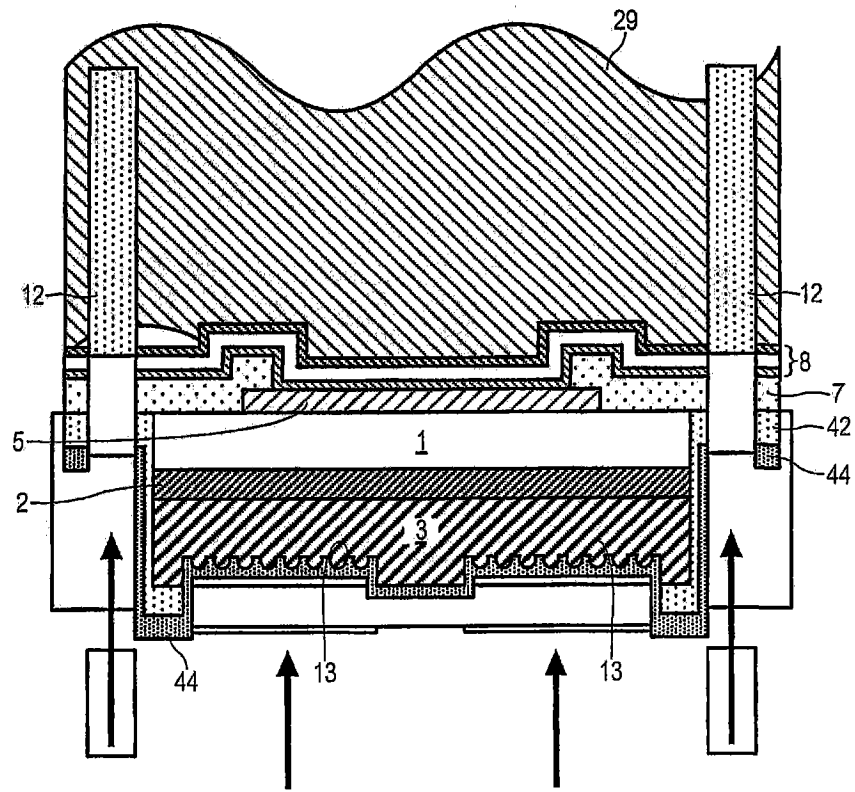


图 14

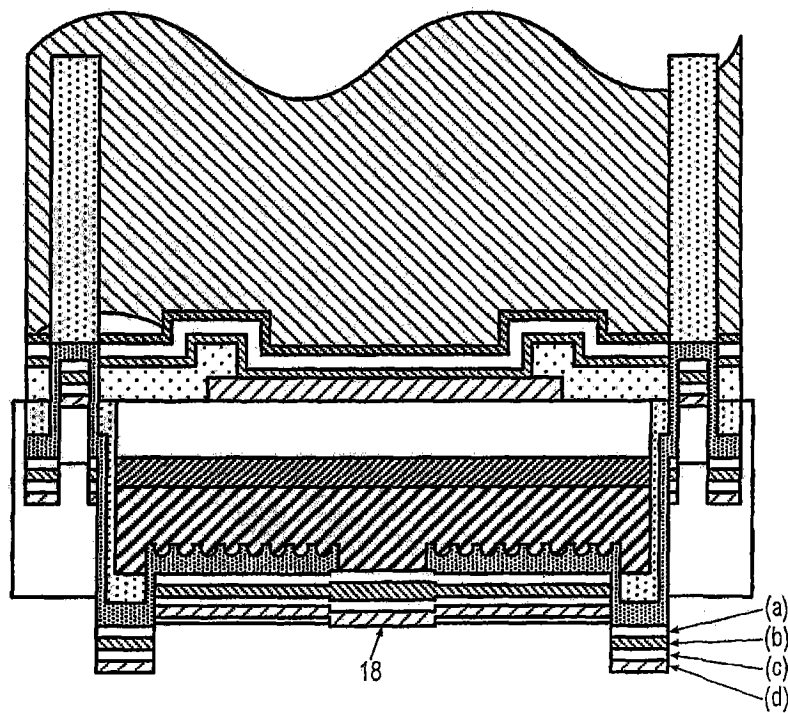


图 15

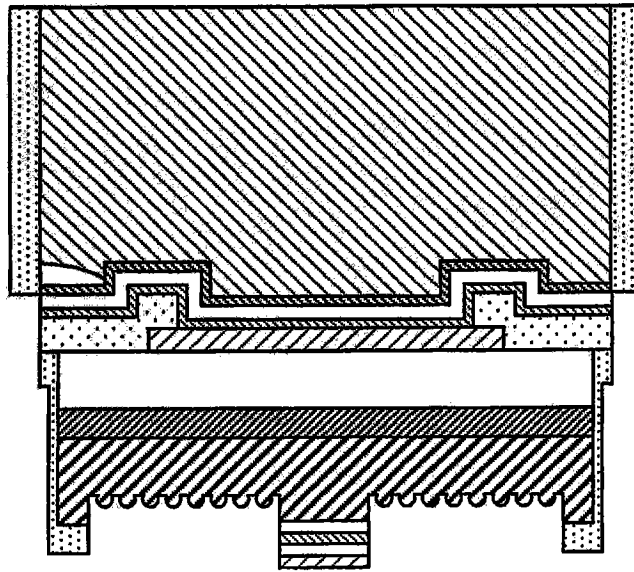


图 16