(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0156404
(43) 공개일자 2024년10월29일

(51) 국제특허분류(Int. Cl.)
H01J 37/32 (2006.01)
(52) CPC특허분류
H01J 37/32174 (2013.01)
H01J 37/32165 (2013.01)
(21) 출원번호 10-2024-7032890
(22) 출원일자(국제) 2023년02월15일
심사청구일자 없음
(85) 번역문제출일자 2024년10월02일
(86) 국제출원번호 PCT/US2023/013166
(87) 국제공개번호 WO 2023/172384
국제공개일자 2023년09월14일
(30) 우선권주장
63/317,433 2022년03월07일 미국(US)

(71) 출원인
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
브하우믹, 라나딥
미국 캘리포니아 94538 프레몬트 쿠싱 파크웨이 4650
홀란드, 존
미국 캘리포니아 94538 프레몬트 쿠싱 파크웨이 4650
(74) 대리인
특허법인 광장리앤고

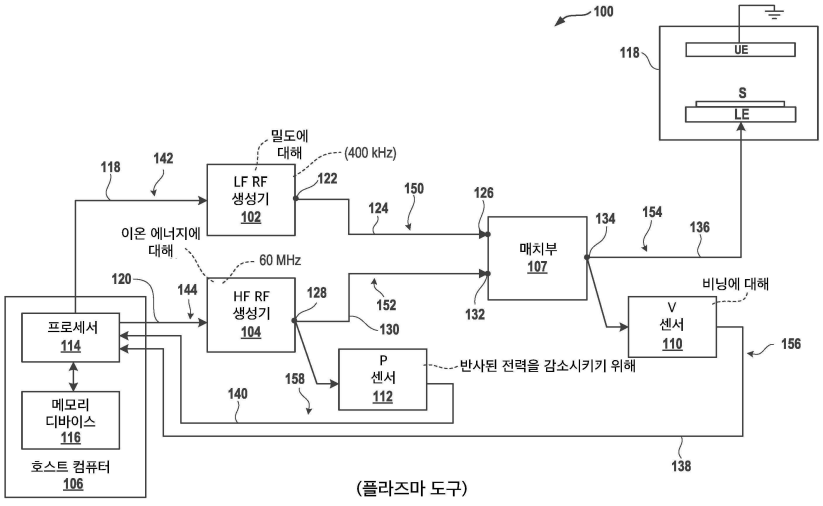
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **상태 전이 후에 반사되는 전력을 감소시키기 위한 시스템 및 방법**

(57) 요 약

전이 상태 후에 고주파수(HF) 무선 주파수(RF) 생성기와 연관된 반사되는 전력을 감소시키기 위한 방법이 설명된다. 방법은 HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 HF RF 생성기를 제어하는 단계를 포함한다. 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함한다. 방법은 제1 서브-상태 동안 제1 기준 고주파수 값 및 제2 서브-상태 동안 제2 기준 고주파수 값을 적용하도록 HF RF 생성기를 제어하는 단계를 더 포함한다. 방법은 제1 서브-상태 동안 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용하는 단계, 및 제2 서브-상태 동안 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용하는 단계를 포함한다.

대 표 도



명 세 서

청구범위

청구항 1

전이 상태(transition state) 후에 고주파수(high frequency, HF) 무선 주파수(radio frequency, RF) 생성기와 연관된 반사되는 전력을 감소시키기 위한 방법으로서,

HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 상기 HF RF 생성기를 제어하는 단계 - 상기 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함함 - ;

상기 제1 서브-상태 동안 제1 기준 고주파수 값 및 상기 제2 서브-상태 동안 제2 기준 고주파수 값을 적용하도록 상기 HF RF 생성기를 제어하는 단계;

상기 제1 서브-상태 동안 상기 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용하는 단계; 및

상기 제2 서브-상태 동안 상기 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용하는 단계를 포함하는,

방법.

청구항 2

제1항에 있어서, 상기 상태는 상기 전이 상태 및 정상 상태(steady state)를 포함하고, 상기 정상 상태 동안, 상기 HF RF 신호는 미리 결정된 범위 내의 전력 레벨을 갖고, 상기 전이 상태 동안, 상기 HF RF 신호는 상기 미리 결정된 범위 밖의 전력 레벨을 갖는,

방법.

청구항 3

제1항에 있어서, 상기 상태를 상기 복수의 서브-상태로 분할하도록 상기 HF RF 생성기를 제어하는 단계는:

상기 제1 서브-상태의 제1 듀티 사이클 및 상기 제2 서브-상태의 제2 듀티 사이클을 상기 HF RF 생성기에 제공하는 단계;

상기 제1 듀티 사이클 동안 인가될 상기 HF RF 신호의 제1 전력 레벨을 제공하는 단계;

상기 제2 듀티 사이클 동안 인가될 상기 HF RF 신호의 제2 전력 레벨을 제공하는 단계 - 상기 제1 전력 레벨은 상기 제2 전력 레벨과 동일함 - 를 포함하는,

방법.

청구항 4

제1항에 있어서,

상기 복수의 서브-상태 각각에 대해, 홀드-오프 기간(hold-off period) 및 애퍼처 윈도우(aperture window)에 액세스하는 단계; 및

상기 애퍼처 윈도우 동안 상기 HF RF 신호의 주파수를 조정(tuning)하는 단계를 더 포함하는,

방법.

청구항 5

제4항에 있어서, 상기 홀드-오프 기간 동안 상기 HF RF 신호의 주파수의 조정을 회피하는 단계를 더 포함하는,

방법.

청구항 6

제1항에 있어서, 상기 제1 기준 고주파수 값은 상기 제2 기준 고주파수 값과 상이한,

방법.

청구항 7

제1항에 있어서, 상기 제1 서브-상태는 상기 전이 상태 및 정상 상태의 제1 부분을 포함하고, 상기 제2 서브-상태는 상기 정상 상태의 제2 부분을 포함하는,

방법.

청구항 8

전이 상태 후에 고주파수(HF) 무선 주파수(RF) 생성기와 연관된 반사되는 전력을 감소시키기 위한 제어기로서,

프로세서; 및

상기 프로세서에 커플링된 메모리 디바이스를 포함하고,

상기 프로세서는:

HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 상기 HF RF 생성기를 제어하고 - 상기 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함함 - ;

상기 제1 서브-상태 동안 제1 기준 고주파수 값 및 상기 제2 서브-상태 동안 제2 기준 고주파수 값을 적용하도록 상기 HF RF 생성기를 제어하고;

상기 제1 서브-상태 동안 상기 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용하고; 그리고

상기 제2 서브-상태 동안 상기 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용하도록 구성되는,

제어기.

청구항 9

제8항에 있어서, 상기 상태는 상기 전이 상태 및 정상 상태를 포함하고, 상기 정상 상태 동안, 상기 HF RF 신호는 미리 결정된 범위 내의 전력 레벨을 갖고, 상기 전이 상태 동안, 상기 HF RF 신호는 상기 미리 결정된 범위 밖의 전력 레벨을 갖는,

제어기.

청구항 10

제8항에 있어서, 상기 상태를 상기 복수의 서브-상태로 분할하도록 상기 HF RF 생성기를 제어하기 위해, 상기 프로세서는:

상기 제1 서브-상태의 제1 듀티 사이클 및 상기 제2 서브-상태의 제2 듀티 사이클을 상기 HF RF 생성기에 제공하고;

상기 제1 듀티 사이클 동안 인가될 상기 HF RF 신호의 제1 전력 레벨을 제공하고;

상기 제2 듀티 사이클 동안 인가될 상기 HF RF 신호의 제2 전력 레벨을 제공하도록 구성되고, 상기 제1 전력 레벨은 상기 제2 전력 레벨과 동일한,

제어기.

청구항 11

제8항에 있어서, 상기 프로세서는:

상기 복수의 서브-상태 각각에 대해, 홀드-오프 기간 및 애퍼처 윈도우에 액세스하고; 그리고

상기 애퍼처 윈도우 동안 상기 HF RF 신호의 주파수를 조정하도록 구성되는,

제어기.

청구항 12

제11항에 있어서, 상기 프로세서는 상기 홀드-오프 기간 동안 상기 HF RF 신호의 주파수의 조정을 회피하도록 구성되는,

제어기.

청구항 13

제8항에 있어서, 상기 제1 기준 고주파수 값은 상기 제2 기준 고주파수 값과 상이한,

제어기.

청구항 14

제8항에 있어서, 상기 제1 서브-상태는 상기 전이 상태 및 정상 상태의 제1 부분을 포함하고, 상기 제2 서브-상태는 상기 정상 상태의 제2 부분을 포함하는,

제어기.

청구항 15

전이 상태 후에 고주파수(HF) 무선 주파수(RF) 생성기와 연관된 반사되는 전력을 감소시키기 위한 시스템으로서,

저주파수(low frequency, LF) RF 신호를 생성하도록 구성된 LF RF 생성기;

HF RF 신호를 생성하도록 구성된 HF RF 생성기;

상기 LF RF 생성기 및 상기 HF RF 생성기에 커플링된 매치부; 및

상기 LF RF 생성기 및 상기 HF RF 생성기에 커플링된 제어기를 포함하고, 상기 제어기는:

상기 HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 상기 HF RF 생성기를 제어하고 — 상기 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함함 — ;

상기 제1 서브-상태 동안 제1 기준 고주파수 값 및 상기 제2 서브-상태 동안 제2 기준 고주파수 값을 적용하도록 상기 HF RF 생성기를 제어하고;

상기 제1 서브-상태 동안 상기 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용하고; 그리고

상기 제2 서브-상태 동안 상기 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용하도록 구성되는,

시스템.

청구항 16

제15항에 있어서, 상기 상태는 상기 전이 상태 및 정상 상태를 포함하고, 상기 정상 상태 동안, 상기 HF RF 신호는 미리 결정된 범위 내의 전력 레벨을 갖고, 상기 전이 상태 동안, 상기 HF RF 신호는 상기 미리 결정된 범위 밖의 전력 레벨을 갖는,

시스템.

청구항 17

제15항에 있어서, 상기 상태를 상기 복수의 서브-상태로 분할하도록 상기 HF RF 생성기를 제어하기 위해, 상기 제어기는:

상기 제1 서브-상태의 제1 듀티 사이클 및 상기 제2 서브-상태의 제2 듀티 사이클을 상기 HF RF 생성기에 제공하고;

상기 제1 듀티 사이클 동안 인가될 상기 HF RF 신호의 제1 전력 레벨을 제공하고;

상기 제2 듀티 사이클 동안 인가될 상기 HF RF 신호의 제2 전력 레벨을 제공하도록 구성되고, 상기 제1 전력 레벨은 상기 제2 전력 레벨과 동일한,

시스템.

청구항 18

제15항에 있어서, 상기 제어기는:

상기 복수의 서브-상태 각각에 대해, 홀드-오프 기간 및 애퍼처 윈도우에 액세스하고; 그리고

상기 애퍼처 윈도우 동안 고 RF 신호의 주파수를 조정하도록 구성되는,

시스템.

청구항 19

제18항에 있어서, 상기 제어기는 상기 홀드-오프 기간 동안 상기 고 RF 신호의 주파수의 조정을 회피하도록 구성되는,

시스템.

청구항 20

제15항에 있어서, 상기 제1 기준 고주파수 값은 상기 제2 기준 고주파수 값과 상이한,

시스템.

발명의 설명

기 술 분 야

[0001] 본 개시에 설명된 실시예는 상태 전이 후에 반사되는 전력을 감소시키기 위한 시스템 및 방법에 관한 것이다.

배 경 기 술

[0002] 본원에서 제공되는 배경기술 설명은 본 개시의 맥락을 일반적으로 나타내는 목적을 위한 것이다. 이 배경기술 섹션에서 설명되는 것인, 현재 명명된 발명자의 성과물(work)뿐만 아니라, 출원 시점에 종래 기술로서 달리 자격이 되지 않을 수 있는 설명의 양태는, 본 개시에 대한 종래 기술로서 명시적으로든 또는 암시적으로든 인정되는 것은 아니다.

[0003] 플라즈마 도구는 무선 주파수(RF) 생성기, 매치부(match), 및 플라즈마 반응기(plasma reactor)를 포함한다. RF 생성기는 매치부를 통해 플라즈마 반응기에 커플링된다. 반도체 웨이퍼가 프로세싱을 위해 플라즈마 반응기 내에 배치된다. RF 생성기는 RF 신호를 생성하고, 이는 매치부를 통해 플라즈마 반응기에 공급된다. RF 신호 외에도, 반도체 웨이퍼를 프로세싱하기 위해 플라즈마 반응기에 프로세스 가스가 제공된다. 그러나, 전력은 플라즈마 반응기로부터 HF RF 생성기를 향해 반사된다. 이것은 반도체 웨이퍼의 프로세싱에서 효율성을 감소시킨다.

[0004] 이러한 맥락에서, 본 개시에 설명되는 실시예가 발생한다.

발명의 내용

[0005] 본 개시의 실시예는 상태 전이 후에 반사되는 전력을 감소시키기 위한 시스템 및 방법에 관한 것이다. 본 실시예는 다수의 방식들로, 예를 들어, 프로세스, 장치, 시스템, 하드웨어 조각, 또는 컴퓨터-판독 가능 매체 상의 방법으로 구현될 수 있다는 것이 인식되어야 한다. 몇몇의 실시예가 아래에서 설명된다.

[0006] 일 실시예에서, 전이 상태 후에 고주파수(HF) 무선 주파수(RF) 생성기와 연관된 반사되는 전력을 감소시키기 위한 방법이 설명된다. 방법은 HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 HF 생성기를 제어하는 단계를 포함한다. 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함한다. 방법은 제1 서브-상태 동안 제1 기준 고주파수 값 및 제2 서브-상태 동안 제2 기준 고주파수 값을 적용하도록 HF RF 생성기를 제어하는 단계를 더 포함한다. 방법은 제1 서브-상태 동안 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용하는 단

계, 및 제2 서브-상태 동안 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용하는 단계를 포함한다.

[0007] 실시예에서, 전이 상태 후에 HF RF 생성기와 연관된 반사되는 전력을 감소시키기 위한 제어기가 설명된다. 제어기는 HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 HF RF 생성기를 제어하는 프로세서를 포함한다. 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함한다. 프로세서는 또한, 제1 서브-상태 동안 제1 기준 고주파 값을 적용하고 제2 서브-상태 동안 제2 기준 고주파 값을 적용하도록 HF RF 생성기를 제어한다. 프로세서는 제1 서브-상태 동안 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용한다. 프로세서는 제2 서브-상태 동안 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용한다. 제어기는 프로세서에 커플링된 메모리 디바이스를 포함한다.

[0008] 일 실시예에서, 전이 상태 후에 HF RF 생성기와 연관된 반사되는 전력을 감소시키기 위한 시스템이 설명된다. 시스템은 저주파수(low frequency, LF) RF 신호를 생성하는 저주파수(LF) RF 생성기를 포함한다. HF RF 생성기는 HF RF 신호를 생성한다. 시스템은 LF RF 생성기 및 HF RF 생성기에 커플링된 매치부를 포함한다. 시스템은 LF RF 생성기 및 HF RF 생성기에 커플링된 제어기를 포함한다. 제어기는 HF RF 신호의 상태를 복수의 서브-상태로 분할하도록 HF RF 생성기를 제어한다. 복수의 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함한다. 제어기는 제1 서브-상태 동안 제1 기준 고주파수 값을 적용하고 제2 서브-상태 동안 제2 기준 고주파수 값을 적용하도록 HF RF 생성기를 제어한다. 제어기는 제1 서브-상태 동안 제1 기준 고주파수 값으로부터의 제1 세트의 HF 오프셋 값을 적용한다. 제어기는 제2 서브-상태 동안 제2 기준 고주파수 값으로부터의 제2 세트의 HF 오프셋 값을 적용한다.

[0009] 본 명세서에 설명된 시스템 및 방법의 일부 이점은 상태 전이 후에 반사되는 전력을 감소시키는 것을 포함한다. 상태 전이는 플라즈마 임피던스에서 교란을 생성한다. 교란의 결과로서, 상태 전이 직후에 더 많은 양의 전력이 HF RF 생성기를 향해 반사된다. 더 많은 양의 반사되는 전력은 때때로 본 명세서에서 전력 글리치(power glitch)로 지칭된다. 반사된 전력량을 정확하고 상세한 방식으로 감소시키기 위해, 상태 전이 직후의 상태는 미리 결정된 수의 서브-상태로 분할된다. 분할은 상태의 기간에 걸쳐 발생하는 임피던스 변화를 고려한다. 각각의 서브-상태에 대해, 기준 고주파수 값 및 다수의 HF 오프셋은, 상태 전이 후에 HF RF 생성기를 향해 반사되는 전력을 감소시키도록 결정된다. 상태를 미리 결정된 수의 상태로 분할하고 기준 고주파수 값 및 HF 오프셋을 각각의 서브-상태에 개별적으로 적용함으로써, HF RF 생성기를 향해 반사되는 전력은 정확한 방식으로 감소된다. 예를 들어, 서브-상태는 제1 서브-상태 및 제2 서브-상태를 포함한다. 예에서, 제2 서브-상태에 대한 기준 고주파수 값을 결정함으로써, HF RF 생성기를 향해 반사된 전력이 더 정확한 방식으로 고려된다.

[0010] 일부 다른 양상은 첨부된 도면들과 함께 취해진 다음의 상세한 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0011] 실시예는 첨부 도면과 함께 취해진 다음의 설명을 참조함으로써 이해된다.

도 1은 저주파수(LF) 무선 주파수(RF) 생성기 및 고주파수(HF) RF 생성기의 사용을 예시하기 위한 플라즈마 시스템의 실시예의 도면이다.

도 2의 (a)는 클록 신호를 예시하기 위한 그래프이다.

도 2의 (b)는 LF RF 및 HF RF 생성기에 의해 생성된 RF 신호들의 다중-상태 펄싱을 예시하기 위한 그래프이다.

도 2의 (c)는 상태 전이 후에 전력 글리치를 감소시키기 위한 방법을 예시하기 위한 그래프이다.

도 3은 전압(V) 센서에 의해 생성되는 전압 신호를 예시하기 위한 그래프이다.

도 4는 전력 글리치를 감소시키는 방법의 실시예를 예시하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0012] 다음의 실시예는, 상태 전이 후에 고주파수(HF) 무선 주파수(RF) 반사된 전력을 감소시키기 위한 시스템 및 방법을 상세하고 정확한 방식으로 설명한다. 이들 구체적인 세부사항 중 일부 또는 전부 없이도 본 실시예가 실현될 수 있음은 명백할 것이다. 다른 경우에서, 잘 알려진 프로세스 동작은 본 실시예를 불필요하게 모호하게 하지 않기 위해서 상세히 설명되지 않았다.

[0013] 도 1은 저주파수(LF) RF 생성기(102) 및 HF RF 생성기(104)의 사용을 예시하기 위한 플라즈마 시스템(100)의 실

시예의 도면이다. 시스템(100)은 LF RF 생성기(102), HF RF 생성기(104), 호스트 컴퓨터(106), 매치부(107), 및 플라즈마 챔버(108)를 포함한다. 플라즈마 시스템(100)은 전압(V) 센서(110) 및 전력(P) 센서(112)를 더 포함한다.

[0014] 예로서, LF RF 생성기(102)는 400 킬로헤르츠(kHz), 또는 2 메가헤르츠(MHz)의 동작 주파수를 갖는다. 또한, 예로서, HF RF 생성기(104)는 27 MHz 또는 60 MHz의 동작 주파수를 갖는다. 호스트 컴퓨터(106)의 예는 데스크톱, 랩톱, 태블릿, 제어기, 및 스마트폰을 포함한다. 매치부(107)의 예는 임피던스 매칭 회로 또는 임피던스 매치부 또는 매치 회로 또는 임피던스 매칭 네트워크이다. 예시하기 위해, 매치부(107)는 제1 브랜치 회로 및 제2 브랜치 회로를 포함한다. 각각의 브랜치 회로는 하나 이상의 매치 네트워크 요소를 포함한다. 매치 네트워크 요소의 예는 커패시터, 인덕터, 및 저항기를 포함한다. 플라즈마 챔버(108)의 예는 용량성으로 커플링된 플라즈마(CCP) 챔버이다.

[0015] 호스트 컴퓨터(106)는 프로세서(114) 및 메모리 디바이스(116)를 포함한다. 프로세서(114)의 예로는 CPU(central processing unit), ASIC(application specific integrated circuit), PLD(programmable logic device)를 포함한다. 메모리 디바이스(116)의 예는 판독 전용 메모리 및 랜덤 액세스 메모리를 포함한다.

[0016] 플라즈마 챔버(108)는 하부 전극(LE) 및 상부 전극(UE)을 포함한다. 갭이 하부 전극(LE)과 상부 전극(UE) 사이에 갭이 형성되고, 기판(S)이 프로세싱을 위해 하부 전극(LE)의 최상부 표면 상의 갭 내에 배치된다. 기판(S)의 예는 집적 회로가 제조되는 반도체 웨이퍼를 포함한다.

[0017] 프로세서(114)는 메모리 디바이스(116)에 커플링된다. 프로세서(114)는 전송 케이블(118)을 통해 LF RF 생성기(102)에 그리고 전송 케이블(120)을 통해 HF RF 생성기(104)에 커플링된다. 전송 케이블의 예는 병렬 방식으로 또는 직렬 방식으로 또는 USB(Universal Serial Bus) 프로토콜을 이용하여 데이터를 전송하는 전기 케이블을 포함한다. LF RF 생성기(102)는 RF 케이블(124)을 통해 매치부(107)의 입력(126)에 커플링되는 출력(122)을 갖는다. 유사하게, HF RF 생성기(104)는 RF 케이블(130)을 통해 매치부(107)의 입력(132)에 커플링되는 출력(128)을 갖는다. 매치부(107)는 RF 송신 라인(136)을 통해 하부 전극(LE)에 커플링되는 출력(134)을 갖는다. 매치부(107)의 제1 브랜치 회로는 입력(126)과 출력(134) 사이에 커플링되고, 매치부(107)의 제2 브랜치 회로는 입력(132)과 출력(134) 사이에 커플링된다. 상부 전극(UE)은 접지 전위에 커플링된다.

[0018] V 센서(110)는 전송 케이블(138)을 통해 프로세서(114)에 커플링되고, P 센서(112)는 전송 케이블(140)을 통해 프로세서(114)에 커플링된다. V 센서(110)는 매치부(134)의 출력(134)에 커플링된다. 또한, P 센서(112)는 HF RF 생성기(104)의 출력(128)에 커플링된다.

[0019] 프로세서(114)는, LF RF 생성기(102)에 의해 생성될 RF 신호(150)의 저주파수 및 하나 이상의 전력 레벨을 포함하는 레시피 신호(142)를 생성한다. 예로서, 저주파수는 LF RF 생성기(102)의 동작 주파수와 동일하다. 프로세서(114)는 전송 케이블(118)을 통해 레시피 신호(142)를 LF RF 생성기(102)에 전송한다. 또한, 프로세서(114)는 HF RF 생성기(104)에 의해 생성될 RF 신호(152)의 고주파수 및 하나 이상의 전력 레벨을 포함하는 레시피 신호(144)를 생성한다. 예로서, 고주파수는 HF RF 생성기(104)의 동작 주파수와 동일하다. 프로세서(114)는 전송 케이블(120)을 통해 레시피 신호(144)를 HF RF 생성기(104)에 전송한다.

[0020] 레시피 신호(142)를 수신할 때, LF RF 생성기(102)는, 레시피 신호(142) 내에 표시된 하나 이상의 전력 레벨 및 저주파수를 갖는 RF 신호(150)를 생성한다. LF RF 생성기(102)는 출력(122), RF 케이블(124), 및 입력(126)을 통해 RF 신호(150)를 매치부(107)에 전송한다. 유사하게, 레시피 신호(144)를 수신할 때, HF RF 생성기(104)는 레시피 신호(144) 내에 표시된 하나 이상의 전력 레벨 및 고주파수를 갖는 RF 신호(152)를 생성한다. HF RF 생성기(104)는 출력(128), RF 케이블(130), 및 입력(132)을 통해 RF 신호(152)를 매치부(107)에 전송한다.

[0021] RF 신호(150)를 수신할 때, 매치부(107)의 제1 브랜치 회로는, 제1 수정된 RF 신호를 제공하기 위해 RF 신호(150)의 임피던스를 수정하기 위해 출력(134)에 커플링된 부하의 임피던스를 입력(126)에 커플링된 소스의 임피던스와 매칭시킨다. 출력(134)에 커플링된 부하의 예는 RF 송신 라인(136) 및 플라즈마 챔버(108)를 포함한다. 입력(126)에 커플링된 소스의 예는 RF 케이블(124) 및 LF RF 생성기(102)를 포함한다. 유사하게, RF 신호(152)를 수신할 때, 매치부(107)의 제2 브랜치 회로는, 제2 수정된 RF 신호를 제공하기 위해 RF 신호(152)의 임피던스를 수정하기 위해 매치부(107)의 출력(134)에 커플링된 부하의 임피던스를 매치부(107)의 입력(132)에 커플링된 소스의 임피던스와 매칭시킨다.

[0022] 매치부(107)는 제1 및 제2 수정된 RF 신호를 결합, 이를테면, 합하여, 출력(134)에서 수정된 RF 신호(154)를 출력한다. 수정된 RF 신호(154)는 출력(134)으로부터 RF 송신 라인(136)을 통해 하부 전극(LE)으로 전송된다. 불

소 함유 가스, 산소 함유 가스, 질소 함유 가스 등과 같은 하나 이상의 프로세스 가스가 하부 전극(LE)과 상부 전극(UE) 사이의 갭에 공급될 때, 수정된 RF 신호(154) 외에도, 플라즈마가 갭 내에서 타격되거나 유지된다. 플라즈마는 기판(S)을 프로세싱한다. 기판(S)을 프로세싱하는 예는 기판(S) 내의 피처를 에칭하는 것, 기판(S) 상에 재료를 증착하는 것, 및 기판(S)을 세정하는 것을 포함한다.

[0023] 기판(S)이 프로세싱되고 있는 동안, V 센서(110)는 출력(134)에서 전압을 측정하여 전압 신호(156)를 출력하고, 전압 신호(156)를 전송 케이블(138)을 통해 프로세서(114)에 전송한다. 유사하게, 기판(S)이 프로세싱되고 있는 동안, P 센서(112)는 출력(134)에서 전달된 전력 또는 반사된 전력과 같은 전력을 측정하여 전력 신호(158)를 출력하고, 전력 신호(158)를 전송 케이블(140)을 통해 프로세서(114)에 전송한다.

[0024] 실시예에서, V 센서(110)는 RF 송신 라인(136) 상의 임의의 지점에서 커플링된다.

[0025] 일 실시예에서, P 센서(112)는 RF 케이블(130) 상의 임의의 지점에서 커플링된다.

[0026] 도 2의 (a)는 클록 신호(202)를 예시하기 위한 그래프(200)의 실시예이다. 예로서, 클록 신호(202)는 프로세서(114)(도 1)에 의해 생성된다. 그래프(200)의 x-축은 시간 t0으로부터 시간 t36까지의 시간 t를 플롯팅한다. 그래프(200)의 y-축은 클록 신호(202)의 전압을 플롯팅한다. 클록 신호(202)는 논리 레벨 1과 논리 레벨 0 사이에서 주기적으로 전이한다. 논리 레벨 1은 V5 볼트를 나타내고, 논리 레벨 0은 V0 볼트를 나타낸다. 값 V5은 값 V0보다 크다.

[0027] 클록 신호(202)는 시간 t0에서 논리 레벨 0으로부터 논리 레벨 1로 전이하고, 시간 t0으로부터 시간 t17까지 논리 레벨 1로 유지된다. 시간 t17에서, 클록 신호(202)는 논리 레벨 1로부터 논리 레벨 0으로 전이하고, 시간 t17으로부터 시간 t34까지 논리 레벨 0으로 유지된다. 논리 레벨 1과 0 사이의 전이는 시간 t34로부터 시간 t78까지 반복된다. 클록 신호(202)는 시간 t0으로부터 시간 t34까지의 사이클 n 및 시간 t34로부터 시간 t78까지의 연속적인 후속 사이클(n+1)을 가지며, 여기서 n은 양의 정수이다

[0028] 프로세서(114)는 클록 신호(202)를 전송 케이블(118)을 통해 LF RF 생성기(102)에 그리고 전송 케이블(120)을 통해 HF RF 생성기(104)에 전송하여 클록 신호(202)와 동기화하여 생성기(102 및 104)를 동작시킨다. 예를 들어, 클록 신호(202)를 수신한 후, LF RF 생성기(102)는 사이클 n 동안 RF 신호(150)의 한 세트의 상태를 생성하고 사이클 (n+1) 동안 한 세트의 상태를 반복한다. 유사하게, HF RF 생성기(104)는 사이클 n 동안 RF 신호(152)의 한 세트의 상태를 생성하고 사이클 (n+1) 동안 한 세트의 상태를 반복한다.

[0029] 도 2의 (b)는 RF 신호(150 및 152)(도 1) 각각의 다중-상태 펄싱을 예시하기 위한 그래프(210)의 실시예이다. 그래프(210)는 RF 신호(150)의 전력 레벨 대 시간 t를 갖는 엔벨로프(212) 및 RF 신호(152)의 전력 레벨 대 시간 t를 갖는 엔벨로프(214)를 플롯팅한다. RF 신호(150 및 152)의 전력 레벨은 y-축 상에 플롯팅되고, 시간 t는 x-축 상에 플롯팅된다. 그래프(210)의 x-축은 그래프(200)(도 2의 (a))의 x-축과 동일하다. 그래프(210)의 y-축은 P0 내지 P12 범위의 전력 레벨을 갖는다. 그래프(120)의 y-축 상에 플롯팅된 전력 레벨은 P0으로부터 P12로 증가한다. 예로서, 전력 레벨 P0은 0이다. RF 신호의 엔벨로프의 예는 RF 신호의 피크-투-피크 진폭 및 RF 신호의 제로-투-피크 진폭을 포함한다.

[0030] 사이클 n 동안, 엔벨로프(212)는 시간 t0으로부터 시간 t4까지의 전력 레벨 P12를 갖고, 시간 t4에서 전력 레벨 P12로부터 전력 레벨 P0으로 전이한다. 또한, 사이클 n 동안, 엔벨로프(212)는 시간 t6에서 전력 레벨 P0을 달성하고, 시간 t6로부터 시간 t22까지 전력 레벨 P0에서 유지된다. 사이클 n 동안, 엔벨로프(212)는 시간 t22에서 전력 레벨 P0로부터 전력 레벨 P5로 전이하고, 시간 t23에서 전력 레벨 P5를 달성한다. 또한, 사이클 n 동안, 엔벨로프(212)는 시간 t23으로부터 시간 t27까지 전력 레벨 P5에서 유지되고, 시간 t27에서 전력 레벨 P5로부터 전력 레벨 P8로 전이한다. 사이클 n 동안, 엔벨로프(212)는 시간 t28에서 전력 레벨 P8을 달성하고, 시간 t28로부터 시간 t33까지 전력 레벨 P8에서 유지된다. 또한, 사이클 n 동안, 엔벨로프(212)는 시간 t33에서 전력 레벨 P8로부터 전력 레벨 P12로 전이하고, 시간 t34에서 전력 레벨 P12를 달성한다. 이러한 방식으로, 클록 신호(202)(도 2의 (a))의 각각의 사이클 동안, 엔벨로프(212)의 전력 레벨 P12, P0, P5, 및 P8이 반복된다.

[0031] 유사하게, 사이클 n 동안, 엔벨로프(214)는 시간 t0으로부터 시간 t4까지의 전력 레벨 P4를 갖고, 시간 t4에서 전력 레벨 P4로부터 전력 레벨 P0으로 전이한다. 또한, 사이클 n 동안, 엔벨로프(214)는 시간 t6에서 전력 레벨 P0을 달성하고, 시간 t6로부터 시간 t22까지 전력 레벨 P0에서 유지된다. 사이클 n 동안, 엔벨로프(214)는 시간 t22에서 전력 레벨 P0로부터 전력 레벨 P2로 전이하고, 시간 t23에서 전력 레벨 P2를 달성한다. 또한, 사이클 n 동안, 엔벨로프(214)는 시간 t23으로부터 시간 t27까지 전력 레벨 P2에서 유지되고, 시간 t27에서 전력 레벨 P2로부터 전력 레벨 P1로 전이한다. 사이클 n 동안, 엔벨로프(214)는 시간 t28에서 전력 레벨 P1을 달성하고, 시

간 t28로부터 시간 t33까지 전력 레벨 P1에서 유지된다. 또한, 사이클 n 동안, 엔벨로프(214)는 시간 t33에서 전력 레벨 P1로부터 전력 레벨 P4로 전이하고, 시간 t34에서 전력 레벨 P4를 달성한다. 이러한 방식으로, 클록 신호(202)(도 2의 (a))의 각각의 사이클 동안, 엔벨로프(214)의 전력 레벨 P4, P0, P2, 및 P1이 반복된다.

[0032] RF 신호의 각각의 전력 레벨은 RF 신호의 정상 상태이다. 예를 들어, 전력 레벨 P12는 RF 신호(150)의 정상 상태(S1x)이고, 전력 레벨 P0은 RF 신호(150)의 정상 상태(S2x)이고, 전력 레벨 P5는 RF 신호(150)의 정상 상태(S3x)이고, 전력 레벨 P8은 RF 신호(150)의 정상 상태(S4x)이다. 유사하게, 다른 예로서, 전력 레벨 P4는 RF 신호(152)의 정상 상태(S1y)이고, 전력 레벨 P0은 RF 신호(152)의 정상 상태(S2y)이고, 전력 레벨 P2는 RF 신호(152)의 정상 상태(S3y)이고, 전력 레벨 P1은 RF 신호(152)의 정상 상태(S4y)이다.

[0033] 정상 상태(S2x)로부터 정상 상태(S3x)로의 전이는 HF RF 생성기(104)(도 1)와 연관된 전달되는 전력에서 전력 글리치를 생성한다. 예컨대, 정상 상태(S2x)로부터 정상 상태(S3x)로의 전이에 의해 생성된 고주파수 반사된 전력의 증가가 있다. 고주파수 반사된 전력은 플라즈마 챔버(108)로부터 RF 송신 라인(136), 매치부(107), 및 RF 케이블(130)을 통해 HF RF 생성기(104)를 향해 반사된 전력이다. HF RF 생성기(104)의 전달된 전력은 HF RF 생성기(104)의 공급된 전력과 고주파수 반사된 전력 사이의 차이이다. HF RF 생성기(104)의 공급된 전력은 RF 신호(152)의 전력이고, 전력은 RF 케이블(130), 매치부(107), 및 RF 송신 라인(136)을 통해 HF RF 생성기(104)로부터 플라즈마 챔버(108)에 공급된다.

[0034] 정상 상태(S2y)로부터 정상 상태(S3y)로의 전이는 본 명세서에서 전이 상태(S23y) 또는 상태 전이로 지칭된다. 예로서, 전이 상태 동안, RF 신호의 엔벨로프의 전력 값은 정상 상태 동안 RF 신호의 엔벨로프의 전력 값의 변화에 비해 더 빈번하게 변한다. 다른 예로서, 정상 상태 동안, RF 신호의 전력 레벨의 기울기는 실질적으로 0 또는 0이다. 또 다른 예로서, 정상 상태 동안 RF 신호의 엔벨로프의 전력 값은 미리 결정된 범위 내에 있고, 전이 상태 동안 RF 신호의 엔벨로프의 전력 값은 미리 결정된 범위 밖에 있다. 다른 예로서, 정상 상태(S2y)의 전력 값은 제1 미리 결정된 범위 내에 있고, 정상 상태(S3y)의 전력 값은 제2 미리 결정된 범위 내에 있고, 전이 상태(S23y)의 전력 값은 제1 및 제2 미리 결정된 범위 밖에 있다. 예시를 위해, 전이 상태(S23y)의 전력 값은 정상 상태(S2y)의 전력 값보다 크고, 정상 상태(S3y)의 전력 값보다 작다.

[0035] 도 2의 (c)는 전력 글리치를 감소시키기 위한 방법을 예시하기 위한 그래프(220)의 실시예이다. 그래프(220)는 엔벨로프(214) 대 시간 t를 포함한다. 그래프(220)는 RF 신호(152)의 엔벨로프(214)의 전력 레벨을 y-축 상에 그리고 시간 t를 x-축 상에 플롯팅한다. 프로세서(114)는 전이 상태(S23y)를 제1 미리 결정된 범위 또는 제2 미리 결정된 범위와 같은 미리 결정된 범위 밖의 값을 갖는 것으로 식별하고, 또한 정상 상태(S3y)를 전이 상태(S23y) 직후의 상태이고 미리 결정된 범위 내의 값을 갖는 것으로 추가로 식별한다.

[0036] 프로세서(114)는 정상 상태(S3y) 및 전이 상태(S23y)를, 서브-상태(S3ay) 및 서브-상태(S3by)와 같은 미리 결정된 수의 서브-상태로 분할하도록 HF RF 생성기(104)를 제어한다. 예를 들어, 프로세서(114)는 서브-상태(S3ay)의 제1 전력 레벨, 서브-상태(S3by)의 제2 전력 레벨과 같은 2개의 서브-상태(S3ay 및 S3by), 서브-상태(S3ay)의 발생의 제1 듀티 사이클, 및 서브-상태(S3by)의 발생의 제2 듀티 사이클에 관한 정보를 포함하는 레시피 신호(144)(도 1)를 생성한다. 또한, 예에서, 2개의 서브-상태(S3ay 및 S3by)에 관한 정보는 서브-상태(S3ay)에 대한 제1 기준 고주파수 값(HF0) 및 서브-상태(S3by)에 대한 제2 기준 고주파수 값(HF0'), 제1 기준 고주파수 값에 적용될 서브-상태(S3ay)에 대한 제1 세트의 HF 오프셋 값, 및 제2 기준 고주파수 값에 적용될 서브-상태(S3by)에 대한 제2 세트의 HF 오프셋 값을 포함한다. 예시를 위해, 값(HF0)은 값(HF0')과 상이하고, 이를테면, 더 크거나 더 작다. 다른 예시로서, 값(HF0)은 값(HF0')과 동일하다. 예에서, 2개의 서브-상태(S3ay 및 S3by)에 관한 정보는 제1 기준 고주파수 값(HF0) 및 제1 세트의 HF 오프셋 값이 HF RF 생성기(104)에 의해 적용될 제1 듀티 사이클을 포함한다. 또한, 예에서, 2개의 서브-상태(S3ay 및 S3by)에 관한 정보는 제2 기준 고주파수 값(HF0') 및 제2 세트의 HF 오프셋 값이 HF RF 생성기(104)에 의해 적용될 제2 듀티 사이클을 포함한다. 예에서, 제1 듀티 사이클은 서브-상태(S3ay)의 발생에 대한 시간 기간이고, 제2 듀티 사이클은 서브-상태(S3by)의 발생에 대한 시간 기간이다. 또한, 예에서, 서브-상태(S3ay)의 제1 전력 레벨은 서브-상태(S3by)의 제2 전력 레벨과 동일하다.

[0037] 또한, 예에서, 프로세서(114)는 메모리 디바이스(116)로부터의 제1 듀티 사이클, 제2 듀티 사이클, 제1 전력 레벨, 제2 전력 레벨, 제1 기준 고주파수 값(HF0) 및 제1 세트의 HF 오프셋 값, 및 제2 기준 고주파수 값(HF0') 및 제2 세트의 HF 오프셋 값을 액세스, 이를테면, 판독한다. 예에서, 제1 기준 고주파수 값과 제1 세트의 HF 오프셋 값 사이의 일대일 관계와 같은 대응이 메모리 디바이스(116)에 저장된다. 또한, 예에서, 제2 기준 고주파수 값과 제2 세트의 HF 오프셋 값 사이의 일대일 관계와 같은 대응이 메모리 디바이스(116)에 저장된다.

[0038] 계속해서 이 예에서, 레시피 신호(144)를 수신하는 것에 응답하여, HF RF 생성기(104)는, 클록 신호(202)(도 2)의 각각의 사이클 n, (n+1) 등의 제1 듀티 사이클 동안, 제1 기준 고주파수 값(HF0) 및 제1 기준 고주파수 값(HF0)으로부터의 제1 세트의 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 또한, 예에서, 레시피 신호(144)를 수신하는 것에 응답하여, HF RF 생성기(104)는, 클록 신호(202)의 각각의 사이클 n, (n+1) 등의 제2 듀티 사이클 동안, 제2 기준 고주파수 값(HF0') 및 제2 기준 고주파수 값(HF0')으로부터의 제2 세트의 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예에서, 레시피 신호(144)를 수신하는 것에 응답하여, HF RF 생성기(104)는 서브-상태(S3ax 및 S3ay) 동안 동일한 전력 레벨을 갖는 RF 신호(152)를 생성한다.

[0039] 정상 상태(S3y) 및 전이 상태(S23y)의 결합은 때때로 본 명세서에서 상태로 지칭된다는 것에 유의해야 한다. 예를 들어, 상태는 정상 상태(S2y)로부터 정상 상태(S3y)로의 전이를 포함하고, 정상 상태(S3y)를 포함한다. 다른 예로서, 정상 상태(S2y)로부터 정상 상태(S3y)로의 전이가 수직 또는 실질적으로 수직일 때, 상태는 정상 상태(S3y) 및 전이 상태(S23y)를 포함한다.

[0040] 듀티 사이클의 예는 시간 기간 또는 시간 간격 또는 시간 윈도우이다. 예시를 위해, 제1 듀티 사이클은 100 마이크로초이고, 제2 듀티 사이클은 100 마이크로초이다. 다른 예시로서, 제1 듀티 사이클은 제2 듀티 사이클보다 작거나 더 크다. 추가로 예시하자면, 제1 듀티 사이클은 시간 t22로부터 시간 t24.5까지의 시간 간격이고, 제2 듀티 사이클은 시간 t24.5로부터 시간 t27까지의 시간 간격이다. 또한, 예로서, 미리 결정된 수의 서브-상태는, 프로세서(114)에 커플링된 입력 디바이스를 통해 사용자로부터 수신된다. 입력 디바이스의 예는 키보드, 스타일러스, 키패드 및 마우스를 포함한다. 또한, 예로서, 제1 및 제2 듀티 사이클은 입력 디바이스를 통해 사용자로부터 수신된다. 다른 예로서, 제1 및 제2 듀티 사이클은 HF RF 생성기(104)를 향해 반사된 전력을 감소시키기 위해 프로세서(114)에 의해 경험적으로 결정되고, 프로세서(114)에 의한 액세스를 위해 메모리 디바이스(116)에 저장된다.

[0041] 또한, 예로서, 제1 기준 고주파수 값(HF0) 및 제1 세트의 HF 오프셋 값이 경험적으로 결정된다. 예시하기 위해, 프로세서(114)는, 아래에서 추가로 설명되는 빈(bin) 0 동안 다수의 기준 고주파수 값에서 HF RF 생성기(104)를 동작시키고, 기준 고주파수 값 각각에 대해 P 센서(112)(도 1)로부터 고주파수 반사된 전력의 값을 획득한다. 예시에서, 프로세서(114)는 기준 고주파수 값 각각에 대한 고주파수 반사된 전력의 값으로부터 평균 값 또는 중간 값(median value)과 같은 통계 값을 계산한다. 예시에서, 프로세서(114)는 빈 0 동안의 기준 고주파수 값들 중 기준 고주파수 값(HF0)이 고주파수 반사된 전력의 모든 통계 값 중에서 고주파수 반사된 전력의 통계 값이 최소인 것으로 결정한다. 또한, 예시에서, 빈 0은 클록 신호(202)(도 2)의 사이클 (n-m) 동안 발생하고, 여기서 m은 n보다 작은 정수이다.

[0042] 다른 예시로서, 제1 세트의 HF 오프셋 값 중 임의의 것은, 제1 세트의 HF 오프셋 값 중 임의의 것이 사이클 (n-m)의 대응하는 빈에 대해 결정되는 것을 제외하고, 제1 기준 고주파수 값(HF0)과 동일한 방식으로 경험적으로 결정된다. 추가로 예시하기 위해, 프로세서(114)는, 아래에서 추가로 설명되는 빈 1 동안 다수의 HF 오프셋 값에서 HF RF 생성기(104)를 동작시키고, HF 오프셋 값 각각에 대해 P 센서(112)로부터의 고주파수 반사된 전력의 값을 획득한다. 또한, 추가의 예시에서, 빈 1은 클록 신호(202)의 사이클 (n-m) 동안 발생한다. 추가의 예시에서, HF 오프셋 값 각각은 기준 고주파수 값(HF0)과 연관된, 이를테면, 이로부터 감산되거나 이에 가산되는 오프셋이다. 추가의 예시에서, 프로세서(114)는 HF 오프셋 값 각각에 대한 고주파수 반사된 전력의 값으로부터 평균 값 또는 중간 값과 같은 통계 값을 계산한다. 추가의 예시에서, 프로세서(114)는 빈 1 동안의 HF 오프셋 값 중 HF 오프셋 값 중 하나가 고주파수 반사된 전력의 모든 통계 값 중 고주파수 반사된 전력의 통계 값이 최소인 것으로 결정한다. 추가의 예시에서, HF 오프셋 값 중 하나는 사이클들 n, (n+1) 등의 빈 1 동안 HF RF 생성기(104)를 제어하기 위해 프로세서(114)에 의한 액세스를 위한 제1 세트의 HF 오프셋 값 중 하나로서 메모리 디바이스(116)에 저장된다.

[0043] 또한, 추가의 예시에서, 제1 세트의 HF 오프셋 값은 전압 신호(156)와 역 관계 또는 실질적으로 역 관계를 갖도록 프로세서(114)에 의해 결정된다. 추가의 예시에서, 전압 신호(156)는 시간 t22와 시간 t24.5 사이의 시간 기간 동안 양의 값을 가지며, 빈 1 내지 5에 대한 HF 오프셋(HF(-2), HF(-3), HF(-4), HF(-3) 및 HF(-2))은 기준 고주파수 값(HF0)에 대해 음의 방향으로 오프셋된다. HF 오프셋(HF(-2), HF(-3), HF(-4) 및 HF(-2))은 기준 고주파수 값(HF0)으로부터 감산된다. 추가의 예시에서, 전압 신호(156)는 시간 t24.5와 시간 t27 사이의 시간 기간 동안 음의 값을 가지며, 빈 7 내지 12에 대한 HF 오프셋(HF(1), HF(2), HF(3), HF(4), HF(2), 및 HF(1))은 기준 고주파수 값(HF0)에 대해 양의 방향으로 오프셋된다. HF 오프셋(HF(1), HF(2), HF(3), HF(4))은 기준 고주파수 값(HF0)에 가산된다.

[0044] 또한, 예로서, 제2 기준 고주파수 값(HF0') 및 제2 세트의 HF 오프셋 값이 경험적으로 결정된다. 예시하기 위해, 프로세서(114)는, 아래에서 추가로 설명되는 빈 0' 동안 다수의 기준 고주파수 값에서 HF RF 생성기(104)를 동작시키고, 기준 고주파수 값 각각에 대해 P 센서(112)로부터 고주파수 반사된 전력의 값을 획득한다. 예시에서, 프로세서(114)는 기준 고주파수 값 각각에 대한 고주파수 반사된 전력의 값으로부터 평균 값 또는 중간 값(median value)과 같은 통계 값을 계산한다. 예시에서, 프로세서(114)는 빈 0' 동안의 기준 고주파수 값들 중 기준 고주파수 값(HF0)이 고주파수 반사된 전력의 모든 통계 값 중에서 고주파수 반사된 전력의 통계 값이 최소인 것으로 결정한다. 또한, 예시에서, 빈 0'은 클록 신호(202)의 사이클 (n-m) 동안 발생한다.

[0045] 다른 예시로서, 제2 세트의 HF 오프셋 값 중 임의의 것은, 제2 세트의 HF 오프셋 값 중 임의의 것이 사이클 (n-m)의 대응하는 빈에 대해 결정된다는 것을 제외하고 제2 기준 고주파수 값(HF0')과 동일한 방식으로 경험적으로 결정된다. 추가로 예시하기 위해, 프로세서(114)는, 아래에서 추가로 설명되는 빈 1' 동안 다수의 HF 오프셋 값에서 HF RF 생성기(104)를 동작시키고, HF 오프셋 값 각각에 대해 P 센서(112)로부터의 고주파수 반사된 전력의 값을 획득한다. 추가의 예시에서, 빈 1'은 클록 신호(202)의 사이클 (n-m) 동안 발생한다. 또한, 추가의 예시에서, HF 오프셋 값 각각은 기준 고주파수 값(HF0)으로부터의 감산 또는 이에 대한 가산과 같은 오프셋이다. 추가의 예시에서, 프로세서(114)는 HF 오프셋 값 각각에 대한 고주파수 반사된 전력의 값으로부터 평균 값 또는 중간 값과 같은 통계 값을 계산한다. 추가의 예시에서, 프로세서(114)는 빈 1' 동안의 HF 오프셋 값 중 HF 오프셋 값 중 하나가 고주파수 반사된 전력의 모든 통계 값 중 고주파수 반사된 전력의 통계 값이 최소인 것으로 결정한다. 추가의 예시에서, HF 오프셋 값 중 하나는 사이클들 n, (n+1) 등의 빈 1' 동안 HF RF 생성기(104)를 제어하기 위해 프로세서(114)에 의한 액세스를 위한 제2 세트의 HF 오프셋 값 중 하나로서 메모리 디바이스(116)에 저장된다.

[0046] 또한, 추가의 예시에서, 제2 세트의 HF 오프셋 값은 전압 신호(156)와 역 관계 또는 실질적으로 역 관계를 갖도록 프로세서(114)에 의해 결정된다. 추가의 예시에서, 빈 1' 내지 5'에 대한 HF 오프셋(HF(-1), HF(-2), HF(-3), HF(-2), 및 HF0)은 기준 고주파수 값(HF0')에 대해 음의 방향으로 오프셋된다. HF 오프셋(HF(-2), HF(-3), HF(-2) 및 HF0)은 기준 고주파수 값(HF0')으로부터 감산된다. 추가의 예시에서, 빈 7' 내지 12'에 대한 HF 오프셋(HF(2), HF(3), HF(4), HF(5), HF(4), 및 HF(1))은 기준 고주파수 값(HF0')에 대해 양의 방향으로 오프셋된다. HF 오프셋(HF(1), HF(2), HF(3), HF(4), 및 HF(5))은 기준 고주파수 값(HF0')에 가산된다.

[0047] 실시예에서, 2개의 서브-상태(S3ay 및 S3by)에 관한 정보는 각각의 서브-상태들에 대한 홀드-오프 기간을 포함한다. 예를 들어, 2개의 서브-상태에 관한 정보는 서브-상태(S3ay) 동안 홀드-오프 기간(252), 서브-상태(S3ay) 동안 애퍼처 윈도우(258), 서브-상태(S3by) 동안 홀드-오프 기간(254), 및 서브-상태(S3by) 동안 애퍼처 윈도우(260)를 포함한다. 예에서, 홀드-오프 기간(252 및 254), 및 애퍼처 윈도우(258 및 260)는 프로세서(114)에 의한 액세스를 위해 메모리 디바이스(116)에 저장된다. 또한, 예에서, 사용자는 홀드-오프 기간(252 및 254) 동안 HF RF 생성기(104)의 주파수를 조정하지 않고 애퍼처 윈도우(258 및 260) 동안 주파수를 조정하라는 커맨드를 프로세서(114)에 제공한다. 예시를 위해, 사용자는 입력 디바이스를 통해 프로세서(114)에 홀드-오프 기간(252)에 대한 시간 기간을 제공한다. 예시에서, 시간 기간을 수신할 때, 프로세서(114)는 홀드-오프 기간(252)을 식별하고, 제1 듀티 사이클의 시간 기간으로부터 홀드-오프 기간(252)에 대한 시간 기간을 감산함으로써 애퍼처 윈도우(258)에 대한 시간 기간을 계산한다. 또한, 예에서, 홀드-오프 기간 동안 어떠한 주파수 조정도 없다. 또한, 예에서, 전이 상태(S23y)가 발생하는 시간 t22과 시간 t23 사이의 시간 기간은 홀드-오프 기간(252)이다. 예에서, 주파수 조정이 적용되지 않는 시간 기간은 본 명세서에서 홀드-오프 기간으로 지칭되고, 주파수 조정이 적용되는 시간 기간은 본 명세서에서 애퍼처 윈도우로 지칭된다. 예시를 위해, 홀드-오프 기간은 RF 신호의 정상 상태의 2개의 애퍼처 윈도우 사이의 시간 기간이다. 추가로 예시하기 위해, 애퍼처 윈도우(258)와 애퍼처 윈도우(260) 사이의 시간 간격은 홀드-오프 기간(254)이다. 추가의 예시에서, 애퍼처 윈도우(258)는 서브-상태(S3ay)의 일부와 중첩하고, 애퍼처 윈도우(260)는 서브-상태(S3by)의 일부와 중첩한다. 추가의 예시에서, 홀드-오프 기간(252)이 바로 후속되는 애퍼처 윈도우(258)는 시간 t23과 시간 t24.5 사이의 시간 기간이다. 추가의 예시에서, 애퍼처 윈도우(258)는 시간 t24.5와 시간 t25.5 사이의 시간 기간인 홀드-오프 기간(254)이 바로 후속된다. 또한, 추가의 예시에서, 홀드-오프 기간(254)은 시간 t25.5와 시간 t27 사이의 시간 기간인 애퍼처 윈도우(260)에 바로 후속된다. 예로서, 주파수 조정은, 기판(S)의 프로세싱 동안 P 센서(112)에 의해 측정되는 전달된 전력을 증가시키거나 반사된 전력을 감소시키기 위해 RF 신호(152)의 주파수 값인 HF 오프셋 값의 수정이다.

[0048] 일 실시예에서, 애퍼처 윈도우(260)는 도 2의 (c)에 도시된 것보다 더 작거나 더 큰 시간 간격과 같은 상이한 시간 간격을 갖는다.

[0049] 유사하게, 실시예에서, 애퍼처 윈도우(258)는 도 2의 (c)에 도시된 것보다 더 작거나 더 큰 시간 간격과 같은 상이한 시간 간격을 갖는다.

[0050] 또한, 일 실시예에서, 홀드-오프 기간(252)은 도 2의 (c)에 도시된 것보다 더 작거나 더 큰 시간 간격과 같은 상이한 시간 간격을 갖는다.

[0051] 실시예에서, 홀드-오프 기간(254)은 도 2의 (c)에 도시된 것보다 더 작거나 더 큰 시간 간격과 같은 상이한 시간 간격을 갖는다.

[0052] 일 실시예에서, 미리 결정된 수의 서브-상태는 3개 또는 4개이다.

[0053] 도 3은 V 센서(110)(도 1)에 의해 생성되는 전압 신호(156)를 예시하기 위한 그래프(300)의 실시예의 도면이다. 그래프(300)는 전압 신호(156)의 전압 값 대 시간 t를 플롯팅한다. 전압 값은 -V6 내지 V0 및 V0 내지 V6의 범위이다. 전압 값(V0)의 예는 0이다. 전압 값(V0)의 다른 예는 음의 전압 값이다. 그래프(300)의 전압 값은 y-축 상에 플롯팅되고, 시간 t는 x-축 상에 플롯팅된다. 음의 크로싱(302)은 시간 t24.5에서 발생한다. 음의 크로싱(302)의 발생 동안, 전압 신호(156)는 음의 기울기를 가지며, 전압 값(V0)을 갖는다. 전압 신호(156)의 사이클은 시간 t22로부터 시간 t27까지의 시간 기간 동안 발생하고, 전압 신호(156)의 각각의 사이클은 그 후에 동일한 양의 시간 기간 동안 주기적으로 반복하도록 발생한다.

[0054] 도 4는 전력 글리치를 감소시키기 위한 방법을 예시하기 위한 그래프(400)이다. 그래프(400)는 RF 신호(152)의 HF 오프셋 값 대 시간 t를 플롯팅한다. HF 오프셋 값은 y-축 상에 플롯팅되고, 시간 t는 x-축 상에 플롯팅된다. 그래프(400)의 HF 오프셋 값은 HF(-4) 내지 HF0 및 HF0 내지 HF5의 범위이다.

[0055] 프로세서(114)는 전이 상태(S23y) 및 상태(S3y)를 서브-상태(S3ay 및 S3by)로 분할하기로 결정하고, 서브-상태(S3ay 및 S3by) 각각 동안, 기준 고주파수 값과는 상이한 기준 고주파수 값 및 HF 오프셋 값이 적용된다. 예를 들어, 프로세서(114)는 서브-상태(S3ay)의 발생에 대한 시간 기간인 제1 듀티 사이클을 빈 1 및 빈 2 내지 12와 같은 제1 미리 결정된 수의 빈으로 분할한다. 예에서, 빈 1 내지 12 각각은 동일한 시간 간격을 갖는다. 예시를 위해, 빈 1의 시간 간격은 빈 2의 시간 간격과 동일하다. 예에서, 빈 6은 본 명세서에서 빈 0으로 또한 지칭된다. 계속해서 이 예에서, 프로세서(114)는, 레시피 신호(144)(도 1) 내에서, 빈 0의 시간 간격을 포함하는 서브-상태(S3ay)에 관한 정보, 및 각각의 사이클 n, (n+1) 등의 서브-상태(S3ay)의 빈 0 동안 기준 고주파수 값 HF0을 적용하라는 명령을 생성하고 전송한다. 또한, 프로세서(114)는 또한, 레시피 신호(144) 내에서, 빈 1 내지 5 및 7 내지 12 각각의 시간 간격을 포함하는 서브-상태(S3ay)에 관한 정보, 및 각각의 사이클 n, (n+1) 등의 서브-상태(S3ay)의 빈 1 내지 5 및 7 내지 12 동안 기준 고주파수 값(HF0)으로부터의 제1 세트의 HF 오프셋 값을 적용하라는 명령을 생성하고 전송한다. 예시를 위해, 프로세서(114)는 HF RF 생성기(104)가 빈 1 동안 HF 오프셋 HF(-2)을 갖고, 빈 2' 동안 HF 오프셋 HF(-3)을 갖고 이러한 식으로 빈 12 동안 HF 오프셋 HF1일 때까지 HF 오프셋을 갖는 RF 신호(152)를 생성하도록 하는 것을 명령 내에 포함한다.

[0056] 또한, 계속해서 이 예에서, 프로세서(114)는 서브-상태(S3by)의 발생에 대한 시간 기간인 제2 듀티 사이클을 빈 1' 및 빈 2' 내지 12'와 같은 제2 미리 결정된 수의 빈으로 분할한다. 예시로서, 빈의 제1 미리 결정된 수는 빈의 제2 미리 결정된 수와 동일하다. 다른 예시로서, 빈의 제1 미리 결정된 수는 빈의 제2 미리 결정된 수보다 많거나 또는 더 적다. 예에서, 빈 1' 내지 12' 각각은 동일한 시간 간격을 갖는다. 예시를 위해, 빈 1'의 시간 간격은 빈 2'의 시간 간격과 동일하다. 예에서, 빈 6'은 또한 본 명세서에서 빈 0'으로 지칭된다. 계속해서 이 예에서, 프로세서(114)는, 레시피 신호(144) 내에서, 빈 0의 시간 간격을 포함하는 서브-상태(S3by)에 관한 정보, 및 각각의 사이클 n, (n+1) 등의 서브-상태(S3by)의 빈 0 동안 기준 고주파수 값 HF0을 적용하라는 명령을 생성하고 전송한다. 또한, 프로세서(114)는 또한, 레시피 신호(144) 내에서, 빈 1' 내지 5' 및 7' 내지 12' 각각의 시간 간격을 포함하는 서브-상태(S3by)에 관한 정보, 및 각각의 사이클 n, (n+1) 등의 서브-상태(S3by)의 빈 1' 내지 5' 및 7' 내지 12' 동안 기준 고주파수 값(HF0)으로부터의 HF 오프셋 값을 적용하라는 명령을 생성하고 전송한다. 예시를 위해, 프로세서(114)는 HF RF 생성기(104)가 빈 1' 동안 HF 오프셋 HF(-1)을 갖고, 빈 2' 동안 HF 오프셋 HF(-2)을 갖고 이러한 식으로 빈 12' 동안 HF 오프셋 HF1일 때까지 HF 오프셋을 갖는 RF 신호(152)를 생성하도록 하는 것을 명령 내에 포함한다.

[0057] 또한 계속해서 이 예에서, HF RF 생성기(104)는 기준 고주파수 값(HF0), 및 빈 0 동안 기준 고주파수 값(HF0)을 생성하라는 명령을 수신하고, 사이클 n, (n+1) 등의 빈 0의 시간 간격 동안 기준 고주파수 값(HF0)을 갖는 RF 신호(152)를 생성한다. 또한, 예에서, HF RF 생성기(104)는 빈 1 내지 5 및 7 내지 12에 대한 HF 오프셋 값 및 빈 1 내지 5 및 7 내지 12의 시간 간격을 적용하라는 명령을 수신하고, 빈 1 내지 5 및 7 내지 12의 개개의 빈

동안 HF 오프셋 값 중 개개의 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예시하기 위해, HF RF 생성기(104)는 빈 1 동안 HF 오프셋(HF(-2))을 적용하라는 명령을 수신하고, 사이클 n, (n+1) 등의 빈 1 동안 HF 오프셋(-2)을 갖는 RF 신호(152)를 생성한다.

[0058] 또한, 예에서, HF RF 생성기(104)는 기준 고주파수 값(HF0'), 및 빈 0' 동안 기준 고주파수 값(HF0')을 생성하라는 명령을 수신하고, 사이클 n, (n+1) 등의 빈 0'의 시간 간격 동안 기준 고주파수 값(HF0')을 갖는 RF 신호(152)를 생성한다. 또한, 예에서, HF RF 생성기(104')는 빈 1' 내지 5' 및 7' 내지 12'에 대한 HF 오프셋 값 및 빈 1' 내지 5' 및 7' 내지 12'의 시간 간격을 적용하라는 명령을 수신하고, 빈 1' 내지 5' 및 7' 내지 12'의 개개의 빈 동안 HF 오프셋 값 중 개개의 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예시하기 위해, HF RF 생성기(104)는 빈 1' 동안 HF 오프셋(HF(-1))을 적용하라는 명령을 수신하고, 빈 1' 동안 HF 오프셋(-1)을 갖는 RF 신호(152)를 생성한다.

[0059] 예에서, 서브-상태(S3ax 및 S3ay) 동안 기준 고주파수 값에 기초하여 상이한 기준 고주파수 값 및 HF 오프셋 값을 적용함으로써, 전력 글리치가 정확한 방식으로 감소된다. 예시를 위해, HF RF 생성기(104)를 향해 반사된 전력은 감소되거나, HF RF 생성기(104)에 의해 전달된 전력은 제1 및 제2 듀티 사이클 각각 동안 증가된다.

[0060] 사용자로부터 수신된 커맨드에 따르면, 홀드-오프 기간 동안 적용된 HF 오프셋 값은 기판(S)의 프로세싱 동안 프로세서(114)에 의해 조정, 이를테면, 수정되지 않는다. 예를 들어, 프로세서(114)는 홀드-오프 기간 동안 HF 오프셋 값을 수정하는 것을 회피한다. 예에서, 사이클 n, (n+1) 등의 홀드-오프 기간(252) 동안 인가되는 HF 오프셋 값은 사이클 n의 홀드-오프 기간(252) 동안 P 센서(112)(도 1)에 의해 측정된 전력에 기초하여 프로세서(114)에 의해 수정되지 않는다. 예시하기 위해, 프로세서(114)는 클록 신호(202)의 사이클 n의 홀드-오프 기간(252)의 빈 1 내지 5 동안 P 센서(112)로부터 측정된 전력의 값을 수신한다. 예시에서, 프로세서(114)는 메모리 디바이스(116)에 전력의 값을 저장한다. 또한, 예시에서, 프로세서(114)는, 사이클 n의 빈 1 내지 5에 대한 전력의 값에 기초하여, 사이클 (n+1) 등의 빈 1 내지 5 동안 적용될 HF 오프셋 값을 수정하지 않는다. 예시에서, 프로세서(114)는, 레시피 신호(144)(도 1) 내에서, 사이클 n 동안 적용되는 것과 동일한, 사이클 (n+1) 등 동안 적용될 HF 오프셋 값을 HF RF 생성기(104)에 전송한다. 예시에서, HF 오프셋 값을 수신할 때, HF RF 생성기(104)는 사이클 (n+1) 등의 홀드-오프 기간(252) 동안 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예시에서, HF 오프셋 값은, 수정되는 경우, 사이클 (n+1) 등 동안 HF RF 생성기(104)를 향해 반사된 전력을 감소시킨다. 또한, 예시에서, HF 오프셋 값은 사이클 n, (n+1) 등의 빈 1 내지 5 동안 인가될 RF 신호(152)의 주파수 값이고, HF 오프셋 값 각각과 홀드-오프 기간(252)의 빈 1 내지 5의 개개의 빈 사이의 일대일 관계와 같은 대응이 메모리 디바이스(116)에 저장된다. 예시에서, 프로세서(114)는 사이클 n, (n+1) 등의 서브-상태(S3ay)의 홀드-오프 기간(252) 동안 HF 오프셋 값을 적용한다.

[0061] 다른 예로서, 홀드-오프 기간(254) 동안 인가되는 HF 오프셋 값은 P 센서(112)에 의해 측정된 전력에 기초하여 프로세서(114)에 의해 수정되지 않는다. 예시하기 위해, 프로세서(114)는 클록 신호(202)의 사이클 n의 홀드-오프 기간(254)의 빈 1' 내지 5' 동안 P 센서(112)로부터 측정된 전력의 값을 수신한다. 예시에서, 프로세서(114)는 메모리 디바이스(116)에 전력의 값을 저장한다. 또한, 예시에서, 프로세서(114)는, 사이클 n의 빈 1' 내지 5'에 대한 전력의 값에 기초하여, 사이클 (n+1) 등의 빈 1' 내지 5' 동안 적용될 HF 오프셋 값을 수정하지 않는다. 예시에서, 프로세서(114)는, 레시피 신호(144)(도 1) 내에서, 사이클 n 동안 적용되는 것과 동일한, 사이클 (n+1) 등 동안 적용될 HF 오프셋 값을 HF RF 생성기(104)에 전송한다. 예시에서, HF 오프셋 값을 수신할 때, HF RF 생성기(104)는 사이클 (n+1) 등의 홀드-오프 기간(254) 동안 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예시에서, HF 오프셋 값은, 수정되는 경우, HF RF 생성기(104)를 향해 반사된 전력을 감소시킨다. 또한, 예시에서, HF 오프셋 값은 사이클 n,(n+1) 등의 홀드-오프 기간(254)의 빈 1' 내지 5' 동안 인가될 RF 신호(152)의 주파수 값이고, HF 오프셋 값 각각과 빈 1' 내지 5'의 개개의 빈 사이의 일대일 관계와 같은 대응이 메모리 디바이스(116)에 저장된다. 예시에서, 프로세서(114)는 사이클 n, (n+1) 등의 서브-상태(S3by)의 홀드-오프 기간(254) 동안 HF 오프셋 값을 적용한다.

[0062] 또한, 사용자로부터 수신된 커맨드에 따라, 애퍼처 윈도우 동안 적용된 HF 오프셋 값은 기판(S)의 프로세싱 동안 프로세서(114)에 의해 조정된다. 예를 들어, 애퍼처 윈도우(258) 동안 적용된 HF 오프셋 값은 P 센서(112)에 의해 측정된 전력에 기초하여 프로세서(114)에 의해 수정된다. 예시하기 위해, 프로세서(114)는 클록 신호(202)의 사이클 n의 애퍼처 윈도우(258)의 빈 7 내지 12 동안 P 센서(112)로부터 측정된 전력의 값을 수신한다. 예시에서, 프로세서(114)는 메모리 디바이스(116)에 전력의 값을 저장한다. 또한, 예시에서, 프로세서(114)는, 사이클 n의 빈 7 내지 12에 대한 전력의 값에 기초하여, 사이클 (n+1) 등의 빈 7 내지 12 동안 적용될 HF 오프셋 값을 수정한다. 예시에서, 프로세서(114)는, 레시피 신호(144)(도 1) 내에서, 사이클 (n+1) 등 동안 적용될 수

정된 HF 오프셋 값을 HF RF 생성기(104)에 전송한다. 예시에서, HF 오프셋 값을 수신할 때, HF RF 생성기(104)는 사이클 (n+1) 등의 애퍼처 윈도우(258) 동안 수정된 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예시에서, HF 오프셋 값은, 수정되는 경우, HF RF 생성기(104)를 향해 반사된 전력을 감소시킨다. 또한, 예시에서, HF 오프셋 값은 사이클 (n+1) 등의 홀드-오프 기간(258)의 빈 7 내지 12 동안 인가될 RF 신호(152)의 주파수 값이고, HF 오프셋 값 각각과 빈 7 내지 12의 개개의 빈 사이의 일대일 관계와 같은 대응이 메모리 디바이스(116)에 저장된다. 예시에서, 프로세서(114)는 사이클 (n+1) 등의 서브-상태(S3ay)의 애퍼처 윈도우(258) 동안 수정된 HF 오프셋 값을 적용한다.

[0063] 다른 예로서, 애퍼처 윈도우(260) 동안 적용된 HF 오프셋 값은 P 센서(112)에 의해 측정된 전력에 기초하여 프로세서(114)에 의해 수정된다. 예시하기 위해, 프로세서(114)는 클록 신호(202)의 사이클 n의 애퍼처 윈도우(260)의 빈 7' 내지 12' 동안 P 센서(112)로부터 측정된 전력의 값을 수신한다. 예시에서, 프로세서(114)는 메모리 디바이스(116)에 전력의 값을 저장한다. 또한, 예시에서, 프로세서(114)는, 사이클 n의 빈 7' 내지 12'에 대한 전력의 값에 기초하여, 사이클 (n+1) 등의 빈 7' 내지 12' 동안 적용될 HF 오프셋 값을 수정한다. 예시에서, 프로세서(114)는, 레시피 신호(144)(도 1) 내에서, 사이클 (n+1) 등 동안 적용될 수정된 HF 오프셋 값을 HF RF 생성기(104)에 전송한다. 예시에서, HF 오프셋 값을 수신할 때, HF RF 생성기(104)는 사이클 (n+1) 등의 애퍼처 윈도우(260) 동안 수정된 HF 오프셋 값을 갖는 RF 신호(152)를 생성한다. 예시에서, HF 오프셋 값은, 수정되는 경우, HF RF 생성기(104)를 향해 반사된 전력을 감소시킨다. 또한, 예시에서, HF 오프셋 값은 사이클 (n+1) 등의 빈 7' 내지 12' 동안 인가될 RF 신호(152)의 주파수 값이고, HF 오프셋 값 각각과 빈 7' 내지 12'의 개개의 빈 사이의 일대일 관계와 같은 대응이 메모리 디바이스(116)에 저장된다. 예시에서, 프로세서(114)는 사이클 (n+1) 등의 서브-상태(S3by)의 애퍼처 윈도우(260) 동안 HF 오프셋 값을 적용한다.

[0064] 일 실시예에서, 프로세서(114)는 메모리 디바이스(116)에 저장되는 기준 고주파수 값(HF0 또는 HF0')을 결정하기 위해 동적 주파수 조정(DFT)을 적용한다. 예를 들어, DFT에서, 프로세서(114)는 HF RF 생성기(104)를 향해 반사된 전력을 최소화하기 위해 스미스 차트(Smith chart) 상에서 고주파수 임피던스 궤적을 회전시킴으로써 고주파수 값(HF0 또는 HF0')을 결정한다.

[0065] 본 명세서에 설명된 실시예는 핸드-헬드 하드웨어 유닛, 마이크로프로세서 시스템, 마이크로프로세서-기반 또는 프로그래밍 가능 소비자 전자장치, 미니컴퓨터, 메인프레임 컴퓨터들 등을 포함하는 다양한 컴퓨터 시스템 구성으로 실시될 수 있다. 본 명세서에 설명된 실시예는 또한, 작업이 컴퓨터 네트워크를 통해 링크되는 원격 프로세싱 하드웨어 유닛에 의해 수행되는 분산형 컴퓨팅 환경에서 실시될 수 있다.

[0066] 일부 실시예에서, 제어기는 상술된 예의 일부일 수 있는 시스템의 일부이다. 시스템은 프로세싱 도구 또는 도구, 챔버 또는 챔버, 프로세싱을 위한 플랫폼 또는 플랫폼들 및/또는 특정 프로세싱 구성요소(웨이퍼 페데스탈, 가스 유동 시스템 등)를 포함한 반도체 프로세싱 장비를 포함한다. 시스템은 반도체 웨이퍼 또는 기판의 프로세싱 이전, 그 동안, 그 후에 그의 동작을 제어하기 위해 전자 장치와 통합된다. 전자 장치는 시스템의 다양한 구성요소 또는 하위 부분을 제어할 수 있는 "제어기"로 지칭된다. 제어기는, 프로세싱 요건 및/또는 시스템의 유형에 의존하여, 프로세스 가스의 전달, 온도 설정(예를 들어, 가열 및/또는 냉각), 압력 설정, 진공 설정, 전력 설정, RF 생성기 설정, RF 정합 회로 설정, 주파수 설정, 유량 설정, 유체 전달 설정, 포지션 및 동작 설정, 도구 및 다른 전달 도구 안팎으로 웨이퍼 전달 및/또는 특정 시스템에 연결되거나 인터페이싱되는 로드록을 포함하여, 본원에서 개시된 임의의 프로세스를 제어하도록 프로그래밍될 수 있다.

[0067] 광범위하게 말하면, 다양한 실시예에서, 제어기는 명령을 수신하고, 명령을 발행하고, 작업을 제어하고, 세정 작업을 가능하게 하고, 엔드포인트 측정을 가능하게 하는 등을 하는 다양한 집적 회로, 로직, 메모리 및/또는 소프트웨어를 갖는 전자 장치로서 정의된다. 집적 회로는 프로그램 명령을 저장하는 펌웨어 형태의 칩, 디지털 신호 프로세서(digital signal processor, DSP), ASIC, PLD로 정의된 칩 및/또는 하나 이상의 마이크로프로세서 또는 프로그램 명령(예를 들어, 소프트웨어)을 실행하는 마이크로제어기를 포함할 수 있다. 프로그램 명령은 다양한 개별 설정(또는 프로그램 파일)의 형태로 제어기에 통신되어, 반도체 웨이퍼에 대한 또는 반도체 웨이퍼 상에서 프로세스를 수행하기 위한 작업 파라미터를 정의하는 명령이다. 작업 파라미터는, 일부 실시예에서 하나 이상의 층, 재료, 금속, 산화물, 실리콘, 실리콘 이산화물, 표면, 회로 및/또는 웨이퍼의 다이의 제작 동안 하나 이상의 프로세싱 단계를 달성하기 위해 프로세스 엔지니어에 의해 정의된 레시피의 일부이다.

[0068] 제어기는, 일부 실시예에서 시스템과 통합되거나, 시스템에 커플링되거나, 그렇지 않으면 시스템에 네트워킹되거나, 이들의 조합일 수 있는 컴퓨터의 일부이거나 컴퓨터에 커플링된다. 예를 들어, 제어기는 웨이퍼 프로세싱을 위한 원격 액세스를 허용하는 "클라우드" 또는 팹 호스트 컴퓨터 시스템(fab host computer system)의 전부

또는 일부이다. 컴퓨터는 시스템에 대한 원격 액세스를 가능하게 하여 제작 작업의 현재 진행 상황을 모니터링하고, 과거 제작 작업의 이력을 검사하고, 복수의 제작 작업으로부터 추세 또는 성능 메트릭을 검사하고, 현재 프로세싱의 파라미터를 변경하고, 현재 프로세싱에 뒤따르는 프로세싱 단계를 세팅하거나 새로운 프로세스를 시작한다.

[0069] 일부 실시예에서, 원격 컴퓨터(예를 들어, 서버)는 로컬 네트워크 또는 인터넷을 포함하는 네트워크를 통해 시스템에 프로세스 레시피를 제공한다. 원격 컴퓨터는 파라미터 및/또는 설정의 엔트리 또는 프로그래밍을 가능하게 하는 사용자 인터페이스를 포함하며, 이는 그 후 원격 컴퓨터로부터 시스템으로 통신된다. 일부 예에서, 제어기는 웨이퍼를 프로세싱하기 위한 명령을 설정 형태로 수신한다. 설정은 웨이퍼에 대해 수행되는 프로세서의 유형 및 제어기가 인터페이싱하거나 제어하는 도구의 유형에 특정된다는 것이 이해되어야 한다. 따라서 위에서 설명된 바와 같이, 제어기는 이를테면, 함께 네트워킹되고 본원에서 설명된 이행 프로세스와 같은 공통 목적을 위해 작동하는 하나 이상의 개별 제어기를 포함함으로써 분산된다. 이러한 목적을 위한 분산된 제어기의 예로는 챔버 내의 프로세스를 제어하기 위해 결합되는 이를테면, 플랫폼 레벨의 또는 원격 컴퓨터의 일부로서) 원격에 로케이팅된 하나 이상의 집적 회로와 통신하는 챔버 상의 하나 이상의 집적 회로를 포함한다.

[0070] 제한 없이, 다양한 실시예에서, 본 명세서에 설명된 플라즈마 시스템은 플라즈마 에칭 챔버, 증착 챔버, 스핀 린스 챔버, 금속 도금 챔버, 세척 챔버, 베벨 에지 에칭 챔버, 물리적 기상 증착(PVD) 챔버, 화학적 기상 증착(CVD) 챔버, 원자층 증착(ALD) 챔버, 원자층 에칭(ALE) 챔버, 이온 이식 챔버, 트랙 챔버 또는 반도체 웨이퍼의 제작 및/또는 제조와 연관되거나 이에 사용되는 임의의 다른 반도체 처리 챔버를 포함한다.

[0071] 상술된 동작은 병렬 플레이트 플라즈마 챔버, 예를 들어, 용량성으로 커플링된 플라즈마 챔버 등을 참조하여 설명되지만, 일부 실시예에서, 상술된 동작은 다른 타입의 플라즈마 챔버, 예를 들어, 유도성으로 커플링된 플라즈마(ICP) 반응기, 트랜스포머 커플링된 플라즈마(TCP) 반응기, 전도체 도구, 유전체 도구, 전자 사이클로트론 공명(ECR) 반응기를 포함하는 플라즈마 챔버 등을 포함하는 플라즈마 챔버에 적용된다는 것에 추가로 유의한다. 예를 들어, X MHz RF 생성기, Y MHz RF 생성기, 및 Z MHz RF 생성기는 ICP 플라즈마 챔버 내의 인덕터에 커플링된다.

[0072] 위에서 언급된 바와 같이, 도구에 의해 수행되는 프로세스 동작에 따라, 제어기는 다른 도구 회로 또는 모듈, 다른 도구 구성요소, 클러스터 도구, 다른 도구 인터페이스, 인접 도구, 이웃 도구, 공장 전체에 걸쳐 로케이팅된 도구, 메인 컴퓨터, 다른 제어기 또는 웨이퍼의 컨테이너를 반도체 제조 공장의 도구 로케이션 및/또는 로드 포트로 가져가고 가져 오는 재료 운송에 사용되는 도구 중 하나 이상과 통신한다.

[0073] 위의 실시예를 염두에 두고, 실시예들 중 일부는 컴퓨터 시스템에 저장된 데이터를 포함하는 다양한 컴퓨터-구현 동작을 채용한다는 것이 이해되어야 한다. 이러한 컴퓨터 구현 동작은 물리적인 양을 조작하는 동작이다.

[0074] 실시예 중 일부는 또한 이들 동작을 수행하기 위한 하드웨어 유닛 또는 장치에 관한 것이다. 장치는 특수 목적 컴퓨터를 위해 특별히 구성된다. 특수 목적 컴퓨터로 정의된 경우, 컴퓨터는 특수 목적의 일부가 아닌 다른 프로세싱, 프로그램 실행 또는 루틴을 수행하면서 특수 목적으로 여전히 동작할 수 있다.

[0075] 일부 실시예에서, 본 명세서에 설명된 동작은 선택적으로 활성화된 컴퓨터에 의해 수행되거나, 컴퓨터 메모리에 저장된 하나 이상의 컴퓨터 프로그램에 의해 구성되거나, 컴퓨터 네트워크를 통해 획득된다. 데이터가 컴퓨터 네트워크를 통해 획득될 때, 데이터는 컴퓨터 네트워크 상의 다른 컴퓨터, 예를 들어, 컴퓨팅 자원들의 클라우드에 의해 프로세싱될 수 있다.

[0076] 본 명세서에 설명된 하나 이상의 실시예는 또한 비-일시적인 컴퓨터-판독가능 매체 상의 컴퓨터-판독가능 코드로서 제조될 수 있다. 비일시적 컴퓨터 판독 가능 매체는, 컴퓨터 시스템에 의해 판독되는 데이터를 저장하는 임의의 데이터 저장 하드웨어 유닛, 예를 들어 메모리 디바이스 등이다. 컴퓨터 판독가능 매체의 예는, 하드 드라이브, NAS(network attached storage), ROM, RAM, CD-ROM(compact disk-ROM), CD-R(cd-recordable), CD-RW(CD-rewritable), 자기 테이프 및 다른 광 및 비-광 데이터 스토리지(optical and non-optical data storage) 하드웨어 유닛을 포함한다. 일부 실시예에서, 비일시적 컴퓨터 판독가능 매체는, 컴퓨터 판독가능 코드가 분산형 방식으로 저장되고 실행되도록 네트워크-커플링된 컴퓨터 시스템 상에 분산된 컴퓨터 판독가능 유형의 매체(tangible medium)를 포함한다.

[0077] 위에서 설명된 일부 방법 동작이 특정 순서로 제시되었지만, 다양한 실시예에서, 다른 하우스키핑 동작이 방법 동작들 사이에서 수행되거나, 또는 방법 동작이 약간 상이한 시간에서 발생하도록 조정되거나, 또는 다양한 간격에서 방법 동작들의 발생을 허용하는 시스템에 분산되거나, 또는 위에서 설명된 순서와 상이한 순서로 수행된

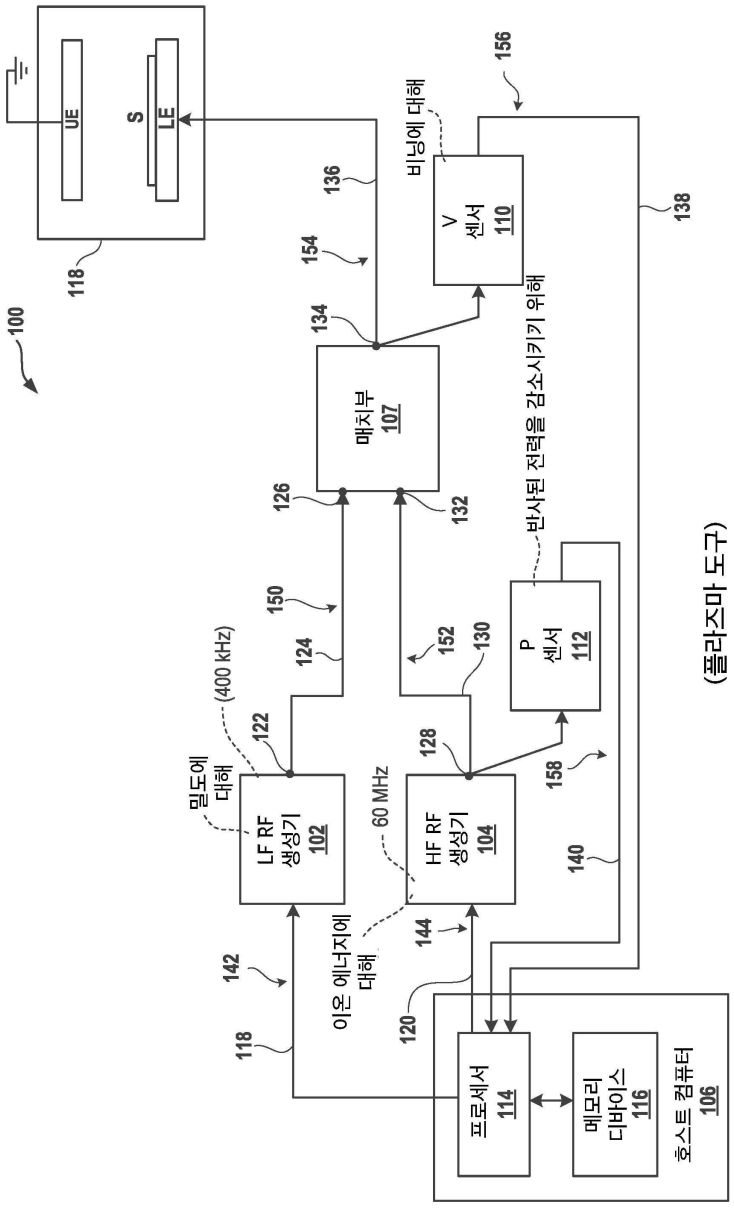
다는 것이 이해되어야 한다.

[0078] 실시예에서, 본 개시에 설명된 다양한 실시예에서 설명된 범위를 벗어나지 않고서, 위에서 설명된 임의의 실시예로부터의 하나 이상의 특징이 임의의 다른 실시예의 하나 이상의 특징과 결합된다는 것에 추가로 유의해야 한다.

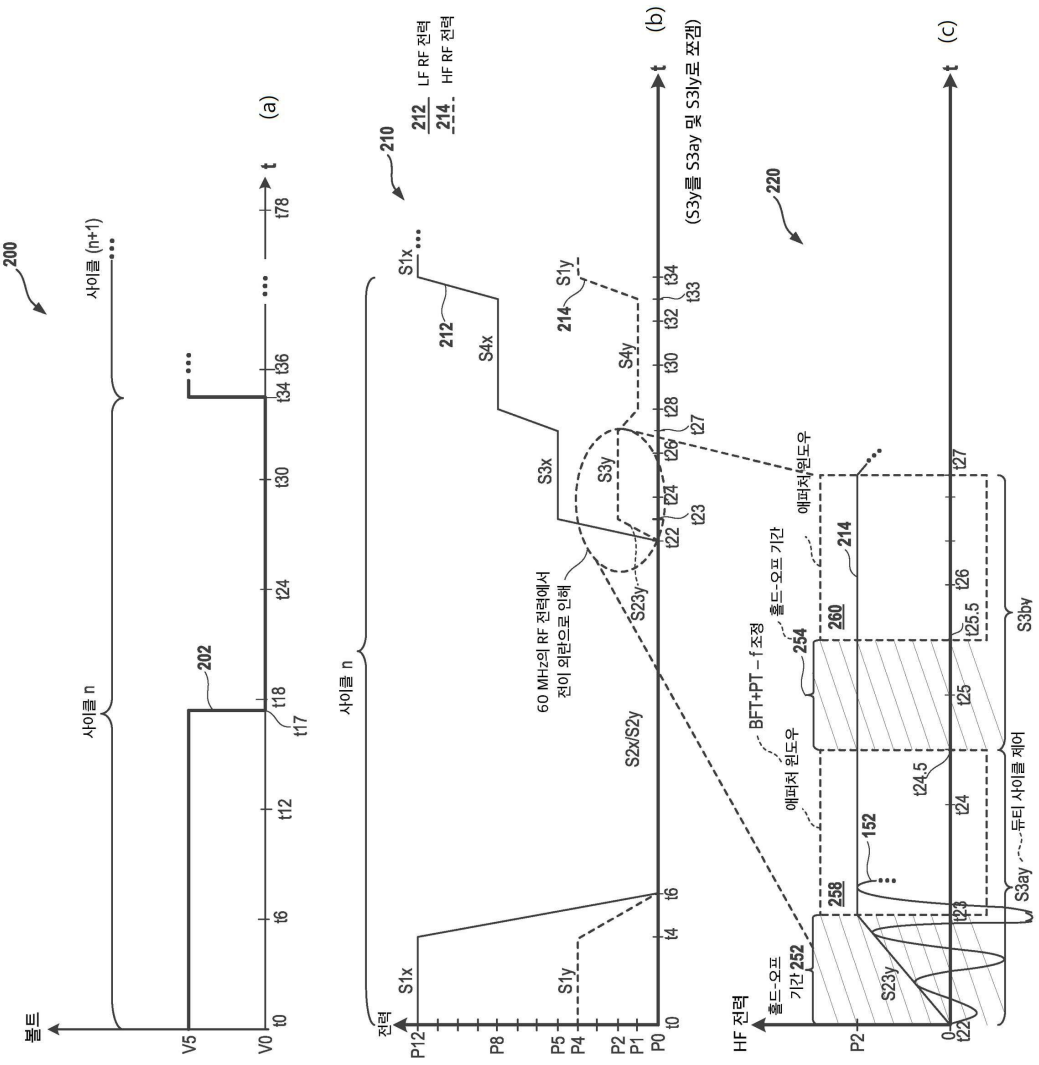
[0079] 전술된 실시예가 이해를 명확히 할 목적으로 약간 상세히 설명되었지만, 특정 변화 및 수정이 첨부된 청구 범위 내에서 실시될 수 있다는 것은 명백할 것이다. 따라서, 본 실시예는 예시적이며, 제한적이지 않은 것으로 고려되어야 하며, 실시예는 본 명세서에 제공된 세부사항에 제한되지 않고, 첨부된 청구항의 범위 및 등가물 내에서 수정될 수 있다.

도면

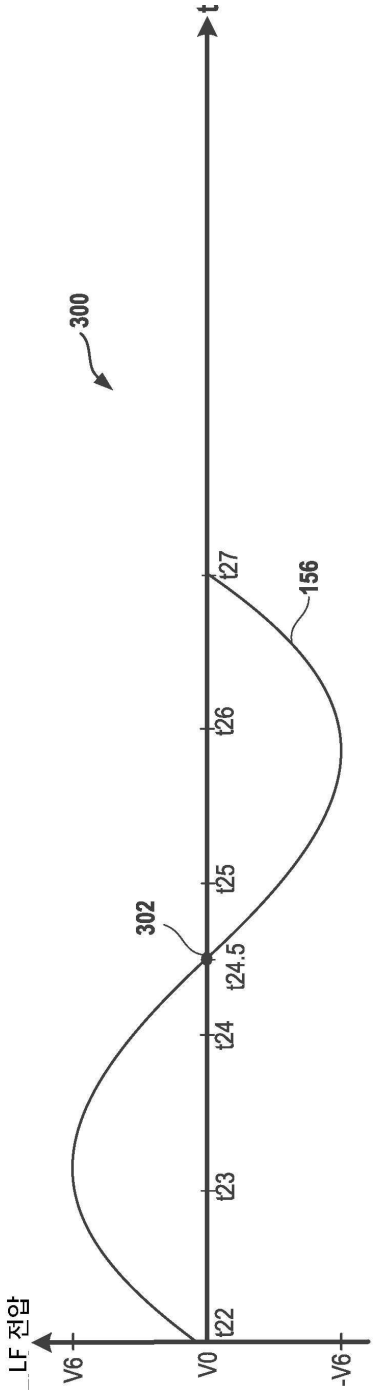
도면1



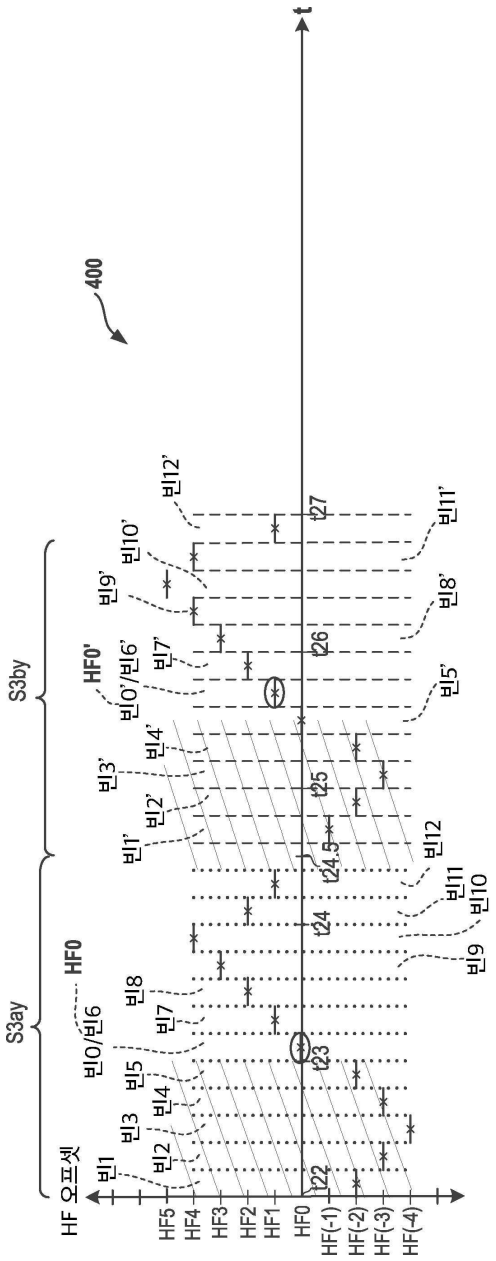
도면2


200
볼트
사이클 n
사이클 (n+1)
202
V5
V0
t0
t6
t12
t17
t18
t24
t30
t34
t36
t78
(a)
210
212 LF RF 전력
214 HF RF 전력
S1x
S4x
S3x
S1y
S4y
S3y
S23y
S2x/S2y
60 MHz의 RF 전력에서 전이 외란으로 인해
전력
P12
P8
P5
P4
P2
P1
P0
t4
t22
t23
t26
t27
t28
t30
t32
t33
t34
(b)
(S3y를 S3ay 및 S3by로 쪼갬)
220
HF 전력
홀드-오프 기간 252
BFT+PT-f 조정
홀드-오프 기간 254
에퍼처 윈도우
에퍼처 윈도우 260
214
152
258
S3ay
S3by
듀티 사이클 제어
t24.5
t25
t25.5
(c)

도면3



도면4


400
t
S3by
S3ay
HF0'
HF0
빈0'/빈6'
빈0/빈6
빈1'
빈2'
빈3'
빈4'
빈5'
빈7'
빈8'
빈9'
빈10'
빈11'
빈12'
빈1
빈2
빈3
빈4
빈5
빈7
빈8
빈9
빈10
빈11
빈12
t22
t23
t24
t24.5
t25
t26
t27
HF 오프셋
HF5
HF4
HF3
HF2
HF1
HF0
HF(-1)
HF(-2)
HF(-3)
HF(-4)