

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-132717

(P2014-132717A)

(43) 公開日 平成26年7月17日(2014.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/08 (2006.01)	H03K 17/08	5F038
H01L 27/04 (2006.01)	H01L 27/04	5G004
H01L 21/822 (2006.01)	H02H 3/20	5J055
H02H 3/20 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 20 頁)

(21) 出願番号 特願2013-359 (P2013-359)
(22) 出願日 平成25年1月7日(2013.1.7)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100127661
弁理士 宮坂 一彦
(74) 代理人 100116665
弁理士 渡辺 和昭
(72) 発明者 池田 益英
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 5F038 BE07 BH03 BH04 BH07 BH13
BH18 CD02 CD14 DF01 EZ20

最終頁に続く

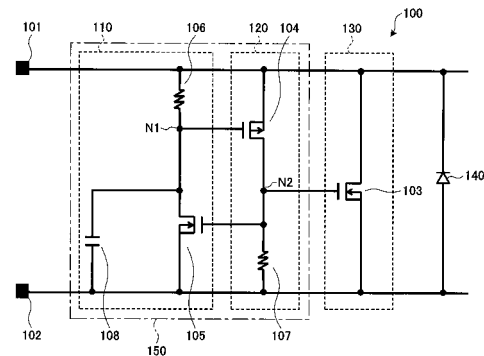
(54) 【発明の名称】 静電気放電保護回路及び半導体回路装置

(57) 【要約】 (修正有)

【課題】 簡単な回路構成で静電気放電による電荷を十分に放電させることができる静電気放電保護回路を提供する。

【解決手段】 第1の電位ライン101と、前記第1の電位よりも低い第2のライン102と、前記第1及び第2の電源ラインの間に接続されたトリガー回路は、第1の回路と第2の回路を含み、前記第1の回路は、第1の電源ライン側の第1のインピーダンス素子106と、第2の電源ライン側のキャパシター素子108と、前記キャパシター素子108とは並列に接続された第1のNチャネルトランジスタ105とを含み、前記第2の回路は、第1の電源ライン側のPチャネルトランジスタ104と、第2の電源ライン側の第2のインピーダンス素子107を含み、前記Pチャネルトランジスタ104のゲートは、第1のノードN1に接続され、前記第1のNチャネルトランジスタ105のゲートは、第2のノードN2に接続される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電位となる第 1 のラインと、前記第 1 の電位と異なる第 2 の電位となる第 2 のラインと、

前記第 1 のラインと前記第 2 のラインの間に接続されたトリガー回路と、

前記第 1 のラインと前記第 2 のラインの間に接続され、ゲートが前記トリガー回路の所定の接続ノードに直接又は間接的に接続されて、前記ゲート電位の変化により導通する電界効果型トランジスターを含む放電回路を備え、

前記トリガー回路は、

並列に接続された第 1 の回路と第 2 の回路を含み、

10

前記第 1 の回路は、

前記第 1 のラインと前記第 2 のラインとの間に、直列に接続された第 1 のライン側の第 1 のインピーダンス素子と、第 2 のライン側のキャパシター素子と、

前記第 1 のインピーダンス素子と直列に、かつ前記キャパシター素子とは並列に接続された第 1 導電型の第 1 のトランジスターと、を含み、

前記第 2 の回路は、

前記第 1 のラインと前記第 2 のラインとの間に、直列に接続された第 1 のライン側の第 2 導電型の第 1 のトランジスターと、第 2 のライン側の第 2 のインピーダンス素子を含み、

前記第 2 導電型の第 1 のトランジスターのゲートは、前記第 1 のインピーダンス素子と、前記キャパシター素子との間の第 1 のノードに接続され、

20

前記第 1 導電型の第 1 のトランジスターのゲートは、前記第 2 導電型の第 1 のトランジスターと、前記第 2 のインピーダンス素子との間の第 2 のノードに接続され、

前記所定の接続ノードは、前記第 1 のノード又は前記第 2 のノードである静電気放電保護回路。

【請求項 2】

請求項 1 において、

前記放電回路は、

前記電界効果型トランジスターとして第 1 導電型の第 2 のトランジスターを含み、前記第 1 導電型の第 2 のトランジスターは、前記第 1 のノード又は前記第 2 のノードの電位の上昇により導通する静電気放電保護回路。

30

【請求項 3】

請求項 1 又は 2 において、

前記第 1 のインピーダンス素子は、抵抗素子で構成されている静電気放電保護回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 2 のインピーダンス素子は、抵抗素子で構成されている静電気放電保護回路。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

第 1 のインピーダンス素子は、ゲートが第 2 のラインに接続された第 2 導電型の第 2 のトランジスターで構成されている静電気放電保護回路。

40

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記第 2 のインピーダンス素子は、ゲートが第 1 のラインに接続された第 1 導電型の第 3 のトランジスターで構成されている静電気放電保護回路。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記キャパシター素子は、ゲートが第 1 のノードに接続された第 1 導電型の第 4 のトランジスターで構成されている静電気放電保護回路。

【請求項 8】

50

請求項 1 乃至 7 のいずれかにおいて、

入力側が第 1 のノードに接続され、出力側が前記放電回路の前記電界効果型トランジスタのゲートに接続されたインバーター回路をさらに含む静電気放電保護回路。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記第 1 のインピーダンス素子のインピーダンス値と、前記キャパシター素子の容量値は、通常動作時の電源立ち上がり時間に基づき設定されるインピーダンス値と容量値の関係に基づき設定された所定の条件を満たす静電気放電保護回路。

【請求項 10】

請求項 1 乃至 9 のいずれかに記載の静電気放電保護回路を含む半導体回路装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路を静電気放電から保護する静電気放電保護回路及び半導体回路装置に関する。

【背景技術】

【0002】

静電気放電 (ESD: Electro Static Discharge) による電荷が半導体集積回路に印加されると、その半導体集積回路内の素子が損傷を受ける可能性がある。そこで、半導体集積回路に静電気放電保護回路を備え、この静電気放電保護回路で ESD による電荷を放電することにより、その半導体集積回路内の素子を保護する技術が提案されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許出願公開第 2006/0039093 号明細書

【特許文献 2】特開 2009-182119 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

30

図 10 は、特許文献 1 に提案された静電気放電保護回路の構成を示す図である。

【0005】

図 10 に示す静電気放電保護回路は、半導体集積回路に備えられており、この静電気放電保護回路には、図示しない直流電源が接続されることにより、それぞれ、電源電圧の電位 VDD となる第 1 の電源ライン 1100-1 およびその電位 VDD よりも低い電位 VSS となる第 2 の電源ライン 1100-2 が備えられている。第 2 の電源ライン 1100-2 はフレームグラウンド GND に接続されている。

【0006】

また、この静電気放電保護回路には、第 1 の電源ライン 1100-1 と第 2 の電源ライン 1100-2 との間に直列に接続された、抵抗 1101a およびキャパシター 1101b からなる時定数回路 1101 が備えられている。

40

【0007】

さらに、静電気放電保護回路には、第 1 の電源ライン 1100-1 と第 2 の電源ライン 1100-2 との間に接続された、比較的サイズの大きな N チャネルトランジスタ 1102 が備えられている。

【0008】

また、静電気放電保護回路には、抵抗 1101a とキャパシター 1101b との接続ノードと、N チャネルトランジスタ 1102 のゲートとの間に直列に接続された 3 つのインバーター 1103、1104、1105 が備えられている。

【0009】

50

E S D イベントは、半導体集積回路を搬送する時などに人体や搬送機器に静電気が帯電してそれが半導体集積回路内に流れることにより発生する。最初の時点では、第1の電源ライン1100_1は、第2の電源ライン1100_2と等電位にある。ここで、E S D イベントとして、第2の電源ライン1100_2を基準にして第1の電源ライン1100_1に正のE S D サージが印加されるものとする。このE S D サージによる電荷は、抵抗1101aを經由してキャパシター1101bに充電される。ここで、抵抗1101aの抵抗値とキャパシター1101bの容量値とにより定まる時定数R Cの値は十分に大きく、従ってインバーター1103の入力側のノードは、時定数R Cに応じた期間‘L’レベルに維持される。インバーター1103の入力側のノードが‘L’レベルに維持された状態では、インバーター1104, 1105を經由して、Nチャネルトランジスター1102のゲートは‘H’レベルの状態になる。従って、Nチャネルトランジスター1102はオン状態になる。このようにして、Nチャネルトランジスター1102でサージ電流を逃がして、第1の電源ライン1100_1と第2の電源ライン1100_2との間に高電圧が印加されることを防止することができる。尚、Nチャネルトランジスター1102のゲート電位は、E S D サージとともに低下する。

【0010】

しかし図10に示す静電気放電保護回路は、R Cの時定数を大きくするためにキャパシターと抵抗素子が占有する回路面積の割合が大きくなるという問題点があった。

【0011】

図11は、特許文献2に提案された静電気放電保護回路の構成を示す図である。

【0012】

図11に示す静電気放電保護回路は、直流電源が接続されることにより、それぞれ、所定の第1の電位となる第1の電源ライン1200-1および該第1の電位よりも低い第2の電位となる第2の電源ライン1200-2と、前記第1の電源ライン1200-1と前記第2の電源ライン1200-2との間に直列に接続された、第1の電源ライン1200-1側のキャパシター1212、および第2の電源ライン1200-2側の、負の閾値電圧を有する第1のNチャネルトランジスター1214からなる時定数回路1210と、入力側が前記キャパシター1212と前記第1のNチャネルトランジスター1214との接続ノード1216に接続され、出力側が前記第1のNチャネルトランジスター1214のゲートに接続されたインバーター1220と、前記第1の電源ライン1200-1と前記第2の電源ライン1200-2との間に接続され、ゲートが、前記キャパシターと前記第1のNチャネルトランジスターとの接続ノード1216に間接的に接続され該接続ノード1216の電位の上昇による該ゲートの電位上昇を受けて導通する電界効果型トランジスター1240とを備えている。

【0013】

E S D イベントの発生を受けた場合は、キャパシター1212と負の閾値を有する第1のNチャネルトランジスター1214の接続ノード1216の電位が急上昇し、インバーター1220から‘L’レベルが出力される。この‘L’レベルは第1のNチャネルトランジスター1214のゲートに入力される。このため、第1のNチャネルトランジスター1214のオン抵抗の値は大きく、従って第1のNチャネルトランジスター1214は、キャパシター1212とともにC R時定数回路を構成する高抵抗の役割を担うこととなる。また、この‘L’レベルは間接的に電界効果型トランジスター1240のゲートに入力され、これにより電界効果型トランジスター1240がオン状態になり、E S D イベントによるサージ電流を逃がすことができる。このように、特許文献2の発明では、キャパシター1212が有する値とNチャネルトランジスター1214が有するオン抵抗の値(‘L’レベルの入力により、例えば数MΩのオーダーの値)との積で決定される時定数C Rの値に対応する時間だけNチャネルトランジスターがオン状態になり、この間E S D イベントによるサージ電流を放電する。

【0014】

図11に示す静電気放電保護回路は、図10に示す静電気放電保護回路の問題点を改良

して発明された回路であり、キャパシターのサイズは小さくできるものの、第1のNチャネルトランジスタ1214は、デプレッション型トランジスタであり、チャンネルドープの打ち込み工程が必要となるためコストアップの要因となるという問題点がある。

【0015】

また図10、図11ともに、RCの時定数によって電源ライン間に接続されるNチャネルトランジスタのオン時間が決まっている。従って例えば短時間で連続してESDイベントが発生した場合には、キャパシター内への電荷蓄積途中においてさらに静電気放電による電荷注入がされたことになり、十分放電されていない状態でNチャネルトランジスタがオフ状態となり、電位が上昇して内部回路へ電荷が放電し破壊に至る可能性があるという問題点がある。

10

【0016】

また、図10に示す静電気放電保護回路は、キャパシター1101aから電源ライン間に接続しているNチャネルトランジスタ1102までにインバーター3段を介している。図11に示す静電気放電保護回路は、キャパシター1212からNチャネルトランジスタ1240まで2段のインバーターを介している。ともにESDイベントの発生を受けてからNチャネルトランジスタがオンするまでに時間がかかるため、内部回路へ電荷が放電し破壊に至る可能性があるという問題点がある。

【0017】

本発明は、以上のような問題点に鑑みてなされたものであり、本発明のいくつかの態様によれば、簡単な回路構成で静電気放電による電荷を余すことなく十分に放電させることができる静電気放電保護回路を提供することができる。

20

【課題を解決するための手段】

【0018】

(1) 本発明は、第1の電位となる第1のラインと、前記第1の電位と異なる第2の電位となる第2のラインと、前記第1のラインと前記第2のラインの間に接続されたトリガー回路と、前記第1のラインと前記第2のラインの間に接続され、ゲートが前記トリガー回路の所定の接続ノードに直接又は間接的に接続されて、前記ゲート電位の変化により導通する電界効果型トランジスタを含む放電回路を備え、前記トリガー回路は、並列に接続された第1の回路と第2の回路を含み、前記第1の回路は、前記第1のラインと前記第2のラインとの間に、直列に接続された第1のライン側の第1のインピーダンス素子と、第2のライン側のキャパシター素子と、前記第1のインピーダンス素子と直列に、かつ前記キャパシター素子とは並列に接続された第1導電型の第1のトランジスタと、を含み、前記第2の回路は、前記第1のラインと前記第2のラインとの間に、直列に接続された第1のライン側の第2導電型の第1のトランジスタと、第2のライン側の第2のインピーダンス素子を含み、前記第2導電型の第1のトランジスタのゲートは、前記第1のインピーダンス素子と、前記キャパシター素子との間の第1のノードに接続され、前記第1導電型の第1のトランジスタのゲートは、前記第2導電型の第1のトランジスタと、前記第2のインピーダンス素子との間の第2のノードに接続され、前記所定の接続ノードは、前記第1のノード又は前記第2のノードである静電気放電保護回路に関する。

30

【0019】

また本発明は静電気放電保護回路を含む半導体回路装置に関する。

40

【0020】

第1導電型トランジスタ、第2導電型トランジスタは電界効果トランジスタ(FET: Field effect transistor)である。MOS型の電界効果トランジスタ(デプレッション型でもよいし、エンハンスメント型でもよい)もよいし、接合型の電界効果トランジスタでもよい。放電回路の電界効果型トランジスタは、Pチャネルトランジスタでもよいし、Nチャネルトランジスタでもよい。

【0021】

本発明の静電気放電保護回路は、第1のインピーダンス素子とキャパシター素子の作用により、第2導電型トランジスタ(たとえばPチャネルトランジスタ)がオフ状態か

50

らオン状態に遷移し、一旦オン状態になるとC R時定数に関係なく、第1のラインの電位が第2のラインより高い状態ではオンの状態を保ち続ける。よって、電荷放電している途中において、新たにESDイベントが発生し静電気放電による電荷が注入された場合や、短時間で連続してESDイベントが発生した場合でも静電気放電保護回路はオンの状態を保ち続け、静電気放電を行うことができる。このように本発明によれば、簡単な回路構成で静電気放電による電荷を余すことなく十分に放電させることができる静電気放電保護回路、半導体回路装置を提供することができる。

【0022】

(2) この静電気放電保護回路、半導体回路装置において、前記放電回路は、前記電界効果型トランジスタとして第1導電型の第2のトランジスタを含み、前記第1導電型の第2のトランジスタは、前記第1のノード又は前記第2のノードの電位の上昇により導通するように構成してもよい。

10

【0023】

(3) この静電気放電保護回路、半導体回路装置において、前記第1のインピーダンス素子は、抵抗素子で構成してもよい。

【0024】

(4) この静電気放電保護回路、半導体回路装置において、前記第2のインピーダンス素子は、抵抗素子で構成してもよい。

【0025】

(5) この静電気放電保護回路、半導体回路装置において、第1のインピーダンス素子は、ゲートが第2のラインに接続された第2導電型の第2のトランジスタで構成されていてもよい。前記第2導電型の第2のトランジスタはPMOS構造のトランジスタでもよい。

20

【0026】

(6) この静電気放電保護回路、半導体回路装置において、前記第2のインピーダンス素子は、ゲートが第1のラインに接続された第1導電型の第3のトランジスタで構成されていてもよい。前記第1導電型の第3のトランジスタはNMOS構造のトランジスタでもよい。

【0027】

(7) この静電気放電保護回路、半導体回路装置において、前記キャパシタ素子は、ゲートが第1のノードに接続された第1導電型の第4のトランジスタで構成されていてもよい。前記第1導電型の第4のトランジスタはNMOS構造のトランジスタでもよい。

30

【0028】

(8) この静電気放電保護回路、半導体回路装置において、入力側が第1のノードに接続され、出力側が前記放電回路の前記電界効果型トランジスタのゲートに接続されたインバータ回路をさらに含んでもよい。

【0029】

(9) この静電気放電保護回路、半導体回路装置において、前記第1のインピーダンス素子のインピーダンス値と、前記キャパシタ素子の容量値は、通常動作時の電源立ち上がり時間に基づき設定されるインピーダンス値と容量値の関係に基づき設定された所定の条件を満たす構成でもよい。

40

【図面の簡単な説明】

【0030】

【図1】 本発明の第1の実施形態の静電気放電保護回路の構成を示す図。

【図2】 本発明の第2の実施形態の静電気放電保護回路の構成を示す図。

【図3】 本発明の第3の実施形態の静電気放電保護回路の構成を示す図。

【図4】 本発明の第4の実施形態の静電気放電保護回路の構成を示す図。

【図5】 ヒューマンボディモデルにおける電流波形を示した図。

【図6】 図10において、 $C = 2 \text{ pF}$ 、 $R = 100 \text{ k}\Omega$ 、時定数 $t = 2 \text{ pF} \times 100 \text{ k}\Omega$

50

= 200 nsecとした場合の電流波形と電圧波形を示した図。

【図7】図10において、 $C = 4 \text{ pF}$ 、 $R = 300 \text{ k}\Omega$ 、時定数 $t = 4 \text{ pF} \times 300 \text{ k}\Omega = 1.2 \text{ }\mu\text{sec}$ とした場合の電流波形と電圧波形を示した図。

【図8】図1において、ヒューマンボディモデルにおける電流波形と電圧波形を示した図。

【図9】図2において、ヒューマンボディモデルにおける電流波形と電圧波形を示した図。

【図10】従来技術の静電気放電保護回路の構成を示す図

【図11】従来技術の静電気放電保護回路の構成を示す図

【発明を実施するための形態】

10

【0031】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0032】

1. 第1の実施形態

図1は、第1の実施形態の静電気放電保護回路の構成を示す図である。

【0033】

第1の実施形態の静電気放電保護回路100は、第1の電位となる第1のライン101と、前記第1の電位よりも低い第2の電位となる第2のライン102を含む。第1のライン101や第2のライン102は、例えばVDDやVSS等に接続された電源ラインでもよいし、入力端子に接続された端子ラインでもよい。

20

【0034】

静電気放電保護回路100は、第1のライン101と第2のライン102の間に接続されたトリガー回路150と、第1のライン101と第2のライン102の間に接続され、ゲートが前記トリガー回路の所定の接続ノードに直接又は間接的に接続されて、前記ゲート電位の変化により導通する電界効果型トランジスタ103を含む放電回路130を備える。

【0035】

トリガー回路150は、並列に接続された第1の回路110と第2の回路120を含む。第1の回路110は、第1のライン101と第2のライン102との間に、直列に接続された第1のライン101側の第1のインピーダンス素子106と、第2のライン102側のキャパシター素子108とを含む。また第1のインピーダンス素子106と直列に、かつ前記キャパシター素子108とは並列に接続された第1のNチャネルトランジスタ105を含む。

30

【0036】

第2の回路120は、第1のライン101と第2のライン102との間に、直列に接続された第1のライン101側のPチャネルトランジスタ104と、第2のライン102側の第2のインピーダンス素子107を含む。Pチャネルトランジスタ104のゲートは、第1のインピーダンス素子106と、キャパシター素子108との間の第1のノードN1に接続され、第1のNチャネルトランジスタ105のゲートは、Pチャネルトランジスタ104と、第2のインピーダンス素子107との間の第2のノードN2に接続される。ここにおいて所定の接続ノードは、前記第1のノードN1又は前記第2のノードN2である。

40

【0037】

また放電回路130は、電界効果型トランジスタ103としてNチャネルトランジスタを含み、Nチャネルトランジスタ103は、前記第1のノードN1又は前記第2のノードN2の電位の上昇により導通するように構成してもよい。

【0038】

第1のインピーダンス素子106は、抵抗素子で構成されていてもよい。また第2のイ

50

ンピーダンス素子107も、抵抗素子で構成されていてもよい。キャパシター素子108は、コンデンサーで構成してもよい。第1のNチャネルトランジスター105や電界効果型トランジスター103はNMOSTランジスターで構成してもよい。Pチャネルトランジスター104はPMOSTランジスターで構成してもよい。

【0039】

また、第1のライン101にカソードが接続され、第2のライン102にアノードが接続されたダイオード140を備えてもよい。このようにすると、ESDイベントとして、第1のライン101を基準にして第2のライン102に正のESDサージが印加された場合に、このESDサージによる電荷を、このダイオード140を経由して第1のライン101に流すことができる。従って、第2のライン102と第1のライン101との間に高電圧が印加されることを防止することができる。

10

【0040】

第2の電源ライン102に対して、第1の電源ライン101に正の静電気印加を受けた場合の動作について説明する。また説明を容易とするために第2の電源ライン102の電位を0Vとする。また、抵抗素子107の抵抗値は、抵抗素子106と比較して、十分大きい値である場合について説明する。

【0041】

第1のステップにおいて、電源ライン101の電位が0Vから急激に上昇する。第2のステップにおいて、キャパシター素子108の容量カップリングによりPチャネルトランジスター104のゲート電位が0Vから上昇することを抑え、Pチャネルトランジスター104がオンする。第3のステップにおいて、第2のインピーダンス素子107に電流が流れ、第1のNチャネルトランジスター105及び電界効果型トランジスター103のゲート電位が上昇する。第4のステップにおいて、第1のNチャネルトランジスター105がオンし、第1のインピーダンス素子106に電流が流れ、Pチャネルトランジスター104のゲート電位は下がり電位は0Vとなる。同時に、電界効果型トランジスター103にも電流が流れ始める。第5のステップにおいて、Pチャネルトランジスター104に流れる電流がさらに増え、第2のインピーダンス素子107に流れる電流も増え、第1のNチャネルトランジスター105及び電界効果型トランジスター103のゲート電位は、第1の電源ライン101と同電位となる。同時に電界効果型トランジスター103に大電流が流れ続ける。第6のステップにおいて、静電気放電により第1の電源ライン101の電位が下がるとともに、Pチャネルトランジスター104と第1のNチャネルトランジスター105のオン抵抗は上昇する。第1のNチャネルトランジスター105のオン抵抗が第1のインピーダンス素子106の抵抗値前後において、第1のNチャネルトランジスター105のドレイン電位は上がり、Pチャネルトランジスター104はオフ状態となる。同時に電界効果型トランジスター103と第1のNチャネルトランジスター105のゲート電位も下がりオフ状態となる。

20

30

【0042】

以上、説明する便宜上、第2のインピーダンス素子107の抵抗値は、第1のインピーダンス素子106と比較して、十分大きい値として説明したが、第1のインピーダンス素子106の抵抗値が第2のインピーダンス素子107よりも大きい場合は、上記第6のステップにおいて、トランジスターがオフする順序が変わるだけで、同様な動作をする。

40

【0043】

上記第1のステップ～第5のステップの動作の通り、第1の実施形態の静電気放電保護回路100は、抵抗素子106とキャパシター素子108の作用により、Pチャネルトランジスター104と、第1のNチャネルトランジスター105及び電界効果型トランジスター103がオフ状態からオン状態に遷移し、一旦オン状態になるとCR時定数に関係なく、第1の電源ライン101の電位が高い状態ではオンの状態を保ち続ける。よって、電荷放電している途中において、新たにESDイベントが発生し、静電気放電による電荷が注入された場合や、短時間で連続してESDイベントが発生した場合でも静電気放電保護回路はオンの状態を保ち続け、静電気放電を行うことができる。

50

【0044】

NチャネルトランジスタとPチャネルトランジスタは、それぞれ同じ種類（ V_{th} 等が等しい）のMOSトランジスタで構成してもよい。このようにすると、新たなプロセス工程を追加する必要がなく、低コストで実現できる。

【0045】

またキャパシター素子108と電界効果型トランジスタ103の間には、Pチャネルトランジスタ104の回路素子が1段分のみであるため、ESDイベントの発生を受けてから電界効果型トランジスタ103がオンするまでの応答時間が早い。

【0046】

またキャパシター素子108と第1のインピーダンス素子106は、従来技術と同様ハイパスフィルターの回路構成となっている。すなわち、第1のライン101を測定GND、第2のライン102を信号入力、Pチャネルトランジスタ104の入力部が信号の出力とみなすことができる。よって遮断周波数は、 $f(C, R) = 1 / (2\pi RC)$ で決まってくる。例えば、キャパシター素子108の容量値を $C = 1\text{pF}$ 、第1のインピーダンス素子106の抵抗値を $R = 2\text{k}\Omega$ とすると遮断周波数は、 $f(C = 1\text{pF}, R = 2\text{k}\Omega) = 79.6\text{MHz}$ である。すなわち従来技術（図10）と比較してキャパシター素子と抵抗素子は小さくなるため、回路面積も小さくすることができる。

【0047】

図5は、ヒューマンボディモデルにおける電流波形501を示した図である。例えば2000V印加時は、約1.3Aのピーク電流が流れる。また全ての電荷が放電するまでに約1 μs の時間がかかる。よって、図10や図11の静電気放電保護回路のようにCRの時定数によりNチャネルトランジスタ（図10の1102、図11の1240）のオン時間を設定する場合は、1 μs 程度の時定数とすることが望ましい。

【0048】

図6は、図10の静電気放電保護回路において、 $C = 2\text{pF}$ 、 $R = 100\text{k}\Omega$ 、時定数 $t = 2\text{pF} \times 100\text{k}\Omega = 200\text{ns}$ とした場合のヒューマンボディモデルにおける電流波形501と電圧波形502をシミュレーションした結果の図である。シミュレーションで用いた静電気放電保護回路は、動作最大2.5Vの内部回路を保護することを目的としている。約100nsのタイミングにおいて、Nチャネルトランジスタ1102がオフ状態となり、電圧波形が、減少から増加へ転じており、結果的に動作最大2.5Vを超えており、よってCRの時定数としては値が小さく適切ではないことを示している。

【0049】

図7は、図10の静電気放電保護回路において、 $C = 4\text{pF}$ 、 $R = 300\text{k}\Omega$ 、時定数 $t = 4\text{pF} \times 300\text{k}\Omega = 1.2\mu\text{s}$ とした場合のヒューマンボディモデルにおける電流波形501と電圧波形502をシミュレーションした結果の図である。シミュレーションで用いた静電気放電保護回路は、動作最大2.5Vの内部回路を保護することを目的としている。いずれの印加電圧においても、動作最大2.5Vを超えることはなく、内部回路を破壊に至らしめることはない。しかしながら、印加電圧が高いほど途中から印加波形が上昇に転じている。このような状態でさらに外部より2回目のESDイベントが発生すると1回目のESDイベントと比較すると、キャパシターへ電荷が蓄積された分、NMOSのオン時間が短くなる。

【0050】

図10の静電気放電保護回路において、CR回路部1101は、ハイパスフィルターの回路構成となっている。すなわち、1100_1を測定GND、1100_2を信号入力、インバーター1103の入力部が信号の出力とみなすことができる。よって遮断周波数は、 $f(C, R) = 1 / (2\pi RC)$ で決まってくる。例えば、時定数1 μs （ $C = 4\text{pF}$ 、 $R = 250\text{k}\Omega$ ）の設定では、遮断周波数は、 $f(C = 4\text{pF}, R = 250\text{k}\Omega) = 159\text{kHz}$ となる。すなわち前述の遮断周波数以上の信号が電源ラインに加わった場合には、インバーター1103のゲートへ信号が伝わり、静電気放電保護回路が動作す

10

20

30

40

50

る必要条件を満たすこととなる。

【0051】

一方、LSIへ電源を供給する電源ICは、電源立ち上がり時間が 300 nsec/V と比較的早い製品が知られている。例えば、 2.5 V の電源を共有する場合、 750 nsec で電源が立ち上がる。周波数に換算すると、 1.33 MHz であり、前述の遮断周波数を上回るため、静電気放電保護回路が動作する可能性があることを意味している。

【0052】

図11の静電気放電保護回路も同様にハイパスフィルターの回路構成を有している。

【0053】

以上より、図10や、図11の静電気放電保護回路において、 1 usec 程度の時定数を確保することは、ハイパスフィルターの遮断周波数を 159 kHz に設定することとなり、電源立ち上がり時や電源変動時にESD保護回路が動作してサージ電流を発生し、また 159 kHz の成分を含むノイズに対してもIC内部に信号が伝わり後動作の要因となること意味している。

【0054】

なお静電気印加時における立ち上がり時間は、ヒューマンボディモデルが比較的遅いといわれており、約 10 nsec で立ち上がることが知られている。立ち上がり時間 10 nsec は、 100 MHz 相当であるため、図6や図7の遮断周波数よりはるかに高いため静電気放電保護回路は動作するに至っている。

【0055】

なお図6と図7で用いた静電気放電保護回路の遮断周波数は以下の通りである。

【0056】

$f(C=2\text{ pF}, R=100\text{ k}\Omega) \quad 796\text{ kHz}$

$f(C=4\text{ pF}, R=300\text{ k}\Omega) \quad 133\text{ kHz}$

【0057】

図8は、図1の静電気放電保護回路へヒューマンボディモデルにおける電流波形501と電圧波形502をシミュレーションした結果の図である。キャパシター素子108の容量値は 1 pF 、インピーダンス素子106の抵抗値は $2\text{ k}\Omega$ の例である。

【0058】

同図に示すように図2の静電気放電保護回路は、静電気放電による電荷を十分に放電した後、静電気放電保護回路がオフ状態となり、電圧が上昇に転じている。動作最大電圧 2.5 V を超えてはいるものの、ブレイクダウン電圧には達していないため、静電気放電に対して保護できている。

【0059】

2. 第2の実施形態

図2は、第2の実施形態の静電気放電保護回路の構成を示す図である。

【0060】

第2の実施形態の静電気放電保護回路において、図1の第1の実施形態の静電気放電保護回路と同様の構成要素については、図1と同様の番号を付しており、説明を省略する。

【0061】

第2の実施形態の静電気放電保護回路200は、第1のインピーダンス素子（図1の106）が、ゲートが第2のライン（例えば電源ライン）102に接続されたPチャネルトランジスタ206で構成されていてもよい。すなわち、図1の第1の静電気放電保護回路100において、抵抗素子106の変わりにPチャネルトランジスタ（PMOSTランジスタ）206へ置き換えた構成でもよい。

【0062】

第1のインピーダンス素子106をMOSTランジスタで構成することにより、静電気放電により、第1のライン101の電位が下がるとともに、Pチャネルトランジスタ（PMOSTランジスタ）206のオン抵抗も下がるため、途中でPチャネルトランジスタ（PMOSTランジスタ）104がオフ状態になることが無くなる。

10

20

30

40

50

また第2のインピーダンス素子107をNチャネルトランジスタ（NMOSTランジスタ）307で構成することにより、第1のNチャネルトランジスタ（例えばNMOST

Sトランジスター) 105とNチャネルトランジスター(NMOSトランジスター) 307のトランジスターのゲート膜厚の製造バラツキに対して影響が少ない静電気放電保護回路を実現することができる。

【0072】

4. 第4の実施形態

図4は、第4の実施形態の静電気放電保護回路の構成を示す図である。

【0073】

第4の実施形態の静電気放電保護回路400において、図1の第1の実施形態の静電気放電保護回路100と同様の構成要素については、図1と同様の番号を付しており、説明を省略する。

【0074】

第4の実施形態の静電気放電保護回路400は、入力側409aが第1のノード(N1)に接続され、出力側409bが前記電界効果型トランジスター103のゲートに接続されたインバーター回路409をさらに含んでもよい。

【0075】

第1の実施形態の静電気放電保護回路の動作の第4のステップにおいて、第1のNチャネルトランジスター105がオンするタイミングでインバーター409の出力はハイレベルとなり、電界効果型トランジスター(NMOSトランジスター)103がON状態となる。

【0076】

5. 第5の実施形態

本実施の形態の静電気放電保護回路の第1のインピーダンス素子106の抵抗値Rとキャパシター素子108の容量値Cは、以下の関係を満たすような値としてもよい。

【0077】

$$10\text{MHz} < 1 \div (2\pi RC) < 100\text{MHz}$$

上記関係式において、 $1 \div (2\pi RC)$ を100MHz未満とした理由は、ヒューマンボディモデルにおける立ち上がり時間が、約10nsであるためで、立ち上がり時間10nsは、100MHzに相当する。

【0078】

上記関係式において、 $1 \div (2\pi RC)$ を10MHz以上の理由は、通常動作時における電源の上がり時間は、100nsよりも遅いことを想定しているためで、立ち上がり時間100nsは、10MHzに相当する。

【0079】

このようにすることにより、立ち上がり時間が10ns以下の静電気放電に対しては、静電気放電保護回路として動作し、通常動作における電源投入時において100nsよりも遅い上がり時間であれば、静電気放電保護回路として動作はせずに、サージ電流が発生することは無い。

【0080】

本発明は、実施形態および変形例で説明した構成と実質的に同一の構成(例えば、機能、方法および結果が同一の構成、あるいは目的および効果が同一の構成)を含む。また、本発明は、実施形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施形態で説明した構成と同一の作用効果を奏する構成または同一の目的を達成することができる構成を含む。また、本発明は、実施形態で説明した構成に公知技術を付加した構成を含む。

【符号の説明】

【0081】

100 第1の実施形態の静電気放電保護回路、 101 第1のライン、102 第2のライン、103 電界効果トランジスター、104 前記Pチャネルトランジスター、105 第1のNチャネルトランジスター、106 第1のインピーダンス素子、107 第2のインピーダンス素子、108 キャパシター素子、110 第1の回路、120

10

20

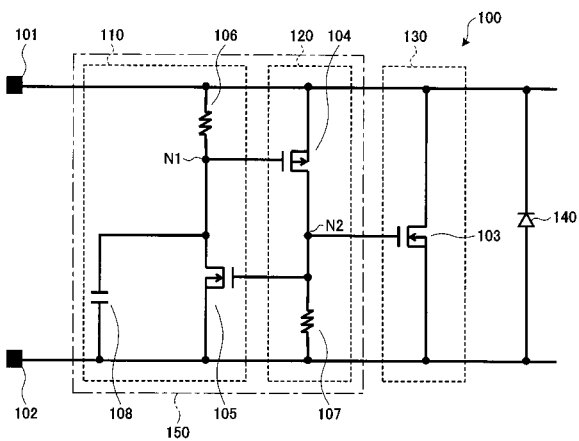
30

40

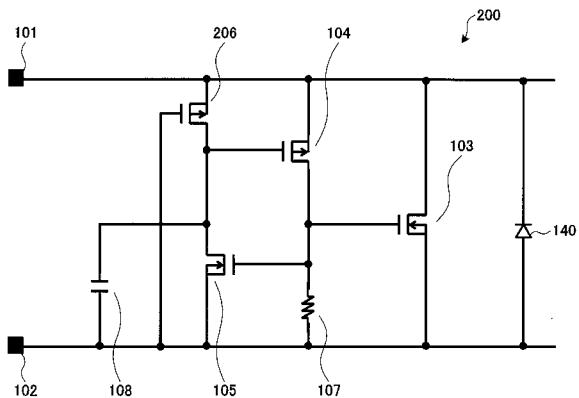
50

第2の回路、130 放電回路、140 ダイオード、150 トリガー回路、N1 第1のノード、N2 第2のノード、200 第2の実施形態の静電気放電保護回路、206 第1の抵抗素子、300 第3の実施形態の静電気放電保護回路、307 第2の抵抗素子、308 Nチャネルトランジスタ（NMOSトランジスタ）、400 第4の実施形態の静電気放電保護回路

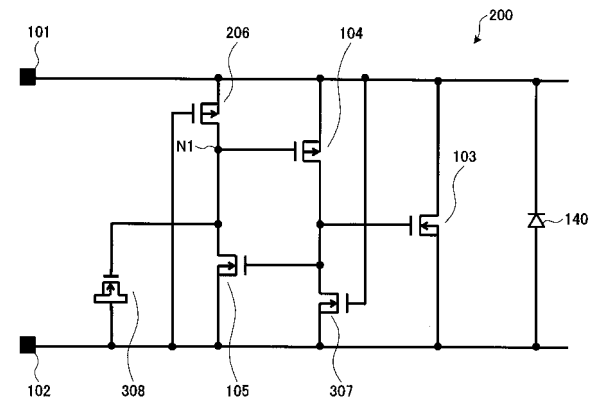
【図1】



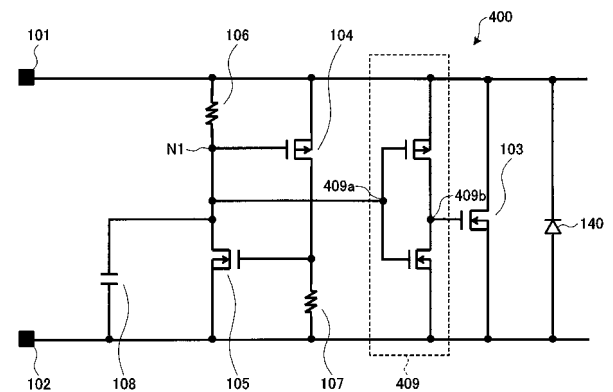
【図2】



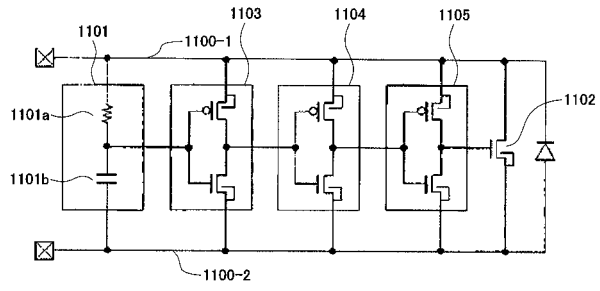
【図3】



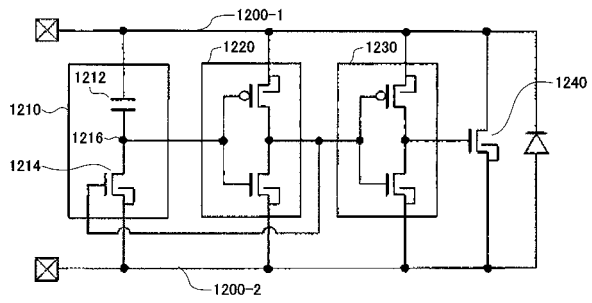
【図4】



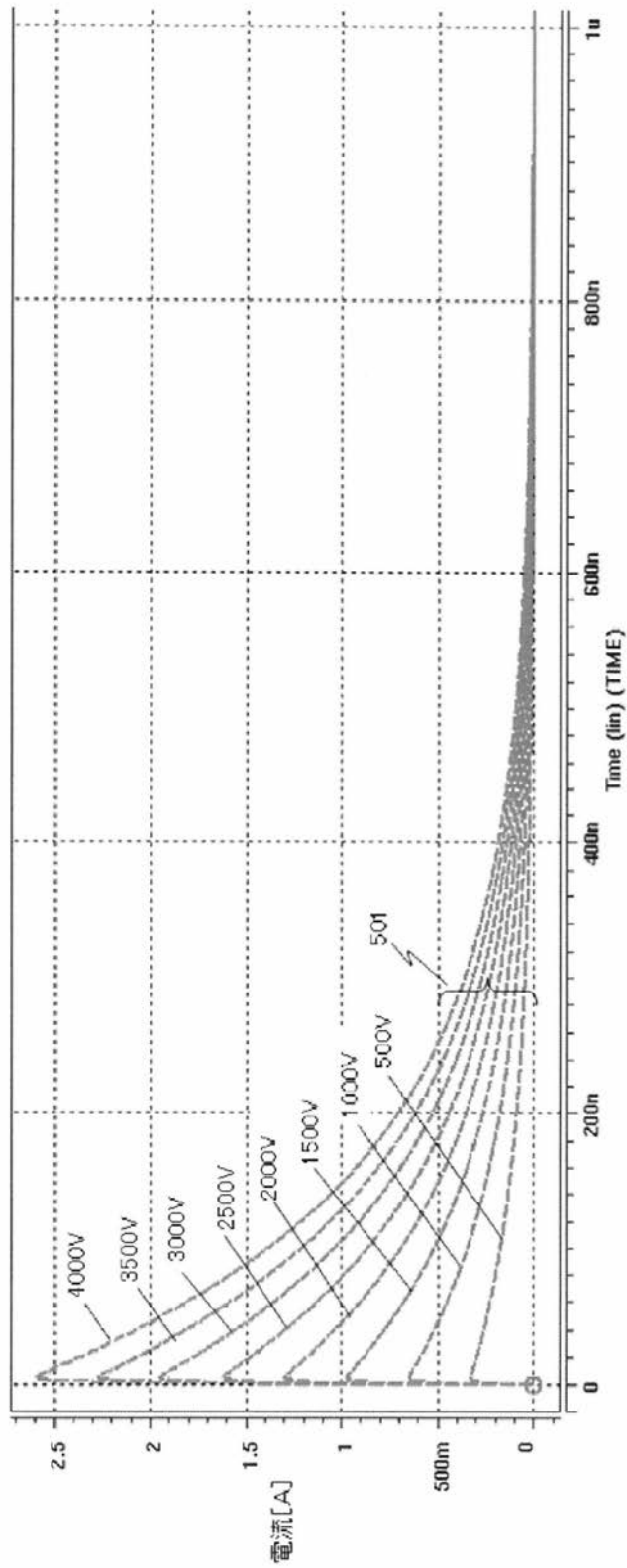
【図 10】



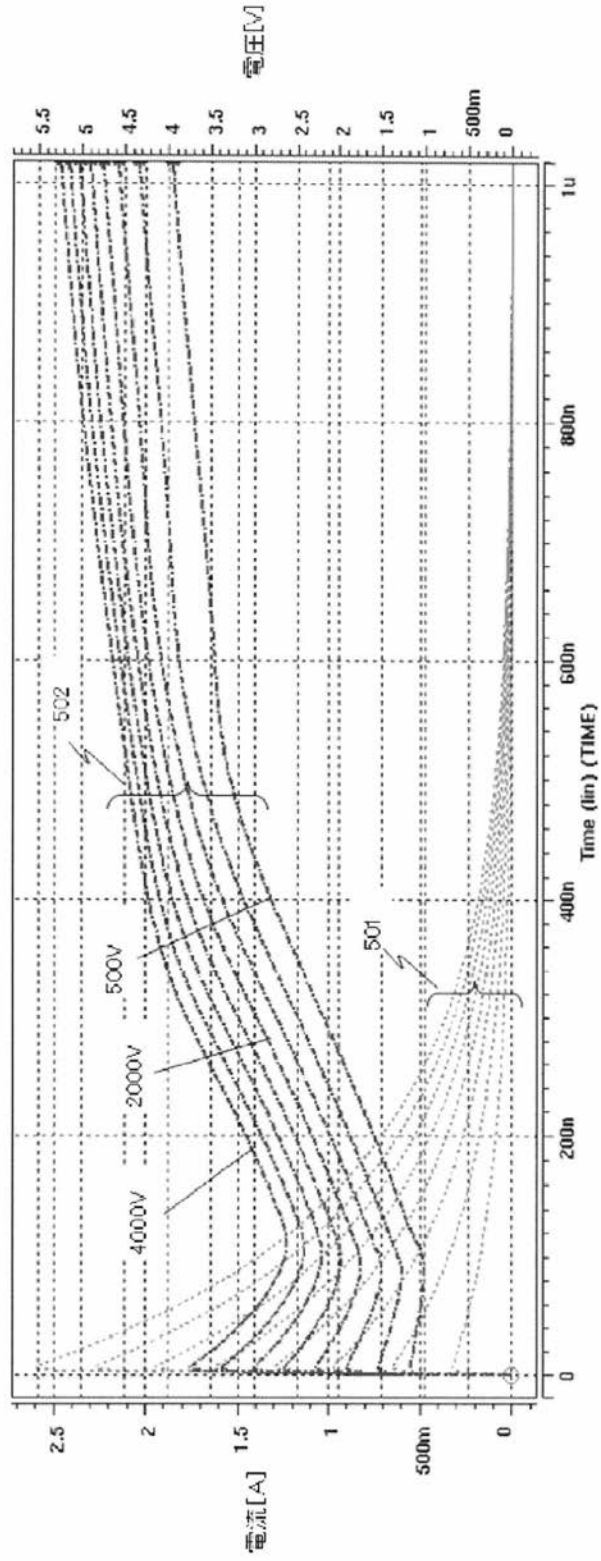
【図 11】



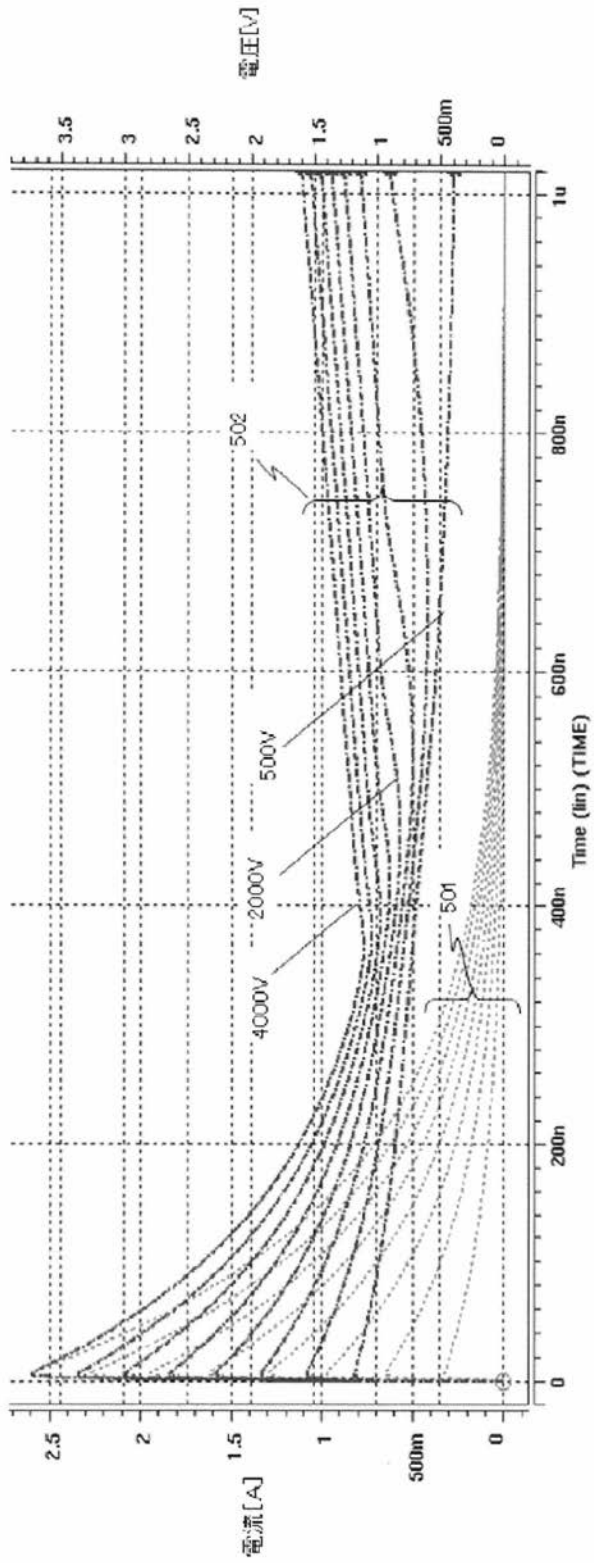
【図 5】



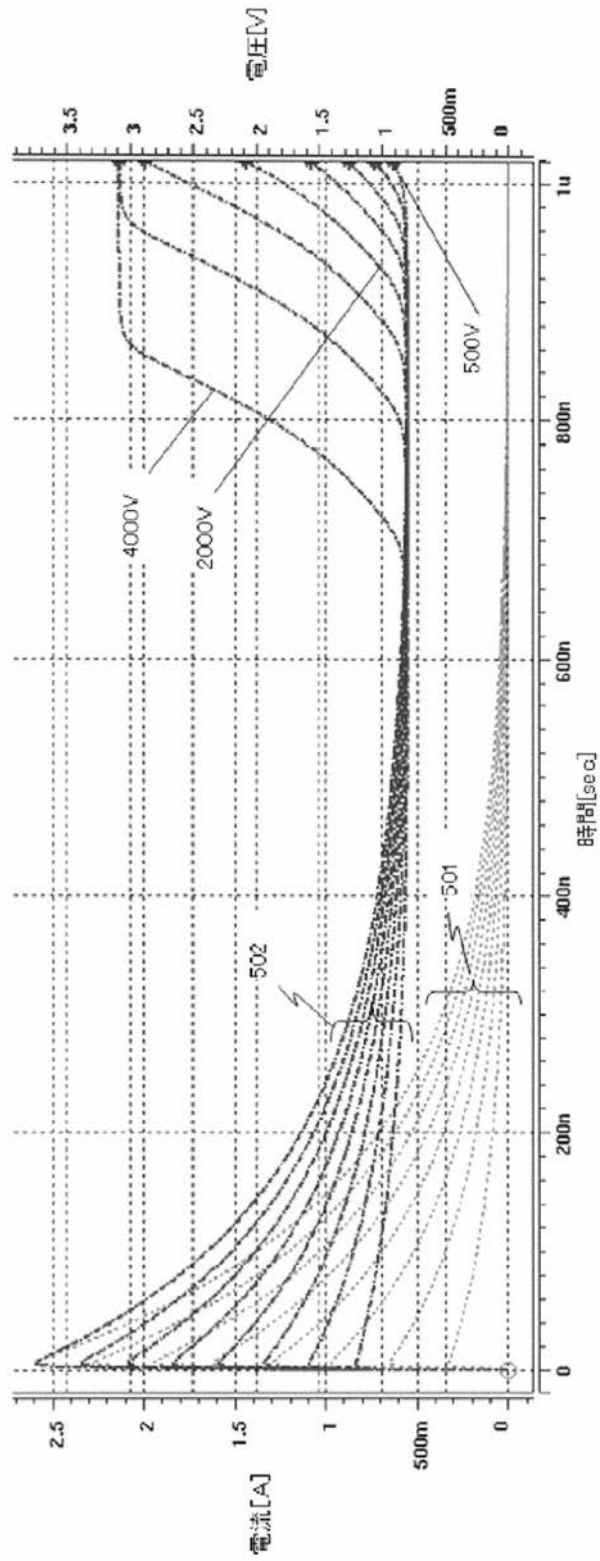
【図 6】



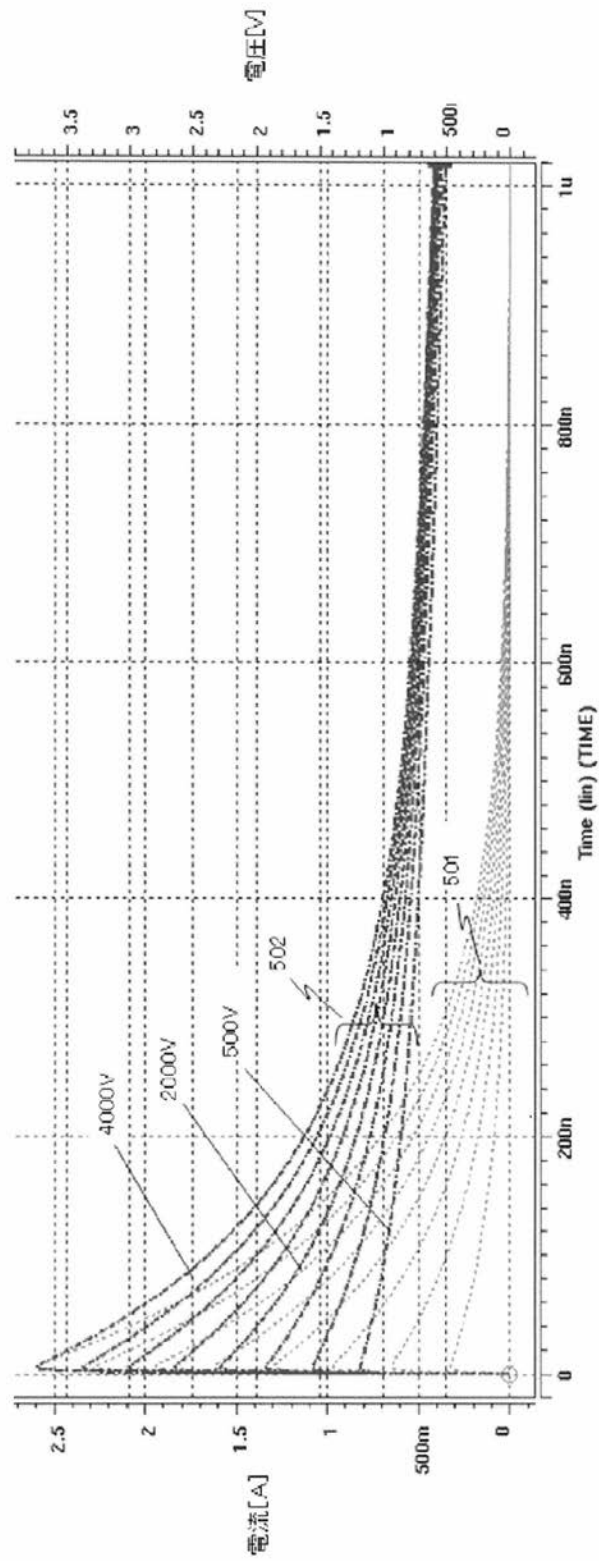
【図 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考) 5G004 AA04 AB02 BA08 CA04 DC01 DC13
5J055 AX31 BX17 DX12 EY01 EY10 EY12 EY21 EZ12 FX19 GX01
GX06