

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年8月27日(2020.8.27)

【公表番号】特表2019-530227(P2019-530227A)

【公表日】令和1年10月17日(2019.10.17)

【年通号数】公開・登録公報2019-042

【出願番号】特願2019-513978(P2019-513978)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/78 301H

【手続補正書】

【提出日】令和2年7月17日(2020.7.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フィン電界効果トランジスタFinFETであって、

基板と、

前記基板の上に配設された第1のフィンであって、

第1のソースと、

第1のドレインと、

前記第1のソースと前記第1のドレインとの間に配設された第1のチャネル領域とを備える第1のフィンと、

前記第1のチャネル領域の周りに配設されたゲートと、

前記基板の上にかつ前記第1のフィンの第1の側の前記第1のチャネル領域に隣接するように配設された第1の誘電体材料層であって、前記第1のチャネル領域に応力を加える第1の誘電体材料層と、

前記基板の上にかつ前記第1の側とは異なる前記フィンの第2の側の前記第1のチャネル領域に隣接するように配設された第2の誘電体材料層であって、前記第1のチャネル領域に応力を加える第2の誘電体材料層と、

前記基板の上にかつ前記フィンに実質的に平行に配設された第2のフィンであって、

第2のソースと、

第2のドレインと、

前記第2のフィンの前記第2のソースと前記第2のドレインとの間に配設された第2のチャネル領域とを備える第2のフィンと、

前記第2のフィンの前記第2のチャネル領域の周りに配設された前記ゲートと、

前記基板の上にかつ前記第2のフィンの第2の側の前記第2のチャネル領域に隣接するように配設された第3の誘電体材料層であって、前記第2のフィンの前記第2のチャネル領域に応力を加える第3の誘電体材料層と

を備え、

前記第2の誘電体材料層は、前記第2の誘電体材料層が前記第2のフィンの前記第2のチャネル領域に応力を加えるように、前記基板の上にかつ前記第2の側とは異なる前記第2のフィンの第1の側の前記第2のチャネル領域に隣接するように配設され、

前記第1のフィンと前記第2のフィンとの間の距離が、32ナノメートルにほぼ等しいか、または32ナノメートル未満である、FinFET。

【請求項2】

前記第1の誘電体材料層の上面は、前記第1のフィンの上面よりも低く、
前記第2の誘電体材料層の上面は、前記第1のフィンの上面よりも低い、請求項1に記載のFinFET。

【請求項3】

前記FinFETはN型FinFETを備え、
前記第1および第2の誘電体材料層は、前記第1および第2の誘電体材料層が前記第1のチャネル領域に引張応力を加えるように1つまたは複数の酸化物材料を含む、請求項1に記載のFinFET。

【請求項4】

前記FinFETはP型FinFETを備え、
前記第1および第2の誘電体材料層は、前記第1および第2の誘電体材料層が前記第1のチャネル領域に圧縮応力を加えるように1つまたは複数の酸化物材料を含む、請求項1に記載のFinFET。

【請求項5】

前記FinFETの活性層を囲む活性領域境界をさらに備え、前記活性層は、その上に前記ソースおよびドレインが形成された前記基板のドープ領域に対応し、前記第1の誘電体材料層、前記第2の誘電体材料層、および前記第3の誘電体材料層の各々は、前記活性領域境界内に配設される、請求項1に記載のFinFET。

【請求項6】

集積回路ICに組み込まれる、請求項1に記載のFinFET。

【請求項7】

誘電体材料層を使用してチャネル領域に応力を加えるFin電界効果トランジスタFinFETを製作するための方法であって、

第1のフィンおよび第2のフィンを備える基板を設けるステップであって、前記第1のフィンは、第1のソースと、第1のドレインと、前記第1のソースと前記第1のドレインとの間に配設された第1のチャネル領域とを備え、前記第2のフィンは、第2のソースと、第2のドレインと、前記第2のソースと前記第2のドレインとの間に配設された第2のチャネル領域とを備える、ステップと、

前記基板の上にかつ前記第1のフィンの第1の側の前記チャネル領域に隣接するように第1の誘電体材料層を配設するステップと、

前記基板の上にかつ前記第1のフィンの第2の側の前記チャネル領域に隣接するように第2の誘電体材料層を配設するステップであって、前記第2の側が前記第1の側とは異なる、ステップと、

前記フィン、前記第2のフィン、前記第1の誘電体材料層、および前記第2の誘電体材料層の上のゲート領域内に、前記FinFETのゲート長にほぼ等しい幅を有するゲートを配設するステップとを含み、

前記第1のフィンと前記第2のフィンとの間の距離が、32ナノメートルにほぼ等しいか、または32ナノメートル未満である、方法。

【請求項8】

前記第1の誘電体材料層を配設する前記ステップは、前記基板の上に、かつ前記FinFETの活性層を囲む活性領域境界内の前記第1のフィンの第1の側の前記チャネル領域に隣接するように前記第1の誘電体材料層を配設するステップであって、前記活性層は、その上に前記ソースおよびドレインが形成された前記基板のドープ領域に対応する、ステップを含み、

前記第2の誘電体材料層を配設する前記ステップは、前記基板の上に、かつ前記活性領域境界内の前記第1のフィンの前記第2の側の前記チャネル領域に隣接するように前記第2の誘電体材料層を配設するステップを含む、請求項7に記載の方法。

【請求項 9】

前記第1の誘電体材料層および前記第2の誘電体材料層をウェットアニールして前記Fin FETの前記チャネル領域に加えられる応力を調整するステップをさらに含む、請求項7に記載の方法。

【請求項 10】

前記第1の誘電体材料層および前記第2の誘電体材料層をドライアニールして前記Fin FETのチャネル領域に加えられる応力を調整するステップをさらに含む、請求項9に記載の方法。

【請求項 11】

前記ゲートを配設する前記ステップは、

前記Fin FETのゲート長にほぼ等しい幅を有するゲート酸化物層を前記第1のフィンおよび前記第2のフィンの上の前記ゲート領域内に配設するステップと、

前記ゲート酸化物層、前記第1の誘電体材料層、および前記第2の誘電体材料層の上のゲート領域内に、前記Fin FETの前記ゲート長にほぼ等しい幅を有するゲート誘電体材料層を配設するステップと、

前記ゲート誘電体材料層の上の前記ゲート領域内に、前記Fin FETの前記ゲート長にほぼ等しい幅を有する仕事関数層を配設するステップと、

前記仕事関数層の上の前記ゲート領域内に、前記Fin FETの前記ゲート長にほぼ等しい幅を有する導電層を配設するステップとを含む、請求項7に記載の方法。

【請求項 12】

前記ゲート領域の第1の側の前記Fin FETのソース領域に対応する前記第1のフィンをエッチングするステップと、

前記ゲート領域の第1の側とは異なる前記ゲート領域の第2の側の前記Fin FETのドレイン領域に対応する前記第1のフィンをエッチングするステップと、

前記ソース領域においてソース材料を成長させるステップと、

前記ドレイン領域内でドレイン材料を成長させるステップとをさらに含む、請求項7に記載の方法。

【請求項 13】

前記第1の誘電体材料層を配設する前記ステップは、流動化学気相堆積を使用して前記基板の上にかつ前記第1のフィンの前記第1の側の前記チャネル領域に隣接するように前記第1の誘電体材料層を配設するステップを含み、

前記第2の誘電体材料層を配設する前記ステップは、流動化学気相堆積を使用して前記基板の上にかつ前記第1のフィンの前記第2の側の前記チャネル領域に隣接するように前記第2の誘電体材料層を配設するステップを含む、請求項7に記載の方法。

【請求項 14】

前記第1の誘電体材料層を配設する前記ステップは、流動化学気相堆積を使用して前記基板の上にかつ前記第1のフィンの前記第1の側に隣接するように1つまたは複数の酸化物材料を配設するステップを含み、

前記第2の誘電体材料層を配設する前記ステップは、流動化学気相堆積を使用して前記基板の上にかつ前記第1のフィンの前記第2の側に隣接するように1つまたは複数の酸化物材料を配設するステップを含む、請求項7に記載の方法。

【請求項 15】

前記第1の誘電体材料層を配設する前記ステップは、高アスペクト比処理を使用して前記基板の上にかつ前記第1のフィンの前記第1の側の前記チャネル領域に隣接するように1つまたは複数の酸化物材料を配設するステップを含み、

前記第2の誘電体材料層を配設する前記ステップは、高アスペクト比処理を使用して前記基板の上にかつ前記第1のフィンの前記第2の側の前記チャネル領域に隣接するように1つまたは複数の酸化物材料を配設するステップを含む、請求項7に記載の方法。