

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 2 月 14 日(14.02.2013)



(10) 国際公開番号

WO 2013/021992 A1

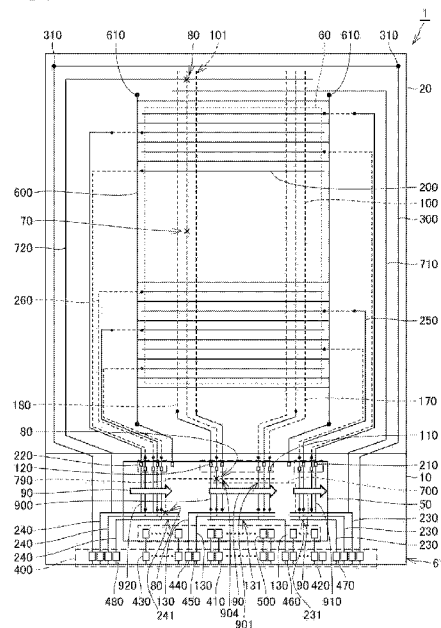
- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09F 9/00 (2006.01)
G02F 1/1345 (2006.01) G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2012/070067
- (22) 国際出願日: 2012 年 8 月 7 日(07.08.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-174663 2011 年 8 月 10 日(10.08.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 小笠原 功
(OGASAWARA, Isao). 吉田 昌弘 (YOSHIDA,
Masahiro).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami
Patent Office, p.c.); 〒5300005 大阪府大阪市北区中
之島二丁目 2 番 7 号 中之島セントラルタワー
Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス型表示装置

[図4]

FIG.4



(57) Abstract: An active matrix display device is equipped with: first auxiliary wiring (700) that intersects second common wiring (230) through an insulation film, and that intersects any of multiple first connection wires (900) through an insulation film; and second auxiliary wiring (710) that intersects, through an insulation film, any of multiple redundant parts (101), which are the other end portions of each of multiple source wires (100) and are located outside of a display region (60), and that, in a plan view, is positioned outside of multiple second lead-out wires (250) and a first drive circuit, and is capable of being connected electrically to the second common wiring (230). On each of the multiple first connection wires (900), multiple intersecting parts (901), where the first auxiliary wiring (700) and the multiple first connection wires (900) connect, are located closer to the multiple source terminals (110, 120) side than first blocking parts.

(57) 要約: アクティブマトリクス型表示装置においては、第 2 共通配線(230)と絶縁膜を介して交差し、かつ、複数の第 1 接続用配線(900)のいずれかと絶縁膜を介して交差する第 1 予備配線(700)と、複数のソース配線(100)の各々の他端側の部分であって表示領域(60)の外側に位置する複数の冗長部(101)のいずれかと絶縁膜を介して交差し、平面視において複数の第 2 引出配線(250)および第 1 駆動回路の外側に位置して、第 2 共通配線(230)と電氣的に接続可能な第 2 予備配線(710)とを有する。第 1 予備配線(700)と複数の第 1 接続用配線(900)とが交差している複数の交差部(901)は、複数の第 1 接続用配線(900)の各々において第 1 障害部より複数のソース端子(110, 120)側に位置している。

明 細 書

発明の名称：アクティブマトリクス型表示装置

技術分野

[0001] 本発明は、アクティブマトリクス型表示装置に関する。

背景技術

[0002] アクティブマトリクス型表示装置である液晶表示装置において、予備配線を備えた装置を開示した先行文献として特開２００３－２２２８９５号公報（特許文献１）および特開２００５－２４９９９３号公報（特許文献２）がある。

[0003] 特許文献１に記載された液晶表示装置は、ＴＦＴ(thin film transistor)アレイ基板上において、ＩＣ(integrated circuit)の実装部における入出力端子間を通過する、表示領域の欠陥を修正するための予備配線を備えている。また、アクティブマトリクス素子を駆動するＩＣの内部を通して電氣的に接続される入力側端子と出力側端子とからなるスルー端子が設けられている。さらに、予備配線がスルー端子の出力側に接続され、画像検査時に使用するＲＧＢごとに接続された一括点画ラインがスルー端子の入力側に接続されている。

[0004] アクティブマトリクス素子を駆動するＩＣ実装前に、レーザなどにより一括点画ラインは切断される。アクティブマトリクス素子を駆動するＩＣ実装後においては、スルー端子に接続された配線のみによって回路が構成されている。

[0005] 特許文献２に記載されたアクティブマトリクス型表示装置においては、ＴＦＴへの入力配線とＦＰＣ(Flexible Printed Circuits)基板側の配線とを接続する端子間ショート用配線をレーザ照射により切断している。断線不良箇所を有するＴＦＴへの入力配線がある場合には、切断した端子間ショート用配線を金属錯体で修正することにより、または、レーザスキップして一部の入力端子間ショート用配線を除いて他の入力端子間ショート用配線を切断することによりリペアしている。

先行技術文献

特許文献

[0006] 特許文献1：特開2003-222895号公報

特許文献2：特開2005-249993号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1に記載された液晶表示装置においては、実装されるICなどのドライバに、スルー端子に対応した経路および端子を形成する必要がある。

特許文献2に記載されたアクティブマトリクス型表示装置においては、リペアする際にレーザスキップまたは金属錯体を用いた修正が必要となり、複雑なりペア方法が必要である。また、アクティブマトリクス基板の外部に予備配線を設けた場合には、製造コストの観点から問題がある。

[0008] 本発明は上記の問題点に鑑みてなされたものであって、廉価に作製して簡易にリペアすることができるとともに、実装されるドライバの構成を簡略化できる、アクティブマトリクス型表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明に基づくアクティブマトリクス型表示装置は、アクティブマトリクス基板と、アクティブマトリクス基板に実装されるドライバと、アクティブマトリクス基板に電氣的に接続される外部基板とを備える。アクティブマトリクス基板は、少なくとも表示領域において互いに平行に延在する複数の第1配線と、表示領域において互いに平行に延在し、複数の第1配線と絶縁膜を介して交差する複数の第2配線とを有する。また、アクティブマトリクス基板は、複数の第1配線の一端側の表示領域の外側に位置する端子領域内の表示領域側に位置し、複数の第2配線の延在方向に並び、ドライバからの信号を複数の第1配線にそれぞれ送る複数の第1送信端子と、複数の第1配線の一端側の表示領域の外側に位置する端子領域内の表示領域側に位置し、複数の第2配線の延在方向に並び、ドライバからの信号を複数の第2配線にそ

れぞれ送る複数の第2送信端子とを有する。さらに、アクティブマトリクス基板は、複数の第1配線の一端側と複数の第1送信端子とをそれぞれ接続する複数の第1引出配線と、複数の第2配線の少なくとも一部的一端側とこの一端側に位置する前記第2送信端子とをそれぞれ接続する複数の第2引出配線とを有する。また、アクティブマトリクス基板は、複数の第2引出配線に電氣的に接続され、複数の第2配線の少なくとも一部に信号を供給する第1駆動回路と、端子領域内の表示領域側とは反対側に位置し、ドライバに対して信号を出力する複数の出力端子とを有する。さらに、アクティブマトリクス基板は、端子領域内において複数の出力端子から見て表示領域側とは反対側に位置し、外部基板から信号が入力される複数の入力端子を含む端子群を有する。また、アクティブマトリクス基板は、端子群に含まれ、複数の第1送信端子を経由する信号を入力するための第1共通配線用端子と、端子群に含まれ、第2引出配線に接続された複数の第2送信端子を経由する信号を入力するための第2共通配線用端子とを有する。さらに、第1共通配線用端子と接続され、複数の第1送信端子と複数の出力端子との間を区切るように延在する第1延在部を有する第1共通配線と、第2共通配線用端子と接続され、第2引出配線に接続された複数の第2送信端子と前記複数の出力端子との間を区切るように延在する第2延在部を有する第2共通配線とを有する。また、アクティブマトリクス基板は、複数の第1送信端子の各々と第1共通配線の第1延在部との間に設けられた複数の第1接続用配線と、第2引出配線に接続された複数の第2送信端子の各々と第2共通配線の第2延在部との間に設けられた複数の第2接続用配線とを有する。さらに、アクティブマトリクス基板は、第2共通配線と絶縁膜を介して交差し、かつ、複数の第1接続用配線のいずれかと絶縁膜を介して交差する第1予備配線と、複数の第1配線の各々の他端側の部分であって表示領域の外側に位置する複数の冗長部のいずれかと絶縁膜を介して交差し、平面視において複数の第2引出配線および第1駆動回路の外側に位置して、第2共通配線と電氣的に接続可能な第2予備配線とを有する。また、アクティブマトリクス基板は、複数の第1接続

用配線の各々は途中に、複数の第1送信端子と第1共通配線との間の電氣的接続を阻害する第1阻害部を有し、複数の第2接続用配線の各々は途中に、第2引出配線に接続された複数の第2送信端子と第2共通配線との間の電氣的接続を阻害する第2阻害部を有する。第1予備配線と複数の第1接続用配線とが交差している複数の交差部は、複数の第1接続用配線の各々において第1阻害部より複数の第1送信端子側に位置している。

[0010] 本発明の一形態においては、アクティブマトリクス基板は、複数の第2引出配線に接続されていない複数の第2配線の残部の少なくとも一部他端側に接続された複数の第3引出配線と、複数の第3引出配線に電氣的に接続され、複数の第2配線の残部の少なくとも一部に信号を供給する第2駆動回路とをさらに有する。また、アクティブマトリクス基板は、端子群に含まれ、第3引出配線に接続された複数の第2送信端子を経由する信号を入力するための第3共通配線用端子と、第3共通配線用端子と接続され、第3引出配線に接続された複数の第2送信端子と複数の出力端子との間を区切るように延在する第3延在部を有する第3共通配線とをさらに有する。さらに、アクティブマトリクス基板は、第3引出配線に接続された複数の第2送信端子の各々と第3共通配線の第3延在部との間に設けられた複数の第3接続用配線と、第3共通配線と絶縁膜を介して交差し、かつ、複数の第1接続用配線のいずれかと絶縁膜を介して交差する第3予備配線とをさらに有する。また、アクティブマトリクス基板は、複数の第1配線の各々の他端側の部分であって表示領域の外側に位置する複数の冗長部のいずれかと絶縁膜を介して交差し、平面視において複数の第3引出配線および第2駆動回路の外側に位置して、第3共通配線と電氣的に接続可能な第4予備配線とをさらに有する。複数の第3接続用配線の各々は途中に、第3引出配線に接続された複数の第2送信端子と第3共通配線との間の電氣的接続を阻害する第3阻害部を有する。

[0011] 本発明の一形態においては、アクティブマトリクス基板は、第1共通配線用端子および第1共通配線を各々複数有する。複数の第1共通配線はそれぞれ、複数の第1共通配線用端子と接続され、複数の第1送信端子と複数の出

力端子との間を区切るように延在する第1延在部を有する。

[0012] 本発明の一形態においては、第2予備配線は、第2共通配線と接続または絶縁膜を介して交差している。

[0013] 本発明の一形態においては、第1阻害部は、複数の第1接続用配線の各々の途中に断線部が設けられることにより構成されている。

[0014] 本発明の一形態においては、複数の第1配線のうちの断線箇所を有する第1配線と接続された第1接続用配線は、この第1接続用配線に交差する第1予備配線と、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続されている。第1接続用配線と電氣的に接続された第1予備配線は、この第1予備配線に交差する第2共通配線と、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続されている。第1予備配線と電氣的に接続された第2共通配線は、第2予備配線と電氣的に接続されている。第2予備配線は、複数の冗長部のいずれかと、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続されている。複数の第1配線のうち第1予備配線と接続された第1接続用配線と電氣的に接続されている第1配線には、第1送信端子から入力されるドライバの信号が第1配線の一端側および他端側の両方から送られる。

[0015] 本発明の一形態においては、複数の第1配線のうちの断線箇所を有する第1配線と接続された第1接続用配線は、この第1接続用配線に交差する第3予備配線と、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続されている。第1接続用配線と電氣的に接続された第3予備配線は、この第3予備配線に交差する第3共通配線と、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続されている。第3予備配線と電氣的に接続された第3共通配線は、第4予備配線と電氣的に接続されている。第4予備配線は、複数の冗長部のいずれかと、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続されている。複数の第1配線のうち第3予備配線と接続された第1接続用配線と電氣的に接続されている第1配線には、第1送信端子から入力されるドライバの信号が第1配線の一端側および他端側の両

方から送られる。

[0016] 本発明の一形態においては、第2予備配線および第4予備配線が、複数の冗長部のそれぞれに対して重複しないように接続または絶縁膜を介して交差している。

発明の効果

[0017] 本発明によれば、廉価に作製して簡易にリペアすることができるとともに、実装されるドライバの構成を簡略化できる。

図面の簡単な説明

[0018] [図1]本発明の実施形態1に係るアクティブマトリクス型表示装置の構成を示す平面図である。

[図2]同実施形態に係るアクティブマトリクス型表示装置における端子領域の一部を示す一部拡大図である。

[図3]同実施形態に係るアクティブマトリクス型表示装置の液晶パネルのソース配線に断線箇所が生じている状態を示す平面図である。

[図4]同実施形態に係るアクティブマトリクス型表示装置の液晶パネルにレーザー光を照射した状態を示す平面図である。

[図5]同実施形態に係るアクティブマトリクス型表示装置の液晶パネルにレーザー光を照射して形成された断線部を示す一部平面図である。

[図6]本発明の実施形態2に係るアクティブマトリクス型表示装置の構成を示す平面図である。

[図7]同実施形態に係るアクティブマトリクス型表示装置における端子領域の一部を示す一部拡大図である。

[図8]図7のV I I I部の部分拡大図である。

[図9]同実施形態に係るアクティブマトリクス型表示装置における端子領域の一部を示す一部平面図である。

[図10]本発明の実施形態3に係るアクティブマトリクス型表示装置の構成を示す平面図である。

[図11]同実施形態に係るアクティブマトリクス型表示装置の構成を示す部分

平面拡大図である。

[図12]本実施形態の変形例に係るアクティブマトリクス型表示装置の構成を示す平面図である。

[図13]同変形例に係るアクティブマトリクス型表示装置の構成を示す部分平面拡大図である。

[図14]本発明の実施形態4に係るアクティブマトリクス型表示装置の構成を示す平面図である。

発明を実施するための形態

[0019] 以下、本発明の実施形態1に係るアクティブマトリクス型表示装置について説明する。以下の実施形態の説明においては、図中の同一または相当部分には同一符号を付して、その説明は繰り返さない。なお、実施形態の説明において、説明の便宜上、上、下、左、右の表現を用いるが、これらの表現は示した図に基づくものであって発明の構成を限定するものではない。

[0020] なお、以下の実施形態においては、アクティブマトリクス型表示装置を構成する表示パネルとして液晶パネルを例として説明するが、本発明は、マイクロカプセル型電気泳動方式の電子ペーパー、有機EL(electroluminescence)ディスプレイおよび無機ELディスプレイなどの液晶パネル以外の表示装置にも適用することができる。

[0021] (実施形態1)

図1は、本発明の実施形態1に係るアクティブマトリクス型表示装置の構成を示す平面図である。図1においては、TFTのゲート電極層に形成されている配線を実線で、TFTのソース／ドレイン電極層に形成されている配線を点線で示している。なお、図1に示す状態においては、後述する障害部が形成されていない。

[0022] 図1に示すように、本実施形態に係るアクティブマトリクス型表示装置1は、アクティブマトリクス基板10と、アクティブマトリクス基板10に対向する対向基板20とを備えている。アクティブマトリクス基板10と対向基板20との間には、図示しない液晶材料が挟持されている。

- [0023] また、アクティブマトリクス型表示装置 1 は、アクティブマトリクス基板 10 に実装されるドライバ 50 と、アクティブマトリクス基板 10 に電氣的に接続される外部基板である FPC40 および回路基板 30 とを備える。
- [0024] 本実施形態に係るアクティブマトリクス型表示装置 1 においては、FPC40 を介してアクティブマトリクス基板 10 と回路基板 30 とが電氣的に接続されているが、アクティブマトリクス型表示装置 1 は FPC40 または回路基板 30 とのみ接続されていてもよい。
- [0025] 本実施形態に係る対向基板 20 には、R (赤)、G (緑)、B (青) のカラーフィルタと、これらのカラーフィルタ間の光漏れを防止するブラックマトリクスとを含むカラーフィルタ層が形成されている。また、カラーフィルタ層の上には、共通電極が形成されている。
- [0026] アクティブマトリクス基板 10 には、アクティブマトリクス基板 10 の略中央に位置する表示領域 60 と、図 1 中の下方に位置して複数の入力端子が配置される端子領域 61 とが設けられている。端子領域 61 は、アクティブマトリクス基板 10 と対向基板 20 とが図示しない液晶材料を介して互いに貼り合わされた状態において、アクティブマトリクス基板 10 における対向基板 20 と対向していない領域である。
- [0027] アクティブマトリクス基板 10 には、少なくとも表示領域 60 において互いに平行に延在する複数の第 1 配線であるソース配線 100 と、表示領域 60 において互いに平行に延在し、複数のソース配線 100 と絶縁膜を介して交差する複数の第 2 配線であるゲート配線 200 とが設けられている。絶縁膜は、 SiN_x または SiO_x などの材料から形成されている。
- [0028] 図 1 においては、複数のソース配線 100 および複数のゲート配線 200 の一部のみを図示している。なお、ソース配線 100 およびゲート配線 200 のそれぞれの数は適宜設定される。
- [0029] 本実施形態においては、複数のソース配線 100 は、RGB 毎に表示領域 60 に形成されている。つまり、表示領域 60 には、R 用のソース配線 100、G 用のソース配線 100 および B 用のソース配線 100 が形成されてい

る。ただし、モノクロ用の液晶パネルの場合は、これに限定されない。

[0030] 表示領域60には、複数のソース配線100および複数のゲート配線200以外に、蓄積容量配線が形成されている。蓄積容量配線は、複数のゲート配線200に平行になるように、表示領域60に形成されている。

[0031] 複数のソース配線100と複数のゲート配線200との交差部分には、図示しないTFTまたはMIM(Metal insulator Metal)などのスイッチング素子、および、このスイッチング素子に接続される図示しない画素電極(R, GまたはB)などが形成されている。

[0032] 端子領域61は、複数のソース配線100の一端側(図中の下方側)の表示領域60の外側に位置している。端子領域61内の表示領域60側に、ドライバ50からの信号を複数のソース配線100にそれぞれ送る複数の第1送信端子である複数の右側ソース端子110および複数の左側ソース端子120が設けられている。複数の右側ソース端子110および複数の左側ソース端子120は、複数のゲート配線200の延在方向に並んでいる。

[0033] ドライバ50を端子領域61に接続するためには、COG(Chip On Glass)方式で接続することができる。ドライバ50には、ゲート配線200に信号を供給する第1駆動回路および第2駆動回路が設けられている。

[0034] 第1駆動回路は、複数の第2引出配線250に電氣的に接続され、複数のゲート配線200の少なくとも一部に信号を供給する。第2駆動回路は、複数の第3引出配線260に電氣的に接続され、複数のゲート配線200の残部の少なくとも一部に信号を供給する。ただし、第1駆動回路および第2駆動回路の形態はこれに限られず、少なくとも一方がアクティブマトリクス基板10にモノリシックに形成されていてもよい。

[0035] また、端子領域61内の表示領域60側に、ドライバ50からの信号を複数のゲート配線200にそれぞれ送る複数の第2送信端子である複数の右側ゲート端子210および複数の左側ゲート端子220が設けられている。複数の右側ゲート端子210および複数の左側ゲート端子220は、複数のゲート配線200の延在方向に並んでいる。

- [0036] 複数の右側ソース端子 110 および複数の左側ソース端子 120 と、複数のソース配線 100 の一端側とは、複数の第 1 引出配線である複数の右側第 1 引出配線 170 および複数の左側第 1 引出配線 180 によりそれぞれ接続されている。なお、説明の便宜上、右側ソース端子 110 と左側ソース端子 120 とを分けて説明するが、右側ソース端子 110 および左側ソース端子 120 は機能的に同一の端子である。
- [0037] 具体的には、1 つの右側ソース端子 110 と 1 本のソース配線 100 とが 1 対 1 で対応するように、複数の右側ソース端子 110 と複数のソース配線 100 とが、複数の右側第 1 引出配線 170 により接続されている。
- [0038] また、1 つの左側ソース端子 120 と 1 本のソース配線 100 とが 1 対 1 で対応するように、複数の左側ソース端子 120 と複数のソース配線 100 とが、複数の左側第 1 引出配線 180 により接続されている。
- [0039] 複数の右側ゲート端子 210 と、複数のゲート配線 200 の一部的一端側とは、複数の第 2 引出配線 250 によりそれぞれ接続されている。複数の左側ゲート端子 220 と、複数の第 2 引出配線 250 に接続されていない複数のゲート配線 200 の残部の他端側とは、複数の第 3 引出配線 260 によりそれぞれ接続されている。
- [0040] 本実施形態においては、複数のゲート配線 200 の一部と、複数のゲート配線 200 の残部とは、1 本毎に交互に、かつ互いに平行となるように形成されている。ただし、ゲート配線と引き出し配線の接続構成は上記したものに限られず、たとえば、複数のゲート配線 200 の一部を表示領域 60 の上半分に位置するゲート配線とし、複数のゲート配線 200 の残部を表示領域 60 の下半分に位置するゲート配線としてもよい。
- [0041] 1 つの右側ゲート端子 210 と 1 本のゲート配線 200 とが 1 対 1 で対応するように、複数の右側ゲート端子 210 と複数のゲート配線 200 とが、複数の第 2 引出配線 250 により接続されている。
- [0042] また、1 つの左側ゲート端子 220 と 1 本のゲート配線 200 とが 1 対 1 で対応するように、複数の左側ゲート端子 220 と複数のゲート配線 200

とが、複数の第3引出配線260により接続されている。

[0043] 端子領域61内の表示領域60側とは反対側に、ドライバ50に対して信号を出力する複数の出力端子500が設けられている。複数の出力端子500は、複数のゲート配線200の延在方向に並んでいる。

[0044] 端子領域61内において複数の出力端子500から見て表示領域60側とは反対側に、FPC40または回路基板30から信号が入力される複数の入力端子410を含む端子群400が設けられている。複数の入力端子410は、複数のゲート配線200の延在方向に並んでいる。

[0045] 端子群400は、複数の右側ソース端子110および複数の左側ソース端子120を経由する信号を入力するための複数の第1共通配線用端子440, 450, 460を含む。

[0046] 具体的には、図1中の左から順に、第1共通配線用端子440および第1共通配線用端子450、間に複数の入力端子410を挟んで、第1共通配線用端子460が設けられている。

[0047] また、端子群400は、第2引出配線250に接続された右側ゲート端子210を経由する信号を入力するための複数の第2共通配線用端子470を含む。さらに、端子群400は、第3引出配線260に接続された左側ゲート端子220を経由する信号を入力するための複数の第3共通配線用端子480を含む。

[0048] 複数の第1共通配線用端子440, 450, 460は、複数の第1共通配線130とそれぞれ接続されている。複数の第1共通配線130の各々は、複数の右側ソース端子110および複数の左側ソース端子120と、複数の出力端子500との間を区切るように延在する第1延在部131を有する。

[0049] 複数の第2共通配線用端子470は、複数の第2共通配線230とそれぞれ接続されている。複数の第2共通配線230の各々は、複数の右側ゲート端子210と複数の出力端子500との間を区切るように延在する第2延在部231を有する。

[0050] 複数の第3共通配線用端子480は、複数の第3共通配線240とそれぞ

れ接続されている。複数の第3共通配線240の各々は、複数の左側ゲート端子220と複数の出力端子500との間を区切るように延在する第3延在部241を有する。

[0051] また、端子群400は、複数の出力端子500とそれぞれ接続された複数の入力端子410、420、430を含む。

[0052] 図2は、本実施形態に係るアクティブマトリクス型表示装置における端子領域の一部を示す一部拡大図である。

[0053] 図1、2に示すように、本実施形態においては、3本の第1共通配線130を設け、複数の第1共通配線用端子440、450、460のそれぞれに1本の第1共通配線130を接続している。

[0054] 具体的には、赤画素用共通配線130Rと第1共通配線用端子440とを接続している。緑画素用共通配線130Gと第1共通配線用端子450とを接続している。青画素用共通配線130Bと第1共通配線用端子460とを接続している。

[0055] 3本の第2共通配線230を設け、3つの第2共通配線用端子470のそれぞれに1本の第2共通配線230を接続している。3本の第3共通配線240を設け、3つの第3共通配線用端子480のそれぞれに1本の第3共通配線240を接続している。

[0056] 複数の右側ソース端子110および複数の左側ソース端子120の各々と、複数の第1共通配線130の第1延在部131との間に、複数の接続用配線である複数の第1接続用配線900が設けられている。表示領域60の画像検査前においては、複数の第1接続用配線900と複数の第1共通配線130とは、電氣的に接続されている。

[0057] 複数の右側ゲート端子210の各々と、複数の第2共通配線230の第2延在部231との間に、複数の接続用配線である複数の第2接続用配線910が設けられている。表示領域60の画像検査前においては、複数の第2接続用配線910と複数の第2共通配線230とは、電氣的に接続されている。

- [0058] 複数の左側ゲート端子 2 2 0 の各々と、複数の第 3 共通配線 2 4 0 の第 3 延在部 2 4 1 との間に、複数の接続用配線である複数の第 3 接続用配線 9 2 0 が設けられている。表示領域 6 0 の画像検査前においては、複数の第 3 接続用配線 9 2 0 と複数の第 3 共通配線 2 4 0 とは、電氣的に接続されている。
- [0059] 本実施形態においては、3つの右側ソース端子 1 1 0 のそれぞれと接続された3本の第 1 接続用配線 9 0 0 が、それぞれ異なる第 1 共通配線 1 3 0 に接続されている。3つの左側ソース端子 1 2 0 のそれぞれと接続された3本の第 1 接続用配線 9 0 0 が、それぞれ異なる第 1 共通配線 1 3 0 に接続されている。
- [0060] 3本の第 1 共通配線 1 3 0 は、接続された3つの第 1 共通配線用端子 4 4 0, 4 5 0, 4 6 0 のそれぞれから複数のソース配線 1 0 0 の延在方向に延びたあと、複数のゲート配線 2 0 0 の延在方向に向きを変えて延びている。
- [0061] 3つの右側ゲート端子 2 1 0 のそれぞれと接続された3本の第 2 接続用配線 9 1 0 が、それぞれ異なる第 2 共通配線 2 3 0 に接続されている。3つの左側ゲート端子 2 2 0 のそれぞれと接続された3本の第 3 接続用配線 9 2 0 が、それぞれ異なる第 3 共通配線 2 4 0 に接続されている。
- [0062] 3本の第 2 共通配線 2 3 0 は、接続された3つの第 2 共通配線用端子 4 7 0 のそれぞれから複数のソース配線 1 0 0 の延在方向に延びたあと、複数のゲート配線 2 0 0 の延在方向に向きを変えて延びている。
- [0063] 3本の第 3 共通配線 2 4 0 は、接続された3つの第 3 共通配線用端子 4 8 0 のそれぞれから複数のソース配線 1 0 0 の延在方向に延びたあと、複数のゲート配線 2 0 0 の延在方向に向きを変えて延びている。
- [0064] 複数の右側ソース端子 1 1 0 および複数の左側ソース端子 1 2 0 と複数の出力端子 5 0 0 との間で、第 2 共通配線 2 3 0 と絶縁膜を介して交差し、かつ、複数の第 1 接続用配線 9 0 0 と絶縁膜を介して交差する第 1 予備配線 7 0 0 が設けられている。絶縁膜は、ゲート絶縁膜と同じ材料で形成され、たとえば、 SiN_x または SiO_x などの材料から形成されている。

- [0065] 本実施形態においては、1本の第1予備配線700が設けられており、1本の第1予備配線700は、交差している1本の第2共通配線230の第2延在部231から複数のソース配線100の延在方向に延びたあと、複数のゲート配線200の延在方向に向きを変えて延びている。
- [0066] 複数のソース配線100は、各々の他端側(図1中の上方側)の部分であって表示領域60の外側に位置する複数の冗長部101を有する。アクティブマトリクス基板10には、複数の冗長部101のいずれかと絶縁膜を介して交差し、複数の第2引出配線250と第2共通配線用端子470とを電氣的に接続する経路の外側に位置して、第2共通配線用端子470と電氣的に接続可能な第2予備配線710が形成されている。すなわち、第2予備配線710は、平面視において複数の第2引出配線250および第1駆動回路の外側に位置している。
- [0067] 本実施形態においては、第2予備配線710は、1本の第2共通配線230と接続されている。また、第2予備配線710は、全てのソース配線100の冗長部101と絶縁膜を介して交差している。
- [0068] また、複数の右側ソース端子110および複数の左側ソース端子120と複数の出力端子500との間で、第3共通配線240と絶縁膜を介して交差し、かつ、複数の第1接続用配線900のいずれかと絶縁膜を介して交差する第3予備配線790が設けられている。
- [0069] 本実施形態においては、1本の第3予備配線790が設けられており、1本の第3予備配線790は、交差している1本の第3共通配線240の第3延在部241から複数のソース配線100の延在方向に延びたあと、複数のゲート配線200の延在方向に向きを変えて延びている。
- [0070] アクティブマトリクス基板10には、複数の冗長部101のいずれかと絶縁膜を介して交差し、複数の第3引出配線260と第3共通配線用端子480とを電氣的に接続する経路の外側に位置して、第3共通配線用端子480と電氣的に接続可能な第4予備配線720が形成されている。すなわち、第4予備配線720は、平面視において複数の第3引出配線260および第2

駆動回路の外側に位置している。

- [0071] 本実施形態においては、1本の第4予備配線720は、1本の第3共通配線240と接続されている。また、1本の第4予備配線720は、全てのソース配線100の冗長部101と絶縁膜を介して交差している。
- [0072] 表示領域60を囲むように、補助容量配線600が設けられている。補助容量配線600には、トランスファープッド610が接続されている。
- [0073] 第2予備配線710および第4予備配線720を囲むように、共通電極用配線300が設けられている。共通電極用配線300には、端子群400に含まれる共通電極端子が接続されている。また、共通電極用配線300には、トランスファープッド310がさらに接続されている。
- [0074] トランスファープッド310は、対向基板20に形成されている図示しない共通電極に接続されている。これにより、対向基板20に形成されている共通電極には、共通電極端子から共通電圧を印加することが可能になる。なお、共通電極は必ずしも対向基板20に設けられていなくてもよく、たとえば、水平電界を利用した液晶装置においては、共通電極はアクティブマトリクス基板10に設けられる。
- [0075] 以下、本実施形態に係るアクティブマトリクス型表示装置の液晶パネルを製造する方法について説明する。なお、以下の説明では、液晶パネルの電気的な接続状態を検査する検査工程について詳細に説明する。
- [0076] まず、透明なガラス基板上に、導電膜、絶縁膜、保護膜、配向膜などの薄膜を積層し、アクティブマトリクス基板10として切り出されるべきアクティブマトリクス基板領域が複数形成されるアクティブマトリクス基板用のベース基板を製造する。
- [0077] 次に、透明なガラス基板上に、ブラックマトリクス、カラーフィルタ、導電膜、配向膜などの薄膜を積層し、対向基板20として切り出されるべき対向基板領域が複数形成される対向基板用のベース基板を製造する。両方のベース基板のうちの一方のベース基板にシール材を塗布する。シール材を塗布した後、両方のベース基板を互いに貼り合わせる。

[0078] 貼り合わされた両方のベース基板は、アクティブマトリクス基板10と対向基板20とを有する液晶パネルが所定の枚数形成されるマザー基板として切断される。すなわち、図1に示す液晶パネルは、液晶材料を注入した後のマザー基板として切断した液晶パネルの1つを示している。したがって、図示していないが、図1の液晶パネルのたとえば左右には他の液晶パネルが存在している。

[0079] マザー基板として切断された液晶パネルの個々に、アクティブマトリクス基板10と対向基板20との間に形成される注入口を介して、たとえば、真空注入方式を用いることにより液晶材料を注入する。なお、真空注入方式に代えて、滴下注入方式を用いることにより液晶材料を注入してもよい。この場合、注入口は不要であり、注入口部分を封止する工程も不要である。

[0080] 端子領域61にドライバ50を取り付ける前に、液晶パネルの電氣的な接続状態を検査する検査工程が行われる。検査工程においては、液晶パネルのアクティブマトリクス基板10における配線の断線、短絡または画素電極の欠陥などを検査する。

[0081] 検査方法として、複数の第1共通配線用端子440、450、460、複数の第2共通配線用端子470および複数の第3共通配線用端子480の各々に、たとえば、検査用プローブを接触させ、所定の電圧を印加する。なお、検査用プローブを複数の第1共通配線用端子440、450、460、複数の第2共通配線用端子470および複数の第3共通配線用端子480に接触させる順番については、特に限定されない。

[0082] これにより、複数のゲート配線200の各々に、走査信号として機能する検査信号が入力される。なお、この検査信号は、各画素が有するスイッチング素子を一定期間オンさせる信号である。また、複数のソース配線100の各々に、ソース信号として機能する検査信号が入力される。なお、この検査信号は、各画素領域の液晶を所望の方向に配向させる信号である。

[0083] このため、各画素のスイッチング素子がオン状態になり、各画素電極にソース信号として機能する検査信号が入力されて共通電極に共通信号が入力さ

れることで、液晶層に所定の電圧が印加されて液晶の分子配列方向が制御され、たとえば、液晶パネルの背面からバックライトのような照射手段にて光を照射すると、アクティブマトリクス基板 10 の表示領域 60 に対応する液晶パネルの表示画面に画像が表示されるようになる。

[0084] したがって、液晶パネルの表示画面上で、たとえば、検査員の目視検査により、液晶パネルのアクティブマトリクス基板 10 における配線の断線および短絡を検査することができる。なお、検査員の目視検査に代えてまたは加えて、画像認識装置を用いてもよいし、配線の断線および短絡を電氣的に検出する検出装置などを用いて検査してもよい。

[0085] 図 3 は、本実施形態に係るアクティブマトリクス型表示装置の液晶パネルのソース配線に断線箇所が生じている状態を示す平面図である。図 4 は、本実施形態に係るアクティブマトリクス型表示装置の液晶パネルにレーザ光を照射した状態を示す平面図である。図 5 は、本実施形態に係るアクティブマトリクス型表示装置の液晶パネルにレーザ光を照射して形成された断線部を示す一部平面図である。

[0086] 図 3 に示すように、1 本のソース配線 100 の途中に断線箇所 70 が生じている場合、第 1 共通配線用端子 450 に検査用プローブなどを接触させて検査信号を入力しても、断線箇所 70 より先に位置する部分(図中の上方の部分)のソース配線 100 には検査信号が流れない。

[0087] そこで、レーザ光を照射してリペアを行なうリペア工程が行なわれる。図 4 に示すように、断線箇所 70 を有するソース配線 100 と電氣的に接続されている第 1 接続用配線 900 と第 3 予備配線 790 との交差位置をターゲット 80 としてレーザ光を照射する。このターゲット 80 にレーザ光が照射されることにより、互いの間に介在している部分の絶縁膜が除去されるとともに、第 3 予備配線 790 と第 1 接続用配線 900 とが溶融結合して電氣的に接続される。

[0088] 同様に、第 1 接続用配線 900 と電氣的に接続された第 3 予備配線 790 と第 3 共通配線 240 との交差位置をターゲット 80 としてレーザ光を照射

する。このターゲット 80 にレーザ光が照射されることにより、互いの間に介在している部分の絶縁膜が除去されるとともに、第 3 予備配線 790 と第 3 共通配線 240 とが溶融結合して電氣的に接続される。

[0089] 第 3 予備配線 790 と電氣的に接続された第 3 共通配線 240 は、第 3 共通配線用端子 480 に接続されている。第 3 共通配線用端子 480 に接続されている第 3 共通配線 240 と接続されている第 4 予備配線 720 とソース配線 100 の冗長部 101 との交差位置をターゲット 80 としてレーザ光を照射する。このターゲット 80 にレーザ光が照射されることにより、互いの間に介在している部分の絶縁膜が除去されるとともに、第 4 予備配線 720 とソース配線 100 の冗長部 101 とが溶融結合して電氣的に接続される。

[0090] 上記のように 3 箇所ターゲット 80 にレーザ光が照射されることにより、断線箇所 70 を有するソース配線 100 には、第 3 共通配線用端子 480 から入力される検査信号がこのソース配線 100 の一端側および他端側の両方から送られるようになる。

[0091] よって、ドライバ 50 の実装後には、断線箇所 70 を有するソース配線 100 には、左側ソース端子 120 から入力されるドライバ 50 の信号がこのソース配線 100 の一端側および他端側の両方から送られるようになる。

[0092] なお、このリペア工程は、画素不良のリペア工程であるトリミングまたは黒点化などと同工程で行なうことができるため、特別な追加工程にはならない。

[0093] 上記の検査工程終了後に、複数の第 1 接続用配線 900、複数の第 2 接続用配線 910 および複数の第 3 接続用配線 920 を切断する切断工程が行なわれる。本実施形態においては、リペア工程後に切断工程を行なったが、検査工程終了後においてリペア工程より前に切断工程を行なってもよい。

[0094] 切断工程においては、図 4 の矢印 90 で示す向きにレーザ光を走査しつつ照射することにより、複数の第 1 接続用配線 900、複数の第 2 接続用配線 910 および複数の第 3 接続用配線 920 を切断する。

[0095] これにより、複数の右側ソース端子 110 と複数の第 1 共通配線 130 と

が電氣的に導通しなくなる。複数の左側ソース端子 1 2 0 と複数の第 1 共通配線 1 3 0 とが電氣的に導通しなくなる。複数の右側ゲート端子 2 1 0 と複数の第 2 共通配線 2 3 0 とが電氣的に導通しなくなる。複数の左側ゲート端子 2 2 0 と複数の第 3 共通配線 2 4 0 とが電氣的に導通しなくなる。

[0096] その結果、複数の第 1 接続用配線 9 0 0 の各々は途中に、複数の右側ソース端子 1 1 0 および複数の左側ソース端子 1 2 0 と、複数の第 1 共通配線 1 3 0 との間の電氣的接続を阻害する第 1 阻害部である断線部 9 1 を有する。

[0097] 同様に、複数の第 2 接続用配線 9 1 0 の各々は途中に、複数の右側ゲート端子 2 1 0 と複数の第 2 共通配線 2 3 0 との間の電氣的接続を阻害する第 2 阻害部である断線部 9 1 を有する。複数の第 3 接続用配線 9 2 0 の各々は途中に、複数の左側ゲート端子 2 2 0 と複数の第 3 共通配線 2 4 0 との間の電氣的接続を阻害する第 3 阻害部である断線部 9 1 を有する。

[0098] 第 1 予備配線 7 0 0 と複数の第 1 接続用配線 9 0 0 とが交差している複数の交差部 9 0 1 は、複数の第 1 接続用配線 9 0 0 の各々において、断線部 9 1 より複数の右側ソース端子 1 1 0 および複数の左側ソース端子 1 2 0 側に位置している。

[0099] 第 3 予備配線 7 9 0 と複数の第 1 接続用配線 9 0 0 とが交差している複数の交差部 9 0 4 は、複数の第 1 接続用配線 9 0 0 の各々において、断線部 9 1 より複数の右側ソース端子 1 1 0 および複数の左側ソース端子 1 2 0 側に位置している。

[0100] 切断工程の終了後、マザー基板から個々の液晶パネルを切り出す。切り出した液晶パネルに偏光板などの光学フィルムを貼り付けた後、端子領域 6 1 に、複数のソース配線 1 0 0 および複数のゲート配線 2 0 0 を駆動制御するドライバ 5 0 を実装する実装工程が行なわれる。

[0101] これにより、液晶パネルが製造される。なお、液晶パネルを製造する方法は、上記の方法に限定されるものではない。たとえば、モノクロ用の液晶パネルでは、対向基板 2 0 にカラーフィルタを積層しなくてもよい。また、個々の液晶パネルを切り出した後に検査工程、実装工程を行なってもよい。

- [0102] 上記の構成により、図4中の矢印90の向きにレーザ光を走査して照射することにより全ての第1接続用配線900、第2接続用配線910および第3接続用配線920を切断しても、第3予備配線790と第1接続用配線900との電氣的接続は維持される。
- [0103] よって、切断工程においてレーザスキップする必要があるため、簡易にリペアすることができる。また、切断後の第1接続用配線900の一部をリペア用経路の一部として有効利用することにより、実装されるドライバ50に入出力端子間を接続する経路を形成する必要があるため、実装されるドライバ50の構成を簡略化できる。さらに、検査信号の入力経路として利用した共通配線を、リペア用経路の一部として有効利用することにより、リペア用経路を配置する領域が大きくなるようにすることができる。
- [0104] また、本実施形態に係るアクティブマトリクス基板10においては、第3予備配線790および第4予備配線720を用いてリペア用経路を構成している。そのため、第3引出配線260とリペア用経路とが交差していない。よって、リペア用経路の負荷容量を低減してリペア用経路を流れる信号の遅延を低減することができる。
- [0105] なお、断線箇所を有するソース配線100の位置によって、リペア用経路として第1予備配線700および第2予備配線710を用いてもよい。
- [0106] 具体的には、複数のソース配線100のうちの断線箇所を有するソース配線100と接続された第1接続用配線900は、この第1接続用配線900に交差する第1予備配線700と、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続される。
- [0107] 第1接続用配線900と電氣的に接続された第1予備配線700は、この第1予備配線700に交差する第2共通配線230と、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続される。
- [0108] 第1予備配線700と電氣的に接続された第2共通配線230に接続されている第2共通配線用端子470は、第2予備配線710と電氣的に接続される。第2共通配線用端子470と電氣的に接続されている第2予備配線7

10は、複数の冗長部101のいずれかと、互いの間に介在している部分の絶縁膜が除去されて電氣的に接続される。

[0109] 複数のソース配線100のうち第1予備配線700と接続された第1接続用配線900と電氣的に接続されているソース配線100には、右側ソース端子110から入力されるドライバ50の信号がソース配線100の一端側および他端側の両方から送られる。

[0110] この場合、第2引出配線250とリペア用経路とが交差していない。よって、リペア用経路の負荷容量を低減してリペア用経路を流れる信号の遅延を低減することができる。

[0111] なお、本実施形態においては、阻害部として断線部91を設けたが、阻害部の構成はこれに限られず、たとえば、第1接続用配線900に接続したスイッチング素子を阻害部としてもよい。

[0112] さらに、端子領域61においてドライバ50が実装される実装領域に第1予備配線700および第3予備配線790を設けているため、第1予備配線700および第3予備配線790を設けるためのスペースを別途確保する必要がなく、液晶パネルが大型化することを抑制することができる。

[0113] また、アクティブマトリクス基板10の外部に予備配線を設けていないため、FPC40および回路基板30に予備配線を設ける工程が必要なく、廉価にアクティブマトリクス型表示装置1を作製することができる。

[0114] なお、アクティブマトリクス型表示装置1は、ソース配線100とゲート配線200とが互いに入れ替わった構成を有していてもよい。本実施形態においては、第2引出配線250および第3引出配線260を両方設けたが、どちらか一方のみでもよい。

[0115] また、本実施形態においては、3本の第1共通配線130を設けたが、第1共通配線130は1本以上設けられていればよい。また、本実施形態においては、1本の第1予備配線700を設けたが、第1予備配線700は1本以上設けられていればよく、第1予備配線700の数を第1共通配線130の数と同一にしてもよい。

- [0116] さらに、本実施形態においては、第2予備配線710と第2共通配線230とが接続されていたが、第2予備配線710と第2共通配線230とが絶縁膜を介して交差していてもよい。この場合、第2予備配線710と第2共通配線230との交差位置をターゲット80としてレーザ光を照射する。このターゲット80にレーザ光が照射されることにより、互いの間に介在している部分の絶縁膜が除去されるとともに、第2予備配線710と第2共通配線230とが熔融結合して電氣的に接続される。このようにしても、リペアを行なうことができる。
- [0117] 本実施形態においては、アクティブマトリクス基板10上の複数の引き出し配線を絶縁膜を間に挟んで、ゲート層とソース／ドレイン層とに分けて形成している。そのため、同一層上に全ての配線を形成した場合に比較して、平面視において隣接する引き出し配線同士の間隔を狭くすることができる。よって、アクティブマトリクス基板10における引き出し配線の配置領域を縮小することができるため、アクティブマトリクス型表示装置1の小型化を図ることができる。
- [0118] なお、本発明は、断線のリペア以外の目的にも用いることができる。たとえば、パネル製造工程における配線抵抗管理および不良解析の際に用いることができる。配線抵抗の測定およびドライバの出力信号を確認する際、特定の配線を予備配線に接続した状態で共通配線用端子にプローブを接触させることにより、容易に配線抵抗またはドライバの出力信号を測定することができる。
- [0119] また、複数のゲート配線または複数のソース配線を、接続配線を介して共通配線に接続することにより、ゲート配線およびソース配線の帯電を分散することができる、静電気対策を講じることができる。
- [0120] さらに、本実施形態に係るアクティブマトリクス型表示装置には、リペア工程が行なわれたものだけに限られず、リペア工程が行なわれていないものも含まれる。
- [0121] 以下、本発明の実施形態2に係るアクティブマトリクス型表示装置につい

て説明する。なお、本実施形態に係るアクティブマトリクス型表示装置 2 は、予備配線の数のみ実施形態 1 に係るアクティブマトリクス型表示装置 1 と異なるため、他の構成については説明を繰り返さない。

[0122] (実施形態 2)

図 6 は、本発明の実施形態 2 に係るアクティブマトリクス型表示装置の構成を示す平面図である。図 7 は、本実施形態に係るアクティブマトリクス型表示装置における端子領域の一部を示す一部拡大図である。図 8 は、図 7 の V I I I 部の部分拡大図である。図 9 は、本実施形態に係るアクティブマトリクス型表示装置における端子領域の一部を示す一部平面図である。

[0123] 図 6 ～ 9 においては、T F T のゲート電極層に形成されている配線を実線で、T F T のソース／ドレイン電極層に形成されている配線を点線で示している。なお、図 6 は第 1、第 2、第 3 阻害部を形成する前の状態を示している。第 1、第 2、第 3 阻害部は、実施形態 1 に係るアクティブマトリクス型表示装置 1 と同様の位置に形成される。

[0124] 図 6 ～ 9 に示すように、本発明の実施形態 2 に係るアクティブマトリクス型表示装置 2 においては、第 1 予備配線および第 2 予備配線がそれぞれ 1 本ずつ設けられ、第 3 予備配線および第 4 予備配線がそれぞれ 2 本ずつ設けられている。

[0125] 具体的には、第 3 予備配線として、左側に位置する左側第 3 予備配線 7 9 1 および右側に位置する右側第 3 予備配線 7 9 2 が設けられている。左側第 3 予備配線 7 9 1 は、3 本の第 3 共通配線 2 4 0 のうち第 3 延在部 2 4 1 が最も上方に位置している第 3 共通配線 2 4 0 に絶縁膜を介して交差している。右側第 3 予備配線 7 9 2 は、3 本の第 3 共通配線 2 4 0 のうち第 3 延在部 2 4 1 が中間に位置している第 3 共通配線 2 4 0 に絶縁膜を介して交差している。

[0126] 第 4 予備配線として、左側に位置する左側第 4 予備配線 7 2 1 および右側に位置する右側第 4 予備配線 7 2 2 が設けられている。左側第 4 予備配線 7 2 1 は、3 本の第 3 共通配線 2 4 0 のうち第 3 延在部 2 4 1 が最も上方に位

置している第3共通配線240に接続されている。右側第4予備配線722は、3本の第3共通配線240のうち第3延在部241が中間に位置している第3共通配線240に接続されている。

[0127] 図7, 8に示すように、右側第4予備配線722と第3共通配線240とを接続するために、右側第4予備配線722が、左側第4予備配線721と接続された第3共通配線240の第3延在部241を跨ぐように形成されている。

[0128] そのために、右側第4予備配線722は、第3共通配線240の第3延在部241を互いの間に挟むように形成されたコンタクトホール723, 724により、TFTのゲート電極層からTFTのソース／ドレイン電極層を介して、再びTFTのゲート電極層に配設されている。

[0129] また、左側第4予備配線721と接続された第3共通配線240の第3延在部241の長さを、右側第4予備配線722と接続された第3共通配線240の第3延在部241の長さと略同一にしている。

[0130] このようにすることにより、左側第4予備配線721と接続された第3共通配線240の第3延在部241と右側第3予備配線792とを交差させることなく、右側第3予備配線792と第3共通配線240とを接続することができる。

[0131] 上記の構成により、実施形態1に係るアクティブマトリクス型表示装置1より多くソース配線100のリペアを行なうことができるとともに、リペア用経路の負荷容量を低減してリペア用経路を流れる信号の遅延を低減することができる。

[0132] 以下、本発明の実施形態3に係るアクティブマトリクス型表示装置について説明する。なお、本実施形態に係るアクティブマトリクス型表示装置3は、予備配線の配置のみ実施形態1に係るアクティブマトリクス型表示装置1と異なるため、他の構成については説明を繰り返さない。

[0133] (実施形態3)

図10は、本発明の実施形態3に係るアクティブマトリクス型表示装置の

構成を示す平面図である。図 11 は、本実施形態に係るアクティブマトリクス型表示装置の構成を示す部分平面拡大図である。

- [0134] 図 10, 11 においては、TFT のゲート電極層に形成されている配線を実線で、TFT のソース／ドレイン電極層に形成されている配線を点線で示している。なお、図 10, 11 は第 1、第 2、第 3 阻害部を形成する前の状態を示している。第 1、第 2、第 3 阻害部は、実施形態 1 に係るアクティブマトリクス型表示装置 1 と同様の位置に形成される。
- [0135] 図 10, 11 に示すように、本発明の実施形態 3 に係るアクティブマトリクス型表示装置 3 においては、複数のソース配線 100 が 2 つの群に分けられている。具体的には、図中の右側に位置する右側ソース配線群 102 および左側に位置する左側ソース配線群 103 が設けられている。
- [0136] 右側ソース配線群 102 に含まれる複数のソース配線 100 は、複数の右側第 1 引出配線 170 にそれぞれ接続されている。複数の右側第 1 引出配線 170 は、複数の右側ソース端子 110 にそれぞれ接続されている。
- [0137] 左側ソース配線群 103 に含まれる複数のソース配線 100 は、複数の左側第 1 引出配線 180 にそれぞれ接続されている。複数の左側第 1 引出配線 180 は、複数の左側ソース端子 120 にそれぞれ接続されている。
- [0138] 複数の第 1 接続用配線 900 は、右側に位置する右側第 1 接続用配線群 902 および左側に位置する左側第 1 接続用配線群 903 を含む。
- [0139] 第 1 予備配線 730 は、交差している第 2 共通配線 230 の第 2 延在部 231 から複数のソース配線 100 の延在方向に延びたあと、複数のゲート配線 200 の延在方向に向きを変えて延びている。
- [0140] 第 3 予備配線 740 は、交差している第 3 共通配線 240 の第 3 延在部 241 から複数のソース配線 100 の延在方向に延びたあと、複数のゲート配線 200 の延在方向に向きを変えて延びている。
- [0141] 第 1 予備配線 730 は、右側第 1 接続用配線群 902 とのみ交差している。すなわち、第 1 予備配線 730 は、左側第 1 接続用配線群 903 とは交差していない。第 3 予備配線 740 は、左側第 1 接続用配線群 903 とのみ交

差している。すなわち、第3予備配線740は、右側第1接続用配線群902とは交差していない。

[0142] 第2予備配線760は、冗長部101において、右側ソース配線群102に含まれる複数のソース配線100とのみ交差している。第4予備配線770は、冗長部101において、左側ソース配線群103に含まれる複数のソース配線100とのみ交差している。

[0143] すなわち、第2予備配線760および第4予備配線770が、複数の冗長部101のそれぞれに対して重複しないように絶縁膜を介して交差している。

[0144] 本実施形態においては、第1予備配線700と複数の第1接続用配線900との交差部901の数を少なくすることができる。第3予備配線740と複数の第1接続用配線900との交差部904の数を少なくすることができる。また、第2予備配線760および第4予備配線770と複数のソース配線100との交差部の数を少なくすることができる。その結果、リペア経路の負荷容量を低減してリペア用経路を流れる信号の遅延を低減することができる。

[0145] 実施形態1に係るアクティブマトリクス型表示装置1のように、第2予備配線710および第4予備配線720と全てのソース配線100の冗長部101とを交差するようにした場合に比べて、本実施形態では配線の形成領域を低減できる。その結果、パネルの外形を小型化できるとともに、切断工程のレーザ照射領域を広く確保することができる。

[0146] 以下、本実施形態3の変形例に係るアクティブマトリクス型表示装置3aについて説明する。

[0147] 図12は、本実施形態の変形例に係るアクティブマトリクス型表示装置の構成を示す平面図である。図13は、本変形例に係るアクティブマトリクス型表示装置の構成を示す部分平面拡大図である。

[0148] 図12、13においては、TFTのゲート電極層に形成されている配線を実線で、TFTのソース／ドレイン電極層に形成されている配線を点線で示

している。なお、図 1 2, 1 3 は第 1、第 2、第 3 阻害部を形成する前の状態を示している。第 1、第 2、第 3 阻害部は、実施形態 1 に係るアクティブマトリクス型表示装置 3 と同様の位置に形成される。

[0149] 本変形例に係るアクティブマトリクス型表示装置 3 a は、予備配線の数のみ実施形態 3 に係るアクティブマトリクス型表示装置 3 と異なるため、他の構成については説明を繰り返さない。

[0150] 図 1 2, 1 3 に示すように、本変形例に係るアクティブマトリクス型表示装置 3 a においては、第 1 予備配線および第 2 予備配線がそれぞれ 3 本ずつ設けられ、第 3 予備配線および第 4 予備配線がそれぞれ 3 本ずつ設けられている。

[0151] 具体的には、第 1 予備配線として、右側に位置する右側第 1 予備配線 7 3 1、左側に位置する左側第 1 予備配線 7 3 3、および、右側第 1 予備配線 7 3 1 と左側第 1 予備配線 7 3 3 との間に位置する中側第 1 予備配線 7 3 2 が設けられている。

[0152] 右側第 1 予備配線 7 3 1、左側第 1 予備配線 7 3 3 および中側第 1 予備配線 7 3 2 は、交差している 3 本の第 2 共通配線 2 3 0 の第 2 延在部 2 3 1 のそれぞれから複数のソース配線 1 0 0 の延在方向に延びたあと、複数のゲート配線 2 0 0 の延在方向に向きを変えて延びている。

[0153] 右側第 1 予備配線 7 3 1、左側第 1 予備配線 7 3 3 および中側第 1 予備配線 7 3 2 は、右側第 1 接続用配線群 9 0 2 とのみ交差している。すなわち、右側第 1 予備配線 7 3 1、左側第 1 予備配線 7 3 3 および中側第 1 予備配線 7 3 2 は、左側第 1 接続用配線群 9 0 3 とは交差していない。

[0154] また、3 本の第 2 共通配線 2 3 0 の第 2 延在部 2 3 1 の長さは略同一にされている。このようにすることにより、右側第 1 予備配線 7 3 1、右側第 1 予備配線 7 3 3 および中側第 1 予備配線 7 3 2 を、それぞれ 1 本の第 2 共通配線 2 3 0 とのみ絶縁膜を介して交差させることができる。

[0155] すなわち、3 本の第 2 共通配線 2 3 0 の第 2 延在部 2 3 1 の端部がずれて位置している箇所に、右側第 1 予備配線 7 3 1、右側第 1 予備配線 7 3 3 お

よび中側第 1 予備配線 7 3 2 をそれぞれ交差させている。

[0156] 第 3 予備配線として、左側に位置する左側第 3 予備配線 7 4 1、右側に位置する右側第 3 予備配線 7 4 3、および、左側第 3 予備配線 7 4 1 と右側第 1 予備配線 7 4 3 との間に位置する中側第 3 予備配線 7 4 2 が設けられている。

[0157] 左側第 3 予備配線 7 4 1、右側第 3 予備配線 7 4 3 および中側第 3 予備配線 7 4 2 は、交差している 3 本の第 3 共通配線 2 4 0 の第 3 延在部 2 4 1 のそれぞれから複数のソース配線 1 0 0 の延在方向に延びたあと、複数のゲート配線 2 0 0 の延在方向に向きを変えて延びている。

[0158] 左側第 3 予備配線 7 4 1、右側第 3 予備配線 7 4 3 および中側第 3 予備配線 7 4 2 は、左側第 1 接続用配線群 9 0 3 とのみ交差している。すなわち、左側第 3 予備配線 7 4 1、右側第 3 予備配線 7 4 3 および中側第 3 予備配線 7 4 2 は、右側第 1 接続用配線群 9 0 2 とは交差していない。

[0159] また、3 本の第 3 共通配線 2 4 0 の第 3 延在部 2 4 1 の長さは略同一にされている。このようにすることにより、左側第 3 予備配線 7 4 1、右側第 3 予備配線 7 4 3 および中側第 3 予備配線 7 4 2 を、それぞれ 1 本の第 3 共通配線 2 4 0 とのみ絶縁膜を介して交差させることができる。

[0160] すなわち、3 本の第 3 共通配線 2 4 0 の第 3 延在部 2 4 1 の端部がずれて位置している箇所において、左側第 3 予備配線 7 4 1、右側第 3 予備配線 7 4 3 および中側第 3 予備配線 7 4 2 をそれぞれ交差させている。

[0161] 第 2 予備配線として、右側に位置する右側第 2 予備配線 7 6 1、左側に位置する左側第 2 予備配線 7 6 3、および、右側第 2 予備配線 7 6 1 と左側第 2 予備配線 7 6 3 との間に位置する中側第 2 予備配線 7 6 2 が設けられている。

[0162] 右側第 2 予備配線 7 6 1、左側第 2 予備配線 7 6 3 および中側第 2 予備配線 7 6 2 は、それぞれ 3 本の第 2 共通配線 2 3 0 のうちの 1 本とのみ接続されている。接続形態は、実施形態 2 において説明したコンタクトホールによる接続である。

- [0163] 右側第2予備配線761、左側第2予備配線763および中側第2予備配線762は、冗長部101において、右側ソース配線群102に含まれる複数のソース配線100とのみ交差している。
- [0164] 第4予備配線として、左側に位置する左側第4予備配線771、右側に位置する右側第4予備配線773、および、左側第4予備配線771と右側第4予備配線773との間に位置する中側第4予備配線772が設けられている。
- [0165] 左側第4予備配線771、右側第4予備配線773および中側第4予備配線772は、それぞれ3本の第3共通配線240のうちの1本とのみ接続されている。接続形態は、実施形態2において説明したコンタクトホールによる接続である。
- [0166] 左側第4予備配線771、右側第4予備配線773および中側第4予備配線772は、冗長部101において、左側ソース配線群103に含まれる複数のソース配線100とのみ交差している。
- [0167] すなわち、右側第2予備配線761、左側第2予備配線763および中側第2予備配線762と、左側第4予備配線771、右側第4予備配線773および中側第4予備配線772とが、複数の冗長部101のそれぞれに対して重複しないように絶縁膜を介して交差している。
- [0168] 上記の構成により、実施形態3に係るアクティブマトリクス型表示装置3より多くソース配線100のリペアを行なうことができる。
- [0169] 以下、本発明の実施形態4に係るアクティブマトリクス型表示装置について説明する。なお、本実施形態に係るアクティブマトリクス型表示装置4は、ゲート配線のリペアが可能である点のみ実施形態1に係るアクティブマトリクス型表示装置1と異なるため、他の構成については説明を繰り返さない。
- [0170] (実施形態4)

図14は、本発明の実施形態4に係るアクティブマトリクス型表示装置の構成を示す平面図である。図14においては、TFTのゲート電極層に形成

されている配線を実線で、TFTのソース／ドレイン電極層に形成されている配線を点線で示している。

[0171] 図14に示すように、本発明の実施形態4に係るアクティブマトリクス型表示装置4には、アクティブマトリクス基板1010と、アクティブマトリクス基板1010に対向する対向基板1020とを備えている。アクティブマトリクス基板1010と対向基板1020との間には、図示しない液晶材料が挟持されている。

[0172] また、アクティブマトリクス型表示装置4は、アクティブマトリクス基板1010に実装されるドライバ1050と、アクティブマトリクス基板1010に電氣的に接続される外部基板であるFPC1040および回路基板1030とを備える。

[0173] 本実施形態に係るアクティブマトリクス型表示装置4においては、FPC1040を介してアクティブマトリクス基板1010と回路基板1030とが電氣的に接続されているが、アクティブマトリクス基板1010はFPC1040または回路基板1030とのみ接続されていてもよい。

[0174] アクティブマトリクス基板1010には、アクティブマトリクス基板1010の略中央に位置する表示領域1060と、図14中の右側に位置して複数の入力端子が配置される端子領域1061とが設けられている。端子領域1061は、アクティブマトリクス基板1010と対向基板1020とが図示しない液晶材料を介して互いに貼り合わされた状態において、アクティブマトリクス基板1010における対向基板1020と対向していない領域である。

[0175] アクティブマトリクス基板1010には、少なくとも表示領域1060において互いに平行に延在する複数の第1配線であるゲート配線1100と、表示領域1060において互いに平行に延在し、複数のゲート配線1100と絶縁膜を介して交差する複数の第2配線であるソース配線1200とが設けられている。絶縁膜は、 SiN_x または SiO_x などの材料から形成されている。

- [0176] 図14においては、複数のゲート配線1100および複数のソース配線1200の一部のみを図示している。なお、ゲート配線1100およびソース配線1200のそれぞれの数は適宜設定される。
- [0177] 表示領域1060には、複数のゲート配線1100および複数のソース配線1200以外に、蓄積容量配線が形成されている。蓄積容量配線は、複数のゲート配線1100に平行になるように、表示領域1060に形成されている。
- [0178] 複数のゲート配線1100と複数のソース配線1200との交差部分には、図示しないTF TまたはMIM(Metal insulator Metal)などのスイッチング素子、および、このスイッチング素子に接続される図示しない画素電極(R, GまたはB)などが形成されている。
- [0179] 端子領域1061は、複数のゲート配線1100の一端側(図中の右側)の表示領域1060の外側に位置している。端子領域1061内の表示領域1060側に、ドライバ1050からの信号を複数のゲート配線1100にそれぞれ送る複数の第1送信端子である複数の上側ゲート端子1110および複数の下側ゲート端子1120が設けられている。複数の上側ゲート端子1110および複数の下側ゲート端子1120は、複数のソース配線1200の延在方向に並んでいる。
- [0180] ドライバ1050を端子領域1061に接続するためには、COG(Chip On Glass)方式で接続することができる。ドライバ1050には、ソース配線1200に信号を供給する第1駆動回路および第2駆動回路が設けられている。
- [0181] 第1駆動回路は、複数の第2引出配線1250に電氣的に接続され、複数のソース配線1200の少なくとも一部に信号を供給する。第2駆動回路は、複数の第3引出配線1260に電氣的に接続され、複数のソース配線1200の残部の少なくとも一部に信号を供給する。ただし、第1駆動回路および第2駆動回路の形態はこれに限られず、少なくとも一方がアクティブマトリクス基板1010にモノリシックに形成されていてもよい。

[0182] また、端子領域 1061 内の表示領域 1060 側に、ドライバ 1050 からの信号を複数のソース配線 1200 にそれぞれ送る複数の第 2 送信端子である複数の上側ソース端子 1210 および複数の下側ソース端子 1220 が設けられている。複数の上側ソース端子 1210 および複数の下側ソース端子 1220 は、複数のソース配線 1200 の延在方向に並んでいる。

[0183] 複数の上側ゲート端子 1110 および複数の下側ゲート端子 1120 と、複数のゲート配線 1100 の一端側とは、複数の第 1 引出配線である複数の上側第 1 引出配線 1170 および複数の下側第 1 引出配線 1180 によりそれぞれ接続されている。なお、説明の便宜上、上側ゲート端子 1110 と下側ゲート端子 1120 とを分けて説明するが、上側ゲート端子 1110 および下側ゲート端子 1120 は機能的に同一の端子である。

[0184] 具体的には、1つの上側ゲート端子 1110 と1本のゲート配線 1100 とが1対1で対応するように、複数の上側ゲート端子 1110 と複数のゲート配線 1100 とが、複数の上側第 1 引出配線 1170 により接続されている。

[0185] また、1つの下側ゲート端子 1120 と1本のゲート配線 1100 とが1対1で対応するように、複数の下側ゲート端子 1120 と複数のゲート配線 1100 とが、複数の下側第 1 引出配線 1180 により接続されている。

[0186] 複数の上側ソース端子 1210 と、複数のソース配線 1200 の一部の一端側とは、複数の第 2 引出配線 1250 によりそれぞれ接続されている。複数の下側ソース端子 1220 と、複数の第 2 引出配線 1250 に接続されていない複数のソース配線 1200 の残部の他端側とは、複数の第 3 引出配線 1260 によりそれぞれ接続されている。

[0187] 本実施形態においては、複数のソース配線 1200 の一部と、複数のソース配線 1200 の残部とは、1本毎に交互に、かつ互いに平行となるように形成されている。ただし、ゲート配線と引き出し配線の接続構成は上記したものに限られず、たとえば、複数のソース配線 1200 の一部を表示領域 1060 の左半分に位置するソース配線とし、複数のソース配線 1200 の残

部を表示領域 1060 の右半分に位置するソース配線としてもよい。

[0188] 1つの上側ソース端子 1210 と 1本のソース配線 1200 とが 1対1で対応するように、複数の上側ソース端子 1210 と複数のソース配線 1200 とが、複数の第2引出配線 1250 により接続されている。

[0189] また、1つの下側ソース端子 1220 と 1本のソース配線 1200 とが 1対1で対応するように、複数の下側ソース端子 1220 と複数のソース配線 1200 とが、複数の第3引出配線 1260 により接続されている。

[0190] 端子領域 1061 内の表示領域 1060 側とは反対側に、ドライバ 1050 に対して信号を出力する複数の出力端子 1500 が設けられている。複数の出力端子 1500 は、複数のソース配線 1200 の延在方向に並んでいる。

[0191] 端子領域 1061 内において複数の出力端子 1500 から見て表示領域 1060 側とは反対側に、FPC 1040 または回路基板 1030 から信号が入力される複数の入力端子 1410 を含む端子群 1400 が設けられている。複数の入力端子 1410 は、複数のソース配線 1200 の延在方向に並んでいる。

[0192] 端子群 1400 は、複数の上側ゲート端子 1110 および複数の下側ゲート端子 1120 を経由する信号を入力するための複数の第1共通配線用端子 1440, 1450, 1460 を含む。

[0193] 具体的には、図1中の下から順に、第1共通配線用端子 1440 および第1共通配線用端子 1450、間に複数の入力端子 1410 を挟んで、第1共通配線用端子 1460 が設けられている。

[0194] また、端子群 1400 は、第2引出配線 1250 に接続された上側ソース端子 1210 を経由する信号を入力するための複数の第2共通配線用端子 1470 を含む。さらに、端子群 1400 は、第3引出配線 1260 に接続された下側ソース端子 1220 を経由する信号を入力するための複数の第3共通配線用端子 1480 を含む。

[0195] 複数の第1共通配線用端子 1440, 1450, 1460 は、複数の第1

共通配線 1 1 3 0 とそれぞれ接続されている。複数の第 1 共通配線 1 1 3 0 の各々は、複数の上側ゲート端子 1 1 1 0 および複数の下側ゲート端子 1 1 2 0 と、複数の出力端子 1 5 0 0 との間を区切るように延在する第 1 延在部 1 1 3 1 を有する。

[0196] 複数の第 2 共通配線用端子 1 4 7 0 は、複数の第 2 共通配線 1 2 3 0 とそれぞれ接続されている。複数の第 2 共通配線 1 2 3 0 の各々は、複数の上側ソース端子 1 2 1 0 と複数の出力端子 1 5 0 0 との間を区切るように延在する第 2 延在部 1 2 3 1 を有する。

[0197] 複数の第 3 共通配線用端子 1 4 8 0 は、複数の第 3 共通配線 1 2 4 0 とそれぞれ接続されている。複数の第 3 共通配線 1 2 4 0 の各々は、複数の下側ソース端子 1 2 2 0 と複数の出力端子 1 5 0 0 との間を区切るように延在する第 3 延在部 1 2 4 1 を有する。

[0198] また、端子群 1 4 0 0 は、複数の出力端子 1 5 0 0 とそれぞれ接続された複数の入力端子 1 4 1 0, 1 4 2 0, 1 4 3 0 を含む。

[0199] 本実施形態においては、3 本の第 1 共通配線 1 1 3 0 を設け、複数の第 1 共通配線用端子 1 4 4 0, 1 4 5 0, 1 4 6 0 のそれぞれに 1 本の第 1 共通配線 1 1 3 0 を接続している。

[0200] 3 本の第 2 共通配線 1 2 3 0 を設け、3 つの第 2 共通配線用端子 1 4 7 0 のそれぞれに 1 本の第 2 共通配線 1 2 3 0 を接続している。3 本の第 3 共通配線 1 2 4 0 を設け、3 つの第 3 共通配線用端子 1 4 8 0 のそれぞれに 1 本の第 3 共通配線 1 2 4 0 を接続している。

[0201] 複数の上側ゲート端子 1 1 1 0 および複数の下側ゲート端子 1 1 2 0 の各々と、複数の第 1 共通配線 1 1 3 0 の第 1 延在部 1 1 3 1 との間に、複数の接続用配線である複数の第 1 接続用配線 1 9 0 0 が設けられている。表示領域 1 0 6 0 の画像検査前においては、複数の第 1 接続用配線 1 9 0 0 と複数の第 1 共通配線 1 1 3 0 とは、電氣的に接続されている。

[0202] 複数の上側ソース端子 1 2 1 0 の各々と、複数の第 2 共通配線 1 2 3 0 の第 2 延在部 1 2 3 1 との間に、複数の接続用配線である複数の第 2 接続用配

線 1 9 1 0 が設けられている。表示領域 1 0 6 0 の画像検査前においては、複数の第 2 接続用配線 1 9 1 0 と複数の第 2 共通配線 1 2 3 0 とは、電氣的に接続されている。

[0203] 複数の下側ソース端子 1 2 2 0 の各々と、複数の第 3 共通配線 1 2 4 0 の第 3 延在部 1 2 4 1 との間に、複数の接続用配線である複数の第 3 接続用配線 1 9 2 0 が設けられている。表示領域 1 0 6 0 の画像検査前においては、複数の第 3 接続用配線 1 9 2 0 と複数の第 3 共通配線 1 2 4 0 とは、電氣的に接続されている。

[0204] 本実施形態においては、3つの上側ゲート端子 1 1 1 0 のそれぞれと接続された3本の第 1 接続用配線 1 9 0 0 が、それぞれ異なる第 1 共通配線 1 1 3 0 に接続されている。3つの下側ゲート端子 1 1 2 0 のそれぞれと接続された3本の第 1 接続用配線 1 9 0 0 が、それぞれ異なる第 1 共通配線 1 1 3 0 に接続されている。

[0205] 3本の第 1 共通配線 1 1 3 0 は、接続された3つの第 1 共通配線用端子 1 4 4 0, 1 4 5 0, 1 4 6 0 のそれぞれから複数のゲート配線 1 1 0 0 の延在方向に延びたあと、複数のソース配線 1 2 0 0 の延在方向に向きを変えて延びている。

[0206] 3つの上側ソース端子 1 2 1 0 のそれぞれと接続された3本の第 2 接続用配線 1 9 1 0 が、それぞれ異なる第 2 共通配線 1 2 3 0 に接続されている。3つの下側ソース端子 1 2 2 0 のそれぞれと接続された3本の第 3 接続用配線 1 9 2 0 が、それぞれ異なる第 3 共通配線 1 2 4 0 に接続されている。

[0207] 3本の第 2 共通配線 1 2 3 0 は、接続された3つの第 2 共通配線用端子 1 4 7 0 のそれぞれから複数のゲート配線 1 1 0 0 の延在方向に延びたあと、複数のソース配線 1 2 0 0 の延在方向に向きを変えて延びている。

[0208] 3本の第 3 共通配線 1 2 4 0 は、接続された3つの第 3 共通配線用端子 1 4 8 0 のそれぞれから複数のゲート配線 1 1 0 0 の延在方向に延びたあと、複数のソース配線 1 2 0 0 の延在方向に向きを変えて延びている。

[0209] 複数の上側ゲート端子 1 1 1 0 および複数の下側ゲート端子 1 1 2 0 と複

数の出力端子 1500 との間で、第 2 共通配線 1230 と絶縁膜を介して交差し、かつ、複数の第 1 接続用配線 1900 と絶縁膜を介して交差する第 1 予備配線 1700 が設けられている。絶縁膜は、ゲート絶縁膜と同じ材料で形成され、たとえば、 SiN_x または SiO_x などの材料から形成されている。

[0210] 本実施形態においては、1本の第 1 予備配線 1700 が設けられており、1本の第 1 予備配線 1700 は、交差している 1本の第 2 共通配線 1230 の第 2 延在部 1231 から複数のゲート配線 1100 の延在方向に延びたあと、複数のソース配線 1200 の延在方向に向きを変えて延びている。

[0211] 複数のゲート配線 1100 は、各々の他端側(図 14 中の左側)の部分であって表示領域 1060 の外側に位置する複数の冗長部 1101 を有する。アクティブマトリクス基板 1010 には、複数の冗長部 1101 のいずれかと絶縁膜を介して交差し、複数の第 2 引出配線 1250 と第 2 共通配線用端子 1470 とを電氣的に接続する経路の外側に位置して、第 2 共通配線用端子 1470 と電氣的に接続可能な第 2 予備配線 1710 が形成されている。すなわち、第 2 予備配線 1710 は、平面視において複数の第 2 引出配線 1250 および第 1 駆動回路の外側に位置している。

[0212] 本実施形態においては、第 2 予備配線 1710 は、1本の第 2 共通配線 1230 と接続されている。また、第 2 予備配線 1710 は、全てのゲート配線 1100 の冗長部 1101 と絶縁膜を介して交差している。

[0213] また、複数の上側ゲート端子 1110 および複数の下側ゲート端子 1120 と複数の出力端子 1500 との間で、第 3 共通配線 1240 と絶縁膜を介して交差し、かつ、複数の第 1 接続用配線 1900 のいずれかと絶縁膜を介して交差する第 3 予備配線 1790 が設けられている。

[0214] 本実施形態においては、1本の第 3 予備配線 1790 が設けられており、1本の第 3 予備配線 1790 は、交差している 1本の第 3 共通配線 1240 の第 3 延在部 1241 から複数のゲート配線 1100 の延在方向に延びたあと、複数のソース配線 1200 の延在方向に向きを変えて延びている。

[0215] アクティブマトリクス基板 1010 には、複数の冗長部 1101 のいずれ

かと絶縁膜を介して交差し、複数の第3引出配線1260と第3共通配線用端子1480とを電氣的に接続する経路の外側に位置して、第3共通配線用端子1480と電氣的に接続可能な第4予備配線1720が形成されている。すなわち、第4予備配線1720は、平面視において複数の第3引出配線1260および第2駆動回路の外側に位置している。

[0216] 本実施形態においては、1本の第4予備配線1720は、1本の第3共通配線1240と接続されている。また、1本の第4予備配線1720は、全てのゲート配線1100の冗長部1101と絶縁膜を介して交差している。

[0217] 表示領域1060を囲むように、補助容量配線1600が設けられている。補助容量配線1600には、トランスファーパッド1610が接続されている。

[0218] 第2予備配線1710および第4予備配線1720を囲むように、共通電極用配線1300が設けられている。共通電極用配線1300には、端子群1400に含まれる共通電極端子が接続されている。また、共通電極用配線1300には、トランスファーパッド1310がさらに接続されている。

[0219] トランスファーパッド1310は、対向基板1020に形成されている図示しない共通電極に接続されている。これにより、対向基板1020に形成されている共通電極には、共通電極端子から共通電圧を印加することが可能になる。なお、共通電極は必ずしも対向基板1020に設けられていなくてもよく、たとえば、水平電界を利用した液晶装置においては、共通電極はアクティブマトリクス基板1010に設けられる。

[0220] 上記の構成において、レーザ光の照射によるリペア工程が行なわれた後、第1接続用配線1900、第2接続用配線1910および第3接続用配線1920にレーザ光を照射して障害部である断線部を形成する。

[0221] このとき、第1予備配線1700と複数の第1接続用配線1900とが交差している複数の交差部1901は、複数の第1接続用配線1900の各々において形成された断線部より複数の上側ゲート端子1110および複数の下側ゲート端子1120側に位置している。

- [0222] 第3予備配線1790と複数の第1接続用配線1900とが交差している複数の交差部1904は、複数の第1接続用配線1900の各々において形成された断線部より複数の上側ゲート端子1110および複数の下側ゲート端子1120側に位置している。
- [0223] 上記の構成により、ゲート配線1100のリペアを行なうことができる。デジタルスチルカメラおよびプリンタなどの製品に用いられる液晶モジュールでは、本実施形態のように、ゲート配線1100の信号入力側にドライバ1050を実装する場合がある。このような構成においても、本発明は適用可能である。
- [0224] また、上記の実施形態の各構成において互いに組み合わせ可能な構成を適宜組み合わせることは、本発明において当然に想定している。
- [0225] 今回開示された実施形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0226] 1, 2, 3, 3a, 4 アクティブマトリクス型表示装置、10, 1010 アクティブマトリクス基板、20, 1020 対向基板、30, 1030 回路基板、50, 1050 ドライバ、60, 1060 表示領域、61, 1061 端子領域、70 断線箇所、80 ターゲット、91 断線部、100, 1200 ソース配線、101, 1101 冗長部、102 右側ソース配線群、103 左側ソース配線群、110 右側ソース端子、120 左側ソース端子、130, 1130 第1共通配線、130B 青画素用共通配線、130G 緑画素用共通配線、130R 赤画素用共通配線、131, 1131 第1延在部、170, 180, 1170, 1180 第1引出配線、200, 1100 ゲート配線、210 右側ゲート端子、220 左側ゲート端子、230, 1230 第2共通配線、231, 1231 第2延在部、240, 1240 第3共通配線、241, 1241

第3延在部、250, 1250 第2引出配線、260, 1260 第3引出配線、300, 1300 共通電極用配線、310, 610, 1310, 1610 トランスファーパッド、400, 1400 端子群、410, 420, 430, 1410, 1420, 1430 入力端子、440, 450, 460, 1440, 1450, 1460 第1共通配線用端子、470, 1470 第2共通配線用端子、480, 1480 第3共通配線用端子、500, 1500 出力端子、600, 1600 補助容量配線、700, 730, 731, 732, 733, 743, 1700 第1予備配線、710, 760, 761, 762, 763, 1710 第2予備配線、720, 721, 722, 770, 771, 772, 773, 1720 第4予備配線、723, 724 コンタクトホール、740, 741, 742, 743, 790, 791, 792, 1790 第3予備配線、900, 1900 第1接続用配線、901, 904, 1901, 1904 交差部、902, 903 第1接続用配線群、910, 1910 第2接続用配線、920, 1920 第3接続用配線、1110 上側ゲート端子、1120 下側ゲート端子、1210 上側ソース端子、1220 下側ソース端子。

請求の範囲

[請求項1]

アクティブマトリクス基板(10)と、
前記アクティブマトリクス基板(10)に実装されるドライバ(50)と、
前記アクティブマトリクス基板(10)に電氣的に接続される外部基板(30, 40)と
を備えるアクティブマトリクス型表示装置であって、
前記アクティブマトリクス基板(10)は、
少なくとも表示領域(60)において互いに平行に延在する複数の第1配線(100)と、
前記表示領域(60)において互いに平行に延在し、前記複数の第1配線(100)と絶縁膜を介して交差する複数の第2配線(200)と、
前記複数の第1配線(100)の一端側の前記表示領域(60)の外側に位置する端子領域(61)内の前記表示領域(60)側に位置し、前記複数の第2配線(200)の延在方向に並び、前記ドライバ(50)からの信号を前記複数の第1配線(100)にそれぞれ送る複数の第1送信端子(110, 120)と、
前記複数の第1配線(100)の一端側の前記表示領域(60)の外側に位置する端子領域(61)内の前記表示領域(60)側に位置し、前記複数の第2配線(200)の延在方向に並び、前記ドライバ(50)からの信号を前記複数の第2配線(200)にそれぞれ送る複数の第2送信端子(210, 220)と、
前記複数の第1配線(100)の一端側と前記複数の第1送信端子(110, 120)とをそれぞれ接続する複数の第1引出配線(170, 180)と、
前記複数の第2配線(200)の少なくとも一部の一端側と該一端側に位置する前記第2送信端子(210)とをそれぞれ接続する複数の第2引出配線(250)と、

前記複数の第2引出配線(250)に電氣的に接続され、前記複数の第2配線(200)の少なくとも一部に信号を供給する第1駆動回路(50)と、

前記端子領域(61)内の前記表示領域(60)側とは反対側に位置し、前記ドライバ(50)に対して信号を出力する複数の出力端子(500)と、

前記端子領域(61)内において前記複数の出力端子(500)から見て前記表示領域(60)側とは反対側に位置し、前記外部基板(30, 40)から信号が入力される複数の入力端子(410)を含む端子群(400)と、

前記端子群(400)に含まれ、前記複数の第1送信端子(110, 120)を経由する信号を入力するための第1共通配線用端子(440, 450, 460)と、

前記端子群(400)に含まれ、前記第2引出配線(250)に接続された前記複数の第2送信端子(210)を経由する信号を入力するための第2共通配線用端子(470)と、

前記第1共通配線用端子(440, 450, 460)と接続され、前記複数の第1送信端子(110, 120)と前記複数の出力端子(500)との間を区切るように延在する第1延在部(131)を有する第1共通配線(130)と、

前記第2共通配線用端子(470)と接続され、前記第2引出配線(250)に接続された前記複数の第2送信端子(210)と前記複数の出力端子(500)との間を区切るように延在する第2延在部(231)を有する第2共通配線(230)と、

前記複数の第1送信端子(110, 120)の各々と前記第1共通配線(130)の前記第1延在部(131)との間に設けられた複数の第1接続用配線(900)と、

前記第2引出配線(250)に接続された前記複数の第2送信端子(

2 1 0)の各々と前記第2共通配線(2 3 0)の前記第2延在部(2 3 1)との間に設けられた複数の第2接続用配線(9 1 0)と、

前記第2共通配線(2 3 0)と絶縁膜を介して交差し、かつ、前記複数の第1接続用配線(9 0 0)のいずれかと絶縁膜を介して交差する第1予備配線(7 0 0)と、

前記複数の第1配線(1 0 0)の各々の他端側の部分であって前記表示領域(6 0)の外側に位置する複数の冗長部(1 0 1)のいずれかと絶縁膜を介して交差し、平面視において前記複数の第2引出配線(2 5 0)および前記第1駆動回路(5 0)の外側に位置して、前記第2共通配線(2 3 0)と電氣的に接続可能な第2予備配線(7 1 0)とを有し、

前記複数の第1接続用配線(9 0 0)の各々は途中に、前記複数の第1送信端子(1 1 0, 1 2 0)と前記第1共通配線(1 3 0)との間の電氣的接続を阻害する第1阻害部を有し、

前記複数の第2接続用配線(9 1 0)の各々は途中に、前記第2引出配線(2 5 0)に接続された前記複数の第2送信端子(2 1 0)と前記第2共通配線(2 3 0)との間の電氣的接続を阻害する第2阻害部を有し、

前記第1予備配線(7 0 0)と前記複数の第1接続用配線(9 0 0)とが交差している複数の交差部(9 0 1)は、前記複数の第1接続用配線(9 0 0)の各々において前記第1阻害部より前記複数の第1送信端子(1 1 0, 1 2 0)側に位置している、アクティブマトリクス型表示装置。

[請求項2]

前記アクティブマトリクス基板(1 0)は、

前記複数の第2引出配線(2 5 0)に接続されていない前記複数の第2配線(2 0 0)の残部の少なくとも一部他端側に接続された複数の第3引出配線(2 6 0)と、

前記複数の第3引出配線(2 6 0)に電氣的に接続され、前記複数の第2配線(2 0 0)の残部の少なくとも一部に信号を供給する第2駆動

回路(50)と、

前記端子群(400)に含まれ、前記第3引出配線(260)に接続された前記複数の第2送信端子(220)を経由する信号を入力するための第3共通配線用端子(480)と、

前記第3共通配線用端子(480)と接続され、前記第3引出配線(260)に接続された前記複数の第2送信端子(220)と前記複数の出力端子(500)との間を区切るように延在する第3延在部(241)を有する第3共通配線(240)と、

前記第3引出配線(260)に接続された前記複数の第2送信端子(220)の各々と前記第3共通配線(240)の前記第3延在部(241)との間に設けられた複数の第3接続用配線(920)と、

前記第3共通配線(240)と絶縁膜を介して交差し、かつ、前記複数の第1接続用配線(900)のいずれかと絶縁膜を介して交差する第3予備配線(790)と、

前記複数の第1配線(100)の各々の他端側の部分であって前記表示領域(60)の外側に位置する複数の冗長部(101)のいずれかと絶縁膜を介して交差し、平面視において前記複数の第3引出配線(260)および前記第2駆動回路(50)の外側に位置して、前記第3共通配線(240)と電氣的に接続可能な第4予備配線(720)とをさらに有し、

前記複数の第3接続用配線(920)の各々は途中に、前記第3引出配線(260)に接続された前記複数の第2送信端子(220)と前記第3共通配線(240)との間の電氣的接続を阻害する第3阻害部を有する、請求項1に記載のアクティブマトリクス型表示装置。

[請求項3]

前記アクティブマトリクス基板(10)は、前記第1共通配線用端子(440, 450, 460)および前記第1共通配線(130)を各々複数有し、

複数の前記第1共通配線(130)はそれぞれ、複数の前記第1共通

配線用端子(440, 450, 460)と接続され、前記複数の第1送信端子(110, 120)と前記複数の出力端子(500)との間を区切るように延在する前記第1延在部(131)を有する、請求項1または2に記載のアクティブマトリクス型表示装置。

[請求項4] 前記第2予備配線(710)は、前記第2共通配線(230)と接続または絶縁膜を介して交差している、請求項1から3のいずれかに記載のアクティブマトリクス型表示装置。

[請求項5] 前記第1阻害部は、前記複数の第1接続用配線(900)の各々の途中に断線部(91)が設けられることにより構成されている、請求項1から4のいずれかに記載のアクティブマトリクス型表示装置。

[請求項6] 前記複数の第1配線(100)のうちの断線箇所を有する第1配線(100)と接続された第1接続用配線(900)は、該第1接続用配線(900)に交差する前記第1予備配線(700)と、互いの間に介在している部分の前記絶縁膜が除去されて電氣的に接続されており、

前記第1接続用配線(900)と電氣的に接続された第1予備配線(700)は、該第1予備配線(700)に交差する前記第2共通配線(230)と、互いの間に介在している部分の前記絶縁膜が除去されて電氣的に接続されており、

前記第1予備配線(700)と電氣的に接続された前記第2共通配線(230)は、前記第2予備配線(710)と電氣的に接続されており、

前記第2予備配線(710)は、前記複数の冗長部(101)のいずれかと、互いの間に介在している部分の前記絶縁膜が除去されて電氣的に接続されており、

前記複数の第1配線(100)のうち前記第1予備配線(700)と接続された前記第1接続用配線(900)と電氣的に接続されている第1配線(100)には、前記第1送信端子(110, 120)から入力される前記ドライバ(50)の信号が前記第1配線(100)の一端側および他端側の両方から送られる、請求項1から5のいずれかに記載のアク

ティブマトリクス型表示装置。

[請求項7]

前記複数の第1配線(100)のうちの断線箇所を有する第1配線(100)と接続された第1接続用配線(900)は、該第1接続用配線(900)に交差する前記第3予備配線(790)と、互いの間に介在している部分の前記絶縁膜が除去されて電氣的に接続されており、

前記第1接続用配線(900)と電氣的に接続された第3予備配線(790)は、該第3予備配線(790)に交差する前記第3共通配線(240)と、互いの間に介在している部分の前記絶縁膜が除去されて電氣的に接続されており、

前記第3予備配線(790)と電氣的に接続された前記第3共通配線(240)は、前記第4予備配線(720)と電氣的に接続されており、

前記第4予備配線(720)は、前記複数の冗長部(101)のいずれかと、互いの間に介在している部分の前記絶縁膜が除去されて電氣的に接続されており、

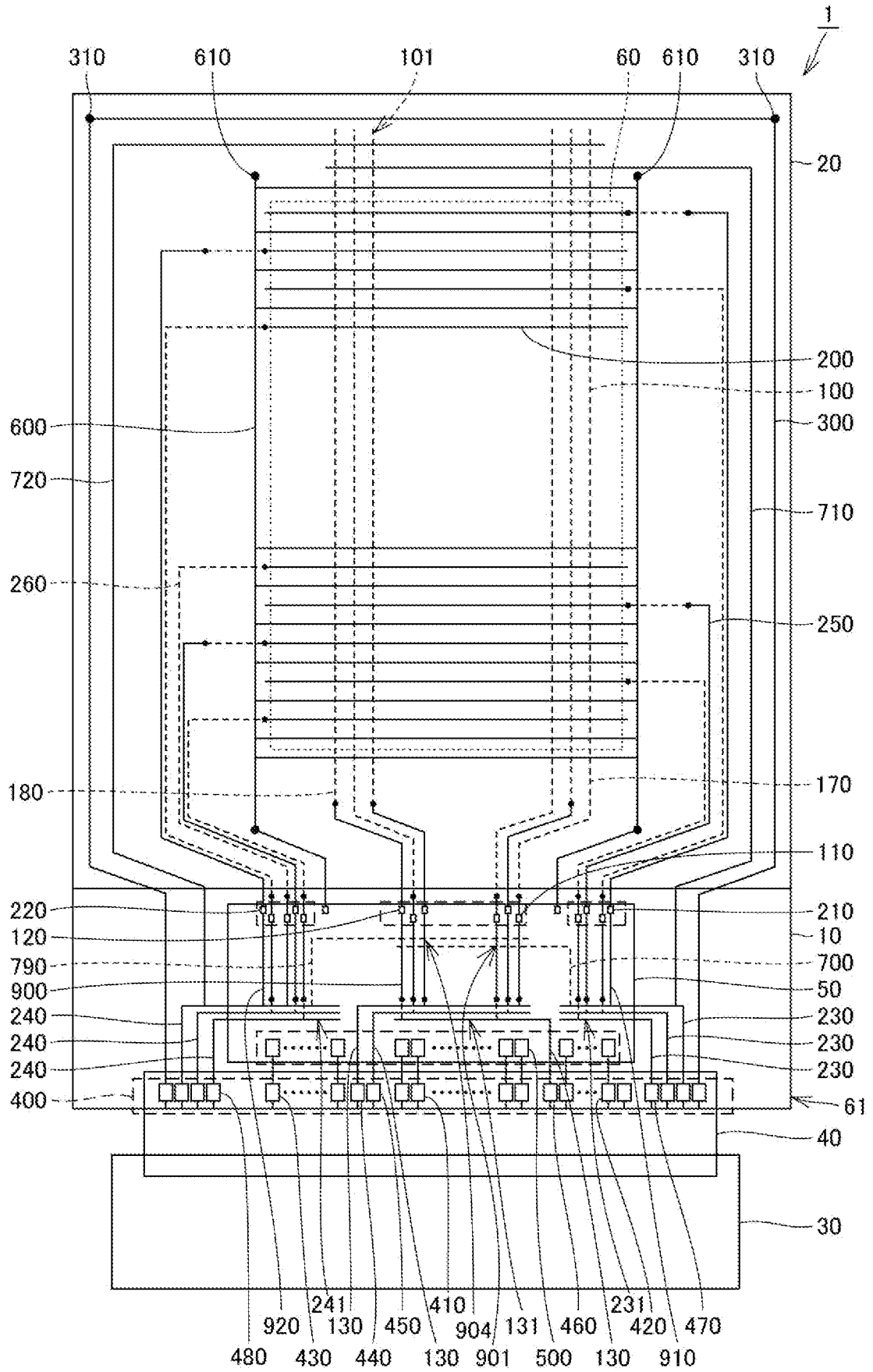
前記複数の第1配線(100)のうち前記第3予備配線(790)と接続された前記第1接続用配線(900)と電氣的に接続されている第1配線(100)には、前記第1送信端子(110, 120)から入力される前記ドライバ(50)の信号が前記第1配線(100)の一端側および他端側の両方から送られる、請求項2に記載のアクティブマトリクス型表示装置。

[請求項8]

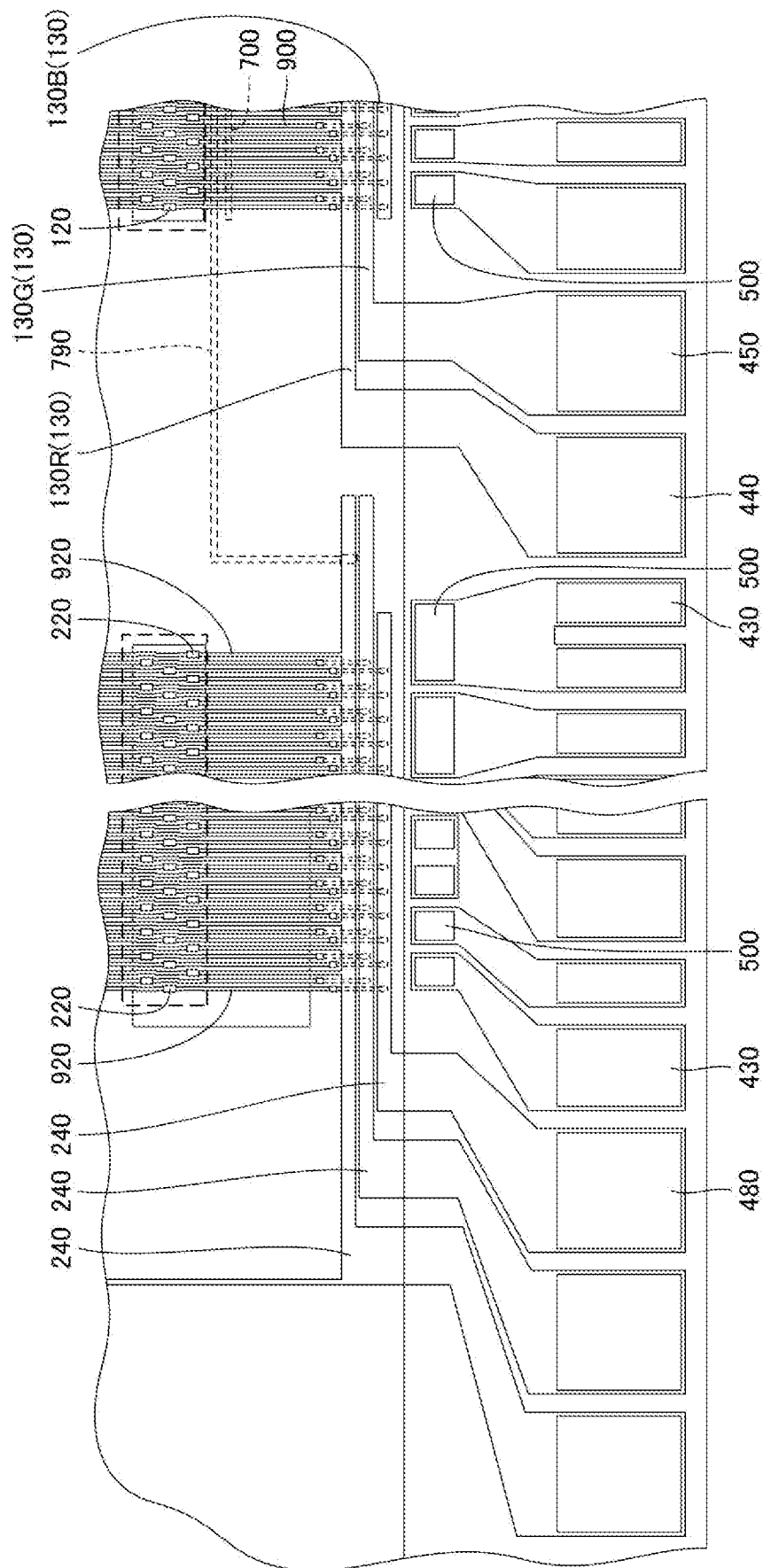
前記第2予備配線(760)および前記第4予備配線(770)が、前記複数の冗長部(101)のそれぞれに対して重複しないように接続または絶縁膜を介して交差している、請求項2または請求項7に記載のアクティブマトリクス型表示装置。

[図1]

FIG.1



[図2]



[図4]

FIG.4

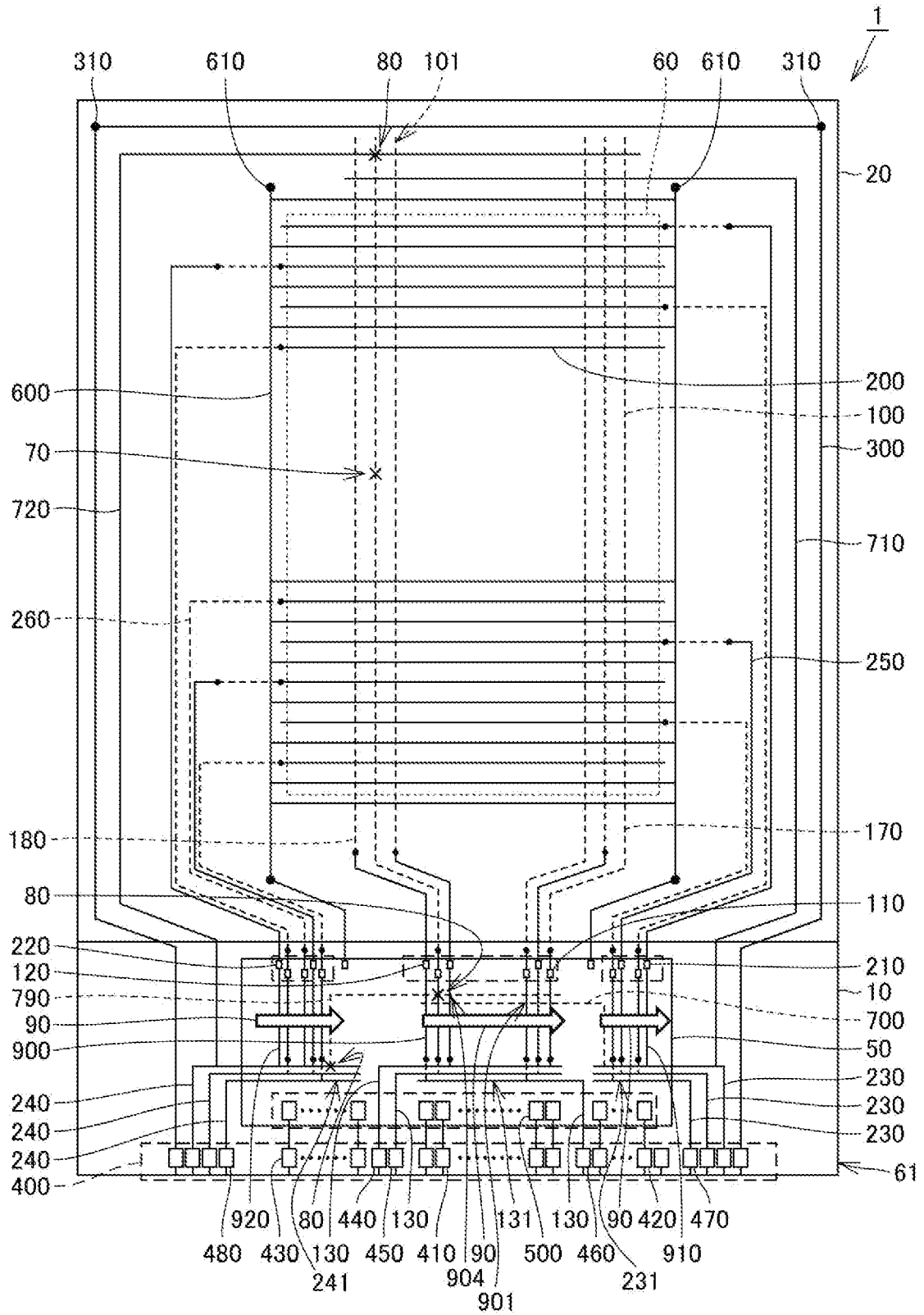
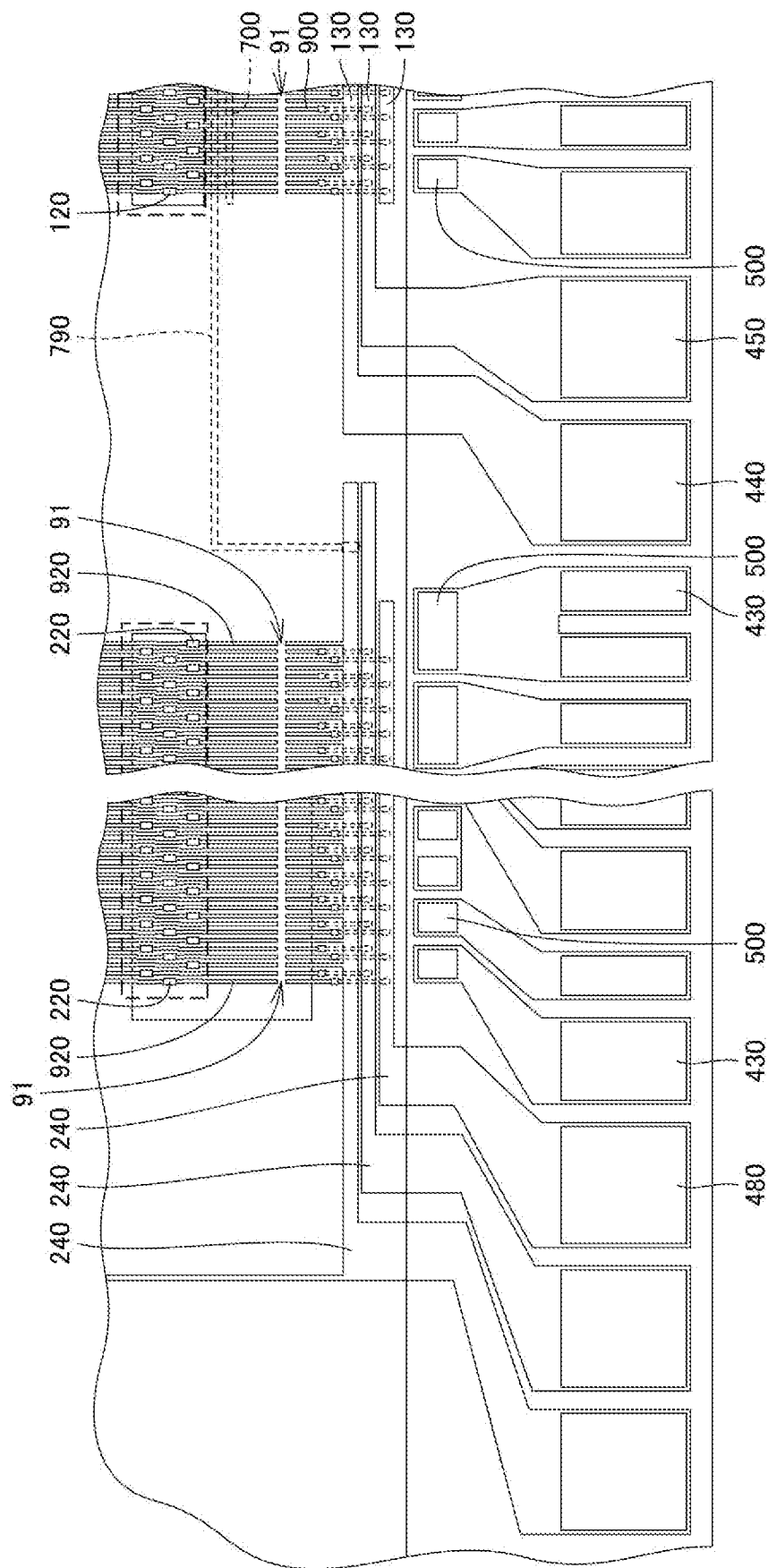
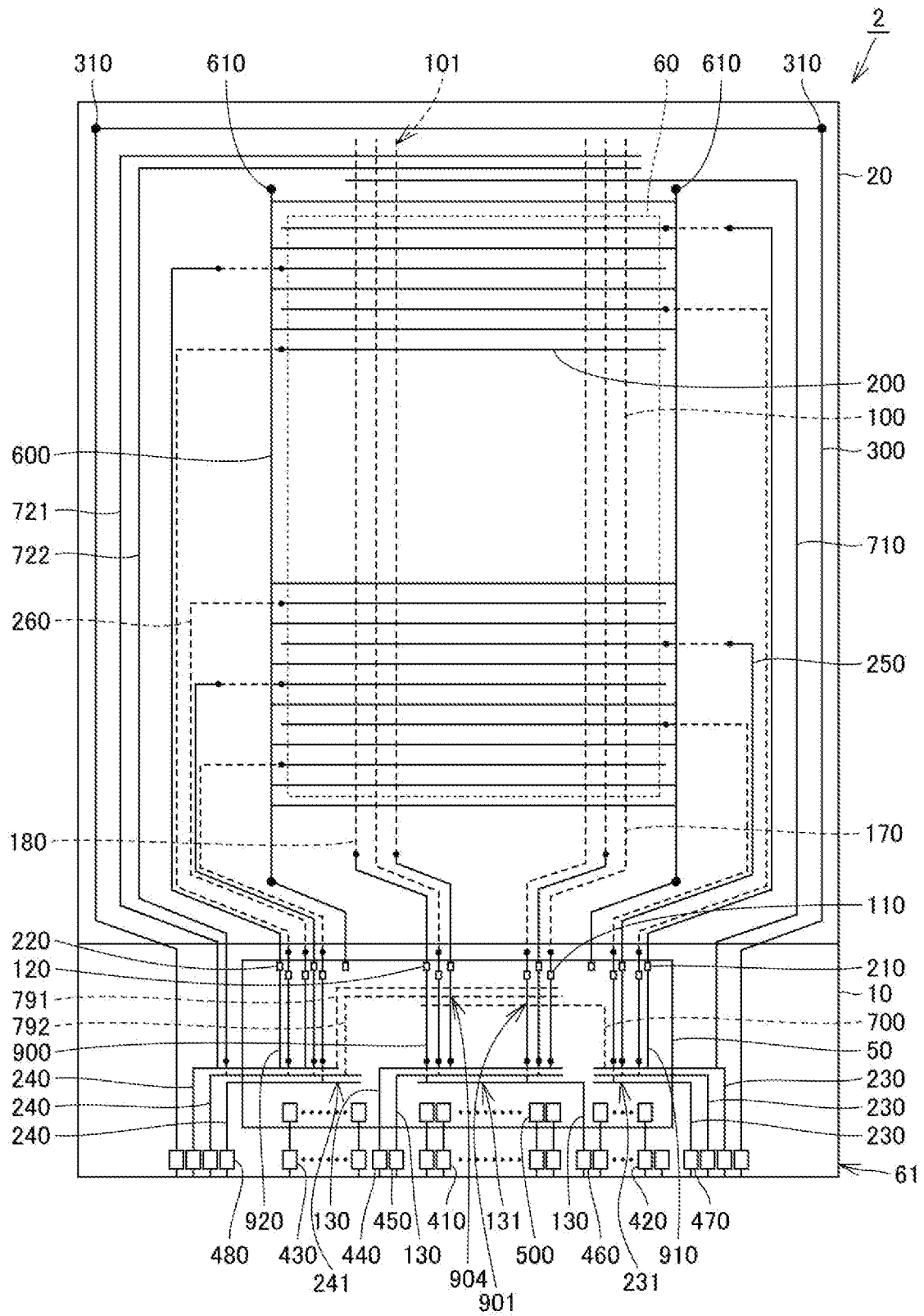


FIG. 5

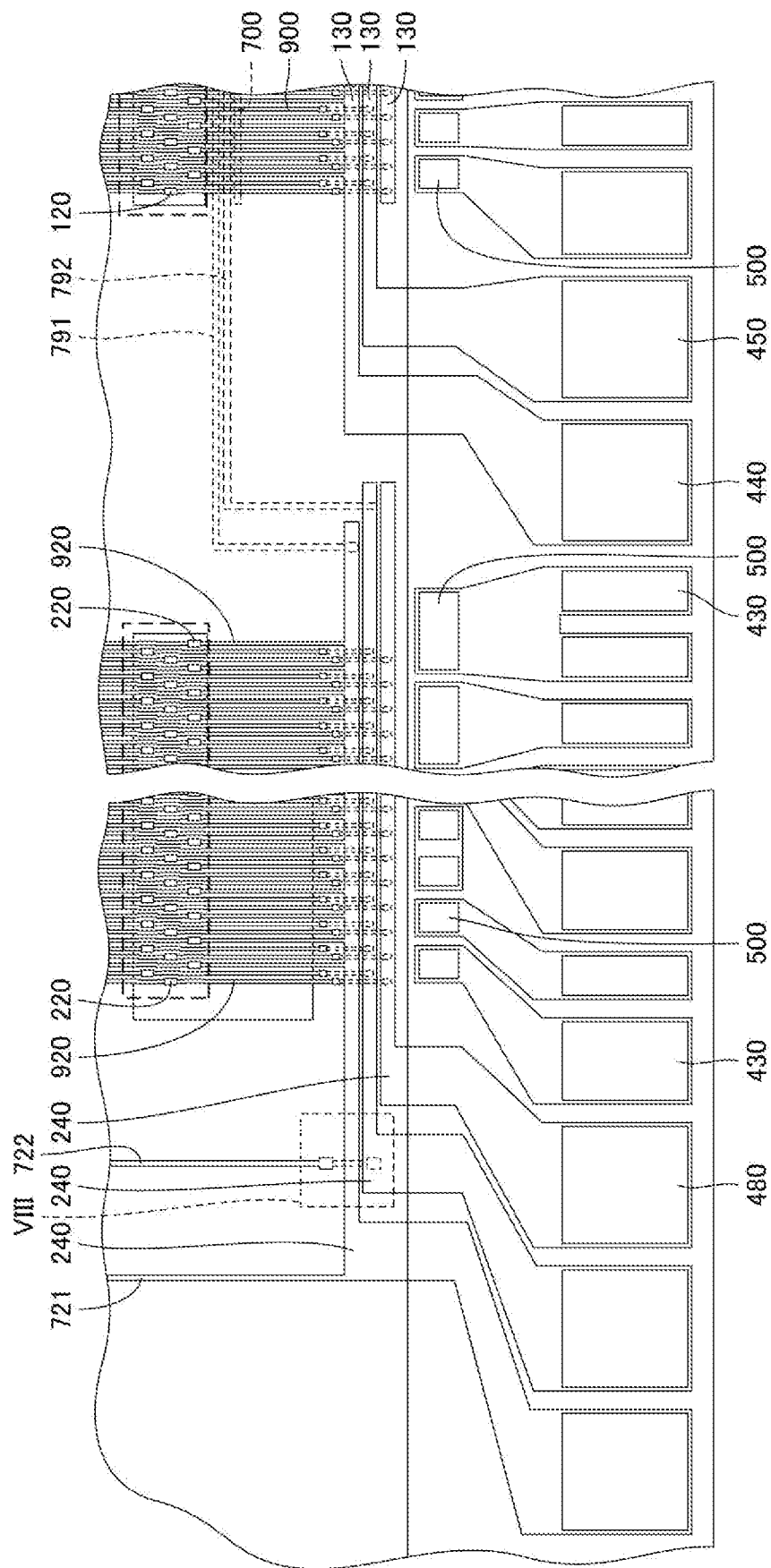


[図6]

FIG.6

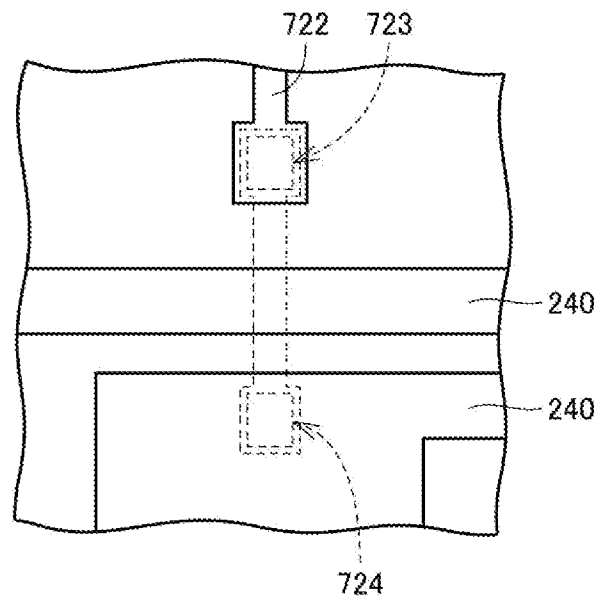


[図7]



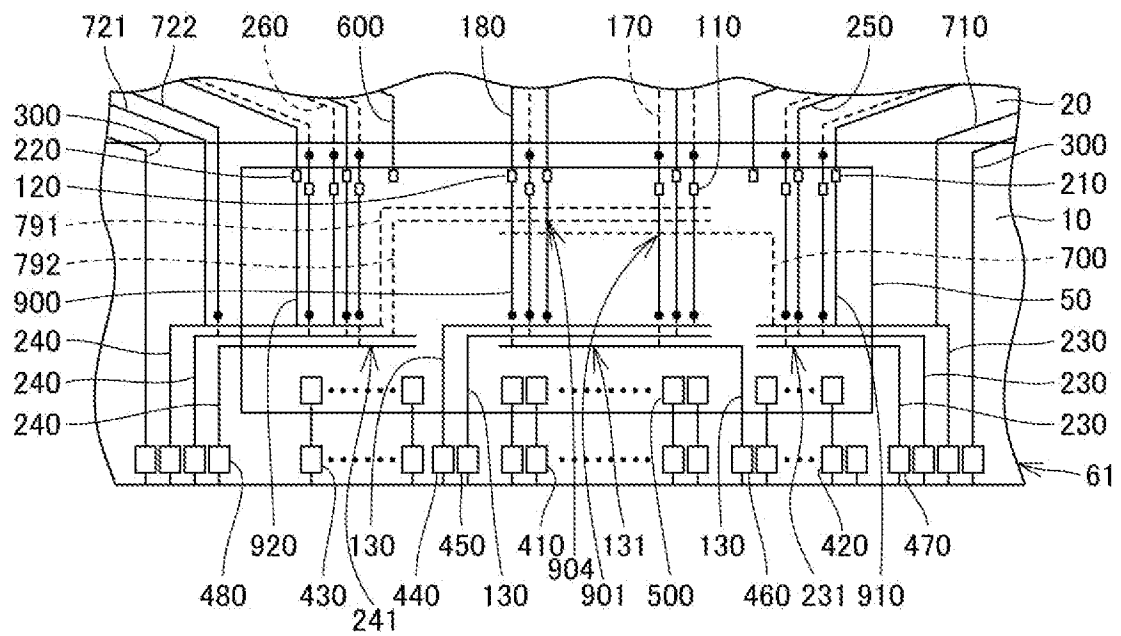
[図8]

FIG.8



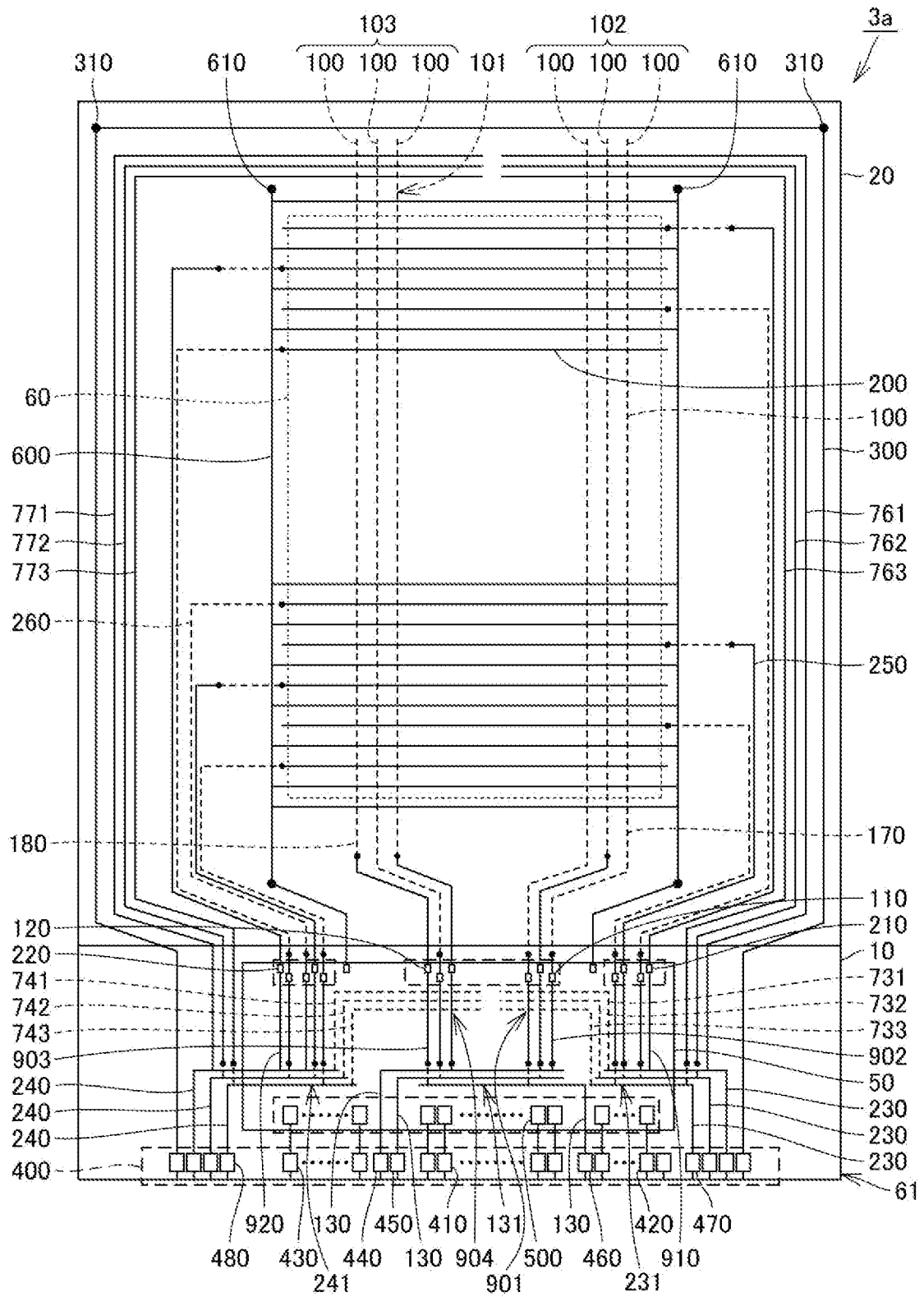
[図9]

FIG.9



[図12]

FIG.12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/070067

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1345, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-005027 A (Matsushita Electric Industrial Co., Ltd.), 12 January 2001 (12.01.2001), entire text; all drawings (Family: none)	1-8
A	JP 2002-221947 A (Sharp Corp.), 09 August 2002 (09.08.2002), entire text; all drawings (Family: none)	1-8
A	JP 9-311646 A (Xerox Corp.), 02 December 1997 (02.12.1997), entire text; all drawings & US 5608245 A & EP 780766 A3 & DE 69624322 D	1-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 October, 2012 (25.10.12)Date of mailing of the international search report
06 November, 2012 (06.11.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/070067

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-253978 A (Advanced Display Inc.), 25 September 1998 (25.09.1998), entire text; all drawings (Family: none)	1-8
A	JP 9-146121 A (Advanced Display Inc.), 06 June 1997 (06.06.1997), entire text; all drawings & US 5767929 A & TW 406204 B & KR 10-0230666 B & CN 1166614 A	1-8
A	JP 2009-020477 A (AU Optronics Corp.), 29 January 2009 (29.01.2009), entire text; all drawings & US 2009/0021665 A1 & TW 200905342 A	1-8
A	JP 2005-234492 A (Fujitsu Display Technologies Corp.), 02 September 2005 (02.09.2005), entire text; all drawings (Family: none)	1-8
A	JP 2003-344874 A (Fujitsu Display Technologies Corp.), 03 December 2003 (03.12.2003), entire text; all drawings (Family: none)	1-8
A	JP 2001-166704 A (Fujitsu Ltd.), 22 June 2001 (22.06.2001), entire text; all drawings (Family: none)	1-8
A	JP 11-064876 A (Mitsubishi Electric Corp.), 05 March 1999 (05.03.1999), entire text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368 (2006.01)i, G02F1/1345 (2006.01)i, G09F9/00 (2006.01)i, G09F9/30 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G02F1/1345, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-005027 A (松下電器産業株式会社) 2001.01.12, 全文全図 (ファミリーなし)	1 - 8
A	JP 2002-221947 A (シャープ株式会社) 2002.08.09, 全文全図 (ファミリーなし)	1 - 8
A	JP 9-311646 A (ゼロックス コーポレーション) 1997.12.02, 全文全図 & US 5608245 A & EP 780766 A3 & DE 69624322 D	1 - 8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 1 0 . 2 0 1 2

国際調査報告の発送日

0 6 . 1 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 久則

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 I

4 0 0 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-253978 A (株式会社アドバンスト・ディスプレイ) 1998. 09. 25, 全文全図 (ファミリーなし)	1 - 8
A	JP 9-146121 A (株式会社アドバンスト・ディスプレイ) 1997. 06. 06, 全文全図 & US 5767929 A & TW 406204 B & KR 10-0230666 B & CN 1166614 A	1 - 8
A	JP 2009-020477 A (友達光電股▲ふん▼有限公司) 2009. 01. 29, 全文全図 & US 2009/0021665 A1 & TW 200905342 A	1 - 8
A	JP 2005-234492 A (富士通ディスプレイテクノロジー株式会社) 2005. 09. 02, 全文全図 (ファミリーなし)	1 - 8
A	JP 2003-344874 A (富士通ディスプレイテクノロジー株式会社) 2003. 12. 03, 全文全図 (ファミリーなし)	1 - 8
A	JP 2001-166704 A (富士通株式会社) 2001. 06. 22, 全文全図 (ファミリーなし)	1 - 8
A	JP 11-064876 A (三菱電機株式会社) 1999. 03. 05, 全文全図 (ファミリーなし)	1 - 8