

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4242072号
(P4242072)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 1 2 E

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 3 2 D

請求項の数 49 (全 27 頁)

(21) 出願番号 特願2000-553960 (P2000-553960)
 (86) (22) 出願日 平成10年6月12日 (1998.6.12)
 (65) 公表番号 特表2002-518776 (P2002-518776A)
 (43) 公表日 平成14年6月25日 (2002.6.25)
 (86) 国際出願番号 PCT/US1998/012426
 (87) 国際公開番号 WO1999/065036
 (87) 国際公開日 平成11年12月16日 (1999.12.16)
 審査請求日 平成17年5月31日 (2005.5.31)

(73) 特許権者 598039493
 マクロニクス インターナショナル カン
 パニー リミテッド
 台湾 シン チュ サイエンス ベースド
 インダストリアル パーク クリエイシ
 ヨン ロード サード 3
 (74) 代理人 100059959
 弁理士 中村 稔
 (74) 代理人 100067013
 弁理士 大塚 文昭
 (74) 代理人 100082005
 弁理士 熊倉 禎男
 (74) 代理人 100065189
 弁理士 穴戸 嘉一

最終頁に続く

(54) 【発明の名称】 チャンネルF Nプログラム／消去回復スキーム

(57) 【特許請求の範囲】

【請求項 1】

制御ゲート、浮遊ゲート、p型及びn型の一方である第1の導電型を有するチャンネルウェル、及び上記チャンネルウェル内において上記第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域を備え、上記制御ゲートが第1のプログラム／消去電位にある第1のノードに結合され、上記チャンネルウェルが第2のプログラム／消去電位にある第2のノードに結合されている浮遊ゲートメモリセルにおいて、上記制御ゲートに第1の回復電位を回復させ、上記チャンネルウェルに第2の回復電位を回復させるための方法であって、

上記第1のプログラム／消去電位を上記第1のノードに印加し、上記第2のプログラム／消去電位を上記第2のノードに印加することによって上記制御ゲートと上記チャンネルウェルとの間にトンネリング電流を誘起させるのに十分な電界を確立した後、上記第1のノードと上記第2のノードとの間に電流通路を完成させるステップと、

上記第1のノードにおける電圧電位が第1のスイッチング電位とほぼ等しくなったときに第1の接地信号を生成するステップと、

上記第2のノードにおける電圧電位が第2のスイッチング電位とほぼ等しくなったときに第2の接地信号を生成するステップと、

上記第1の接地信号にตอบสนองして、上記第2のノードと第1の参照ノードとの間に電気通路を設けて上記第1の参照ノードを上記第2の回復電位にバイアスするステップと、

上記第2の接地信号にตอบสนองして、上記第1のノードと第2の参照ノードとの間に電気通

10

20

路を設けて上記第 2 の参照ノードを上記第 1 の回復電位にバイアスするステップと、を含むことを特徴とする方法。

【請求項 2】

第 1 の導電型を有する半導体基板上にあって、ドレイン、ソース、浮遊ゲート、及び制御ゲートを含む浮遊ゲートセルのための動作させるための方法であって、上記基板は、上記基板とは異なる第 2 の導電型を有する絶縁ウエルと、上記絶縁ウエル内にあって上記第 1 の導電型を有するチャンネルウエルと、上記チャンネルウエル内にあって上記第 2 の導電型を有するセルのソース及びドレイン領域を含み、上記制御ゲートは、第 1 のノードに結合され、上記チャンネルウエルは、第 2 のノードに接続されており、上記方法は、

第 1 のプログラム / 消去電位を上記第 1 のノードに印加し、第 2 のプログラム / 消去電位を上記第 2 のノードに印加し、第 3 のプログラム / 消去電位を上記絶縁ウエルに印加し、そして第 4 のプログラム / 消去電位を上記基板に印加することによって上記浮遊ゲートと上記チャンネルウエルとの間にトンネリング電流を誘起させるステップを含み、上記第 1 及び第 2 のプログラム / 消去電位は、上記制御ゲートと上記チャンネルウエルとの間にトンネリング電流を誘起させるのに十分な電界を確立し、上記第 3 の電位は、上記チャンネルウエルと上記絶縁ウエルとの間の電流を阻止するように設定され、且つ上記第 4 の電位は、上記絶縁ウエルと上記基板との間の電流を阻止するように設定され、上記方法は、

上記第 1 のプログラム / 消去電位を第 1 の回復電位まで回復させ、且つ上記第 2 のプログラム / 消去電位を第 2 の回復電位まで回復させるステップを更に含み、上記第 1 のプログラム / 消去電位及び上記第 2 のプログラム / 消去電位を回復させるステップは：

上記第 1 のノードと上記第 2 のノードとの間に電流通路を完成するステップと；

上記第 1 のノードにおける上記電位が第 1 のスイッチング電位にほぼ等しくなったときに第 1 の接地信号を生成するステップと；

上記第 2 のノードにおける上記電位が第 2 のスイッチング電位とほぼ等しくなったときに第 2 の接地信号を生成するステップと；

上記第 1 の接地信号に応答し、上記第 2 のノードと第 1 の参照ノードとの間に電気通路を設けて上記第 1 の参照ノードを上記第 2 の回復電位にバイアスするステップと；

上記第 2 の接地信号に応答して、上記第 1 のノードと第 2 の参照ノードとの間に電気通路を設けて上記第 2 の参照ノードを上記第 1 の回復電位にバイアスするステップと；を含むことを特徴とする方法。

【請求項 3】

上記第 1 の導電型は、p 型であることを特徴とする請求項 1 または請求項 2 に記載の方法。

【請求項 4】

上記第 1 のスイッチング電位は正電圧であり、上記第 2 のスイッチング電位は、負電圧であることを特徴とする請求項 1 または請求項 2 に記載の方法。

【請求項 5】

上記第 1 のスイッチング電位は、ほぼ + 3 V であり、上記第 2 のスイッチング電位は、ほぼ - 2 V であることを特徴とする請求項 3 または請求項 4 に記載の方法。

【請求項 6】

上記第 1 のスイッチング電位は、負電圧であり、上記第 2 のスイッチング電位は、正電圧であることを特徴とする請求項 1 または請求項 2 に記載の方法。

【請求項 7】

上記第 1 のスイッチング電位は、ほぼ - 2 V であり、上記第 2 のスイッチング電位は、ほぼ + 3 V であることを特徴とする請求項 6 に記載の方法。

【請求項 8】

上記第 1 の参照ノードは、接地電位にあるノードに結合されることを特徴とする請求項 1 または請求項 2 に記載の方法。

【請求項 9】

上記第 1 の参照ノードは、上記第 2 の参照ノードに結合されることを特徴とする請求項

10

20

30

40

50

8に記載の方法。

【請求項10】

上記第1のプログラム/消去電位は、正電圧であり、上記第2のプログラム/消去電位は、負電圧であることを特徴とする請求項1または請求項2に記載の方法。

【請求項11】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備えていることを特徴とする請求項1に従属する請求項10に記載の方法。

【請求項12】

上記基板は、接地電位及び正電源電位を供給する外部参照電源に結合されていることを特徴とする請求項2に従属する請求項10に記載の方法。

【請求項13】

上記電源電圧は、5Vまたはそれ以下に特定されていることを特徴とする請求項11または請求項12に記載の方法。

【請求項14】

上記第1のプログラム/消去電位は、負電圧であり、上記第2のプログラム/消去電位は、正電圧であることを特徴とする請求項1または請求項2に記載の方法。

【請求項15】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備え、上記第2のプログラム/消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項1に従属する請求項14に記載の方法。

【請求項16】

上記基板は、接地電位及び正供給電位を供給する外部参照電源に結合され、上記第2のプログラム/消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項2に従属する請求項14に記載の方法。

【請求項17】

上記第2のプログラム/消去電位はほぼ供給電位から+14Vまでの範囲内の大きさを有し、上記第1のプログラム/消去電位は-4Vから-10Vまでの範囲内の大きさを有していることを特徴とする請求項15または請求項16に記載の方法。

【請求項18】

上記供給電圧は、5Vまたはそれ以下に特定されていることを特徴とする請求項15または請求項16に記載の方法。

【請求項19】

上記浮遊ゲートメモリセルは、第1の導電型を有する基板を有する集積回路上に三重ウェルトランジスタを含み、上記基板は第2の導電型を有する絶縁ウェルを含み、上記チャンネルウェルは上記絶縁ウェル内にあることを特徴とする請求項1または請求項3に記載の方法。

【請求項20】

浮遊ゲートメモリセルの制御ゲート及びチャンネルウェルをそれぞれ第1の回復電位及び第2の回復電位まで回復させるための回復回路であって、上記浮遊ゲートメモリセルは、第1のプログラム/消去電位にある第1のノードに結合される上記制御ゲート、浮遊ゲート、p型及びn型の方である第1の導電型を有して第2のプログラム/消去電位にある第2のノードに結合される上記チャンネルウェル、及び上記チャンネルウェル内であって上記第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域とを備え、上記回復回路は、

回復制御信号を供給する制御回路と、

上記第1のプログラム/消去電位を上記第1のノードに印加し、上記第2のプログラム/消去電位を上記第2のノードに印加することによって上記制御ゲートと上記チャンネルウェルとの間にトンネリング電流を誘起させるのに十分な電界を確立した後、上記回復制御信号に応答し、上記第1のノードと上記第2のノードとの間に電流通路を完成させる結合回路と、

10

20

30

40

50

上記回復制御信号に応答し、上記第1のノードにおける電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を供給する第1の電圧検出器回路と、

上記回復制御信号に応答し、上記第2のノードにおける電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を供給する第2の電圧検出器回路と、

上記第1の接地信号に応答し、上記第2のノードと第1の参照ノードとの間に電気通路を設けて上記第1の参照ノードを上記第2の回復電位にバイアスする第1の電圧接地回路と、

上記第2の接地信号に応答し、上記第1のノードと第2の参照ノードとの間に電気通路を設けて上記第2の参照ノードを上記第1の回復電位にバイアスする第2の電圧接地回路と、

を備えていることを特徴とする回復回路。

【請求項21】

上記第1の導電型は、p型であることを特徴とする請求項20に記載の回復回路。

【請求項22】

上記第1のスイッチング電位は、正電圧であり、上記第2のスイッチング電位は、負電圧であることを特徴とする請求項20に記載の回復回路。

【請求項23】

上記第1のスイッチング電位は、ほぼ+3Vであり、上記第2のスイッチング電位は、ほぼ-2Vであることを特徴とする請求項22に記載の回復回路。

【請求項24】

上記第1のスイッチング電位は、負電圧であり、上記第2のスイッチング電位は、正電圧であることを特徴とする請求項20に記載の方法。

【請求項25】

上記第1のスイッチング電位は、ほぼ-2Vであり、上記第2のスイッチング電位は、ほぼ+3Vであることを特徴とする請求項24に記載の回復回路。

【請求項26】

上記第1の参照ノードは、接地電位にあるノードに結合されることを特徴とする請求項20に記載の回復回路。

【請求項27】

上記第1の参照ノードは、上記第2の参照ノードに結合されることを特徴とする請求項26に記載の回復回路。

【請求項28】

上記第1のプログラム/消去電位は、正電圧であり、上記第2のプログラム/消去電位は、負電圧であることを特徴とする請求項20に記載の回復回路。

【請求項29】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備えていることを特徴とする請求項28に記載の回復回路。

【請求項30】

上記供給電位は、5Vまたはそれ以下に特定されていることを特徴とする請求項29に記載の回復回路。

【請求項31】

上記第1のプログラム/消去電位は、負電圧であり、上記第2のプログラム/消去電位は、正電圧であることを特徴とする請求項20に記載の回復回路。

【請求項32】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備え、上記第2のプログラム/消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項31に記載の回復回路。

【請求項33】

上記第2のプログラム/消去電位は、ほぼ供給電位から+14Vまでの範囲内の大きさを有し、上記第1のプログラム/消去電位は、-4Vから-10Vまでの範囲内の大きさを有

10

20

30

40

50

していることを特徴とする請求項 3 2 に記載の回復回路。

【請求項 3 4】

上記供給電圧は、5 V またはそれ以下に指定されていることを特徴とする請求項 3 2 に記載の回復回路。

【請求項 3 5】

n 型及び p 型の一方である第 1 の導電型を有する領域を含む半導体基板内の浮遊ゲートメモリセルであって、

チャンネル領域上の浮遊ゲート構造と、

上記浮遊ゲート構造の上であって第 1 のノードに結合されている制御ゲート構造と、

上記基板の領域内であって n 型及び p 型の一方であるが上記第 1 の導電型とは異なる第 2 の導電型を有する第 1 のウェルと、

上記第 1 のウェル内であって第 2 のノードに結合され、上記第 1 の導電型を有する第 2 のウェルと、

上記第 2 のウェル内であって上記第 2 の導電型を有するドレインと、

上記第 2 のウェル内であって上記第 2 の導電型を有し、上記ドレインから離間していて上記ドレインとの間に上記チャンネル領域を限定しているソースと、

第 1 のプログラム / 消去電位を上記第 1 のノードに印加し、第 2 のプログラム / 消去電位を上記第 2 のノードに印加し、第 3 のプログラム / 消去電位を上記第 1 のウェルに印加し、そして第 4 のプログラム / 消去電位を上記基板に印加することによって、上記浮遊ゲートから上記チャンネル領域内へ、及び上記チャンネル領域から上記浮遊ゲート内への電子のトンネリングを誘起させるプログラム / 消去電圧ドライバ回路を備え、上記第 1 及び第 2 のプログラム / 消去電位は、上記制御ゲートと上記チャンネルウェルとの間に上記トンネリング電流を誘起させるのに十分な電界を確立し、上記第 3 の電位は上記チャンネルウェルと上記第 1 のウェルとの間の電流を阻止するようにセットされ、そして上記第 4 の電位は上記第 1 のウェルと上記基板との間の電流を阻止するようにセットされており、

上記浮遊ゲートメモリセルは、上記制御ゲートに第 1 の回復電位を回復させ、上記第 2 のウェルに第 2 の回復電位を回復させる回復回路を更に備え、上記回復回路は、

上記プログラム / 消去電圧ドライバにตอบสนองして回復制御信号を供給する制御回路と、

上記回復制御信号にตอบสนองして上記第 1 のノードと上記第 2 のノードとの間に電流通路を完成させる結合回路と、

上記回復制御信号にตอบสนองして上記第 1 のノードにおける電圧電位が第 1 のスイッチング電位にほぼ等しくなった時に第 1 の接地信号を供給する第 1 の電圧検出器回路と、

上記回復制御信号にตอบสนองして上記第 2 のノードにおける電圧電位が第 2 のスイッチング電位にほぼ等しくなった時に第 2 の接地信号を供給する第 2 の電圧検出器回路と、

上記第 1 の接地信号にตอบสนองし、上記第 2 のノードと第 1 の参照ノードとの間に電気通路を設けて上記第 1 の参照ノードを上記第 2 の回復電位にバイアスする第 1 の電圧接地回路と、

上記第 2 の接地信号にตอบสนองし、上記第 1 のノードと第 2 の参照ノードとの間に電気通路を設けて上記第 2 の参照ノードを上記第 1 の回復電位にバイアスする第 2 の電圧接地回路と、

を更に含んでいることを特徴とする浮遊ゲートメモリセル。

【請求項 3 6】

上記第 1 の導電型は、p 型であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 3 7】

上記第 1 のスイッチング電位は、正電圧であり、上記第 2 のスイッチング電位は、負電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 3 8】

上記第 1 のスイッチング電位は、ほぼ + 3 V であり、上記第 2 のスイッチング電位は、ほぼ - 2 V であることを特徴とする請求項 3 7 に記載の浮遊ゲートメモリセル。

【請求項 3 9】

上記第 1 のスイッチング電位は、負電圧であり、上記第 2 のスイッチング電位は、正電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 0】

上記第 1 のスイッチング電位は、ほぼ - 2 V であり、上記第 2 のスイッチング電位は、ほぼ + 3 V であることを特徴とする請求項 3 9 に記載の浮遊ゲートメモリセル。

【請求項 4 1】

上記第 1 の参照ノードは、接地電位にあるノードに結合されることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 2】

上記第 1 の参照ノードは、上記第 2 の参照ノードに結合されることを特徴とする請求項 4 1 に記載の浮遊ゲートメモリセル。

【請求項 4 3】

上記第 1 のプログラム / 消去電位は正電圧であり、上記第 2 のプログラム / 消去電位は負電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 4】

上記基板は、接地電位及び正供給電位を供給する外部参照電源に結合されることを特徴とする請求項 4 3 に記載の浮遊ゲートメモリセル。

【請求項 4 5】

上記供給電位は、5 V またはそれ以下に指定されていることを特徴とする請求項 4 4 に記載の浮遊ゲートメモリセル。

【請求項 4 6】

上記第 1 のプログラム / 消去電位は、負電圧であり、上記第 2 のプログラム / 消去電位は、正電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 7】

上記基板は、接地電位及び正供給電位を供給する外部参照電源に結合され、上記第 2 のプログラム / 消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項 4 6 に記載の浮遊ゲートメモリセル。

【請求項 4 8】

上記第 2 のプログラム / 消去電位は、ほぼ供給電位から + 14 V までの範囲内の大きさを有し、上記第 1 のプログラム / 消去電位は、- 4 V から - 10 V までの範囲内の大きさを有していることを特徴とする請求項 4 7 に記載の浮遊ゲートメモリセル。

【請求項 4 9】

上記供給電圧は、5 V またはそれ以下に特定されていることを特徴とする請求項 4 7 に記載の浮遊ゲートメモリセル。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明は、不揮発性メモリデバイスのプログラミング及び消去に関する。詳述すれば、本発明は、フラッシュセルのファウラー・ノルトハイムトンネリングプログラム及び / または消去プロセスからの回復スキームに関する。

【0002】

(関連技術の説明)

フラッシュメモリは、浮遊ゲートトランジスタをベースとする不揮発性メモリ集積回路のクラスである。浮遊ゲートセルのメモリ状態は、浮遊ゲート内に捕捉された電荷の集中によって決定される。フラッシュメモリの動作は、浮遊ゲートへ電荷を注入する、または該ゲートから電荷を除去する技術に大きく依存する。

【0003】

浮遊ゲートメモリセル内へ、及び該セルから電荷を移動させるために、少なくとも 2 つの基本的な技術が使用されている。第 1 の技術は、熱い電子注入と呼ばれるものである。熱

10

20

30

40

50

い電子注入は、メモリセルのドレインとソースとの間に正電圧を印加し、制御ゲートに正電圧を印加することによって誘起される。これはセル内に電流を誘起させ、電流内の熱い電子が浮遊ゲートセルのトンネル酸化物を通して浮遊ゲート内に注入される。熱い電子注入は比較的大きい電流動作であり、従って普通は、一時にデバイス内の数個のセルをプログラムするだけに使用されている。

【 0 0 0 4 】

フラッシュメモリの浮遊ゲート内へ、及び該ゲートから電荷を移動させるための第2の主要技術はファウラー・ノルトハイムトンネリング (F - N トンネリング) と称されるものである。F - N トンネリングは、制御ゲートと、ドレイン、ソース、及びチャンネルの1つとの間、または制御ゲートとこれらの端子の組合わせとの間に大きい電界を確立することによって誘起される。電界はトンネル酸化物を通る F - N トンネリング電流を確立し、電子を浮遊ゲートから追い出す。F - N トンネリングプロセスは、セルのソースとドレインとの間に電流を流すことを含まないので比較的低電流である。従って一般に、この技術は一時にデバイス内の多数のセルにまたがって並列に使用される。

10

【 0 0 0 5 】

フラッシュメモリの動作は、浮遊ゲート内に蓄積される電荷の量をセル毎に制御することを必要とするアレイのプログラミングと、アレイ全体またはアレイのセクター内の浮遊ゲートを所定の帯電状態にクリアする消去とを含む。1つの種類のフラッシュメモリにおいては、アレイ内のセルのプログラム、及び消去の両方のために F - N トンネリングを使用している。

20

【 0 0 0 6 】

従来のアプローチに使用されていた F - N トンネリング消去は、集積回路チップに用いられる低い供給電圧 (5 V より低い VDD) を使用する能力を制約する要因であった。例えば、1つの一般的なアプローチは n 型ソース及びドレイン領域を有する p 型半導体基板 (サブストレート) 内に形成されたメモリセルをベースとしている。ソース側 F - N トンネリング消去動作のバイアス方法は、約 12 V の消去電位をソースに印加し、基板を接地し、そしてセルの制御ゲートに接続されているワードラインが 0 V で消去されるようにセットする。これにより、ソースと浮遊ゲートとの間の F - N トンネリングによって消去動作が達成される。しかしながら、ソースと基板との間には大きい電圧差 (12 V) が発生する。この電圧差が、不要な基板電流及び熱い正孔電流を誘起する。この不要な電流を抑圧するために、いわゆる二重拡散ソースプロセスが使用される。二重拡散は、ソースと基板との間の n 型ドーピングの濃度に漸進的な、または 2 段階変化を発生させる。これは、ソースと基板との間の界面の応力を減少させ、不要な電流を抑圧する。しかしながら、二重拡散ソースはセルのサイズを縮小させる能力を制限する。

30

【 0 0 0 7 】

代替アプローチは Ray-Lin Wan 及び Chun-Hsiung Hung による国際特許出願 PCT/US97/03861 “Triple Well Floating Gate Memory and Operating Method with Isolated Channel Program, Preprogram and Erase Processes” に開示されているような三重ウェル浮遊ゲートメモリの使用を含んでいる。このアプローチの1つの実施の形態においては、フラッシュセルは p 型基板内に形成されており、深い n ウェル (NWD) が内側 p ウェル (PWI) 内に形成されている。n 型ソース及びドレイン領域は PWI 内に形成されている。この三重ウェル浮遊ゲート配列の典型的な F - N プログラミング方法を図 1 に示す。図 1 では p 基板は接地され、NWD は約 3 V の低い正電圧に接続され、PWI、ソース、及びドレインは約 - 9 V の負電圧に接続され、そしてゲートは約 8 V の正電圧に接続されている。この三重ウェル浮遊ゲート配列の典型的な F - N 消去方法を図 2 に示す。図 2 では p 基板は接地され、NWD は約 10 V の高い正電圧に接続され、PWI、ソース、及びドレインは約 6 V の正電圧に接続され、そしてゲートは約 - 9 V の負電圧に接続されている。セルのプログラムまたは消去を遂行した後、これらのノードに印加した電位を取り除いて接地電位を回復しなければならない。これはセルの回復として知られている。

40

【 0 0 0 8 】

50

図 1 及び 2 に示すような三重ウェル浮遊ゲートセルをプログラム、または消去する計画を設計する際に考慮すべき 1 つの主要要因は、プログラム / 消去機能を遂行できる速度である。セルの種々のノードに印加された高電圧からセルを回復させることができる速度が、プログラム / 消去計画の総合速度を決定する主要要因である。特定のプログラム / 消去計画の回復時間に極めて大きい効果を有している 1 つの要因は、浮遊ゲートセルの種々のノード間に形成されている寄生容量である。図 1 及び 2 には、これらの容量を、 C_1 (ゲートと PWI との間のキャパシタ)、 C_2 (PWI と NWD との接合のキャパシタ)、及び C_3 (NWD と p 基板との接合のキャパシタ) で示してある。従来は、3 つの一般的な計画を使用して C_1 、 C_2 、 C_3 を放電させ、セルの全端子を接地まで回復させてきた。

【0009】

プログラムステップから回復させる場合の第 1 の計画を図 3 (a) - (b) に示す。この計画は先ず、高度に導電性の通路を通してセルのゲートを接地することからなるが、低導電性通路によって - 9 V に接続されているノード PWI は、キャパシタ C_1 による結合のために、より低い電位 (この場合は、- 17 V) になる。従って、この結合を減少させるために、この計画は典型的に、導電率の低い通路によってゲートを接地するように、即ち、回復時間を長くするように変更される。更に、図 3 (b) に示すように、誤計算された結合によってもたらされる高電圧応力から保護するために、典型的には電圧リミタ D_3 も設けられている。ゲート端子が接地へ放電された後に、 PWI が別の通路を介して接地に放電される。この時に再び同じ結合問題が発生する。図 3 (c) に示すように、もしゲート・接地通路がゲートを接地に維持するのに十分高度に導電性ではなければゲートは C_1 による結合のために正電位になり、また NWD は C_2 を介して結合されて + 12 V になってしまう。従ってこの特定の回復計画は、負電位リミタ D_3 と、異なる時間間隔でゲートを接地させるための 2 つの分離したドライバとを必要とする。最初のステップでは PWI の結合が弱過ぎないように弱いゲートドライバが必要であり、 PWI を接地へ放電させる時にはゲートが高に結合されないように強いゲートドライバが必要である。

【0010】

プログラムステップから回復させる場合の第 2 の計画を図 4 (a) - (c) に示す。この計画は、上述した計画の将に逆であり、最初に PWI を放電させ、次いでゲートを放電させる。即ち、もし PWI を接地するために強いドライバを使用していれば、最初のステップにおいて C_1 を介して高に強く結合されるのを回避するために、ゲート端子に正電位リミタ D_5 を接続しなければならない。同様に、 PWI が - 12 V に結合されるのを回避するために、ゲートが放電されている間に高度に導電性の通路を介して PWI を接地しなければならない。

【0011】

プログラム機能から回復するために使用されてきた別の計画を図 5 (a) - (b) に示す。この計画では、 PWI 及びゲートの両者を同時に放電させる。これを実現するためには、ゲート端子における接地への駆動能力と、 PWI における接地への駆動能力とをほぼ等しくし、 C_1 による結合を平衡させなければならない。そのようにしなければ、これらの端子における電圧スウィングを制限するために、上述したクランプ回路 D_3 及び D_5 を使用する必要がある。もし等しい駆動を採用してクランプ回路を使用しないのであれば、この計画を実現する回路を適切に動作させるためには C_1 、 C_2 、及び C_3 の精密な容量推定が非常に重要である。更に、 C_2 及び C_3 は、これらのキャパシタの 2 つの端子間の電位差と共に容量が変化する接合キャパシタであるので、回復期間中 C_2 及び C_3 は電圧依存変数になる。この変化は、この計画を実現するために必要な C_1 、 C_2 、及び C_3 の精密な推定を極めて複雑にする。

【0012】

以上に図 3、4、及び 5 を参照してプログラム機能からの回復について説明した。上述した 3 つの各回復計画は、電圧の極性を変化させるだけで消去機能からの回復にも適用することができる。同様に、プログラム機能回復についての上述した諸問題は、消去機能回復についても適用される。

10

20

30

40

50

【 0 0 1 3 】

要約すれば、プログラムまたは消去機能の後に、三重ウェル浮遊ゲートセルの端子を回復させるために現在使用されている計画は、幾分制約されていることが分かっている。詳述すれば、これらの計画は速度（これらが回復機能を遂行できる速度）が制限されている。この速度の制限は、プログラムされたノード間の寄生結合に固有の問題によってもたらさるものである。従って、上述した諸問題を解消して三重ウェル浮遊ゲートセルをプログラム及びノードまたは消去機能から回復させる計画を提供することが望ましい。更に、このような計画を実現し、またフラッシュメモリセルを用いた集積回路上で実現できる回路を提供することが望ましい。

【 0 0 1 4 】

（発明の概要）

上述したように、プログラムまたは消去プロセスが浮遊ゲートセルに対して遂行された後に、読み出し動作のような別の動作のためにセルの準備を整えるには、制御ゲート及びチャンネルウェルを含むセルのノードにおける電圧電位を接地のようなある参照電位まで回復しなければならない。本発明は、回復回路、及びこの回復動作を遂行する方法を提供する。更に、本発明の回復回路及び方法は、従来の回復方法に固有の浮遊ゲートメモリセルのノード間の寄生容量結合の問題を解消するように実現される。従って、本発明の回復回路及び方法は、浮遊ゲートメモリセルが遂行できる速度を増加させることによって、それらのプログラム及び消去動作を強化する。本回復回路及び方法は、フラッシュEEPROMのような不揮発性集積回路メモリアレイ内に使用される浮遊ゲートメモリセルを回復させるために特に有用である。従って、本発明の回復回路及び方法は、例えばポータブルラップトップコンピュータのようなコンピュータシステムに使用するのに特に適している。

【 0 0 1 5 】

本発明の1つの実施の形態の回復回路は、浮遊ゲートメモリセルの制御ゲートにおける電圧を第1のプログラムノード／消去電位から第1の回復電位まで回復させ、セルのチャンネルウェルにおける電圧を第2のプログラムノード／消去電位から第2の回復電位まで回復させる。浮遊ゲートメモリセルは、浮遊ゲートと、p型またはn型の何れかである第1の導電型を有するチャンネルウェルと、チャンネルウェル内にある第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域とを含んでいる。

【 0 0 1 6 】

この実施の形態の回復回路は、プログラムまたは消去プロセスが完了したことを指示する回復制御信号を供給する制御回路と、この回復制御信号に応答して制御ゲートとチャンネルウェルとの間に電流通路を完成させる結合回路とを含んでいる。回復回路は更に、回復制御信号に応答して制御ゲートにおける回復電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を供給する第1の電圧検出器と、回復制御信号に応答してチャンネルウェルにおける回復電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を供給する第2の電圧検出器とを含んでいる。回復回路のこの実施の形態には、第1の接地信号に応答してチャンネルウェルと第2の回復電位にある第1の参照ノードとの間に電気通路を設ける第1の電圧接地回路、及び第2の接地信号に応答して制御ゲートと第1の回復電位にある第2の参照ノードとの間に電気通路を設ける第2の電圧接地回路も含まれている。

【 0 0 1 7 】

更に、回復回路の好ましい実施の形態においては、回復回路は、三重ウェル浮遊ゲートメモリセルである浮遊ゲートメモリセルに適用される。この実施の形態においては、浮遊ゲートメモリセルは、第1の導電型を有する半導体基板内にある第2の導電型を有する絶縁ウェルを含み、チャンネルウェルはこの絶縁ウェル内にある。

【 0 0 1 8 】

また本発明は、浮遊ゲートメモリセルの制御ゲートにおける電圧を第1のプログラムノード／消去電位から第1の回復電位まで回復させ、セルのチャンネルウェルにおける電圧を第2のプログラムノード／消去電位から第2の回復電位まで回復させる方法の特徴とすることができる

。浮遊ゲートメモリセルは、浮遊ゲートと、p型またはn型の何れかである第1の導電型を有するチャンネルウェルと、チャンネルウェル内において第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域とを含んでいる。

【0019】

この実施の形態の方法は、制御ゲートとチャンネルウェルとの間に電流通路を完成させるステップと、制御ゲートにおける電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を生成するステップと、チャンネルウェルにおける電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を生成するステップとを含んでいる。本方法は更に、第1の接地信号に応答してチャンネルウェルと第2の回復電位にある第1の参照ノードとの間に電気通路を設けるステップと、第2の接地信号に応答して制御ゲートと第1の回復電位にある第2の参照ノードとの間に電気通路を設けるステップとを含んでいる。

10

【0020】

上述した方法の好ましい実施の形態においては、回復方法は、三重ウェル浮遊ゲートメモリセルである浮遊ゲートメモリセルに適用される。この実施の形態における浮遊ゲートメモリセルは、第1の導電型を有する半導体基板内において第2の導電型を有する絶縁ウェルを含み、チャンネルウェルはこの絶縁ウェル内にある。

【0021】

本発明は、三重ウェル浮遊ゲートメモリセルの動作方法をも特徴とすることができる。三重ウェルセルは、第1の導電型を有する半導体基板上にドレイン、ソース、浮遊ゲート、及び制御ゲートを含む。基板は、第1の導電型とは異なる第2の導電型を有する絶縁ウェルを含み、この絶縁ウェル内のチャンネルは第1の導電型を有し、第2の導電型を有するセルのソース及びドレイン領域はチャンネルウェル内にある。

20

【0022】

この実施の形態の動作方法は、第1のプログラム/消去電位を制御電極に印加し、第2のプログラム/消去電位をチャンネルウェルに印加し、第3のプログラム/消去電位を絶縁ウェルに印加し、第4のプログラム/消去電位を基板に印加することによって、浮遊ゲートとチャンネルウェルとの間にトンネリング電流を誘起させるステップを含む。第1及び第2のプログラム/消去電位は、制御ゲートとチャンネルウェルとの間にトンネリング電流を誘起させるのに十分な電界を確立するように印加される。第3の電位はチャンネルウェルと絶縁ウェルとの間の電流を阻止するようにセットされ、第4の電位は絶縁ウェルと基板との間の電流を阻止するようにセットされる。本動作方法は更に、第1のプログラム/消去電位を第1の回復電位まで回復させ、第2のプログラム/消去電位を第2の回復電位まで回復させるステップを含む。この回復ステップは更に、制御ゲートとチャンネルウェルとの間に電流通路を完成させるステップと、制御ゲートにおける電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を生成するステップと、チャンネルウェルにおける電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を生成するステップとを含んでいる。この回復ステップは更に、第1の接地信号に応答してチャンネルウェルと第2の回復電位にある第1の参照ノードとの間に電気通路を設けるステップと、第2の接地信号に応答して制御ゲートと第1の回復電位にある第2の参照ノードとの間に電気通路を設けるステップとを含んでいる。

30

40

【0023】

先行実施の形態の1例においては第1のスイッチング電位は正電圧であり、第2のスイッチング電位は負電圧であり、そして特定の好ましい実施例では第1のスイッチング電位は約+3Vであり、第2のスイッチング電位は約-2Vである。代替として第1のスイッチング電位が負電圧であり、第2のスイッチング電位が正電圧であることができ、そして別の実施例においてはこれらはそれぞれ-2V及び+3Vであることができる。更に別の好ましい実施の形態においては、第1及び第2の参照ノードは互いに結合され、そして接地電位に結合されている。

【0024】

50

先行実施の形態の別の例においては、第1のプログラム/消去電位は正電圧であり、第2のプログラム/消去電位は負電圧である。この実施の形態の浮遊ゲートメモリセルは、接地電位及び正供給電位を印加する外部参照電源を含むことをさらなる特徴とすることができる。この実施の形態の好ましい例においては、供給電位は5Vまたはそれ以下に指定されている。

【0025】

先行実施の形態の更に別の例においては、第1のプログラム/消去電位は負電圧であり、第2のプログラム/消去電位は正電圧である。この実施の形態の浮遊ゲートメモリセルは、接地電位及び正供給電位を印加する外部参照電源を含むこと、そして第2のプログラム/消去電位の大きさが供給電位より高いことをさらなる特徴とすることができる。好ましい実施例においては、第2のプログラム/消去電位はほぼ供給電圧レベルから+14Vまでの範囲内の大きさを有し、第1のプログラム/消去電位は-4Vから-10Vまでの範囲内の大きさを有している。更に別の好ましい実施例においては、供給電圧は5Vまたはそれ以下に指定されている。

10

【0026】

以上のように、三重ウェル浮遊ゲートメモリセルを含む浮遊ゲートメモリセルを、完了したファウラー・ノルトハイムトンネリングプログラム及び/または消去プロセスの電圧レベルから回復させるための回復回路及び方法が提供される。本回復回路及び方法は、フラッシュEEPROMのような不揮発性集積回路メモリアレイ内に使用される浮遊ゲートメモリセルを回復させるために特に有用である。従って、これらは、例えばポータブルラップトップコンピュータに見出されるようなコンピュータシステムに使用するのに特に適している。本発明の方法または回復回路を使用することによって、セルのノード間の寄生結合によってもたらされる従来技術における速度の問題が回避され、総合プログラム及び消去プロセス速度を増加させることができる。

20

【0027】

本発明の他の面及び長所は、添付図面に基づく以下の詳細な説明から明白になるであろう。

【0028】

(詳細な説明)

以下に添付図面を参照して本発明の好ましい実施の形態を詳細に説明する。図6は、本発明の回復計画の1つの実施の形態を使用して構成された三重ウェル浮遊ゲートメモリセルの基本構造を示している。図6に示すように、半導体基板60は、第1の導電型を有している。好ましくは、基板60はp型のドーピングを有するシリコンである。深いn型ウェルNWD62が基板60内に形成されている。深いn型ウェル62の内側に、p型ウェルPWI64が含まれている。n型ソース72及びn型ドレイン88が、p型ウェルPWI64内に含まれている。浮遊ゲート76及びトンネル絶縁体84を含む浮遊ゲート構造が、ソース72とドレイン88との間のチャンネル領域上に形成されている。制御ゲート80及び絶縁体82を含む制御ゲート構造が、浮遊ゲート76上に形成されている。深いn型ウェル62は、デバイスのための絶縁ウェルとして働く。p型ウェル64はセルのチャンネル領域を提供する。n型のソース及びドレイン構造がp型ウェル64内に形成され、絶縁ウェル62によって基板60から絶縁されたp型ウェル内にチャンネルを確立している。図示の実施の形態においては、p基板60は接地ノード66に結合されている。

30

40

【0029】

図6には、チャンネルウェルPWI64と絶縁ウェルNWD62との間のP-N接合、及び基板60と絶縁ウェルNWD62との間のP-N接合をそれぞれ表しているダイオード記号68及び67も示されている。基板60がほぼ絶縁ウェル62のレベルに、またはそれより低いレベルにバイアスされている限り、ダイオード記号67によって表されているP-N接合は非導通である。また、チャンネルウェル64がほぼ絶縁ウェル62のレベルに、またはそれより低くバイアスされている限り、ダイオード記号68によって表されているP-N接合は非導通である。図6には更に、浮遊ゲートセルの種々ノード間に形成さ

50

れる寄生容量も示されている。これらの容量は、C 1 (ゲートとP W I との間のキャパシタ)、C 2 (P W I とN W D との接合のキャパシタ)、及びC 3 (N W D とp 基板との接合のキャパシタ)として示されている。

【 0 0 3 0 】

図 6 には、N W D ドライバ 9 1 0、ビットラインドライバ 6 1 0、ワードラインドライバ 9 7 0、及びP W I ドライバ 9 2 0 も示されており、これらは、本発明の回復計画の 1 つの実施の形態に従ってN W D 6 2、ソース 7 2 及びドレイン 8 8、制御ゲート 8 0、及びP W I 6 4 をそれぞれバイアスするように給電される。N W D ドライバ 9 1 0 は、バイアス点 6 9 を通してN W D 6 2 に結合されている。ソース 7 2 及びドレイン 8 8 は、それぞれ接点 7 4 及び 8 6 を通してビットラインドライバ 6 1 0 に結合されている。制御ゲート 8 0 は、バイアス点 7 8 を通してワードラインドライバ 9 7 0 に結合されている。P W I 6 4 は、バイアス点 9 0 を通してP W I ドライバ 9 2 0 に結合されている。N W D ドライバ 9 1 0、ビットラインドライバ 6 1 0、ワードラインドライバ 9 7 0、及びP W I ドライバ 9 2 0 は、典型的な三重ウェルセルのプログラム/消去からセルを回復させるために、これらの端子に必要なバイアスを供給する。このバイアスを供給するのに使用されるメカニズム及び回路の詳細に関しては、それぞれ図 7 - 8、及び図 9 - 1 3 を参照して後述する。三重ウェル浮遊ゲートメモリセルの典型的なプログラム/消去に使用される電圧に関しては図 1 及び 2 を参照して先に説明したが、以下の表 I にそれを要約しておく。

表 I : 典型的なプログラム/消去のための電圧

	ゲート	ドレイン	ソース	P W I	N W D	基板
プログラム	+8V	-9V	-9V	-9V	+ 3V	0V
消 去	-9V	+6V	+6V	+6V	+10V	0V

【 0 0 3 1 】

上表に記載した電圧は代表的な例であり、メモリセルのゲート結合比、動作速度要求、及び使用可能な供給電流のような要因に依存して変化する。これらの高い正電圧及び負電圧は、負レベル及び外部の源からチップに印加されるV D D 供給電圧より高いレベルを得ることができるように、典型的には集積回路上のチャージポンプによって生成される。従って、V D D 供給電圧が高い値に制約されることはなく、例えば 2 V またはそれ以下であることができる。

【 0 0 3 2 】

以下に説明する本発明のセル回復計画の概念は、キャパシタの 2 つの端子を互いに電氣的に接続する効果に関して述べる。2 つの端子をこのように接続した場合には、キャパシタ上に蓄積されたどのような正及び負の電荷も中和され、図 1 及び 2 に関して説明した結合現象は発生しなくなる。

【 0 0 3 3 】

即ち、本発明の回復計画の 1 つの実施の形態を図 7 (a) - (b)、及び図 8 (a) - (b) に示す。図 7 (a) - (b) はプログラム機能からの回復に適用される回復計画を示す簡易ブロック線図であり、図 8 (a) - (b) は消去機能からの回復に適用される回復計画を示す簡易ブロック線図である。

【 0 0 3 4 】

図 7 (a) は、三重ウェル浮遊ゲートメモリセルに対する典型的なプログラム機能が遂行された後に、制御ゲート 8 0、P W I 6 4、N W D 6 2、及びp 基板 6 0 に存在する近似相対電圧レベルを示している。図示のように、ゲートは+ 8 V、P W I は- 9 V、N W D は+ 3 V、そしてp 基板は接地(0 V)の電位にある。図 7 (b) は、このプログラム状態からの本発明によるセルの回復を示している。図 6 に関して先に説明したように、制御ゲート 8 0 への電圧はバイアス点 7 8 に供給され、P W I 6 4 への電圧はバイアス点 9 0

に供給され、そしてNWD 62への電圧はバイアス点69に供給される。これらの電圧の結合は寄生容量C1、C2、及びC3によって示されており、C1はゲートとPWIとの間のキャパシタであり、C2はPWIとNWDとの接合キャパシタであり、C3はNWDとp基板との接合キャパシタである。バイアス点78はノード702に接続され、ノード702はライン715に結合され、更にライン715はスイッチSW2を通して接地されるようになっている。バイアス点90はノード704に接続され、ノード704はライン725に結合され、更にライン725はスイッチSW3を通して接地されるようになっている。ノード702は更に、常開スイッチSW1を通してノード704に結合されるようになっている。正電圧検出器710がライン715に結合されており、ライン715上に所定の電圧（1実施例では、約3V）を検出するとスイッチSW3を閉じるように動作する。負電圧検出器720がライン725に結合されており、ライン725上に所定の電圧（1実施例では、約-2V）を検出するとスイッチSW2を閉じるように動作する。バイアス点69はスイッチSW7の入力端に結合され、スイッチSW7の出力端はクランピングダイオードD7に結合されている。このクランピングダイオードD7は、NWD上のあるような電圧トランジェントも、本発明の1実施例ではほぼ+5Vに制限するために使用されている。

【0035】

図7に示す本計画によるセルの回復の最初のステップは、C1の2つの端子を互いに短絡させることである。即ち、回復ステップの始まりに、スイッチSW1を閉じてノード702と704とを結合し、制御ゲート80をPWI64に結合する。これにより制御ゲート80における電圧電位が下降し、PWI64における電圧電位が上昇する。制御ゲート80とPWI64との間には初期電位差があり、またC2及びC3の寄生容量が存在するために、C1の2つの端子を単に接続しただけでは制御ゲート80及びPWI64は接地電位まで回復しない。SW1を閉じた後に、回復計画の第2のステップが遂行される。このステップは、ライン715及び725上の電圧を検出し、接地通路を選択的に設けることを含んでいる。SW1を閉じた後に、制御ゲート80上の、従ってライン715上の電圧が十分に低い（1実施例では、約3V）場合には正電圧検出器710がスイッチSW3を閉じさせる信号を出力し、それによってPWIを接地する通路を作動可能にする。同様に、SW1を閉じた後に、PWI64上の、従ってライン725上の電圧が十分に高い（1実施例では、約-2V）場合には負電圧検出器720がスイッチSW2を閉じさせる信号を出力し、それによって制御ゲートを接地する通路を作動可能にする。

【0036】

以上のように、検出器710及び720のトリガリング電圧を適切に選択することによって、図3-5に基づいて説明した従来技術計画に関する結合問題を回避することができ、従って、より速い、且つより簡単な回復計画が得られる。この計画を用いると、容量C1、C2、及びC3の相対値の複雑な推定は不要であることに注目されたい。更に、各制御ゲート80及びPWI64のために単一の接地用通路だけしか必要としない。最後に、制御ゲート80またはPWI64に接続されているノード上の電圧トランジェントを制限するためのクランピング回路をこれらのノードに設ける必要がない。図7(b)に示されているクランプダイオードD7（1実施例では、NWD62における電圧を+5Vに制限する）は、PWI64が制御ゲート80に接続される時に、及びPWI64が接地へ放電する時に結合C2によって生ずるNWD62における電圧トランジェントを制限するために使用されるものである。別の実施の形態においては、上述した計画と類似の計画を使用して、C2を介してのPWI64とNWD62との間の結合効果を減少させることができる。

【0037】

図8(a)は、三重ウェル浮遊ゲートメモリセルに対する典型的な消去機能が遂行された後に、制御ゲート80、PWI64、NWD62、及びp基板60に存在する近似相対電圧レベルを示している。図示のように、ゲートは-9V、PWIは+6V、NWDは+10V、そしてp基板は接地（0V）の電位にある。図8(b)は、この消去状態からの本発

10

20

30

40

50

明によるセルの回復を示している。図 6 に関して先に説明したように、制御ゲート 80 への電圧はバイアス点 78 に供給され、PWI 64 への電圧はバイアス点 90 に供給され、そして NWD 62 への電圧はバイアス点 69 に供給される。これらの電圧の結合は寄生容量 C1、C2、及び C3 によって示されており、C1 はゲートと PWI との間のキャパシタであり、C2 は PWI と NWD との接合キャパシタであり、C3 は NWD と P 基板との接合キャパシタである。バイアス点 78 はノード 802 に接続され、ノード 802 はライン 815 に結合され、更にライン 815 はスイッチ SW5 を通して接地されるようになっている。バイアス点 90 はノード 804 に接続され、ノード 804 はライン 8725 に結合され、更にライン 825 はスイッチ SW6 を通して接地されるようになっている。ノード 802 は更に、常開スイッチ SW4 を通してノード 804 に結合されるようになっている。負電圧検出器 810 がライン 815 に結合されており、ライン 815 上に所定の電圧（1 実施例では、約 -2V）を検出するとスイッチ SW6 を閉じるように動作する。正電圧検出器 820 がライン 825 に結合されており、ライン 825 上に所定の電圧（1 実施例では、約 3V）を検出するとスイッチ SW5 を閉じるように動作する。

【0038】

図 8 に示す本計画によるセルの消去機能からの回復の最初のステップは、C1 の 2 つの端子を互いに短絡させることである。即ち、回復ステップの始まりに、スイッチ SW4 を閉じてノード 802 と 804 とを結合し、制御ゲート 80 を PWI 64 に結合する。これにより制御ゲート 80 における電圧電位が上昇し、PWI 64 における電圧電位が下降する。制御ゲート 80 と PWI 64 との間には初期電位差があり、また C2 及び C3 の寄生容量が存在するために、C1 の 2 つの端子を単に接続しただけでは制御ゲート 80 及び PWI 64 は接地電位まで回復しない。SW4 が閉じた後に、回復計画の第 2 のステップが遂行される。このステップは、ライン 815 及び 825 上の電圧を検出し、接地通路を選択的に設けることを含む。SW4 を閉じた後に、制御ゲート 80 上の、従ってライン 815 上の電圧が十分に高い（1 実施例では、約 -2V）場合には負電圧検出器 810 がスイッチ SW6 を閉じさせる信号を出力し、それによって PWI を接地する通路を作動可能にする。同様に、SW4 を閉じた後に、PWI 64 上の、従ってライン 825 上の電圧が十分に低い（1 実施例では、約 +3V）場合には負電圧検出器 820 がスイッチ SW5 を閉じさせる信号を出力し、それによって制御ゲートを接地する通路を作動可能にする。

【0039】

以上のように、検出器 810 及び 820 のトリガリング電圧を適切に選択することによって、図 3 - 5 に基づいて説明した従来技術計画に関する結合問題を回避することができ、従ってより速い、且つより簡単な回復計画が得られる。上述したプログラム回復計画において説明したように、この消去回復計画の場合も容量 C1、C2、及び C3 の相対値の複雑な推定は不要である。更に、各制御ゲート 80 及び PWI 64 のために単一の接地通路だけしか必要としない。最後に、制御ゲート 80 または PWI 64 に接続されているノード上の電圧トランジェントを制限するためのクランピング回路をこれらのノードに設ける必要はない。

【0040】

図 9 は、本発明のセル回復計画の 1 つの実施の形態を使用して動作させることができるフラッシュメモリ集積回路アーキテクチャの一部分を示している。この集積回路アーキテクチャは、複数の三重ウェル浮遊ゲートメモリセル 981 - 986 を含むフラッシュセルアレイ 980、NWD ドライバ 910、PWI ドライバ 920、回復回路 930、負電圧発生器 940、ワードラインドライバ基板バイアス発生器 (NVGENP) 945、ワードラインドライバ V_{ss} 発生器 (NVGEN) 950、AVX 発生器 960、及び複数のワードラインドライバ 970 - 974 を備えている。

【0041】

フラッシュセルアレイ 980 は、セル 981 - 986 によって部分的に示されている三重ウェル浮遊ゲートメモリセルの複数の行及び列からなる。アレイ 980 の同一行内のセルの制御ゲートは、互いに接続されて単一のワードラインドライバの出力に接続されている

。例えば、セル 981 及び 982 の制御ゲートは、ライン 971 上のワードライン 0 を通してワードラインドライバ 970 の出力に結合され、セル 983 及び 984 の制御ゲートは、ライン 973 上のワードライン 1 を通してワードラインドライバ 972 の出力に結合され、そしてセル 985 及び 986 の制御ゲートは、ライン 975 上のワードライン 2 を通してワードラインドライバ 974 の出力に結合されている。AVX 発生器 960 は、正電位 AVX を生成し、この電位をノード 962 へ供給する。ノード 962 は更に各ワードラインドライバ 970 - 974 に結合されており、従って各ワードラインドライバ 970 - 974 のための正電源として正電位 AVX を供給する。ノード 962 は回復回路 930 にも結合されており、それによって回復回路 930 を介してアレイ 980 のワードラインを接地電位まで回復させるための通路を設けるようになっている。

10

【0042】

負電圧発生器 940 はノード 942 上に負電圧 NVPP を生成し、この電圧は NVGENP 945、PWI ドライバ 920、及び回復回路 930 に結合されている。NVGENP 945 はノード 942 上の NVPP 電圧を入力として受け、ライン 947 及び 951 上に高電圧ドライバ PWI 電圧 HVDRPWI を出力として供給する。出力 HVDRPWI は禁止供給電圧（接地）、または NVPP の値の何れかに等しい信号からなり、NVGENP 945 はライン 943 から供給される消去及び消去回復制御信号に応答して HVDRPWI の値を生成する。出力 HVDRPWI はライン 947 を介してワードラインドライバ 970 - 974 に供給され、ワードラインドライバ 970 - 974 内の三重ウェル NMOS 基板バイアスのためのバイアス電圧として機能する。

20

【0043】

NVGEN 950 はライン 951 上の出力 HVDRPWI を入力として受け、ライン 952 上に出力として高電圧ドライバ V_{SS} 電圧 HVDRVSS を供給するように機能する。出力 HVDRVSS は禁止供給電圧（接地）、または NVDRPWI の値の何れかに等しい信号からなり、NVGEN 950 はライン 953 から供給される消去及び消去回復制御信号に応答して HVDRVSS の値を生成する。出力 HVDRVSS はライン 952 を介してワードラインドライバ 970 - 974 に供給され、ワードラインドライバの負電源として機能する。NWD ドライバ 910 は、各セル 981 - 986 の NWD 62 のためのバイアス電圧をライン 912 上に供給する。PWI ドライバ 920 は、ノード 942 から NVPP 電圧を入力として受け、各セル 981 - 986 の PWI 64 のためのバイアス電圧をライン 922 上に供給する。図 9 に示すフラッシュメモリ集積回路アーキテクチャの 1 つの実施の形態の場合の読み出し、プログラム、及び消去機能のための典型的な動作バイアス電圧を以下の表 II に示す。

30

表 II : 典型的な動作バイアス電圧

	AVX	HVDRVSS	HVDRPWI	NVPP	ワードライン	PWI	NWD
読み出し	Vdd	0V	0V	0V	Vdd/0V	0V	Vdd
プログラム	8V	0V	0V	-9V	8V	-9V	3V
消 去	3V	-9V	-9V	-9V	-9V	6V	10V

40

【0044】

回復回路 930 はノード 962 上の入力 AVX、ノード 922 上の PWI バイアス電圧、ノード 942 上の NVPP、ノード 932 上のプログラム回復信号、ノード 934 上の消去回復信号、及びノード 936 上の制御信号を受ける。回復回路 930 は、図 7 及び 8 に基づいて説明した回復計画を実現することによってセル 981 - 986 を上記プログラム / 消去動作電圧から回復させるように機能する。回復回路 930 の 1 つの実施の形態の機能の詳細に関しては、回復回路 930 の 1 つの実施の形態からなる回路の詳細回路図であ

50

る図 13 を参照して後述する。

【 0045 】

図 10 は、図 9 のワードラインドライバ 970 - 974 の 1 つの実施の形態の詳細回路図である。この実施の形態の以下の説明は、1 つのワードラインドライバ 970 のみについてなされているが、図 9 のフラッシュメモリ集積回路の各ワードラインドライバに等しく適用される。ワードラインドライバ 970 は、図 9 の AVX 発生器 960 からノード 962 上の正電位 AVX を受け、またライン 952 上の高電圧ドライバ V_{SS} 電圧 HVD R V S S をも受ける。ワードラインドライバ 970 は、トランジスタ MP5 及び XM9 からなるインバータを含む。これらのトランジスタのゲートはノード 1004 における入力に結合され、またそれらのドレインはワードラインドライバ 970 の出力として機能するワードライン 971 に結合されている。ワードラインドライバ回路 970 は、p チャンネルトランジスタ MP6 からなるフィードバックをも含んでいる。トランジスタ MP6 のゲートはワードライン 971 に結合され、そのドレインは入力 1004 に結合され、そしてそのソースは AVX 入力ノード 962 に結合されている。p チャンネルトランジスタ MP5 及び MP6 の n ウェルは、共に AVX 入力ノード 962 に結合されている。n チャンネルトランジスタ XM9 は三重ウェルトランジスタからなる。トランジスタ XM9 のソースはライン 952 上の入力電圧 HVD R V S S に結合されており、XM9 の内側 p ウェル PWI 64 はライン 947 上の電圧 HVD R P W I に結合されており、そして深い n ウェル NWD 62 は典型的には $5V \pm 10\%$ である供給電位 V_{DD} にバイアスされている。ライン 952 上の入力電圧 HVD R V S S は、図 9 に基づいて概要説明したように、そして図 11 に基づいて詳細を後述するように、消去及び消去回復制御信号に応答して NVGEN 950 から供給される。

【 0046 】

ワードラインドライバ 970 は、“キーパー”トランジスタ M2 を更に含んでいる。このトランジスタ M2 のソースは入力ノード 1004 に結合され、そのドレインは供給端子 V_{DD} に結合され、そしてそのゲートはライン 1005 上の制御信号 XDH B に結合されている。ライン 1005 上のこの制御信号 XDH B は、消去モード中は V_{DD} から 0V にスイッチしてノード 962 上の AVX と供給電圧 V_{DD} との間の接続を破るように制御される。入力ノード 1004 とデコードロジック入力ノード 1002 との間に、n チャンネルトランジスタ M4 がパスゲート構成で接続されている。この n チャンネルトランジスタ M4 のゲートは、ライン 1006 上の信号 XR に結合されている。この信号 XR は、図示されていないワードラインデコードロジックから供給される。トランジスタ M4 のソースは、ノード 1002 のデコードロジック入力信号 IN に接続されている。IN 信号はライン 1006 上の信号 XR と組合って、フラッシュメモリ集積回路によって操作される特定のワードラインドライバ回路 970 を識別するように働く。

【 0047 】

従って、ワードラインドライバ 970 は、読み出し及びプログラムモード中、特定のワードライン回路 970 がワードラインデコードロジックによって操作される結果として、ワードライン 971 に正電圧または接地電位を印加するように動作する。消去中には、三重ウェル n チャンネルトランジスタ XM9 を通してワードライン 971 に負電圧または接地電位を印加する。

【 0048 】

図 11 は、図 9 のワードラインドライバ V_{SS} 発生器 NVGEN 950 の 1 つの実施の形態を詳細な回路図形状で示している。NVGEN 950 は、ライン 1102 上の供給入力電圧 AVW、ライン 953 上の消去及び消去回復信号、ライン 951 上の電圧 HVD R P W I、及びライン 1120 上の接地電圧 GND を受ける。ライン 951 上の電圧 HVD R P W I は、図 12 に基づいて詳細を後述する NVGEN P 945 によって供給される。NVGEN 回路 950 は、電圧 HVD R P W I と接地電圧 GND との間を選択し、図 9 及び 10 のライン 952 上の信号 HVD R V S S に対応する電圧 HVD R V S S を出力ライン 952 上に供給するように動作する。

【 0 0 4 9 】

N V G E N 9 5 0 は p チャンネル M O S トランジスタ M P 1 を含み、このトランジスタのソース及び n ウェルは供給ライン 1 1 0 2 に結合され、そのドレインはノード 1 1 1 4 に結合され、そしてそのゲートはライン 1 1 0 8 に結合されている。ライン 9 5 3 上の消去及び消去回復信号はインバータ X I 0 への入力として供給され、インバータ X I 0 の出力はライン 1 1 0 8 に結合されている。p チャンネルトランジスタ M P 2 は、そのソース及び n ウェルがノード 1 1 0 2 に結合され、そのゲートはインバータ X I 1 の出力に結合されている。インバータ X I 1 の入力ノード 1 1 0 8 に結合されている。トランジスタ M P 2 のドレインはノード 1 1 1 2 に接続されている。三重ウェル n チャンネル M O S トランジスタ X M 1 は、そのゲートがノード 1 1 1 2 に接続されており、そのドレインはノード 1 1 1 4 に接続されており、そしてそのソース及び p ウェル P W I は電圧 H V D R P W I が供給されているライン 9 5 1 に接続されている。トランジスタ X M 1 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。三重ウェルトランジスタ X M 2 は、そのゲートがノード 1 1 1 4 に接続されており、そのドレインはノード 1 1 1 2 に接続されており、そしてそのソース及び p ウェルはライン 9 5 1 に接続されている。トランジスタ X M 2 の深い n ウェルは供給端子 V_{DD} に結合されている。

10

【 0 0 5 0 】

三重ウェル n チャンネル M O S トランジスタ X M 3 は、そのゲートがノード 1 1 1 4 に接続されており、そのドレインはライン 9 5 2 に接続されており、そしてそのソース及び p ウェル P W I は電圧 H V D R P W I が供給されているライン 9 5 1 に接続されている。トランジスタ X M 3 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。三重ウェル n チャンネル M O S トランジスタ X M 4 は、そのゲートがノード 1 1 1 2 に接続されており、そのドレインはライン 9 5 2 に接続されており、そのソースは接地電圧 G N D が供給されているライン 1 1 2 0 に接続され、そして p ウェル P W I は電圧 H V D R P W I が供給されているライン 9 5 1 に接続されている。トランジスタ X M 4 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。

20

【 0 0 5 1 】

動作中、ライン 9 5 3 上の消去及び消去回復信号が高である時には、ライン 1 1 0 8 上のインバータ X I 0 の出力は低である。ライン 1 1 0 8 上の信号が低であるとトランジスタ M P 1 がターンオンし、トランジスタ M P 2 はターンオフする。これは、ノード 1 1 1 4 における電圧をライン 1 1 0 2 上の供給入力電圧 A V W (典型的には、3 V) のレベルへ駆動し、それによってトランジスタ X M 2 及び X M 3 をターンオンさせる。それによりノード 1 1 1 2 はトランジスタ X M 2 を介して電圧 H V D R P W I に駆動され、そのためトランジスタ X M 1 及び X M 4 は確実にターンオフさせられる。この電圧 H V D R P W I はトランジスタ X M 3 を通して出力ライン 9 5 2 に印加され、一方トランジスタ X M 4 はターンオフされている。トランジスタ X M 4 は、ライン 9 5 2 の負電圧をノード 1 1 2 0 上の接地電位から絶縁するように働く。

30

【 0 0 5 2 】

ライン 9 5 3 上の消去及び消去回復信号が低である時には、ライン 1 1 0 8 上のインバータ X I 0 の出力は高である。ライン 1 1 0 8 上の信号が高であるとトランジスタ M P 1 はターンオフし、トランジスタ M P 2 がターンオンする。これは、ノード 1 1 1 2 における電圧を A V W の値に駆動し、それによってトランジスタ X M 1 及び X M 4 をターンオンさせる。それによりノード 1 1 1 4 はトランジスタ X M 1 を介して電圧 H V D R P W I に駆動され、そのためトランジスタ X M 2 及び X M 3 は確実にターンオフさせられる。従ってライン 1 1 2 0 上の接地電圧 G N D がトランジスタ X M 4 を通して出力ライン 9 5 2 に供給される。トランジスタ X M 3 は、ライン 9 5 2 の接地電圧をライン 9 5 1 の典型的には負電位から絶縁するように働く。

40

【 0 0 5 3 】

図 1 2 は、図 9 のワードラインドライバ基板バイアス発生器 N V G E N P 9 4 5 の 1 つの実施の形態を詳細な回路図形状で示している。N V G E N P 9 4 5 は、ライン 1 1 0 2 上

50

の供給入力電圧 A_{VW} 、ライン 943 上の消去及び消去回復信号、ライン 942 上の負電圧 N_{VPP} 、及びライン 1120 上の接地電圧 GND を受ける。ライン 942 上の負電圧 N_{VPP} は、負電圧発生器 940 によって供給される。 $N_{VGENP945}$ 回路は、負電圧 N_{VPP} と接地電圧 GND との間を選択し、結合されている出力ライン 951 及び 947 上の $HVDRPWI$ をそれぞれ $N_{VGEN950}$ 及びワードラインドライバ 970 - 975 に供給するように動作する。

【0054】

$N_{VGENP945}$ は p チャンネル MOS トランジスタ $MP3$ を含み、このトランジスタのソース及び n ウェルは供給ライン 1102 に結合され、そのドレインはノード 1214 に結合され、そしてそのゲートはライン 1208 に結合されている。ライン 953 上の消去及び消去回復信号はインバータ $XI3$ への入力として供給され、インバータ $XI3$ の出力はライン 1208 に結合されている。p チャンネルトランジスタ $MP4$ は、そのソース及び n ウェルがノード 1102 に結合され、そのゲートはインバータ $XI4$ の出力に結合されている。インバータ $XI4$ の入力はノード 1208 に結合されている。トランジスタ $MP4$ のドレインはノード 1212 に接続されている。三重ウェル n チャンネル MOS トランジスタ $XM5$ は、そのゲートがノード 1212 に接続されており、そのドレインはノード 1214 に接続されており、そしてそのソース及び p ウェル PWI は電圧 N_{VPP} が供給されているライン 942 に接続されている。トランジスタ $XM5$ の深い n ウェル NWD は供給端子 V_{DD} に結合されている。三重ウェルトランジスタ $XM6$ は、そのドレインがノード 1212 に接続されており、そのゲートはノード 1214 に接続されており、そしてそのソース及び p ウェルはライン 942 に接続されている。トランジスタ $XM2$ の深い n ウェルは供給端子 V_{DD} に結合されている。

【0055】

三重ウェル n チャンネル MOS トランジスタ $XM7$ は、そのゲートがノード 1214 に接続されており、そのドレインはライン 947 に接続されており、そしてそのソース及び p ウェル PWI は電圧 N_{VPP} が供給されているライン 942 に接続されている。トランジスタ $XM7$ の深い n ウェル NWD は供給端子 V_{DD} に結合されている。三重ウェル n チャンネル MOS トランジスタ $XM8$ は、そのゲートがノード 1212 に接続されており、そのドレインはライン 947 に接続されており、そのソースは接地電圧 GND が供給されているライン 1120 に接続され、そして p ウェル PWI は電圧 N_{VPP} が供給されているライン 942 に接続されている。トランジスタ $XM8$ の深い n ウェル NWD は供給端子 V_{DD} に結合されている。

【0056】

動作中、ライン 943 上の消去及び消去回復信号が高である時には、ライン 1208 上のインバータ $XI3$ の出力は低である。ライン 1208 上の信号が低であるとトランジスタ $MP3$ がターンオンし、トランジスタ $MP4$ はターンオフする。これは、ノード 1214 における電圧をライン 1102 上の供給入力電圧 A_{VW} (典型的には、3V) のレベルに駆動し、それによってトランジスタ $XM6$ 及び $XM7$ をターンオンさせる。それによりノード 1212 はトランジスタ $XM6$ を介して電圧 N_{VPP} に駆動され、そのためトランジスタ $XM5$ 及び $XM8$ は確実にターンオフさせられる。この電圧 N_{VPP} はトランジスタ $XM7$ を通して出力ライン 947 に印加され、一方トランジスタ $XM8$ はターンオフされている。トランジスタ $XM8$ は、ライン 947 の負電圧をノード 1120 上の接地電位から絶縁するように働く。

【0057】

ライン 943 上の消去及び消去回復信号が低である時には、ライン 1208 上のインバータ $XI3$ の出力は高である。ライン 1208 上の信号が高であるとトランジスタ $MP3$ はターンオフし、トランジスタ $MP4$ がターンオンする。これは、ノード 1212 における電圧を A_{VW} の値に駆動し、それによってトランジスタ $XM5$ 及び $XM8$ をターンオンさせる。それによりノード 1214 はトランジスタ $XM5$ を介して電圧 N_{VPP} に駆動され、そのためトランジスタ $XM6$ 及び $XM7$ は確実にターンオフさせられる。従ってライン

1 1 2 0 上の接地電圧 GND がトランジスタ X M 8 を通して出力ライン 9 4 7 に供給される。トランジスタ X M 7 は、ライン 9 4 7 の接地電圧をライン 9 4 2 負電位から絶縁するように働く。

【 0 0 5 8 】

図 1 3 は、本発明の 1 つの実施の形態による図 9 の回復回路 9 3 0 の回路図である。回復回路 9 3 0 は、正電圧・負電圧接続スイッチ 1 3 1 0、正電圧接地回路 1 3 2 0、負電圧接地回路 1 3 3 0、正電圧検出器回路 1 3 4 0、及び負電圧検出器回路 1 3 5 0 を備えている。回復回路 9 3 0 は、ノード 9 6 2 上の入力 A V X、ノード 9 2 2 上の P W I バイアス電圧、ノード 9 4 2 上の N V P P、ノード 9 3 2 上のプログラム回復信号、ノード 9 3 4 上の消去回復信号、及びノード 9 3 6 上の制御信号を受けている。回復回路 9 3 0 は、図 7 及び 8 に基づいて説明し、以下に詳細に説明する回復計画を実現することによって、セル 9 8 1 - 9 8 6 を表 II において先に説明したプログラムノ消去動作電圧から回復させるように機能する。

10

【 0 0 5 9 】

正電圧・負電圧接続スイッチ 1 3 1 0 は、正電圧接地回路 1 3 2 0 への入力をトランジスタ M 3 0 のドレインのノード 1 3 1 2 上に供給し、負電圧検出器 1 3 5 0 は正電圧接地回路 1 3 2 0 への入力をトランジスタ M 3 0 のゲートにのノード 1 3 4 8 上に供給する。正電圧検出回路 1 3 4 0 の出力は、負電圧接地回路 1 3 3 0 への入力としてノード 1 3 4 2 上に供給される。A V X 電圧及び P W I バイアス電圧は、ノード 9 6 2 及び 9 2 2 を通して正電圧・負電圧接続スイッチ 1 3 1 0 及び正電圧検出器回路 1 3 4 0 へそれぞれ供給される。制御信号は、ノード 9 3 6 を通して正電圧・負電圧接続スイッチ 1 3 1 0 へ供給される。N V P P 電圧は、ノード 9 4 2 を通して、正電圧・負電圧接続スイッチ 1 3 1 0、負電圧接地回路 1 3 3 0、及び負電圧検出器回路 1 3 5 0 へ供給される。最後に、プログラム回復信号及び消去回復信号は、それぞれノード 9 3 2 及び 9 3 4 を通して正電圧・負電圧接続スイッチ 1 3 1 0、正電圧検出器回路 1 3 4 0、及び負電圧検出器回路 1 3 5 0 に供給される。

20

【 0 0 6 0 】

正電圧・負電圧接続スイッチ 1 3 1 0 は、n チャンネル M O S トランジスタ M 1 3 及び M 1 4、p チャンネル M O S トランジスタ M 1 1 及び M 1 2、及び三重ウェル n チャンネル M O S トランジスタ X M 9 を含む。トランジスタ M 1 4 のドレインはノード 9 6 2 上の A V X 電圧に結合され、一方 M 1 4 のゲートはノード 9 3 2 上のプログラム回復信号に結合され、そして M 1 4 のソースはノード 1 3 1 2 に結合されている。三重ウェルトランジスタ X M 9 のドレインはノード 9 2 2 上の P W I バイアス電圧に結合され、一方 X M 9 のゲートはノード 9 3 6 上の制御信号に結合され、そして X M 9 のソースはトランジスタ M 1 3 のドレインに結合されている。M 1 3 のゲートはノード 9 3 4 上の消去回復信号に結合され、M 1 3 のソースはノード 1 3 1 2 に結合されている。トランジスタ M 1 2 のドレイン及びゲートはノード 9 4 2 上の N V P P に結合され、M 1 2 のソースはトランジスタ M 1 1 のドレインに結合されている。M 1 1 のゲートは接地に接続され、M 1 1 のソースはノード 1 3 1 2 に結合されている。正電圧・負電圧接続スイッチ 1 3 1 0 は、図 7 のスイッチ S W 1 及び図 8 の S W 4 に対応しており、そして実現されているものである。M O S トランジスタ M 1 4、M 1 1、及び M 1 2 はチャンネル F N プログラムのための中和通路（図 7 の S W 1）を構成し、M O S トランジスタ X M 9、M 1 3、M 1 1、及び M 1 2 はチャンネル F N 消去のための中和通路（図 8 の S W 4）を構成している。

30

40

【 0 0 6 1 】

正電圧接地回路 1 3 2 0 は n チャンネル M O S トランジスタ M 3 0 を含み、そのソースは接地に結合され、そしてそのドレイン及びゲートはそれぞれノード 1 3 1 2 及び 1 3 4 8 に結合されている。トランジスタ M 3 0 は、図 7 のスイッチ S W 2 及び図 8 の S W 6 に対応しており、そして実現されているものである。

【 0 0 6 2 】

負電圧接地回路 1 3 3 0 は、p チャンネル M O S トランジスタ M P 7、M P 8、M P 9、

50

MP10、インバータXI7、及び三重ウェルnチャンネルトランジスタXM10、XM11、及びXM41を含む。ノード1342上の正電圧検出器回路の出力は、トランジスタMP7のゲートと、インバータXI7の入力とに結合されている。インバータXI7の出力は、トランジスタMP8のゲートに結合されている。MP8及びMP7のソースは共に電圧AVWに結合されている。電圧AVWの典型的な値は、プログラムまたは消去機能中は3Vであり、他のモード中は、プログラムまたは消去機能中に負電圧が生成される場合にMOS回路上に印加される応力を減少させるためにVddである。MP7及びMP8のドレインは、それぞれノード1324及び1322に結合されている。トランジスタMP9のソースはノード1324に接続され、そのゲートは接地に接続され、そしてそのドレインはノード1325に接続されている。トランジスタMP10のソースはノード1322に接続され、そのゲートは接地に接続され、そしてそのドレインはノード1326に接続されている。三重ウェルトランジスタXM10、XM11、及びXM41のソースはノード942上のNVPPに結合されている。XM11のドレイン、及びXM10のゲート、及びXM41のゲートは、ノード1326に結合されている。XM11のゲート及びXM10のドレインはノード1325に結合され、一方XM41のドレインは接地に結合されている。負電圧接地回路1330は、図7のスイッチSW3及び図8のSW5に対応しており、そして実現されているものである。

【0063】

正電圧検出器1340は、インバータXI5及びXI6、NANDゲートXA1、XA2、及びXA3を含む。NANDゲートXA1は、入力としてノード932上のプログラム回復信号を、また第2の入力としてインバータXI5の出力を受けている。インバータXI5は入力としてノード962上のAVX電圧を受けている。NANDゲートXA2は、入力としてノード934上の消去回復信号を、また第2の入力としてインバータXI6の出力を受けている。インバータXI5は入力としてノード962上のAVX電圧を受けている。インバータXI6は、入力としてノード922上のPWIバイアス電圧を受けている。NANDゲートXA3は、入力としてNANDゲートXA1及びXA2の出力を受け、正電圧検出器回路の出力をノード1342上に供給する。正電圧検出器回路1340は、図7の正電圧検出器710及び図8の正電圧検出器820に対応しており、そして実現されているものである。

【0064】

負電圧検出器1350は、nチャンネルMOSトランジスタM7及びM8、pチャンネルトランジスタM1、M3、M5、M6、及びM9、NORゲートXR1、及びインバータXI8及びXI9を含む。NORゲートXR1は、入力としてノード932及び934上のプログラム回復信号及び消去回復信号をそれぞれ受けている。NORゲートXR1の出力は、トランジスタM1のゲート、及びインバータXI8への入力として供給される。トランジスタM1のソースは外部システム入力電圧VDDに接続され、M1のドレインはノード1353に結合されている。M1は極めて長いチャンネルを有していて抵抗のように働く。M3のソースはノード1353に結合され、M3のゲート及びドレインはM5のソースに結合されている。M5のゲート及びドレインはノード942上のNVPPに結合されている。トランジスタM3及びM5はダイオード構成であり、ノード1353上の電位はNVPP + 2VTHにほぼ等しい。M6のソースはVDDに接続され、一方M6のゲートはノード1353に結合され、ドレインはノード1354とM7のドレインとに結合されている。M7のゲートはノード1353に結合され、ソースはM8のドレインに結合されている。M8のゲートはノード1352に結合され、M8のソースは接地に結合されている。M9のソースはVDDに接続され、一方ドレインはノード1354に結合され、ゲートはノード1352に結合されている。最後に、インバータXI9は入力としてノード1354上の信号を受け、出力としてノード1348上に信号NVNEAR0を供給する。負電圧検出器回路1350は、図7の負電圧検出器720及び図8の負電圧検出器810に対応しており、そして実現されているものである。

【0065】

以下に、回復回路 930 の動作を 3 つの状態、即ち、1) 回路がプログラムまたは消去からの回復以外のモードにある時、2) プログラム機能からの回復、及び 3) 消去機能からの回復について説明する。回路がプログラムまたは消去以外の何等かのモードにある場合には、ノード 932 上の信号「プログラム回復」及びノード 934 上の信号「消去回復」は共に低である。これらの信号が共に低である時には、回復回路は接地通路を開いており、それによってフラッシュメモリ回路は通常動作が許される。これらの信号が共に低であり、NOR ゲート XR1 の出力が高である場合にはインバータ XI8 の出力は低であるから、M9 はターンオンし続け、ノード 1354 はほぼ V_{DD} に維持される。これによりインバータ XI9 からの出力は低になって M30 をターンオフさせるので、正接地スイッチ 1320 が開く。更に、これらの信号が共に低である場合には、ノード 1342 上の正電圧検出器 1340 の出力も低である。ノード 1342 の電圧が低であるとトランジスタ MP7、MP9、及び XM11 がターンオンし、XM41 のゲートに低電圧を供給するので XM41 はターンオフし、それによって負電圧接地通路が開き続ける。

10

【0066】

前述したように、プログラム機能中、AVX 発生器 960 はワードラインドライバ 970 を通してセル 981 のワードライン 971 へ +8V を出力する。負電圧発生器 940 はノード 942 上に -9V の NVPP を生成し、この負電位は PWI ドライバ 920 によってノード 922 上のセルの PWI に印加される。同時に、NWD ドライバ 910 はセルの NWD 上に +3V を出力し、ノード 952 及び 947 上の電圧 HVDRVSS 及び HVDRPWI は、それぞれそれらのドライバ NVGEN950 及び NVGENP945 によって

20

【0067】

プログラム機能が完了すると、回復回路が動作して上述したノード上の電圧をそれらの読み出しモードレベルまで戻して回復させる。プログラム回復期間中はプログラム回復信号は高であり、消去回復信号は低であり、そして AVX 発生器 960 及び負電圧発生器は以下のように高インピーダンス状態に入る。ノード 932 上のプログラム回復信号が高であることによってトランジスタ M14 がターンオンすると、ワードライン上の正電荷 AVX はノード 1312 を通して PWI の負電荷で中和される。これは、更にトランジスタ M11 及び M12 をターンオンさせるように働き、それによって電圧 AVX を電圧 NVPP と結合させて AVX を下降させ、PWI を上昇させる (NVPP がセルの PWI に印加されており、AVX 電圧が PWI に結合されるから)。1 つの実施の形態においては AVX が約 3V まで下降すると、インバータ XI5 の出力が高になって NAND ゲート XA1 の出力を低にさせ、NAND ゲート XA3 のノード 1342 上の出力を高にさせる。従って、AVX 電圧が所望レベルに達すると、正電圧検出器回路 1340 はノード 1342 を通して負電圧接地回路 1330 に高出力を供給し、それによってトランジスタ MP8、MP10、及び XM10 がターンオンし、トランジスタ MP7、MP9、及び XM11 がターンオフする。これは、トランジスタ XM41 をターンオンさせ、ノード 942 上の電圧 NVPP を接地するための通路を設ける。NVPP は PWI ドライバ 920 によって PWI にも接続されているから、PWI も接地へ短絡される。

30

【0068】

次いで負電圧検出器回路 1350 は、正電圧接地通路を閉じるように動作する。ノード 932 上のプログラム回復信号が高になると NOR ゲート XR1 の出力が低になり、それによってトランジスタ M1 がターンオンしてノード 1353 に $NVPP + 2V_{TH}$ にほぼ等しい電圧を供給する。更に、インバータ XI8 の出力が高になるのでトランジスタ M9 がターンオフし、負電圧検出器回路を作動可能にする。1 つの実施の形態においては NVPP がほぼ -2V まで上昇すると、ノード 1353 の電圧はトランジスタ M7 をターンオンさせるのに十分高くなり、M6、M7、及び M8 を通る通路を介してノード 1354 の電位を引き下げようになる。このようにしてノード 1354 の電位が下降するとインバータ XI9 の出力が高になり、トランジスタ M30 がターンオンして電圧 AVX を接地するための通路を設ける。電圧 AVX はワードラインドライバ 970 によってワードライン 97

40

50

1にも接続されているから、ワードライン971も接地される。

【0069】

最後に、消去機能からの回復に関しても回復回路930は類似の態様で動作する。前述したように、消去機能中、PWIドライバ920はノード922を介してセルのPWI上に+6Vを印加し、負電圧発生器940はノード942上に-9VのNVPPを生成する。NVGENP945はNVPPをノード947上のHVD RPWIに接続し、NVGEN950はHVD RPWIをノード952上のHVD RVSSに接続する。従って、ワードラインドライバ及びノード947及び952を介して負電圧がワードラインに印加される。

【0070】

消去機能が完了すると、回復回路が動作して上述したノード上の電圧をそれらの読み出しモードレベルまで戻して回復させる。消去回復期間中は消去回復信号は高であり、プログラム回復信号は低であり、そして負電圧発生器940及びPWIドライバ920は以下のように高インピーダンス状態に入る。ノード934上の消去回復信号が高であることによってトランジスタM13がターンオンすると、正電荷PWIはノード1312を通してワードライン上の負電荷で中和される。これは、トランジスタM11及びM12をターンオンさせるようにも働き、それによって電圧PWIを電圧NVPPと結合させてPWIを下降させ、ワードライン電圧を上昇させる(NVPPがワードラインに印加されるから)。1つの実施の形態においてはPWIが約3Vまで下降すると、インバータXI6の出力が高になってNANDゲートXA2の出力を低にさせ、NANDゲートXA3のノード1342上の出力を高にさせる。これによってトランジスタMP8、MP10、及びXM10がターンオンし、トランジスタMP7、MP9、及びXM11がターンオフする。これは、トランジスタXM41をターンオンさせ、ノード942上の電圧NVPPを接地するための通路を設ける。NVPPはワードラインにも接続されているから、ワードラインも接地へ短絡される。次いで負電圧検出器回路1350は上述したように動作して、電圧PWIのための正電圧接地通路を閉じる。

【0071】

以上に添付図面に基づいて本発明の例示のための実施の形態を説明したが、本発明はこれらの精密な実施の形態に限定されないことを理解されたい。これらは本発明をこれらの精密な形状に限定することを意図するものではない。当業者ならば多くの変更及び変形が明白であろう。従って、本発明の範囲は特許請求の範囲によってのみ限定されることを意図している。

【図面の簡単な説明】

【図1】 典型的なプログラム機能中にセルの種々のノードに印加される典型的な電圧を示すための三重ウェルフラッシュメモリセルの断面図である。

【図2】 典型的な消去機能中にセルの種々のノードに印加される典型的な電圧を示すための三重ウェルフラッシュメモリセルの断面図である。

【図3】 (a)-(c)は、従来技術によるフラッシュメモリセルの典型的なプログラム機能からの回復計画を示す図である。

【図4】 (a)-(c)は、別の従来技術によるフラッシュメモリセルの典型的なプログラム機能からの回復計画を示す図である。

【図5】 (a)-(b)は、更に別の従来技術によるフラッシュメモリセルの典型的なプログラム機能からの回復計画を示す図である。

【図6】 本発明の回復計画の1つの実施の形態を使用して構成された三重ウェルフラッシュメモリセルの断面図である。

【図7】 (a)-(b)は、本発明の1つの実施の形態によるプログラム機能回復計画を示す簡易ブロック線図である。

【図8】 (a)-(b)は、本発明の1つの実施の形態による消去機能回復計画を示す簡易ブロック線図である。

【図9】 本発明の1つの実施の形態によるフラッシュメモリ集積回路アーキテクチャの

10

20

30

40

50

一部分の簡易ブロック線図である。

【図 10】 本発明の 1 つの実施の形態による図 9 のワードラインドライバの回路図である。

【図 11】 本発明の 1 つの実施の形態による図 9 のワードラインドライバ V_{SS} 発生器の回路図である。

【図 12】 本発明の 1 つの実施の形態による図 9 のワードラインドライバ基板バイアス発生器の回路図である。

【図 13】 本発明の 1 つの実施の形態による図 9 の回復回路の回路図である。

【図 1】

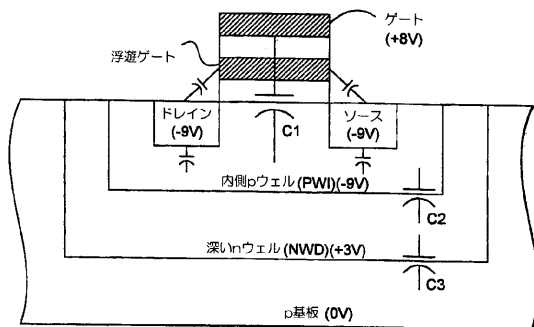


FIG. 1

【図 2】

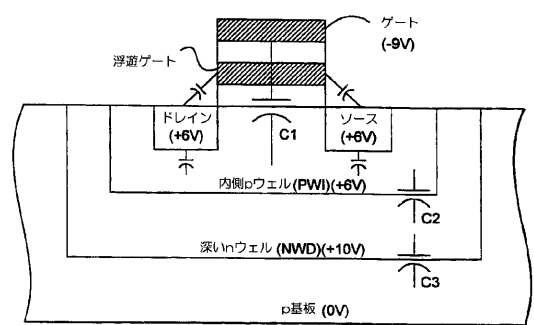


FIG. 2

【図 3】

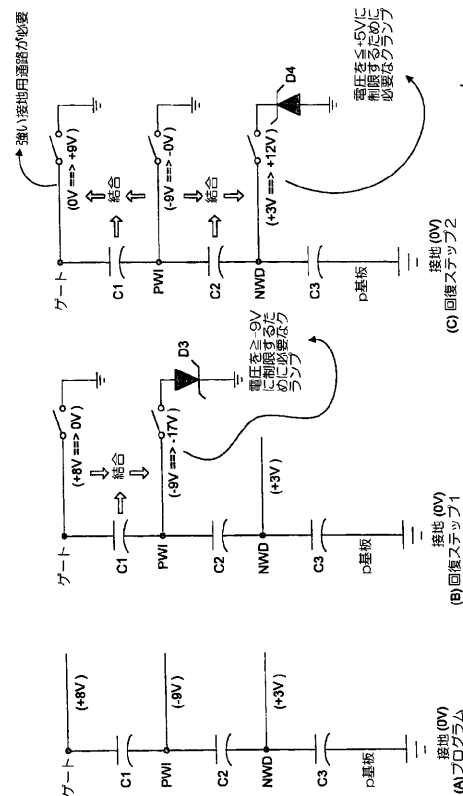
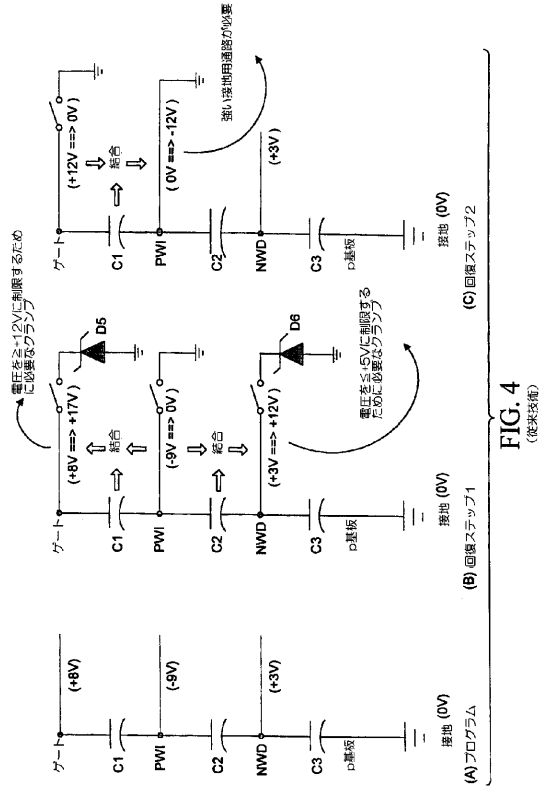
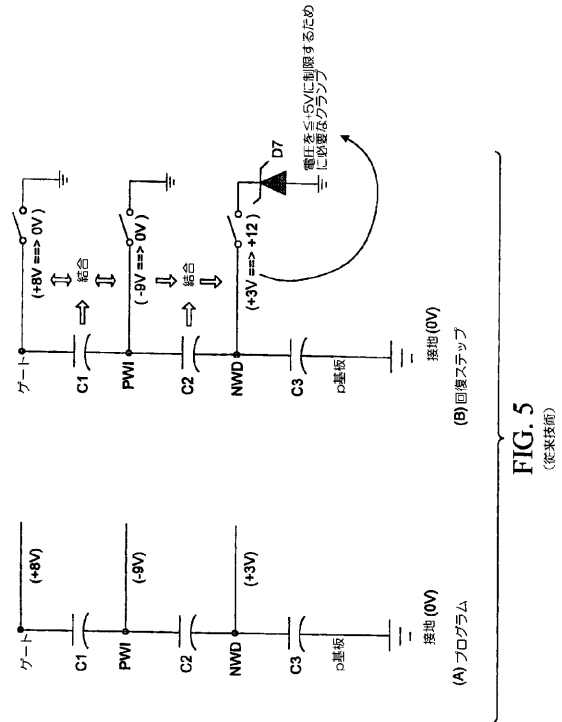


FIG. 3
(従来技術)

【 図 4 】



【 図 5 】



【 図 6 】

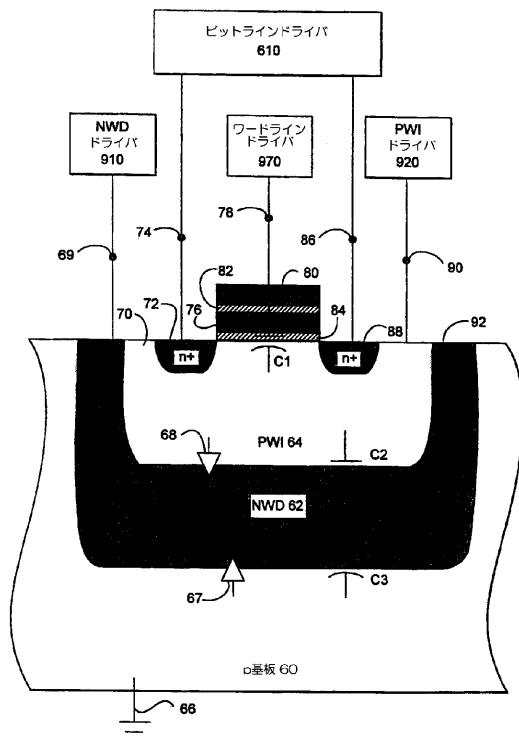


FIG. 6

【 図 7 】

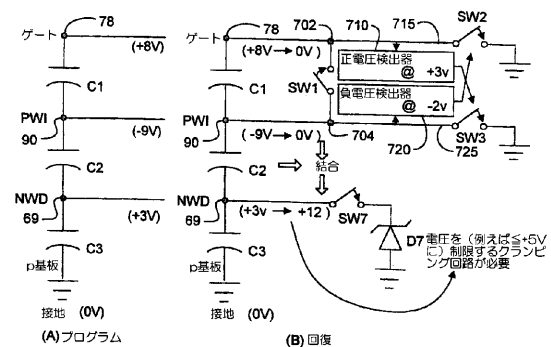


FIG. 7

チャンネルFNプログラム回復のための新しい計画

【 図 8 】

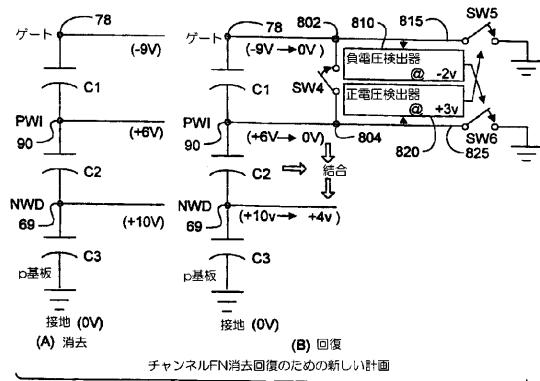


FIG. 8

【 図 9 】

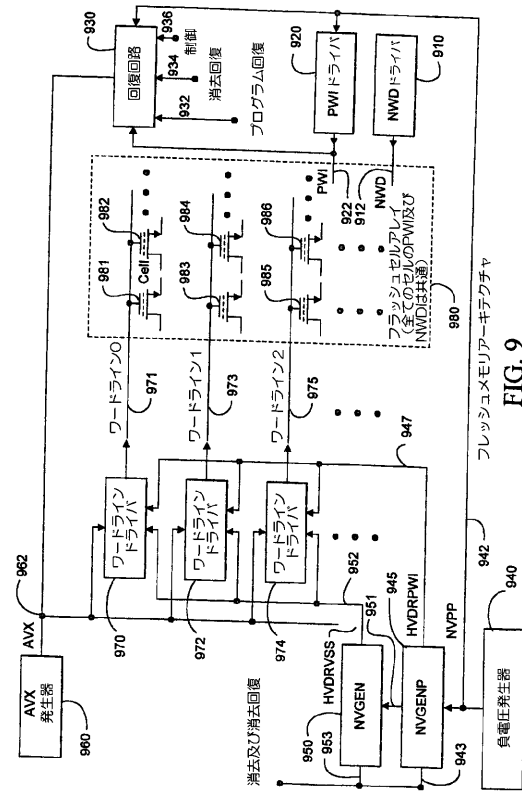
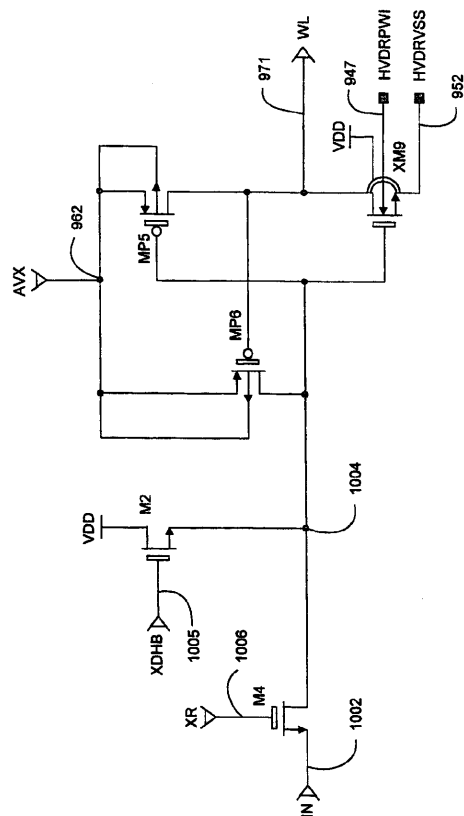


FIG. 9

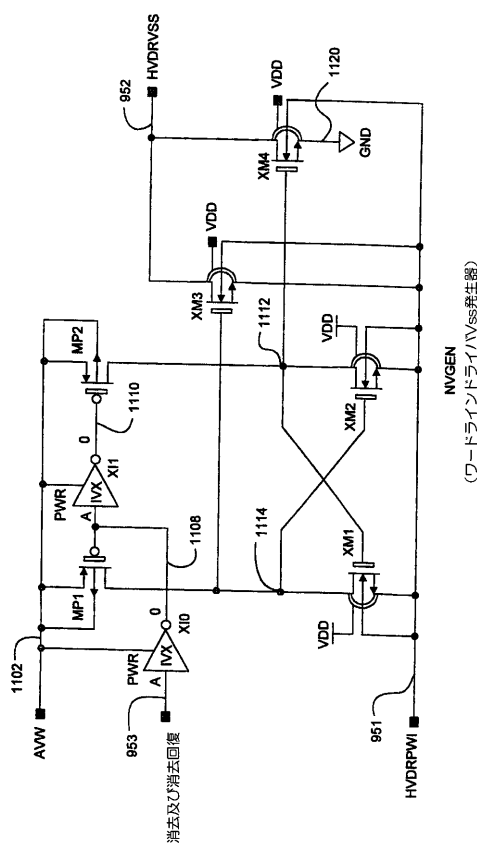
【 ㊦ 1 0 】



ワードライントライバ

FIG. 10

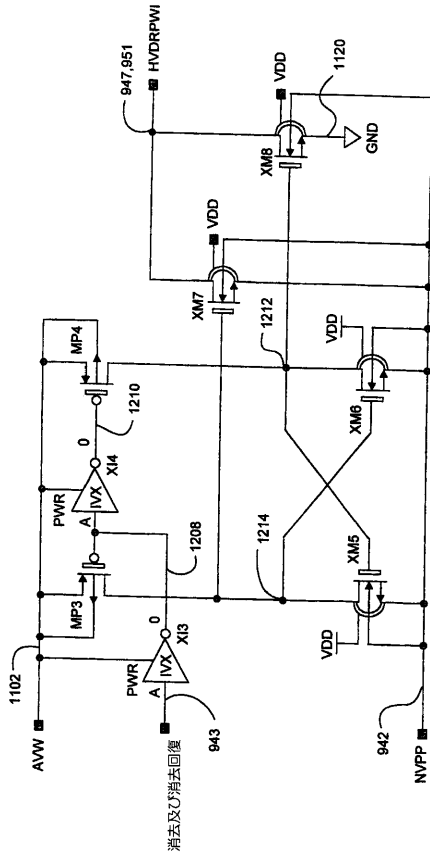
【 図 1 1 】



NVGEN
(ワードラインドライバVss発生器)

FIG. 11

【 図 1 2 】



NVGENP
(ワードラインドライド基板バイアス発生器)

FIG. 12

【 図 1 3 】

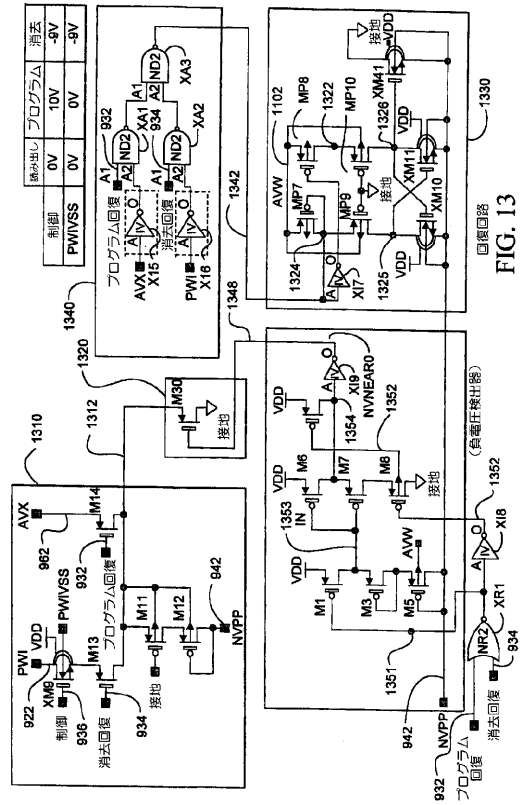


FIG. 13

フロントページの続き

- (74)代理人 100096194
弁理士 竹内 英人
- (74)代理人 100074228
弁理士 今城 俊夫
- (74)代理人 100084009
弁理士 小川 信夫
- (74)代理人 100082821
弁理士 村社 厚夫
- (74)代理人 100086771
弁理士 西島 孝喜
- (74)代理人 100084663
弁理士 箱田 篤
- (72)発明者 リン ユ シェン
台湾 タイペイ チュン ユーアン ロード ナンバー 26 - 4 4エフ
- (72)発明者 シアウ ツェン ユーエイ
台湾 シン チュ カウンティー 305 シン プ チュン チェン ロード 595
- (72)発明者 ワン レイ リン
アメリカ合衆国 カリフォルニア州 94539 フリーモント ウィチトウ ドライヴ 709

審査官 外山 毅

- (56)参考文献 特開平08-255491(JP, A)
特開平04-281299(JP, A)
特開平10-079197(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/02