

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4242072号
(P4242072)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.

F 1

G 11 C 16/02 (2006.01)
G 11 C 16/06 (2006.01)G 11 C 17/00 6 12 E
G 11 C 17/00 6 11 E
G 11 C 17/00 6 32 D

請求項の数 49 (全 27 頁)

(21) 出願番号 特願2000-553960 (P2000-553960)
 (86) (22) 出願日 平成10年6月12日 (1998.6.12)
 (65) 公表番号 特表2002-518776 (P2002-518776A)
 (43) 公表日 平成14年6月25日 (2002.6.25)
 (86) 國際出願番号 PCT/US1998/012426
 (87) 國際公開番号 WO1999/065036
 (87) 國際公開日 平成11年12月16日 (1999.12.16)
 審査請求日 平成17年5月31日 (2005.5.31)

(73) 特許権者 598039493
 マクロニクス インターナショナル カン
 パニー リミテッド
 台湾 シン チュ サイエンス ベースド
 インダストリアル パーク クリエイシ
 ョン ロード サード 3
 (74) 代理人 100059959
 弁理士 中村 稔
 (74) 代理人 100067013
 弁理士 大塚 文昭
 (74) 代理人 100082005
 弁理士 熊倉 袞男
 (74) 代理人 100065189
 弁理士 宍戸 嘉一

最終頁に続く

(54) 【発明の名称】チャンネルFNプログラム／消去回復スキーム

(57) 【特許請求の範囲】

【請求項 1】

制御ゲート、浮遊ゲート、p型及びn型の一方である第1の導電型を有するチャンネルウェル、及び上記チャンネルウェル内にあって上記第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域を備え、上記制御ゲートが第1のプログラム／消去電位にある第1のノードに結合され、上記チャンネルウェルが第2のプログラム／消去電位にある第2のノードに結合されている浮遊ゲートメモリセルにおいて、上記制御ゲートに第1の回復電位を回復させ、上記チャンネルウェルに第2の回復電位を回復させるための方法であって、

上記第1のプログラム／消去電位を上記第1のノードに印加し、上記第2のプログラム／消去電位を上記第2のノードに印加することによって上記制御ゲートと上記チャンネルウェルとの間にトンネリング電流を誘起させるのに十分な電界を確立した後、上記第1のノードと上記第2のノードとの間に電流通路を完成させるステップと、

上記第1のノードにおける電圧電位が第1のスイッチング電位とほぼ等しくなったときに第1の接地信号を生成するステップと、

上記第2のノードにおける電圧電位が第2のスイッチング電位とほぼ等しくなったときに第2の接地信号を生成するステップと、

上記第1の接地信号に応答して、上記第2のノードと第1の参照ノードとの間に電気通路を設けて上記第1の参照ノードを上記第2の回復電位にバイアスするステップと、

上記第2の接地信号に応答して、上記第1のノードと第2の参照ノードとの間に電気通

10

20

路を設けて上記第2の参照ノードを上記第1の回復電位にバイアスするステップと、
を含むことを特徴とする方法。

【請求項2】

第1の導電型を有する半導体基板上にあって、ドレイン、ソース、浮遊ゲート、及び制御ゲートを含む浮遊ゲートセルのための動作させるための方法であって、上記基板は、上記基板とは異なる第2の導電型を有する絶縁ウエルと、上記絶縁ウエル内にあって上記第1の導電型を有するチャネルウエルと、上記チャネルウエル内にあって上記第2の導電型を有するセルのソース及びドレイン領域を含み、上記制御ゲートは、第1のノードに結合され、上記チャネルウエルは、第2のノードに接続されており、上記方法は、

第1のプログラム／消去電位を上記第1のノードに印加し、第2のプログラム／消去電位を上記第2のノードに印加し、第3のプログラム／消去電位を上記絶縁ウエルに印加し、そして第4のプログラム／消去電位を上記基板に印加することによって上記浮遊ゲートと上記チャネルウエルとの間にトンネリング電流を誘起させるステップを含み、上記第1及び第2のプログラム／消去電位は、上記制御ゲートと上記チャネルウエルとの間にトンネリング電流を誘起させるのに十分な電界を確立し、上記第3の電位は、上記チャネリングウエルと上記絶縁ウエルとの間の電流を阻止するように設定され、且つ上記第4の電位は、上記絶縁ウエルと上記基板との間の電流を阻止するように設定され、上記方法は、

上記第1のプログラム／消去電位を第1の回復電位まで回復させ、且つ上記第2のプログラム／消去電位を第2の回復電位まで回復させるステップを更に含み、上記第1のプログラム／消去電位及び上記第2のプログラム／消去電位を回復させるステップは：

上記第1のノードと上記第2のノードとの間に電流通路を完成するステップと；

上記第1のノードにおける上記電位が第1のスイッチング電位にほぼ等しくなったときに第1の接地信号を生成するステップと；

上記第2のノードにおける上記電位が第2のスイッチング電位とほぼ等しくなったときに第2の接地信号を生成するステップと；

上記第1の接地信号に応答し、上記第2のノードと第1の参照ノードとの間に電気通路を設けて上記第1の参照ノードを上記第2の回復電位にバイアスするステップと；

上記第2の接地信号に応答して、上記第1のノードと第2の参照ノードとの間に電気通路を設けて上記第2の参照ノードを上記第1の回復電位にバイアスするステップと；
を含むことを特徴とする方法。

【請求項3】

上記第1の導電型は、p型であることを特徴とする請求項1または請求項2に記載の方法。

【請求項4】

上記第1のスイッチング電位は正電圧であり、上記第2のスイッチング電位は、負電圧であることを特徴とする請求項1または請求項2に記載の方法。

【請求項5】

上記第1のスイッチング電位は、ほぼ+3Vであり、上記第2のスイッチング電位は、ほぼ-2Vであることを特徴とする請求項3または請求項4に記載の方法。

【請求項6】

上記第1のスイッチング電位は、負電圧であり、上記第2のスイッチング電位は、正電圧であることを特徴とする請求項1または請求項2に記載の方法。

【請求項7】

上記第1のスイッチング電位は、ほぼ-2Vであり、上記第2のスイッチング電位は、ほぼ+3Vであることを特徴とする請求項6に記載の方法。

【請求項8】

上記第1の参照ノードは、接地電位にあるノードに結合されることを特徴とする請求項1または請求項2に記載の方法。

【請求項9】

上記第1の参照ノードは、上記第2の参照ノードに結合されることを特徴とする請求項

10

20

30

40

50

8に記載の方法。

【請求項10】

上記第1のプログラム／消去電位は、正電圧であり、上記第2のプログラム／消去電位は、負電圧であることを特徴とする請求項1または請求項2に記載の方法。

【請求項11】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備えていることを特徴とする請求項1に従属する請求項10に記載の方法。

【請求項12】

上記基板は、接地電位及び正電源電位を供給する外部参照電源に結合されていることを特徴とする請求項2に従属する請求項10に記載の方法。 10

【請求項13】

上記電源電圧は、5Vまたはそれ以下に特定されていることを特徴とする請求項11または請求項12に記載の方法。

【請求項14】

上記第1のプログラム／消去電位は、負電圧であり、上記第2のプログラム／消去電位は、正電圧であることを特徴とする請求項1または請求項2に記載の方法。

【請求項15】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備え、上記第2のプログラム／消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項1に従属する請求項14に記載の方法。 20

【請求項16】

上記基板は、接地電位及び正供給電位を供給する外部参照電源に結合され、上記第2のプログラム／消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項2に従属する請求項14に記載の方法。

【請求項17】

上記第2のプログラム／消去電位はほぼ供給電位から+14Vまでの範囲内の大きさを有し、上記第1のプログラム／消去電位は-4Vから-10Vまでの範囲内の大きさを有していることを特徴とする請求項15または請求項16に記載の方法。

【請求項18】

上記供給電圧は、5Vまたはそれ以下に特定されていることを特徴とする請求項15または請求項16に記載の方法。 30

【請求項19】

上記浮遊ゲートメモリセルは、第1の導電型を有する基板を有する集積回路上に三重ウェルトランジスタを含み、上記基板は第2の導電型を有する絶縁ウェルを含み、上記チャネルウェルは上記絶縁ウェル内にあることを特徴とする請求項1または請求項3に記載の方法。

【請求項20】

浮遊ゲートメモリセルの制御ゲート及びチャネルウェルをそれぞれ第1の回復電位及び第2の回復電位まで回復させるための回復回路であって、上記浮遊ゲートメモリセルは、第1のプログラム／消去電位にある第1のノードに結合される上記制御ゲート、浮遊ゲート、p型及びn型の一方である第1の導電型を有していて第2のプログラム／消去電位にある第2のノードに結合される上記チャネルウェル、及び上記チャネルウェル内にあって上記第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域とを備え、上記回復回路は、

回復制御信号を供給する制御回路と、

上記第1のプログラム／消去電位を上記第1のノードに印加し、上記第2のプログラム／消去電位を上記第2のノードに印加することによって上記制御ゲートと上記チャネルウェルとの間にトンネリング電流を誘起させるのに十分な電界を確立した後、上記回復制御信号に応答し、上記第1のノードと上記第2のノードとの間に電流通路を完成させる結合回路と、 50

上記回復制御信号に応答し、上記第1のノードにおける電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を供給する第1の電圧検出器回路と、

上記回復制御信号に応答し、上記第2のノードにおける電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を供給する第2の電圧検出器回路と、

上記第1の接地信号に応答し、上記第2のノードと第1の参照ノードとの間に電気通路を設けて上記第1の参照ノードを上記第2の回復電位にバイアスする第1の電圧接地回路と、

上記第2の接地信号に応答し、上記第1のノードと第2の参照ノードとの間に電気通路を設けて上記第2の参照ノードを上記第1の回復電位にバイアスする第2の電圧接地回路と、

を備えていることを特徴とする回復回路。

【請求項21】

上記第1の導電型は、p型であることを特徴とする請求項20に記載の回復回路。

【請求項22】

上記第1のスイッチング電位は、正電圧であり、上記第2のスイッチング電位は、負電圧であることを特徴とする請求項20に記載の回復回路。

【請求項23】

上記第1のスイッチング電位は、ほぼ+3Vであり、上記第2のスイッチング電位は、ほぼ-2Vであることを特徴とする請求項22に記載の回復回路。

【請求項24】

上記第1のスイッチング電位は、負電圧であり、上記第2のスイッチング電位は、正電圧であることを特徴とする請求項20に記載の方法。

【請求項25】

上記第1のスイッチング電位は、ほぼ-2Vであり、上記第2のスイッチング電位は、ほぼ+3Vであることを特徴とする請求項24に記載の回復回路。

【請求項26】

上記第1の参照ノードは、接地電位にあるノードに結合されることを特徴とする請求項20に記載の回復回路。

【請求項27】

上記第1の参照ノードは、上記第2の参照ノードに結合されることを特徴とする請求項26に記載の回復回路。

【請求項28】

上記第1のプログラム／消去電位は、正電圧であり、上記第2のプログラム／消去電位は、負電圧であることを特徴とする請求項20に記載の回復回路。

【請求項29】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備えていることを特徴とする請求項28に記載の回復回路。

【請求項30】

上記供給電位は、5Vまたはそれ以下に特定されていることを特徴とする請求項29に記載の回復回路。

【請求項31】

上記第1のプログラム／消去電位は、負電圧であり、上記第2のプログラム／消去電位は、正電圧であることを特徴とする請求項20に記載の回復回路。

【請求項32】

上記浮遊ゲートメモリセルは、接地電位及び正供給電位を供給する外部参照電源を更に備え、上記第2のプログラム／消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項31に記載の回復回路。

【請求項33】

上記第2のプログラム／消去電位は、ほぼ供給電位から+14Vまでの範囲内の大きさを有し、上記第1のプログラム／消去電位は、-4Vから-10Vまでの範囲内の大きさを有

10

20

30

40

50

していることを特徴とする請求項 3 2 に記載の回復回路。

【請求項 3 4】

上記供給電圧は、5 V またはそれ以下に指定されていることを特徴とする請求項 3 2 に記載の回復回路。

【請求項 3 5】

n 型及び p 型の一方である第 1 の導電型を有する領域を含む半導体基板内の浮遊ゲートメモリセルであって、

チャンネル領域上の浮遊ゲート構造と、

上記浮遊ゲート構造の上にあって第 1 のノードに結合されている制御ゲート構造と、

上記基板の領域内にあって n 型及び p 型の一方であるが上記第 1 の導電型とは異なる第 2 の導電型を有する第 1 のウェルと、10

上記第 1 のウェル内にあって第 2 のノードに結合され、上記第 1 の導電型を有する第 2 のウェルと、

上記第 2 のウェル内にあって上記第 2 の導電型を有するドレインと、

上記第 2 のウェル内にあって上記第 2 の導電型を有し、上記ドレインから離間していて上記ドレインとの間に上記チャンネル領域を限定しているソースと、

第 1 のプログラム / 消去電位を上記第 1 のノードに印加し、第 2 のプログラム / 消去電位を上記第 2 のノードに印加し、第 3 のプログラム / 消去電位を上記第 1 のウェルに印加し、そして第 4 のプログラム / 消去電位を上記基板に印加することによって、上記浮遊ゲートから上記チャンネル領域内へ、及び上記チャンネル領域から上記浮遊ゲート内への電子のトンネリングを誘起させるプログラム / 消去電圧ドライバ回路を備え、上記第 1 及び第 2 のプログラム / 消去電位は、上記制御ゲートと上記チャンネルウェルとの間に上記トンネリング電流を誘起させるのに十分な電界を確立し、上記第 3 の電位は上記チャンネルウェルと上記第 1 のウェルとの間の電流を阻止するようにセットされ、そして上記第 4 の電位は上記第 1 のウェルと上記基板との間の電流を阻止するようにセットされており、20

上記浮遊ゲートメモリセルは、上記制御ゲートに第 1 の回復電位を回復させ、上記第 2 のウェルに第 2 の回復電位を回復させる回復回路を更に備え、上記回復回路は、

上記プログラム / 消去電圧ドライバに応答して回復制御信号を供給する制御回路と、

上記回復制御信号に応答して上記第 1 のノードと上記第 2 のノードとの間に電流通路を完成させる結合回路と、30

上記回復制御信号に応答して上記第 1 のノードにおける電圧電位が第 1 のスイッチング電位にほぼ等しくなった時に第 1 の接地信号を供給する第 1 の電圧検出器回路と、

上記回復制御信号に応答して上記第 2 のノードにおける電圧電位が第 2 のスイッチング電位にほぼ等しくなった時に第 2 の接地信号を供給する第 2 の電圧検出器回路と、

上記第 1 の接地信号に応答し、上記第 2 のノードと第 1 の参照ノードとの間に電気通路を設けて上記第 1 の参照ノードを上記第 2 の回復電位にバイアスする第 1 の電圧接地回路と、

上記第 2 の接地信号に応答し、上記第 1 のノードと第 2 の参照ノードとの間に電気通路を設けて上記第 2 の参照ノードを上記第 1 の回復電位にバイアスする第 2 の電圧接地回路と、40

を更に含んでいることを特徴とする浮遊ゲートメモリセル。

【請求項 3 6】

上記第 1 の導電型は、p 型であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 3 7】

上記第 1 のスイッチング電位は、正電圧であり、上記第 2 のスイッチング電位は、負電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 3 8】

上記第 1 のスイッチング電位は、ほぼ + 3 V であり、上記第 2 のスイッチング電位は、ほぼ - 2 V であることを特徴とする請求項 3 7 に記載の浮遊ゲートメモリセル。50

【請求項 3 9】

上記第 1 のスイッチング電位は、負電圧であり、上記第 2 のスイッチング電位は、正電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 0】

上記第 1 のスイッチング電位は、ほぼ - 2 V であり、上記第 2 のスイッチング電位は、ほぼ + 3 V であることを特徴とする請求項 3 9 に記載の浮遊ゲートメモリセル。

【請求項 4 1】

上記第 1 の参照ノードは、接地電位にあるノードに結合されることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 2】

上記第 1 の参照ノードは、上記第 2 の参照ノードに結合されることを特徴とする請求項 4 1 に記載の浮遊ゲートメモリセル。

【請求項 4 3】

上記第 1 のプログラム / 消去電位は正電圧であり、上記第 2 のプログラム / 消去電位は負電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 4】

上記基板は、接地電位及び正供給電位を供給する外部参照電源に結合されることを特徴とする請求項 4 3 に記載の浮遊ゲートメモリセル。

【請求項 4 5】

上記供給電位は、5 V またはそれ以下に指定されていることを特徴とする請求項 4 4 に記載の浮遊ゲートメモリセル。

【請求項 4 6】

上記第 1 のプログラム / 消去電位は、負電圧であり、上記第 2 のプログラム / 消去電位は、正電圧であることを特徴とする請求項 3 5 に記載の浮遊ゲートメモリセル。

【請求項 4 7】

上記基板は、接地電位及び正供給電位を供給する外部参照電源に結合され、上記第 2 のプログラム / 消去電位の大きさは、上記供給電位よりも高いことを特徴とする請求項 4 6 に記載の浮遊ゲートメモリセル。

【請求項 4 8】

上記第 2 のプログラム / 消去電位は、ほぼ供給電位から + 14 V までの範囲内の大きさを有し、上記第 1 のプログラム / 消去電位は、- 4 V から - 10 V までの範囲内の大きさを有していることを特徴とする請求項 4 7 に記載の浮遊ゲートメモリセル。

【請求項 4 9】

上記供給電圧は、5 V またはそれ以下に特定されていることを特徴とする請求項 4 7 に記載の浮遊ゲートメモリセル。

【発明の詳細な説明】**【0 0 0 1】****(発明の分野)**

本発明は、不揮発性メモリデバイスのプログラミング及び消去に関する。詳述すれば、本発明は、フラッシュセルのファウラー・ノルトハイムトンネリングプログラム及び / または消去プロセスからの回復スキームに関する。

【0 0 0 2】**(関連技術の説明)**

フラッシュメモリは、浮遊ゲートトランジスタをベースとする不揮発性メモリ集積回路のクラスである。浮遊ゲートセルのメモリ状態は、浮遊ゲート内に捕捉された電荷の集中によって決定される。フラッシュメモリの動作は、浮遊ゲートへ電荷を注入する、または該ゲートから電荷を除去する技術に大きく依存する。

【0 0 0 3】

浮遊ゲートメモリセル内へ、及び該セルから電荷を移動させるために、少なくとも 2 つの基本的な技術が使用されている。第 1 の技術は、熱い電子注入と呼ばれるものである。熱

10

20

30

40

50

い電子注入は、メモリセルのドレインとソースとの間に正電圧を印加し、制御ゲートに正電圧を印加することによって誘起される。これはセル内に電流を誘起させ、電流内の熱い電子が浮遊ゲートセルのトンネル酸化物を通して浮遊ゲート内に注入される。熱い電子注入は比較的大きい電流動作であり、従って普通は、一時にデバイス内の数個のセルをプログラムするだけに使用されている。

【0004】

フラッシュメモリの浮遊ゲート内へ、及び該ゲートから電荷を移動させるための第2の主要技術はファウラー・ノルトハイムトンネリング（F-Nトンネリング）と称されるものである。F-Nトンネリングは、制御ゲートと、ドレイン、ソース、及びチャンネルの1つとの間、または制御ゲートとこれらの端子の組合せとの間に大きい電界を確立することによって誘起される。電界はトンネル酸化物を通るF-Nトンネリング電流を確立し、電子を浮遊ゲートから追い出す。F-Nトンネリングプロセスは、セルのソースとドレインとの間に電流を流すことを含まないので比較的低電流である。従って一般に、この技術は一時にデバイス内の多数のセルにまたがって並列に使用される。

10

【0005】

フラッシュメモリの動作は、浮遊ゲート内に蓄積される電荷の量をセル毎に制御することを必要とするアレイのプログラミングと、アレイ全体またはアレイのセクター内の浮遊ゲートを所定の帶電状態にクリアする消去とを含む。1つの種類のフラッシュメモリにおいては、アレイ内のセルのプログラム、及び消去の両方のためにF-Nトンネリングを使用している。

20

【0006】

従来のアプローチに使用されていたF-Nトンネリング消去は、集積回路チップに用いられる低い供給電圧（5Vより低いVDD）を使用する能力を制約する要因であった。例えば、1つの一般的なアプローチはn型ソース及びドレイン領域を有するp型半導体基板（サブストレート）内に形成されたメモリセルをベースとしている。ソース側F-Nトンネリング消去動作のバイアス方法は、約12Vの消去電位をソースに印加し、基板を接地し、そしてセルの制御ゲートに接続されているワードラインが0Vで消去されるようにセットする。これにより、ソースと浮遊ゲートとの間のF-Nトンネリングによって消去動作が達成される。しかしながら、ソースと基板との間には大きい電圧差（12V）が発生する。この電圧差が、不要な基板電流及び熱い正孔電流を誘起する。この不要な電流を抑圧するために、いわゆる二重拡散ソースプロセスが使用される。二重拡散は、ソースと基板との間のn型ドーピングの濃度に漸進的な、または2段階変化を発生させる。これは、ソースと基板との間の界面の応力を減少させ、不要な電流を抑圧する。しかしながら、二重拡散ソースはセルのサイズを縮小させる能力を制限する。

30

【0007】

代替アプローチはRay-Lin Wan及びChun-Hsiung Hungによる国際特許出願PCT/US97/03861 “Triple Well Floating Gate Memory and Operating Method with Isolated Channel Program, Preprogram and Erase Processes”に開示されているような三重ウェル浮遊ゲートメモリの使用を含んでいる。このアプローチの1つの実施の形態においては、フラッシュユセルはp型基板内に形成されており、深いnウェル（NWD）が内側pウェル（PWI）内に形成されている。n型ソース及びドレイン領域はPWI内に形成されている。この三重ウェル浮遊ゲート配列の典型的なF-Nプログラミング方法を図1に示す。図1ではp基板は接地され、NWDは約3Vの低い正電圧に接続され、PWI、ソース、及びドレインは約-9Vの負電圧に接続され、そしてゲートは約8Vの正電圧に接続されている。この三重ウェル浮遊ゲート配列の典型的なF-N消去方法を図2に示す。図2ではp基板は接地され、NWDは約10Vの高い正電圧に接続され、PWI、ソース、及びドレインは約6Vの正電圧に接続され、そしてゲートは約-9Vの負電圧に接続されている。セルのプログラムまたは消去を遂行した後に、これらのノードに印加した電位を取り除いて接地電位を回復しなければならない。これはセルの回復として知られている。

40

【0008】

50

図1及び2に示すような三重ウェル浮遊ゲートセルをプログラム、または消去する計画を設計する際に考慮すべき1つの主要要因は、プログラム／消去機能を遂行できる速度である。セルの種々のノードに印加された高電圧からセルを回復させることができる速度が、プログラム／消去計画の総合速度を決定する主要要因である。特定のプログラム／消去計画の回復時間に極めて大きい効果を有している1つの要因は、浮遊ゲートセルの種々のノード間に形成されている寄生容量である。図1及び2には、これらの容量を、C1(ゲートとPWIとの間のキャパシタ)、C2(PWIとNWDとの接合のキャパシタ)、及びC3(NWDとp基板との接合のキャパシタ)で示してある。従来は、3つの一般的な計画を使用してC1、C2、C3を放電させ、セルの全端子を接地まで回復させてきた。

【0009】

10

プログラムステップから回復させる場合の第1の計画を図3(a)-(b)に示す。この計画は先ず、高度に導電性の通路を通してセルのゲートを接地することからなるが、低導電性通路によって-9Vに接続されているノードPWIは、キャパシタC1による結合のために、より低い電位(この場合は、-17V)になる。従って、この結合を減少させるために、この計画は典型的に、導電率の低い通路によってゲートを接地するように、即ち、回復時間を長くするように変更される。更に、図3(b)に示すように、誤計算された結合によってもたらされる高電圧応力から保護するために、典型的には電圧リミタD3も設けられている。ゲート端子が接地へ放電された後に、PWIが別の通路を介して接地に放電される。この時に再び同じ結合問題が発生する。図3(c)に示すように、もしゲート・接地通路がゲートを接地に維持するのに十分高度に導電性ではなければゲートはC1による結合のために正電位になり、またNWDはC2を介して結合されて+12Vになってしまう。従ってこの特定の回復計画は、負電位リミタD3と、異なる時間間隔でゲートを接地させるための2つの分離したドライバとを必要とする。最初のステップではPWIの結合が弱過ぎないように弱いゲートドライバが必要であり、PWIを接地へ放電させる時にはゲートが高に結合されないように強いゲートドライバが必要である。

【0010】

20

プログラムステップから回復させる場合の第2の計画を図4(a)-(c)に示す。この計画は、上述した計画の将に逆であり、最初にPWIを放電させ、次いでゲートを放電させる。即ち、もしPWIを接地するために強いドライバを使用していれば、最初のステップにおいてC1を介して高に強く結合されるのを回避するために、ゲート端子に正電位リミタD5を接続しなければならない。同様に、PWIが-12Vに結合されるのを回避するために、ゲートが放電されている間に高度に導電性の通路を介してPWIを接地しなければならない。

30

【0011】

40

プログラム機能から回復するために使用してきた別の計画を図5(a)-(b)に示す。この計画では、PWI及びゲートの両者を同時に放電させる。これを実現するためには、ゲート端子における接地への駆動能力と、PWIにおける接地への駆動能力とをほぼ等しくし、C1による結合を平衡させなければならない。そのようにしなければ、これらの端子における電圧スwingを制限するために、上述したクランプ回路D3及びD5を使用する必要がある。もし等しい駆動を採用してクランプ回路を使用しないのであれば、この計画を実現する回路を適切に動作させるためにはC1、C2、及びC3の精密な容量推定が非常に重要である。更に、C2及びC3は、これらのキャパシタの2つの端子間の電位差と共に容量が変化する接合キャパシタであるので、回復期間中C2及びC3は電圧依存変数になる。この変化は、この計画を実現するために必要なC1、C2、及びC3の精密な推定を極めて複雑にする。

【0012】

以上に図3、4、及び5を参照してプログラム機能からの回復について説明した。上述した3つの各回復計画は、電圧の極性を変化させるだけで消去機能からの回復にも適用することができる。同様に、プログラム機能回復についての上述した諸問題は、消去機能回復についても適用される。

50

【0013】

要約すれば、プログラムまたは消去機能の後に、三重ウェル浮遊ゲートセルの端子を回復させるために現在使用されている計画は、幾分制約されていることが分かっている。詳述すれば、これらの計画は速度（これらが回復機能を遂行できる速度）が制限されている。この速度の制限は、プログラムされた／消去された三重ウェル浮遊ゲートセルの種々ノード間の寄生結合に固有の問題によってもたらさるものである。従って、上述した諸問題を解消して三重ウェル浮遊ゲートセルをプログラム及び／または消去機能から回復させる計画を提供することが望ましい。更に、このような計画を実現し、またフラッシュメモリセルを用いた集積回路上で実現できる回路を提供することが望ましい。

【0014】

10

(発明の概要)

上述したように、プログラムまたは消去プロセスが浮遊ゲートセルに対して遂行された後に、読み出し動作のような別の動作のためにセルの準備を整えるには、制御ゲート及びチャンネルウェルを含むセルのノードにおける電圧電位を接地のようある参照電位まで回復しなければならない。本発明は、回復回路、及びこの回復動作を遂行する方法を提供する。更に、本発明の回復回路及び方法は、従来の回復方法に固有の浮遊ゲートメモリセルのノード間の寄生容量結合の問題を解消するように実現される。従って、本発明の回復回路及び方法は、浮遊ゲートメモリセルが遂行できる速度を増加させることによって、それらのプログラム及び消去動作を強化する。今回復回路及び方法は、フラッシュEEPROMのような不揮発性集積回路メモリアレイ内に使用される浮遊ゲートメモリセルを回復させるために特に有用である。従って、本発明の回復回路及び方法は、例えばポータブルラップトップコンピュータのようなコンピュータシステムに使用するのに特に適している。

20

【0015】

本発明の1つの実施の形態の回復回路は、浮遊ゲートメモリセルの制御ゲートにおける電圧を第1のプログラム／消去電位から第1の回復電位まで回復させ、セルのチャンネルウェルにおける電圧を第2のプログラム／消去電位から第2の回復電位まで回復させる。浮遊ゲートメモリセルは、浮遊ゲートと、p型またはn型の何れかである第1の導電型を有するチャンネルウェルと、チャンネルウェル内にあって第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域とを含んでいる。

【0016】

30

この実施の形態の回復回路は、プログラムまたは消去プロセスが完了したことを指示する回復制御信号を供給する制御回路と、この回復制御信号に応答して制御ゲートとチャンネルウェルとの間に電流通路を完成させる結合回路とを含んでいる。回復回路は更に、回復制御信号に応答して制御ゲートにおける回復電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を供給する第1の電圧検出器と、回復制御信号に応答してチャンネルウェルにおける回復電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を供給する第2の電圧検出器とを含んでいる。回復回路のこの実施の形態には、第1の接地信号に応答してチャンネルウェルと第2の回復電位にある第1の参照ノードとの間に電気通路を設ける第1の電圧接地回路、及び第2の接地信号に応答して制御ゲートと第1の回復電位にある第2の参照ノードとの間に電気通路を設ける第2の電圧接地回路も含まれている。

40

【0017】

更に、回復回路の好ましい実施の形態においては、回復回路は、三重ウェル浮遊ゲートメモリセルである浮遊ゲートメモリセルに適用される。この実施の形態においては、浮遊ゲートメモリセルは、第1の導電型を有する半導体基板内にあって第2の導電型を有する絶縁ウェルを含み、チャンネルウェルはこの絶縁ウェル内にある。

【0018】

また本発明は、浮遊ゲートメモリセルの制御ゲートにおける電圧を第1のプログラム／消去電位から第1の回復電位まで回復させ、セルのチャンネルウェルにおける電圧を第2のプログラム／消去電位から第2の回復電位まで回復させる方法を特徴とすることができる

50

。浮遊ゲートメモリセルは、浮遊ゲートと、p型またはn型の何れかである第1の導電型を有するチャンネルウェルと、チャンネルウェル内にあって第1の導電型とは異なる第2の導電型を有するドレイン及びソース領域とを含んでいる。

【0019】

この実施の形態の方法は、制御ゲートとチャンネルウェルとの間に電流通路を完成させるステップと、制御ゲートにおける電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を生成するステップと、チャンネルウェルにおける電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を生成するステップとを含んでいる。本方法は更に、第1の接地信号に応答してチャンネルウェルと第2の回復電位にある第1の参照ノードとの間に電気通路を設けるステップと、第2の接地信号に応答して制御ゲートと第1の回復電位にある第2の参照ノードとの間に電気通路を設けるステップとを含んでいる。10

【0020】

上述した方法の好ましい実施の形態においては、回復方法は、三重ウェル浮遊ゲートメモリセルである浮遊ゲートメモリセルに適用される。この実施の形態における浮遊ゲートメモリセルは、第1の導電型を有する半導体基板内にあって第2の導電型を有する絶縁ウェルを含み、チャンネルウェルはこの絶縁ウェル内にある。

【0021】

本発明は、三重ウェル浮遊ゲートメモリセルの動作方法をも特徴とすることができる。三重ウェルセルは、第1の導電型を有する半導体基板上にドレイン、ソース、浮遊ゲート、及び制御ゲートを含む。基板は、第1の導電型とは異なる第2の導電型を有する絶縁ウェルを含み、この絶縁ウェル内のチャンネルは第1の導電型を有し、第2の導電型を有するセルのソース及びドレイン領域はチャンネルウェル内にある。20

【0022】

この実施の形態の動作方法は、第1のプログラム／消去電位を制御電極に印加し、第2のプログラム／消去電位をチャンネルウェルに印加し、第3のプログラム／消去電位を絶縁ウェルに印加し、第4のプログラム／消去電位を基板に印加することによって、浮遊ゲートとチャンネルウェルとの間にトンネリング電流を誘起させるステップを含む。第1及び第2のプログラム／消去電位は、制御ゲートとチャンネルウェルとの間にトンネリング電流を誘起させるのに十分な電界を確立するように印加される。第3の電位はチャンネルウェルと絶縁ウェルとの間の電流を阻止するようにセットされ、第4の電位は絶縁ウェルと基板との間の電流を阻止するようにセットされる。本動作方法は更に、第1のプログラム／消去電位を第1の回復電位まで回復させ、第2のプログラム／消去電位を第2の回復電位まで回復させるステップを含む。この回復ステップは更に、制御ゲートとチャンネルウェルとの間に電流通路を完成させるステップと、制御ゲートにおける電圧電位が第1のスイッチング電位にほぼ等しくなった時に第1の接地信号を生成するステップと、チャンネルウェルにおける電圧電位が第2のスイッチング電位にほぼ等しくなった時に第2の接地信号を生成するステップとを含んでいる。この回復ステップは更に、第1の接地信号に応答してチャンネルウェルと第2の回復電位にある第1の参照ノードとの間に電気通路を設けるステップと、第2の接地信号に応答して制御ゲートと第1の回復電位にある第2の参照ノードとの間に電気通路を設けるステップとを含んでいる。30

【0023】

先行実施の形態の1例においては第1のスイッチング電位は正電圧であり、第2のスイッチング電位は負電圧であり、そして特定の好ましい実施例では第1のスイッチング電位は約+3Vであり、第2のスイッチング電位は約-2Vである。代替として第1のスイッチング電位が負電圧であり、第2のスイッチング電位が正電圧であることができ、そして別の実施例においてはこれらはそれぞれ-2V及び+3Vであることができる。更に別の好ましい実施の形態においては、第1及び第2の参照ノードは互いに結合され、そして接地電位に結合されている。

【0024】

50

先行実施の形態の別の例においては、第1のプログラム／消去電位は正電圧であり、第2のプログラム／消去電位は負電圧である。この実施の形態の浮遊ゲートメモリセルは、接地電位及び正供給電位を印加する外部参照電源を含むことをさらなる特徴とすることができる。この実施の形態の好ましい例においては、供給電位は5Vまたはそれ以下に指定されている。

【0025】

先行実施の形態の更に別の例においては、第1のプログラム／消去電位は負電圧であり、第2のプログラム／消去電位は正電圧である。この実施の形態の浮遊ゲートメモリセルは、接地電位及び正供給電位を印加する外部参照電源を含むこと、そして第2のプログラム／消去電位の大きさが供給電位より高いことをさらなる特徴とすることができます。好ましい実施例においては、第2のプログラム／消去電位はほぼ供給電圧レベルから+14Vまでの範囲内の大きさを有し、第1のプログラム／消去電位は-4Vから-10Vまでの範囲内の大きさを有している。更に別の好ましい実施例においては、供給電圧は5Vまたはそれ以下に指定されている。10

【0026】

以上のように、三重ウェル浮遊ゲートメモリセルを含む浮遊ゲートメモリセルを、完了したファウラー・ノルトハイムトンネリングプログラム及び／または消去プロセスの電圧レベルから回復させるための回復回路及び方法が提供される。本回復回路及び方法は、フラッシュEEPROMのような不揮発性集積回路メモリアレイ内に使用される浮遊ゲートメモリセルを回復するために特に有用である。従って、これらは、例えばポータブルラップトップコンピュータ内に見出されるようなコンピュータシステムに使用するのに特に適している。本発明の方法または回復回路を使用することによって、セルのノード間の寄生結合によってもたらされる従来技術における速度の問題が回避され、総合プログラム及び消去プロセス速度を増加させることができる。20

【0027】

本発明の他の面及び長所は、添付図面に基づく以下の詳細な説明から明白になるであろう。

【0028】

(詳細な説明)

以下に添付図面を参照して本発明の好ましい実施の形態を詳細に説明する。図6は、本発明の回復計画の1つの実施の形態を使用して構成された三重ウェル浮遊ゲートメモリセルの基本構造を示している。図6に示すように、半導体基板60は、第1の導電型を有している。好ましくは、基板60はp型のドーピングを有するシリコンである。深いn型ウェルNWD62が基板60内に形成されている。深いn型ウェル62の内側に、p型ウェルPWI64が含まれている。n型ソース72及びn型ドレイン88が、p型ウェルPWI64内に含まれている。浮遊ゲート76及びトンネル絶縁体84を含む浮遊ゲート構造が、ソース72とドレイン88との間のチャンネル領域上に形成されている。制御ゲート80及び絶縁体82を含む制御ゲート構造が、浮遊ゲート76上に形成されている。深いn型ウェル62は、デバイスのための絶縁ウェルとして働く。p型ウェル64はセルのチャンネル領域を提供する。n型のソース及びドレイン構造がp型ウェル64内に形成され、絶縁ウェル62によって基板60から絶縁されたp型ウェル内にチャンネルを確立している。図示の実施の形態においては、p基板60は接地ノード66に結合されている。30

【0029】

図6には、チャンネルウェルPWI64と絶縁ウェルNWD62との間のP-N接合、及び基板60と絶縁ウェルNWD62との間のP-N接合をそれぞれ表しているダイオード記号68及び67も示されている。基板60がほぼ絶縁ウェル62のレベルに、またはそれより低いレベルにバイアスされている限り、ダイオード記号67によって表されているP-N接合は非導通である。また、チャンネルウェル64がほぼ絶縁ウェル62のレベルに、またはそれより低くバイアスされている限り、ダイオード記号68によって表されているP-N接合は非導通である。図6には更に、浮遊ゲートセルの種々ノード間に形成さ40

40

50

れる寄生容量も示されている。これらの容量は、C1（ゲートとPW1との間のキャパシタ）、C2（PW1とNWDとの接合のキャパシタ）、及びC3（NWDとp基板との接合のキャパシタ）として示されている。

【0030】

図6には、NWDドライバ910、ピットラインドライバ610、ワードラインドライバ970、及びPW1ドライバ920も示されており、これらは、本発明の回復計画の1つの実施の形態に従ってNWD62、ソース72及びドレイン88、制御ゲート80、及びPW164をそれぞれバイアスするように給電される。NWDドライバ910は、バイアス点69を通してNWD62に結合されている。ソース72及びドレイン88は、それぞれ接点74及び86を通してピットラインドライバ610に結合されている。制御ゲート80は、バイアス点78を通してワードラインドライバ970に結合されている。PW164は、バイアス点90を通してPW1ドライバ920に結合されている。NWDドライバ910、ピットラインドライバ610、ワードラインドライバ970、及びPW1ドライバ920は、典型的な三重ウェルセルのプログラム／消去からセルを回復させるために、これらの端子に必要なバイアスを供給する。このバイアスを供給するのに使用されるメカニズム及び回路の詳細に関しては、それぞれ図7-8、及び図9-13を参照して後述する。三重ウェル浮遊ゲートメモリセルの典型的なプログラム／消去に使用される電圧に関しては図1及び2を参照して先に説明したが、以下の表Iにそれを要約しておく。

表 I : 典型的なプログラム／消去のための電圧

	ゲート	ドレイン	ソース	PW1	NWD	基板
プログラム	+8V	-9V	-9V	-9V	+3V	0V
消去	-9V	+6V	+6V	+6V	+10V	0V

10

20

【0031】

上表に記載した電圧は代表的な例であり、メモリセルのゲート結合比、動作速度要求、及び使用可能な供給電流のような要因に依存して変化する。これらの高い正電圧及び負電圧は、負レベル及び外部の源からチップに印加されるVDD供給電圧より高いレベルを得ることができるよう、典型的には集積回路上のチャージポンプによって生成される。従つて、VDD供給電圧が高い値に制約されることなく、例えば2Vまたはそれ以下であることができる。

30

【0032】

以下に説明する本発明のセル回復計画の概念は、キャパシタの2つの端子を互いに電気的に接続する効果に関して述べる。2つの端子をこのように接続した場合には、キャパシタ上に蓄積されたどのような正及び負の電荷も中和され、図1及び2に関して説明した結合現象は発生しなくなる。

30

【0033】

即ち、本発明の回復計画の1つの実施の形態を図7(a)-(b)、及び図8(a)-(b)に示す。図7(a)-(b)はプログラム機能からの回復に適用される回復計画を示す簡易ブロック線図であり、図8(a)-(b)は消去機能からの回復に適用される回復計画を示す簡易ブロック線図である。

40

【0034】

図7(a)は、三重ウェル浮遊ゲートメモリセルに対する典型的なプログラム機能が遂行された後に、制御ゲート80、PW164、NWD62、及びp基板60に存在する近似相対電圧レベルを示している。図示のように、ゲートは+8V、PW1は-9V、NWDは+3V、そしてp基板は接地(0V)の電位にある。図7(b)は、このプログラム状態からの本発明によるセルの回復を示している。図6に関して先に説明したように、制御ゲート80への電圧はバイアス点78に供給され、PW164への電圧はバイアス点90

50

に供給され、そして NWD 6 2 への電圧はバイアス点 6 9 に供給される。これらの電圧の結合は寄生容量 C 1、C 2、及び C 3 によって示されており、C 1 はゲートと PWI との間のキャパシタであり、C 2 は PWI と NWD との接合キャパシタであり、C 3 は NWD と p 基板との接合キャパシタである。バイアス点 7 8 はノード 7 0 2 に接続され、ノード 7 0 2 はライン 7 1 5 に結合され、更にライン 7 1 5 はスイッチ SW 2 を通して接地されるようになっている。バイアス点 9 0 はノード 7 0 4 に接続され、ノード 7 0 4 はライン 7 2 5 に結合され、更にライン 7 2 5 はスイッチ SW 3 を通して接地されるようになっている。ノード 7 0 2 は更に、常開スイッチ SW 1 を通してノード 7 0 4 に結合されるようになっている。正電圧検出器 7 1 0 がライン 7 1 5 に結合されており、ライン 7 1 5 上に所定の電圧（1 実施例では、約 3 V）を検出するとスイッチ SW 3 を閉じるように動作する。
負電圧検出器 7 2 0 がライン 7 2 5 に結合されており、ライン 7 2 5 上に所定の電圧（1 実施例では、約 -2 V）を検出するとスイッチ SW 2 を閉じるように動作する。バイアス点 6 9 はスイッチ SW 7 の入力端に結合され、スイッチ SW 7 の出力端はクランピングダイオード D 7 に結合されている。このクランピングダイオード D 7 は、NWD 上のどのような電圧トランジエントも、本発明の 1 実施例ではほぼ +5 V に制限するために使用されている。

【0035】

図 7 に示す本計画によるセルの回復の最初のステップは、C 1 の 2 つの端子を互いに短絡させることである。即ち、回復ステップの始まりに、スイッチ SW 1 を閉じてノード 7 0 2 と 7 0 4 とを結合し、制御ゲート 8 0 を PWI 6 4 に結合する。これにより制御ゲート 8 0 における電圧電位が下降し、PWI 6 4 における電圧電位が上昇する。制御ゲート 8 0 と PWI 6 4 との間には初期電位差があり、また C 2 及び C 3 の寄生容量が存在するために、C 1 の 2 つの端子を単に接続しただけでは制御ゲート 8 0 及び PWI 6 4 は接地電位まで回復しない。SW 1 を閉じた後に、回復計画の第 2 のステップが遂行される。このステップは、ライン 7 1 5 及び 7 2 5 上の電圧を検出し、接地通路を選択的に設けることを含んでいる。SW 1 を閉じた後に、制御ゲート 8 0 上の、従ってライン 7 1 5 上の電圧が十分に低い（1 実施例では、約 3 V）場合には正電圧検出器 7 1 0 がスイッチ SW 3 を閉じさせる信号を出力し、それによって PWI を接地する通路を作動可能にする。同様に、SW 1 を閉じた後に、PWI 6 4 上の、従ってライン 7 2 5 上の電圧が十分に高い（1 実施例では、約 -2 V）場合には負電圧検出器 7 2 0 がスイッチ SW 2 を閉じさせる信号を出力し、それによって制御ゲートを接地する通路を作動可能にする。

【0036】

以上のように、検出器 7 1 0 及び 7 2 0 のトリガリング電圧を適切に選択することによって、図 3 - 5 に基づいて説明した従来技術計画に関する結合問題を回避することができ、従って、より速い、且つより簡単な回復計画が得られる。この計画を用いると、容量 C 1、C 2、及び C 3 の相対値の複雑な推定は不要であることに注目されたい。更に、各制御ゲート 8 0 及び PWI 6 4 のために単一の接地用通路だけしか必要としない。最後に、制御ゲート 8 0 または PWI 6 4 に接続されているノード上の電圧トランジエントを制限するためのクランピング回路をこれらのノードに設ける必要がない。図 7 (b) に示されているクランプダイオード D 7 (1 実施例では、NWD 6 2 における電圧を +5 V に制限する) は、PWI 6 4 が制御ゲート 8 0 に接続される時に、及び PWI 6 4 が接地へ放電する時に結合 C 2 によって生ずる NWD 6 2 における電圧トランジエントを制限するために使用されるものである。別の実施の形態においては、上述した計画と類似の計画を使用して、C 2 を介しての PWI 6 4 と NWD 6 2 との間の結合効果を減少させることができる。

【0037】

図 8 (a) は、三重ウェル浮遊ゲートメモリセルに対する典型的な消去機能が遂行された後に、制御ゲート 8 0、PWI 6 4、NWD 6 2、及び p 基板 6 0 に存在する近似相対電圧レベルを示している。図示のように、ゲートは -9 V、PWI は +6 V、NWD は +10 V、そして p 基板は接地 (0 V) の電位にある。図 8 (b) は、この消去状態からの本發

10

20

30

40

50

明によるセルの回復を示している。図6に関して先に説明したように、制御ゲート80への電圧はバイアス点78に供給され、PWI64への電圧はバイアス点90に供給され、そしてNWD62への電圧はバイアス点69に供給される。これらの電圧の結合は寄生容量C1、C2、及びC3によって示されており、C1はゲートとPWIとの間のキャパシタであり、C2はPWIとNWDとの接合キャパシタであり、C3はNWDとP基板との接合キャパシタである。バイアス点78はノード802に接続され、ノード802はライン815に結合され、更にライン815はスイッチSW5を通して接地されるようになっている。バイアス点90はノード804に接続され、ノード804はライン8725に結合され、更にライン825はスイッチSW6を通して接地されるようになっている。ノード802は更に、常開スイッチSW4を通してノード804に結合されるようになっている。負電圧検出器810がライン815に結合されており、ライン815上に所定の電圧(1実施例では、約-2V)を検出するとスイッチSW6を閉じるように動作する。正電圧検出器820がライン825に結合されており、ライン825上に所定の電圧(1実施例では、約3V)を検出するとスイッチSW5を閉じるように動作する。

【0038】

図8に示す本計画によるセルの消去機能からの回復の最初のステップは、C1の2つの端子を互いに短絡させることである。即ち、回復ステップの始まりに、スイッチSW4を閉じてノード802と804とを結合し、制御ゲート80をPWI64に結合する。これにより制御ゲート80における電圧電位が上昇し、PWI64における電圧電位が下降する。制御ゲート80とPWI64との間には初期電位差があり、またC2及びC3の寄生容量が存在するために、C1の2つの端子を単に接続しただけでは制御ゲート80及びPWI64は接地電位まで回復しない。SW4が閉じた後に、回復計画の第2のステップが遂行される。このステップは、ライン815及び825上の電圧を検出し、接地通路を選択的に設けることを含む。SW4を閉じた後に、制御ゲート80上の、従ってライン815上の電圧が十分に高い(1実施例では、約-2V)場合には負電圧検出器810がスイッチSW6を閉じさせる信号を出力し、それによってPWIを接地する通路を作動可能にする。同様に、SW4を閉じた後に、PWI64上の、従ってライン825上の電圧が十分に低い(1実施例では、約+3V)場合には負電圧検出器820がスイッチSW5を閉じさせる信号を出力し、それによって制御ゲートを接地する通路を作動可能にする。

【0039】

以上のように、検出器810及び820のトリガリング電圧を適切に選択することによって、図3-5に基づいて説明した従来技術計画に関する結合問題を回避することができ、従ってより速い、且つより簡単な回復計画が得られる。上述したプログラム回復計画において説明したように、この消去回復計画の場合も容量C1、C2、及びC3の相対値の複雑な推定は不要である。更に、各制御ゲート80及びPWI64のために単一の接地通路だけしか必要としない。最後に、制御ゲート80またはPWI64に接続されているノード上の電圧トランジエントを制限するためのクランピング回路をこれらのノードに設ける必要はない。

【0040】

図9は、本発明のセル回復計画の1つの実施の形態を使用して動作させることができるフラッシュメモリ集積回路アーキテクチャの一部分を示している。この集積回路アーキテクチャは、複数の三重ウェル浮遊ゲートメモリセル981-986を含むフラッシュセルアレイ980、NWDドライバ910、PWIドライバ920、回復回路930、負電圧発生器940、ワードライアンドライバ基板バイアス発生器(NVGENP)945、ワードライアンドライバV_{ss}発生器(NVGEN)950、AVX発生器960、及び複数のワードライアンドライバ970-974を備えている。

【0041】

フラッシュセルアレイ980は、セル981-986によって部分的に示されている三重ウェル浮遊ゲートメモリセルの複数の行及び列からなる。アレイ980の同一行内のセルの制御ゲートは、互いに接続されて单一のワードライアンドライバの出力に接続されている

10

20

30

40

50

。例えば、セル981及び982の制御ゲートは、ライン971上のワードライン0を通してワードラインドライバ970の出力に結合され、セル983及び984の制御ゲートは、ライン973上のワードライン1を通してワードラインドライバ972の出力に結合され、そしてセル985及び986の制御ゲートは、ライン975上のワードライン2を通してワードラインドライバ974の出力に結合されている。AVX発生器960は、正電位AVXを生成し、この電位をノード962へ供給する。ノード962は更に各ワードラインドライバ970-974に結合されており、従って各ワードラインドライバ970-974のための正電源として正電位AVXを供給する。ノード962は回復回路930にも結合されており、それによって回復回路930を介してアレイ980のワードラインを接地電位まで回復せるための通路を設けるようになっている。

10

【0042】

負電圧発生器940はノード942上に負電圧NVPPを生成し、この電圧はNVGENP945、PWIDライバ920、及び回復回路930に結合されている。NVGENP945はノード942上のNVPP電圧を入力として受け、ライン947及び951上に高電圧ドライバPWID電圧HVDRPWIを出力として供給する。出力HVDRPWIは禁止供給電圧（接地）、またはNVPPの値の何れかに等しい信号からなり、NVGENP945はライン943から供給される消去及び消去回復制御信号に応答してHVDRPWIの値を生成する。出力HVDRPWIはライン947を介してワードラインドライバ970-974に供給され、ワードラインドライバ970-974内の三重ウェルNMO基板バイアスのためのバイアス電圧として機能する。

20

【0043】

NVGEN950はライン951上の出力HVDRPWIを入力として受け、ライン952上に出力として高電圧ドライバV_{SS}電圧HVDRVSSを供給するように機能する。出力HVDRVSSは禁止供給電圧（接地）、またはNVDRPWIの値の何れかに等しい信号からなり、NVGEN950はライン953から供給される消去及び消去回復制御信号に応答してHVDRVSSの値を生成する。出力HVDRVSSはライン952を介してワードラインドライバ970-974に供給され、ワードラインドライバの負電源として機能する。NWDドライバ910は、各セル981-986のNWD62のためのバイアス電圧をライン912上に供給する。PWIDライバ920は、ノード942からNVPP電圧を入力として受け、各セル981-986のPWI64のためのバイアス電圧をライン922上に供給する。図9に示すフラッシュメモリ集積回路アーキテクチャの1つの実施の形態の場合の読み出し、プログラム、及び消去機能のための典型的な動作バイアス電圧を以下の表IIに示す。

30

表 II : 典型的な動作バイアス電圧

	AVX	HVDRVSS	HVDRPWI	NVPP	ワードライン	PWI	NWD
読み出し	Vdd	0V	0V	0V	Vdd/0V	0V	Vdd
プログラム	8V	0V	0V	-9V	8V	-9V	3V
消去	3V	-9V	-9V	-9V	-9V	6V	10V

40

【0044】

回復回路930はノード962上の入力AVX、ノード922上のPWIバイアス電圧、ノード942上のNVPP、ノード932上のプログラム回復信号、ノード934上の消去回復信号、及びノード936上の制御信号を受ける。回復回路930は、図7及び8に基づいて説明した回復計画を実現することによってセル981-986を上記プログラム/消去動作電圧から回復せるように機能する。回復回路930の1つの実施の形態の機能の詳細に関しては、回復回路930の1つの実施の形態からなる回路の詳細回路図であ

50

る図13を参照して後述する。

【0045】

図10は、図9のワードラインドライバ970-974の1つの実施の形態の詳細回路図である。この実施の形態の以下の説明は、1つのワードラインドライバ970のみについてなされているが、図9のフラッシュメモリ集積回路の各ワードラインドライバに等しく適用される。ワードラインドライバ970は、図9のAVX発生器960からノード962上の正電位AVXを受け、またライン952上の高電圧ドライバV_{SS}電圧HVDRVSも受けける。ワードラインドライバ970は、トランジスタMP5及びXM9からなるインバータを含む。これらのトランジスタのゲートはノード1004における入力に結合され、またそれらのドレインはワードラインドライバ970の出力として機能するワードライン971に結合されている。ワードラインドライバ回路970は、pチャンネルトランジスタMP6からなるフィードバックをも含んでいる。トランジスタMP6のゲートはワードライン971に結合され、そのドレインは入力1004に結合され、そしてそのソースはAVX入力ノード962に結合されている。pチャンネルトランジスタMP5及びMP6のnウェルは、共にAVX入力ノード962に結合されている。nチャンネルトランジスタXM9は三重ウェルトランジスタからなる。トランジスタXM9のソースはライン952上の入力電圧HVDRVSに結合されており、XM9の内側pウェルPWI64はライン947上の電圧HVDRPIに結合されており、そして深いnウェルNWD62は典型的には5V±10%である供給電位V_{DD}にバイアスされている。ライン952上の入力電圧HVDRVSは、図9に基づいて概要説明したように、そして図11に基づいて詳細を後述するように、消去及び消去回復制御信号に応答してNVGEN950から供給される。
10
20

【0046】

ワードラインドライバ970は、“キーパー”トランジスタM2を更に含んでいる。このトランジスタM2のソースは入力ノード1004に結合され、そのドレインは供給端子V_{DD}に結合され、そしてそのゲートはライン1005上の制御信号XDHBに結合されている。ライン1005上のこの制御信号XDHBは、消去モード中はV_{DD}から0Vにスイッチしてノード962上のAVXと供給電圧V_{DD}との間の接続を破るように制御される。入力ノード1004とデコードロジック入力ノード1002との間に、nチャンネルトランジスタM4がパスゲート構成で接続されている。このnチャンネルトランジスタM4のゲートは、ライン1006上の信号XRに結合されている。この信号XRは、図示されていないワードラインデコードロジックから供給される。トランジスタM4のソースは、ノード1002のデコードロジック入力信号INに接続されている。IN信号はライン1006上の信号XRと組合って、フラッシュメモリ集積回路によって操作される特定のワードラインドライバ回路970を識別するように働く。
30

【0047】

従って、ワードラインドライバ970は、読み出し及びプログラムモード中、特定のワードライン回路970がワードラインデコードロジックによって操作される結果として、ワードライン971に正電圧または接地電位を印加するように動作する。消去中には、三重ウェルnチャンネルトランジスタXM9を通してワードライン971に負電圧または接地電位を印加する。
40

【0048】

図11は、図9のワードラインドライバV_{SS}発生器NVGEN950の1つの実施の形態を詳細な回路図形状で示している。NVGEN950は、ライン1102上の供給入力電圧AVW、ライン953上の消去及び消去回復信号、ライン951上の電圧HVDRPWI、及びライン1120上の接地電圧GNDを受ける。ライン951上の電圧HVDRPWIは、図12に基づいて詳細を後述するNVGENP945によって供給される。NVGEN回路950は、電圧HVDRPWIと接地電圧GNDとの間を選択し、図9及び10のライン952上の信号HVDRVSに対応する電圧HVDRVSを出力ライン952上に供給するように動作する。
50

【0049】

N V G E N 9 5 0 は p チャンネルM O S トランジスタM P 1 を含み、このトランジスタのソース及び n ウェルは供給ライン 1 1 0 2 に結合され、そのドレインはノード 1 1 1 4 に結合され、そしてそのゲートはライン 1 1 0 8 に結合されている。ライン 9 5 3 上の消去及び消去回復信号はインバータ X I 0 への入力として供給され、インバータ X I 0 の出力はライン 1 1 0 8 に結合されている。p チャンネルトランジスタM P 2 は、そのソース及び n ウェルがノード 1 1 0 2 に結合され、そのゲートはインバータ X I 1 の出力に結合されている。インバータ X I 1 の入力はノード 1 1 0 8 に結合されている。トランジスタ M P 2 のドレインはノード 1 1 1 2 に接続されている。三重ウェル n チャンネルM O S トランジスタ X M 1 は、そのゲートがノード 1 1 1 2 に接続されており、そのドレインはノード 1 1 1 4 に接続されており、そしてそのソース及び p ウェル P W I は電圧 H V D R P W I が供給されているライン 9 5 1 に接続されている。10 トランジスタ X M 1 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。三重ウェルトランジスタ X M 2 は、そのゲートがノード 1 1 1 4 に接続されており、そのドレインはノード 1 1 1 2 に接続されており、そしてそのソース及び p ウェルはライン 9 5 1 に接続されている。トランジスタ X M 2 の深い n ウェルは供給端子 V_{DD} に結合されている。

【0050】

三重ウェル n チャンネルM O S トランジスタ X M 3 は、そのゲートがノード 1 1 1 4 に接続されており、そのドレインはライン 9 5 2 に接続されており、そしてそのソース及び p ウェル P W I は電圧 H V D R P W I が供給されているライン 9 5 1 に接続されている。20 トランジスタ X M 3 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。三重ウェル n チャンネルM O S トランジスタ X M 4 は、そのゲートがノード 1 1 1 2 に接続されており、そのドレインはライン 9 5 2 に接続されており、そのソースは接地電圧 G N D が供給されているライン 1 1 2 0 に接続され、そして p ウェル P W I は電圧 H V D R P W I が供給されているライン 9 5 1 に接続されている。トランジスタ X M 4 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。

【0051】

動作中、ライン 9 5 3 上の消去及び消去回復信号が高である時には、ライン 1 1 0 8 上のインバータ X I 0 の出力は低である。ライン 1 1 0 8 上の信号が低であるとトランジスタ M P 1 がターンオンし、トランジスタ M P 2 はターンオフする。これは、ノード 1 1 1 4 における電圧をライン 1 1 0 2 上の供給入力電圧 A V W (典型的には、3 V) のレベルへ駆動し、それによってトランジスタ X M 2 及び X M 3 をターンオンさせる。それによりノード 1 1 1 2 はトランジスタ X M 2 を介して電圧 H V D R P W I に駆動され、そのためトランジスタ X M 1 及び X M 4 は確実にターンオフさせられる。この電圧 H V D R P W I はトランジスタ X M 3 を通して出力ライン 9 5 2 に印加され、一方トランジスタ X M 4 はターンオフされている。トランジスタ X M 4 は、ライン 9 5 2 の負電圧をノード 1 1 2 0 上の接地電位から絶縁するように働く。30

【0052】

ライン 9 5 3 上の消去及び消去回復信号が低である時には、ライン 1 1 0 8 上のインバータ X I 0 の出力は高である。ライン 1 1 0 8 上の信号が高であるとトランジスタ M P 1 はターンオフし、トランジスタ M P 2 がターンオンする。これは、ノード 1 1 1 2 における電圧を A V W の値に駆動し、それによってトランジスタ X M 1 及び X M 4 をターンオンさせる。それによりノード 1 1 1 4 はトランジスタ X M 1 を介して電圧 H V D R P W I に駆動され、そのためトランジスタ X M 2 及び X M 3 は確実にターンオフさせられる。従ってライン 1 1 2 0 上の接地電圧 G N D がトランジスタ X M 4 を通して出力ライン 9 5 2 に供給される。トランジスタ X M 3 は、ライン 9 5 2 の接地電圧をライン 9 5 1 の典型的には負電位から絶縁するように働く。40

【0053】

図 1 2 は、図 9 のワードライアンドライバ基板バイアス発生器 N V G E N P 9 4 5 の 1 つの実施の形態を詳細な回路図形状で示している。N V G E N P 9 4 5 は、ライン 1 1 0 2 上50

の供給入力電圧 A V W、ライン 9 4 3 上の消去及び消去回復信号、ライン 9 4 2 上の負電圧 N V P P、及びライン 1 1 2 0 上の接地電圧 G N D を受ける。ライン 9 4 2 上の負電圧 N V P P は、負電圧発生器 9 4 0 によって供給される。N V G E N P 9 4 5 回路は、負電圧 N V P P と接地電圧 G N Dとの間を選択し、結合されている出力ライン 9 5 1 及び 9 4 7 上の H V D R P W I をそれぞれ N V G E N 9 5 0 及びワードライアンドライバ 9 7 0 - 9 7 5 に供給するように動作する。

【 0 0 5 4 】

N V G E N P 9 4 5 は p チャンネル M O S トランジスタ M P 3 を含み、このトランジスタのソース及び n ウェルは供給ライン 1 1 0 2 に結合され、そのドレインはノード 1 2 1 4 に結合され、そしてそのゲートはライン 1 2 0 8 に結合されている。ライン 9 5 3 上の消去及び消去回復信号はインバータ X I 3 への入力として供給され、インバータ X I 3 の出力はライン 1 2 0 8 に結合されている。p チャンネルトランジスタ M P 4 は、そのソース及び n ウェルがノード 1 1 0 2 に結合され、そのゲートはインバータ X I 4 の出力に結合されている。インバータ X I 4 の入力はノード 1 2 0 8 に結合されている。トランジスタ M P 4 のドレインはノード 1 2 1 2 に接続されている。三重ウェル n チャンネル M O S トランジスタ X M 5 は、そのゲートがノード 1 2 1 2 に接続されており、そのドレインはノード 1 2 1 4 に接続されており、そしてそのソース及び p ウェル P W I は電圧 N V P P が供給されているライン 9 4 2 に接続されている。トランジスタ X M 5 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。三重ウェルトランジスタ X M 6 は、そのドレインがノード 1 2 1 2 に接続されており、そのゲートはノード 1 2 1 4 に接続されており、そしてそのソース及び p ウェルはライン 9 4 2 に接続されている。トランジスタ X M 2 の深い n ウェルは供給端子 V_{DD} に結合されている。

【 0 0 5 5 】

三重ウェル n チャンネル M O S トランジスタ X M 7 は、そのゲートがノード 1 2 1 4 に接続されており、そのドレインはライン 9 4 7 に接続されており、そしてそのソース及び p ウェル P W I は電圧 N V P P が供給されているライン 9 4 2 に接続されている。トランジスタ X M 7 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。三重ウェル n チャンネル M O S トランジスタ X M 8 は、そのゲートがノード 1 2 1 2 に接続されており、そのドレインはライン 9 4 7 に接続されており、そのソースは接地電圧 G N D が供給されているライン 1 1 2 0 に接続され、そして p ウェル P W I は電圧 N V P P が供給されているライン 9 4 2 に接続されている。トランジスタ X M 8 の深い n ウェル N W D は供給端子 V_{DD} に結合されている。

【 0 0 5 6 】

動作中、ライン 9 4 3 上の消去及び消去回復信号が高である時には、ライン 1 2 0 8 上のインバータ X I 3 の出力は低である。ライン 1 2 0 8 上の信号が低であるとトランジスタ M P 3 がターンオンし、トランジスタ M P 4 はターンオフする。これは、ノード 1 2 1 4 における電圧をライン 1 1 0 2 上の供給入力電圧 A V W (典型的には、3 V) のレベルに駆動し、それによってトランジスタ X M 6 及び X M 7 をターンオンさせる。それによりノード 1 2 1 2 はトランジスタ X M 6 を介して電圧 N V P P に駆動され、そのためトランジスタ X M 5 及び X M 8 は確実にターンオフさせられる。この電圧 N V P P はトランジスタ X M 7 を通して出力ライン 9 4 7 に印加され、一方トランジスタ X M 8 はターンオフされている。トランジスタ X M 8 は、ライン 9 4 7 の負電圧をノード 1 1 2 0 上の接地電位から絶縁するように働く。

【 0 0 5 7 】

ライン 9 4 3 上の消去及び消去回復信号が低である時には、ライン 1 2 0 8 上のインバータ X I 3 の出力は高である。ライン 1 2 0 8 上の信号が高であるとトランジスタ M P 3 はターンオフし、トランジスタ M P 4 がターンオンする。これは、ノード 1 2 1 2 における電圧を A V W の値に駆動し、それによってトランジスタ X M 5 及び X M 8 をターンオンさせる。それによりノード 1 2 1 4 はトランジスタ X M 5 を介して電圧 N V P P に駆動され、そのためトランジスタ X M 6 及び X M 7 は確実にターンオフさせられる。従ってライン

10

20

30

40

50

1120上の接地電圧GNDがトランジスタXM8を通して出力ライン947に供給される。トランジスタXM7は、ライン947の接地電圧をライン942負電位から絶縁するように働く。

【0058】

図13は、本発明の1つの実施の形態による図9の回復回路930の回路図である。回復回路930は、正電圧・負電圧接続スイッチ1310、正電圧接地回路1320、負電圧接地回路1330、正電圧検出器回路1340、及び負電圧検出器回路1350を備えている。回復回路930は、ノード962上の入力AVX、ノード922上のPWIBIAS電圧、ノード942上のNVPPI電圧、ノード932上のプログラム回復信号、ノード934上の消去回復信号、及びノード936上の制御信号を受けている。回復回路930は、図7及び8に基づいて説明し、以下に詳細に説明する回復計画を実現することによって、セル981-986を表IIにおいて先に説明したプログラム／消去動作電圧から回復させるように機能する。

10

【0059】

正電圧・負電圧接続スイッチ1310は、正電圧接地回路1320への入力をトランジスタM30のドレインのノード1312上に供給し、負電圧検出器1350は正電圧接地回路1320への入力をトランジスタM30のゲートにノード1348上に供給する。正電圧検出回路1340の出力は、負電圧接地回路1330への入力としてノード1342上に供給される。AVX電圧及びPWIBIAS電圧は、ノード962及び922を通して正電圧・負電圧接続スイッチ1310及び正電圧検出器回路1340へそれぞれ供給される。制御信号は、ノード936を通して正電圧・負電圧接続スイッチ1310へ供給される。NVPPI電圧は、ノード942を通して、正電圧・負電圧接続スイッチ1310、負電圧接地回路1330、及び負電圧検出器回路1350へ供給される。最後に、プログラム回復信号及び消去回復信号は、それぞれノード932及び934を通して正電圧・負電圧接続スイッチ1310、正電圧検出器回路1340、及び負電圧検出器回路1350に供給される。

20

【0060】

正電圧・負電圧接続スイッチ1310は、nチャンネルMOSトランジスタM13及びM14、pチャンネルMOSトランジスタM11及びM12、及び三重ウェルnチャンネルMOSトランジスタXM9を含む。トランジスタM14のドレインはノード962上のAVX電圧に結合され、一方M14のゲートはノード932上のプログラム回復信号に結合され、そしてM14のソースはノード1312に結合されている。三重ウェルトランジスタXM9のドレインはノード922上のPWIBIAS電圧に結合され、一方XM9のゲートはノード936上の制御信号に結合され、そしてXM9のソースはトランジスタM13のドレインに結合されている。M13のゲートはノード934上の消去回復信号に結合され、M13のソースはノード1312に結合されている。トランジスタM12のドレイン及びゲートはノード942上のNVPPIに結合され、M12のソースはトランジスタM11のドレインに結合されている。M11のゲートは接地に接続され、M11のソースはノード1312に結合されている。正電圧・負電圧接続スイッチ1310は、図7のスイッチSW1及び図8のSW4に対応しており、そして実現されているものである。MOSトランジスタM14、M11、及びM12はチャンネルFNプログラムのための中和通路（図7のSW1）を構成し、MOSトランジスタXM9、M13、M11、及びM12はチャンネルFN消去のための中和通路（図8のSW4）を構成している。

30

【0061】

正電圧接地回路1320はnチャンネルMOSトランジスタM30を含み、そのソースは接地に結合され、そしてそのドレイン及びゲートはそれぞれノード1312及び1348に結合されている。トランジスタM30は、図7のスイッチSW2及び図8のSW6に対応しており、そして実現されているものである。

40

【0062】

負電圧接地回路1330は、pチャンネルMOSトランジスタMP7、MP8、MP9、

50

M P 1 0、インバータ X I 7、及び三重ウェル n チャンネルトランジスタ X M 1 0、X M 1 1、及び X M 4 1 を含む。ノード 1 3 4 2 上の正電圧検出器回路の出力は、トランジスタ M P 7 のゲートと、インバータ X I 7 の入力とに結合されている。インバータ X I 7 の出力は、トランジスタ M P 8 のゲートに結合されている。M P 8 及び M P 7 のソースは共に電圧 A V W に結合されている。電圧 A V W の典型的な値は、プログラムまたは消去機能中は 3 V であり、他のモード中は、プログラムまたは消去機能中に負電圧が生成される場合に M O S 回路上に印加される応力を減少させるために V d d である。M P 7 及び M P 8 のドレインは、それぞれノード 1 3 2 4 及び 1 3 2 2 に結合されている。トランジスタ M P 9 のソースはノード 1 3 2 4 に接続され、そのゲートは接地に接続され、そしてそのドレインはノード 1 3 2 5 に接続されている。トランジスタ M P 1 0 のソースはノード 1 3 2 2 に接続され、そのゲートは接地に接続され、そしてそのドレインはノード 1 3 2 6 に接続されている。三重ウェルトランジスタ X M 1 0、X M 1 1、及び X M 4 1 のソースはノード 9 4 2 上の N V P P に結合されている。X M 1 1 のドレイン、及び X M 1 0 のゲート、及び X M 4 1 のゲートは、ノード 1 3 2 6 に結合されている。X M 1 1 のゲート及び X M 1 0 のドレインはノード 1 3 2 5 に結合され、一方 X M 4 1 のドレインは接地に結合されている。負電圧接地回路 1 3 3 0 は、図 7 のスイッチ S W 3 及び図 8 の S W 5 に対応しており、そして実現されているものである。
10

【 0 0 6 3 】

正電圧検出器 1 3 4 0 は、インバータ X I 5 及び X I 6、N A N D ゲート X A 1、X A 2、及び X A 3 を含む。N A N D ゲート X A 1 は、入力としてノード 9 3 2 上のプログラム回復信号を、また第 2 の入力としてインバータ X I 5 の出力を受けている。インバータ X I 5 は入力としてノード 9 6 2 上の A V X 電圧を受けている。N A N D ゲート X A 2 は、入力としてノード 9 3 4 上の消去回復信号を、また第 2 の入力としてインバータ X I 6 の出力を受けている。インバータ X I 5 は入力としてノード 9 6 2 上の A V X 電圧を受けている。インバータ X I 6 は、入力としてノード 9 2 2 上の P W I バイアス電圧を受けている。N A N D ゲート X A 3 は、入力として N A N D ゲート X A 1 及び X A 2 の出力を受け、正電圧検出器回路の出力をノード 1 3 4 2 上に供給する。正電圧検出器回路 1 3 4 0 は、図 7 の正電圧検出器 7 1 0 及び図 8 の正電圧検出器 8 2 0 に対応しており、そして実現されているものである。
20

【 0 0 6 4 】

負電圧検出器 1 3 5 0 は、n チャンネル M O S トランジスタ M 7 及び M 8、p チャンネルトランジスタ M 1、M 3、M 5、M 6、及び M 9、N O R ゲート X R 1、及びインバータ X I 8 及び X I 9 を含む。N O R ゲート X R 1 は、入力としてノード 9 3 2 及び 9 3 4 上のプログラム回復信号及び消去回復信号をそれぞれ受けている。N O R ゲート X R 1 の出力は、トランジスタ M 1 のゲート、及びインバータ X I 8 への入力として供給される。トランジスタ M 1 のソースは外部システム入力電圧 V _{DD} に接続され、M 1 のドレインはノード 1 3 5 3 に結合されている。M 1 は極めて長いチャンネルを有していて抵抗のように働く。M 3 のソースはノード 1 3 5 3 に結合され、M 3 のゲート及びドレインは M 5 のソースに結合されている。M 5 のゲート及びドレインはノード 9 4 2 上の N V P P に結合されている。トランジスタ M 3 及び M 5 はダイオード構成であり、ノード 1 3 5 3 上の電位は N V P P + 2 V _{T H} にほぼ等しい。M 6 のソースは V _{DD} に接続され、一方 M 6 のゲートはノード 1 3 5 3 に結合され、ドレインはノード 1 3 5 4 と M 7 のドレインとに結合されている。M 7 のゲートはノード 1 3 5 3 に結合され、ソースは M 8 のドレインに結合されている。M 8 のゲートはノード 1 3 5 2 に結合され、M 8 のソースは接地に結合されている。M 9 のソースは V _{DD} に接続され、一方ドレインはノード 1 3 5 4 に結合され、ゲートはノード 1 3 5 2 に結合されている。最後に、インバータ X I 9 は入力としてノード 1 3 5 4 上の信号を受け、出力としてノード 1 3 4 8 上に信号 N V N E A R 0 を供給する。負電圧検出器回路 1 3 5 0 は、図 7 の負電圧検出器 7 2 0 及び図 8 の負電圧検出器 8 1 0 に対応しており、そして実現されているものである。
40

【 0 0 6 5 】

以下に、回復回路 930 の動作を 3 つの状態、即ち、1) 回路がプログラムまたは消去からの回復以外のモードにある時、2) プログラム機能からの回復、及び 3) 消去機能からの回復について説明する。回路がプログラムまたは消去以外の何等かのモードにある場合には、ノード 932 上の信号「プログラム回復」及びノード 934 上の信号「消去回復」は共に低である。これらの信号が共に低である時には、回復回路は接地通路を開いており、それによってフラッシュメモリ回路は通常動作が許される。これらの信号が共に低であり、NOR ゲート XR1 の出力が高である場合にはインバータ XI8 の出力は低であるから、M9 はターンオンし続け、ノード 1354 はほぼ V_{DD} に維持される。これによりインバータ XI9 からの出力は低になって M30 をターンオフさせるので、正接地スイッチ 1320 が開く。更に、これらの信号が共に低である場合には、ノード 1342 上の正電圧検出器 1340 の出力も低である。ノード 1342 の電圧が低であるとトランジスタ MP7、MP9、及び XM11 がターンオンし、XM41 のゲートに低電圧を供給するので XM41 はターンオフし、それによって負電圧接地通路が開き続ける。

【0066】

前述したように、プログラム機能中、AVX 発生器 960 はワードラインドライバ 970 を通してセル 981 のワードライン 971 へ +8V を出力する。負電圧発生器 940 はノード 942 上に -9V の NVP 生成し、この負電位は PWI ドライバ 920 によってノード 922 上のセルの PWI に印加される。同時に、NWD ドライバ 910 はセルの NWD 上に +3V を出力し、ノード 952 及び 947 上の電圧 HVDRVSS 及び HVDR PWI は、それぞれそれらのドライバ NVGEN950 及び NVGENP945 によって接続に駆動される。

【0067】

プログラム機能が完了すると、回復回路が動作して上述したノード上の電圧をそれらの読み出しモードレベルまで戻して回復させる。プログラム回復期間中はプログラム回復信号は高であり、消去回復信号は低であり、そして AVX 発生器 960 及び負電圧発生器は以下のように高インピーダンス状態に入る。ノード 932 上のプログラム回復信号が高であることによってトランジスタ M14 がターンオンすると、ワードライン上の正電荷 AVX はノード 1312 を通して PWI の負電荷で中和される。これは、更にトランジスタ M11 及び M12 をターンオンさせるように働き、それによって電圧 AVX を電圧 NVP と結合させて AVX を下降させ、PWI を上昇させる (NVP がセルの PWI に印加されており、AVX 電圧が PWI に結合されるから)。1つの実施の形態においては AVX が約 3V まで下降すると、インバータ XI5 の出力が高になって NAND ゲート XA1 の出力を低にさせ、NAND ゲート XA3 のノード 1342 上の出力を高にさせる。従って、AVX 電圧が所望レベルに達すると、正電圧検出器回路 1340 はノード 1342 を通して負電圧接地回路 1330 に高出力を供給し、それによってトランジスタ MP8、MP10、及び XM10 がターンオンし、トランジスタ MP7、MP9、及び XM11 がターンオフする。これは、トランジスタ XM41 をターンオンさせ、ノード 942 上の電圧 NVP を接続するための通路を設ける。NVP は PWI ドライバ 920 によって PWI にも接続されているから、PWI も接続へ短絡される。

【0068】

次いで負電圧検出器回路 1350 は、正電圧接地通路を閉じるように動作する。ノード 932 上のプログラム回復信号が高になると NOR ゲート XR1 の出力が低になり、それによってトランジスタ M1 がターンオンしてノード 1353 に NVP + 2V_{TH} にほぼ等しい電圧を供給する。更に、インバータ XI8 の出力が高になるのでトランジスタ M9 がターンオフし、負電圧検出器回路を作動可能にする。1つの実施の形態においては NVP がほぼ -2V まで上昇すると、ノード 1353 の電圧はトランジスタ M7 をターンオンさせるのに十分高くなり、M6、M7、及び M8 を通る通路を介してノード 1354 の電位を引き下げるようになる。このようにしてノード 1354 の電位が下降するとインバータ XI9 の出力が高になり、トランジスタ M30 がターンオンして電圧 AVX を接続するための通路を設ける。電圧 AVX はワードラインドライバ 970 によってワードライン 97

1にも接続されているから、ワードライン971も接地される。

【0069】

最後に、消去機能からの回復に関しても回復回路930は類似の態様で動作する。前述したように、消去機能中、PWIドライバ920はノード922を介してセルのPWI上に+6Vを印加し、負電圧発生器940はノード942上に-9VのNVPを生成する。NVGENP945はNVPをノード947上のHVDRPWIに接続し、NVGEN950はHVDRPWIをノード952上のHVDRVSSに接続する。従って、ワードラインドライバ及びノード947及び952を介して負電圧がワードラインに印加される。

【0070】

消去機能が完了すると、回復回路が動作して上述したノード上の電圧をそれらの読み出しモードレベルまで戻して回復させる。消去回復期間中は消去回復信号は高であり、プログラム回復信号は低であり、そして負電圧発生器940及びPWIドライバ920は以下のように高インピーダンス状態に入る。ノード934上の消去回復信号が高であることによってトランジスタM13がターンオンすると、正電荷PWIはノード1312を通してワードライン上の負電荷で中和される。これは、トランジスタM11及びM12をターンオンさせようにも働き、それによって電圧PWIを電圧NVPと結合させてPWIを下降させ、ワードライン電圧を上昇させる(NVPがワードラインに印加されるから)。1つの実施の形態においてはPWIが約3Vまで下降すると、インバータX16の出力が高になってNANDゲートXA2の出力を低にさせ、NANDゲートXA3のノード1342上の出力を高にさせる。これによってトランジスタMP8、MP10、及びXM10がターンオンし、トランジスタMP7、MP9、及びXM11がターンオフする。これは、トランジスタXM41をターンオンさせ、ノード942上の電圧NVPを接地するための通路を設ける。NVPはワードラインに接続されているから、ワードラインも接地へ短絡される。次いで負電圧検出器回路1350は上述したように動作して、電圧PWIのための正電圧接地通路を閉じる。

【0071】

以上に添付図面に基づいて本発明の例示のための実施の形態を説明したが、本発明はこれらの精密な実施の形態に限定されないことを理解されたい。これらは本発明をこれらの精密な形状に限定することを意図するものではない。当業者ならば多くの変更及び変形が明白であろう。従って、本発明の範囲は特許請求の範囲によってのみ限定されることを意図している。

【図面の簡単な説明】

【図1】典型的なプログラム機能中にセルの種々のノードに印加される典型的な電圧を示すための三重ウェルフラッシュメモリセルの断面図である。

【図2】典型的な消去機能中にセルの種々のノードに印加される典型的な電圧を示すための三重ウェルフラッシュメモリセルの断面図である。

【図3】(a)-(c)は、従来技術によるフラッシュメモリセルの典型的なプログラム機能からの回復計画を示す図である。

【図4】(a)-(c)は、別の従来技術によるフラッシュメモリセルの典型的なプログラム機能からの回復計画を示す図である。

【図5】(a)-(b)は、更に別の従来技術によるフラッシュメモリセルの典型的なプログラム機能からの回復計画を示す図である。

【図6】本発明の回復計画の1つの実施の形態を使用して構成された三重ウェルフラッシュメモリセルの断面図である。

【図7】(a)-(b)は、本発明の1つの実施の形態によるプログラム機能回復計画を示す簡易ブロック線図である。

【図8】(a)-(b)は、本発明の1つの実施の形態による消去機能回復計画を示す簡易ブロック線図である。

【図9】本発明の1つの実施の形態によるフラッシュメモリ集積回路アーキテクチャの

10

20

30

40

50

一部分の簡易ブロック線図である。

【図10】 本発明の1つの実施の形態による図9のワードラインドライバの回路図である。

【図11】 本発明の1つの実施の形態による図9のワードラインドライバ V_{SS} 発生器の回路図である。

【図12】 本発明の1つの実施の形態による図9のワードラインドライバ基板バイアス発生器の回路図である。

【図13】 本発明の1つの実施の形態による図9の回復回路の回路図である。

【図1】

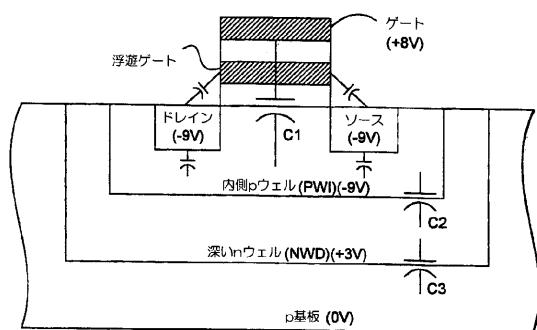


FIG. 1

【図2】

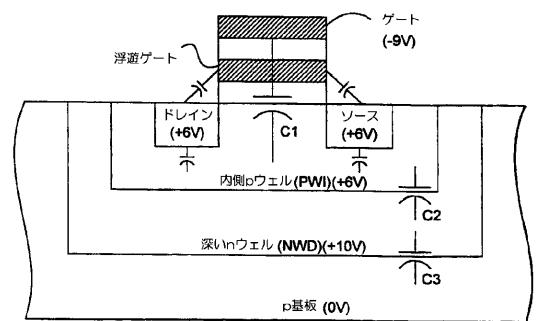


FIG. 2

【図3】

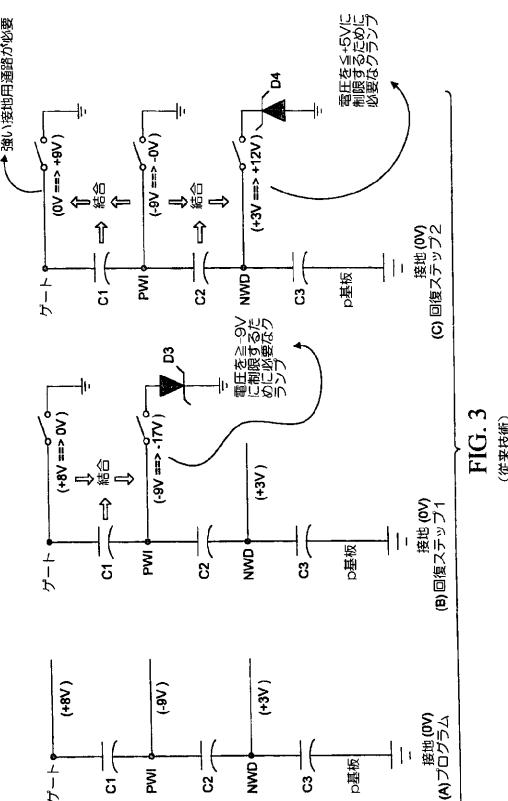
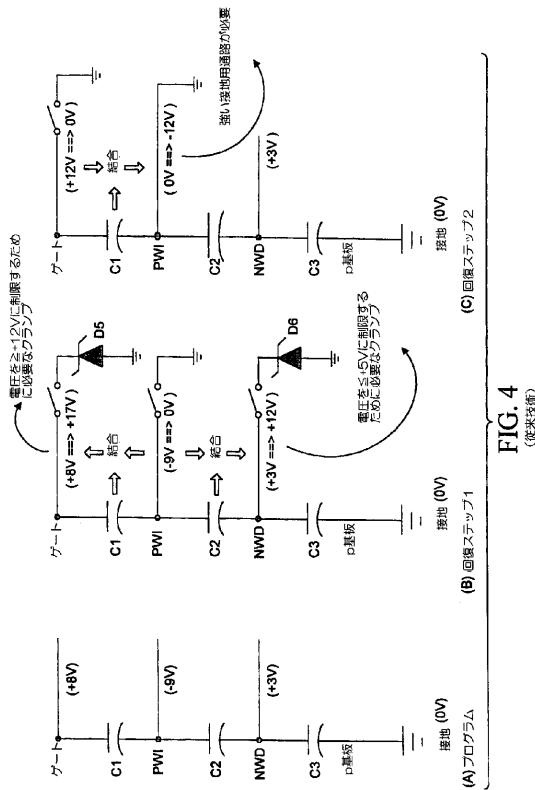
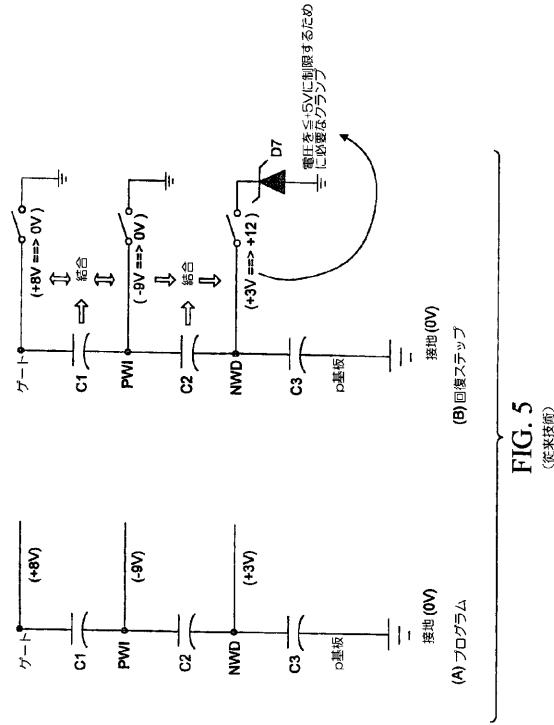


FIG. 3
(従来技術)

【図4】



【図5】



【図6】

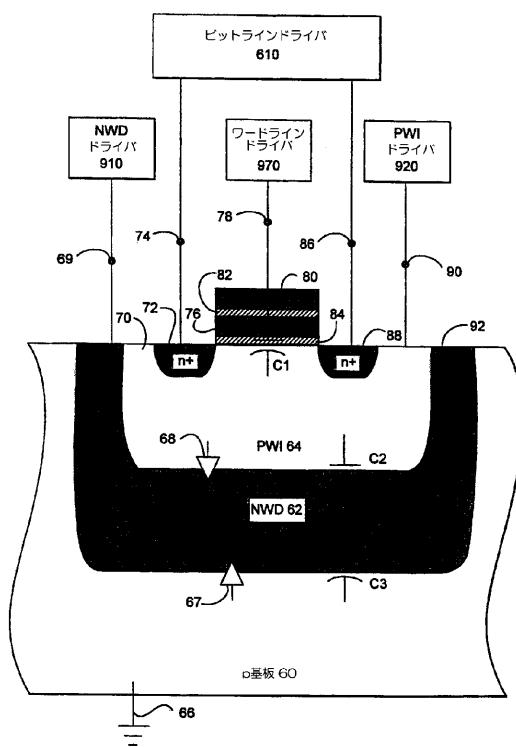


FIG. 6

【図7】

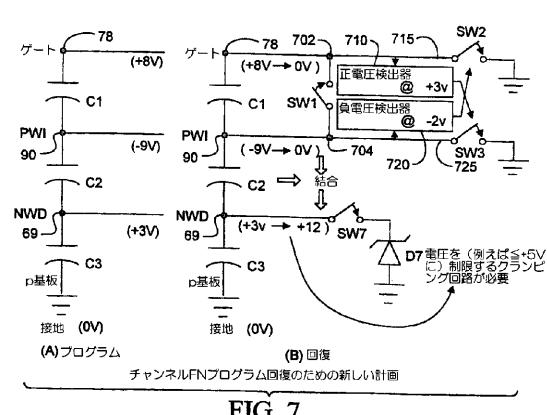


FIG. 7

〔 四 8 〕

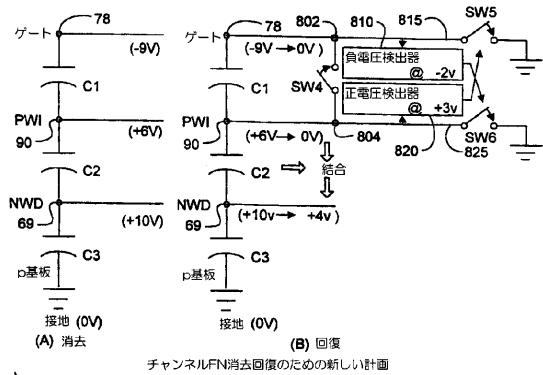


FIG. 8

〔 四 9 〕

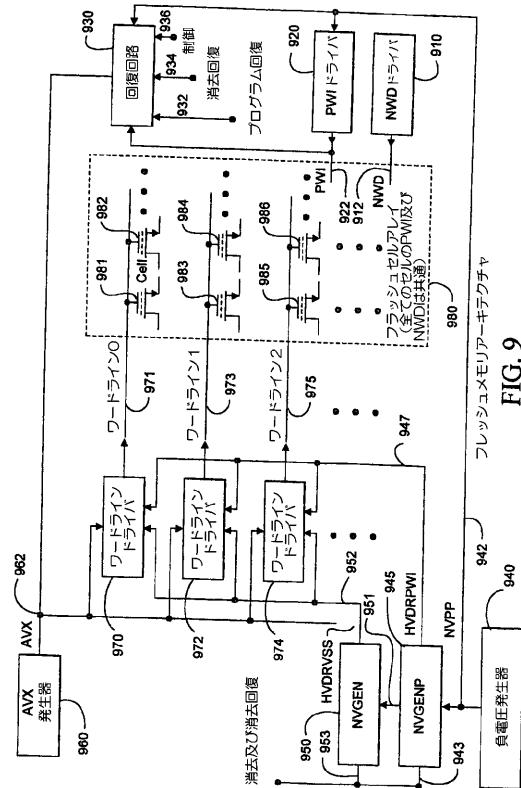


FIG. 9

【 四 1 0 】

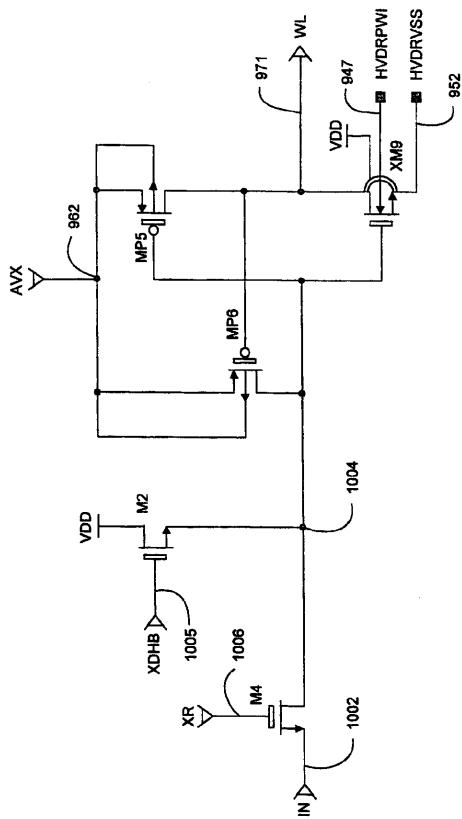


FIG. 10

【図11】

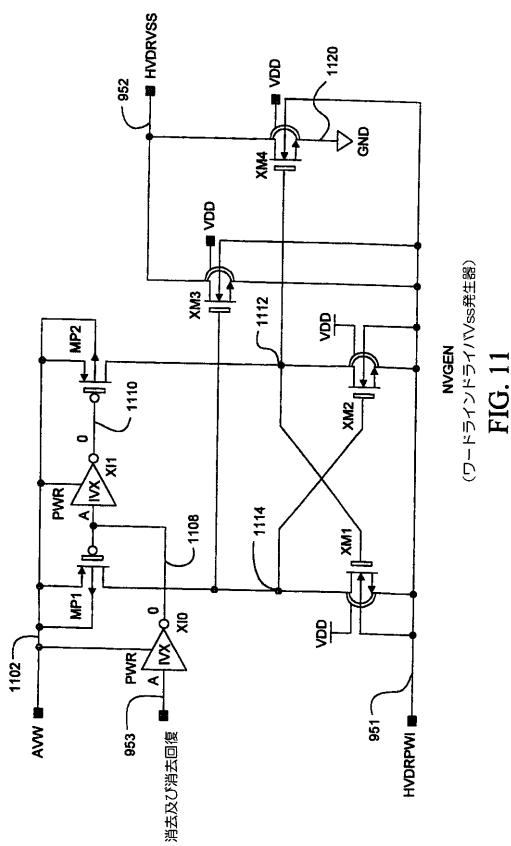


FIG.

【 図 1 2 】

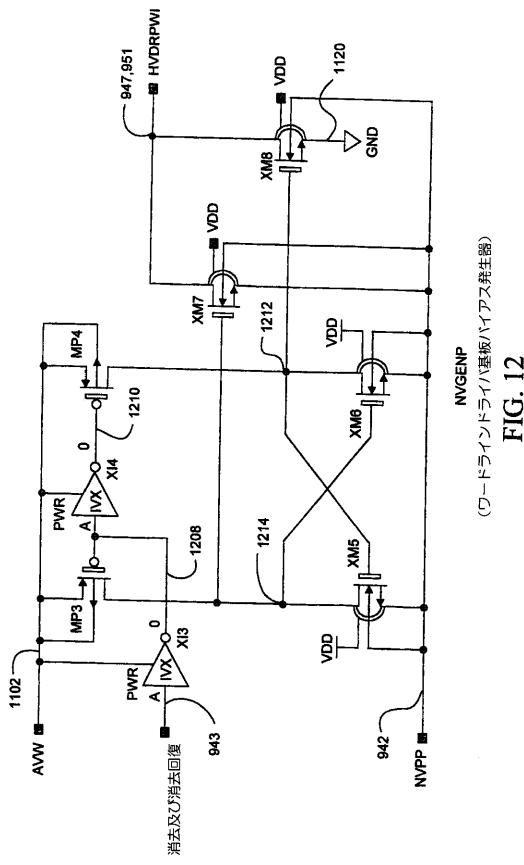


FIG. 12

【図13】

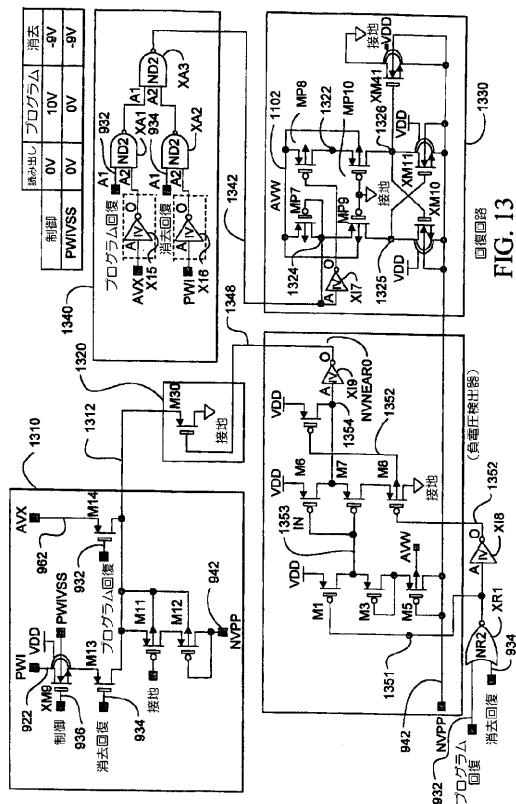


FIG. 13

フロントページの続き

(74)代理人 100096194
弁理士 竹内 英人

(74)代理人 100074228
弁理士 今城 俊夫

(74)代理人 100084009
弁理士 小川 信夫

(74)代理人 100082821
弁理士 村社 厚夫

(74)代理人 100086771
弁理士 西島 孝喜

(74)代理人 100084663
弁理士 箱田 篤

(72)発明者 リン ユ シエン
台湾 タイペイ チュン ューアン ロード ナンバー 26-4 4エフ

(72)発明者 シアウ ツエン ューエイ
台湾 シン チュ カウンティー 305 シン プ チュン チェン ロード 595

(72)発明者 ワン レイ リン
アメリカ合衆国 カリフォルニア州 94539 フリーモント ウィチトウ ドライヴ 709

審査官 外山 賀

(56)参考文献 特開平08-255491(JP,A)
特開平04-281299(JP,A)
特開平10-079197(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02